



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0044401
(43) 공개일자 2012년05월08일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(21) 출원번호 10-2010-0105654

(22) 출원일자 2010년10월28일

심사청구일자 2010년10월28일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

이승규

충청남도 아산시 탕정면 탕정면로 37, 탕정삼성트
라팰리스아파트 201동 1701호

이동훈

충청남도 아산시 탕정면 탕정면로 37, 탕정삼성트
라팰리스아파트 101동 2602호

(뒷면에 계속)

(74) 대리인

박영우

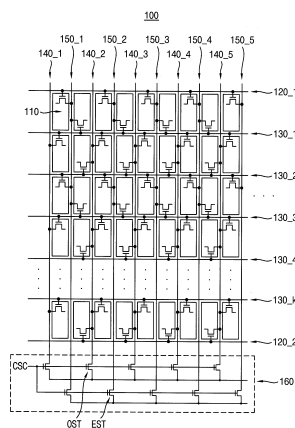
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 액정 표시 패널, 액정 표시 장치 및 액정 표시 장치의 구동 방법

(57) 요약

액정 표시 패널은 매트릭스 형태로 배열되는 픽셀들, 인접하는 하측의 제1 행-픽셀들과 연결되는 제1 서브 게이트 라인, 인접하는 상측의 제2 행-픽셀들과 연결되는 제2 서브 게이트 라인, 제1 서브 게이트 라인과 제2 서브 게이트 라인 사이에 위치하여 각각 인접하는 상측의 제2 행-픽셀들과 하측의 제1 행-픽셀들과 지그재그 형태로 연결되는 게이트 라인들, 인접하는 제1 열-픽셀들과 연결되는 짝수 데이터 라인들 및 인접하는 제2 열-픽셀들과 연결되는 홀수 데이터 라인들을 포함한다. 액정 표시 패널은 수평 크로스토크 및 수직 크로스토크를 방지하면서도 소비 전력을 효율적으로 감소시킬 수 있다.

대표도 - 도1



(72) 발명자

김철호

충청남도 천안시 서북구 시청로 73, 301동 902호
(불당동, 동일하이빌)

박진우

충청남도 천안시 서북구 번영로 467, 삼성모바일디
스플레이 (성성동)

특허청구의 범위

청구항 1

매트릭스 형태로 배열되는 복수의 픽셀들;

상기 픽셀들 중에서 인접하는 하측의 제1 행-픽셀들과 연결되는 제1 서브 게이트 라인;

상기 픽셀들 중에서 인접하는 상측의 제2 행-픽셀들과 연결되는 제2 서브 게이트 라인;

상기 제1 서브 게이트 라인과 상기 제2 서브 게이트 라인 사이에 위치하고, 각각 인접하는 상측의 제2 행-픽셀들과 하측의 제1 행-픽셀들과 지그재그 형태로 연결되는 복수의 게이트 라인들;

상기 픽셀들 중에서 인접하는 제1 열-픽셀들과 연결되는 복수의 짝수 데이터 라인들; 및

상기 픽셀들 중에서 인접하는 제2 열-픽셀들과 연결되는 복수의 홀수 데이터 라인들을 포함하는 액정 표시 패널.

청구항 2

제1 항에 있어서, 상기 제1 행-픽셀들은 같은 행에 배열되는 상기 픽셀들 중에서 홀수 열의 픽셀들에 상응하고, 상기 제2 행-픽셀들은 같은 행에 배열되는 상기 픽셀들 중에서 짝수 열의 픽셀들에 상응하는 것을 특징으로 하는 액정 표시 패널.

청구항 3

제2 항에 있어서, 상기 제1 열-픽셀들은 같은 열에 배열되는 상기 픽셀들 중에서 홀수 행의 픽셀들에 상응하고, 상기 제2 열-픽셀들은 같은 열에 배열되는 상기 픽셀들 중에서 짝수 행의 픽셀들에 상응하는 것을 특징으로 하는 액정 표시 패널.

청구항 4

제2 항에 있어서, 상기 제1 열-픽셀들은 같은 열에 배열되는 상기 픽셀들 중에서 짝수 행의 픽셀들에 상응하고, 상기 제2 열-픽셀들은 같은 열에 배열되는 상기 픽셀들 중에서 홀수 행의 픽셀들에 상응하는 것을 특징으로 하는 액정 표시 패널.

청구항 5

제1 항에 있어서, 상기 제1 행-픽셀들은 같은 행에 배열되는 상기 픽셀들 중에서 짝수 열의 픽셀들에 상응하고, 상기 제2 행-픽셀들은 같은 행에 배열되는 상기 픽셀들 중에서 홀수 열의 픽셀들에 상응하는 것을 특징으로 하는 액정 표시 패널.

청구항 6

제5 항에 있어서, 상기 제1 열-픽셀들은 같은 열에 배열되는 상기 픽셀들 중에서 짝수 행의 픽셀들에 상응하고, 상기 제2 열-픽셀들은 같은 열에 배열되는 상기 픽셀들 중에서 홀수 행의 픽셀들에 상응하는 것을 특징으로 하는 액정 표시 패널.

청구항 7

제5 항에 있어서, 상기 제1 열-픽셀들은 같은 열에 배열되는 상기 픽셀들 중에서 홀수 행의 픽셀들에 상응하고, 상기 제2 열-픽셀들은 같은 열에 배열되는 상기 픽셀들 중에서 짝수 행의 픽셀들에 상응하는 것을 특징으로 하는 액정 표시 패널.

청구항 8

제1 항에 있어서, 홀수 프레임(odd frame) 동안에 상기 홀수 데이터 라인들에 제1 극성의 데이터 신호들을 인가하고, 상기 짝수 데이터 라인들에 상기 제1 극성과 반대되는 제2 극성의 데이터 신호들을 인가하는 것을 특징으로

로 하는 액정 표시 패널.

청구항 9

제8 항에 있어서, 짝수 프레임(even frame) 동안에 상기 홀수 데이터 라인들에 상기 제2 극성의 데이터 신호들을 인가하고, 상기 짝수 데이터 라인들에 상기 제1 극성의 데이터 신호들을 인가하는 것을 특징으로 하는 액정 표시 패널.

청구항 10

제9 항에 있어서, 상기 제1 극성은 공통 전압을 기준으로 양의 극성이고, 상기 제2 극성은 상기 공통 전압을 기준으로 음의 극성인 것을 특징으로 하는 액정 표시 패널.

청구항 11

제9 항에 있어서, 상기 제1 극성은 공통 전압을 기준으로 음의 극성이고, 상기 제2 극성은 상기 공통 전압을 기준으로 양의 극성인 것을 특징으로 하는 액정 표시 패널.

청구항 12

제1 항에 있어서, 전하 공유 제어 신호에 기초하여 상기 홀수 데이터 라인들 간에 서로 전하를 공유시키고, 상기 짝수 데이터 라인들 간에 서로 전하를 공유시키는 전하 공유 제어 회로를 더 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 13

제12 항에 있어서, 상기 전하 공유 제어 회로는,

상기 전하 공유 제어 신호에 기초하여 상기 홀수 데이터 라인들을 서로 연결시키는 복수의 제1 스위치들; 및

상기 전하 공유 제어 신호에 기초하여 상기 짝수 데이터 라인들을 서로 연결시키는 복수의 제2 스위치들을 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 14

제13 항에 있어서, 상기 전하 공유 제어 신호는 프리 차지 셰어링(Pre Charge Sharing; PCS) 신호에 상응하고, 상기 제1 및 제2 스위치들은 상기 제1 및 제2 서브 게이트 라인과 상기 게이트 라인들 별로 상기 픽셀들이 충전되기 이전에 턴온되는 것을 특징으로 하는 액정 표시 패널.

청구항 15

제13 항에 있어서, 상기 전하 공유 제어 신호는 프리 차지 셰어링 신호에 상응하고, 상기 제1 및 제2 스위치들은 상기 제1 및 제2 서브 게이트 라인 및 상기 게이트 라인들 별로 상기 픽셀들이 충전된 이후에 턴온되는 것을 특징으로 하는 액정 표시 패널.

청구항 16

제1 항에 있어서, 상기 픽셀들 각각은

상기 제1 및 제2 서브 게이트 라인과 상기 게이트 라인들에서 출력되는 게이트 신호에 기초하여 스위칭 동작을 수행하는 스위칭 소자; 및

상기 홀수 및 짝수 데이터 라인들에서 출력되는 데이터 신호에 기초하여 액정층의 광 투과율을 조절하는 액정 커패시터를 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 17

제16 항에 있어서, 상기 스위칭 소자는 상기 게이트 신호를 입력받는 게이트 전극, 상기 데이터 신호를 입력받는 소스 전극 및 상기 데이터 신호를 상기 액정 커패시터로 출력하는 드레인 전극을 구비하는 박막 트랜지스터(TFT)인 것을 특징으로 하는 액정 표시 패널.

청구항 18

제17 항에 있어서, 상기 픽셀들은 각기 상기 액정 커패시터의 충전 전압을 유지시키는 스토리지 커패시터를 더 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 19

행 방향으로 같은 극성의 데이터 신호들이 홀수 열의 픽셀들과 짝수 열의 픽셀들에 일 수평 주기의 시차를 두어 동시에 인가되고, 열 방향으로 반대 극성의 데이터 신호들이 같은 열의 픽셀들에 상기 시차를 두어 순차적으로 인가되는 액정 표시 패널;

데이터 제어 신호에 기초하여 상기 데이터 신호들을 상기 액정 표시 패널에 인가하는 소스 드라이버;

게이트 제어 신호에 기초하여 스캔 펄스에 상응하는 게이트 신호를 상기 액정 표시 패널에 인가하는 게이트 드라이버; 및

상기 데이터 제어 신호 및 상기 게이트 제어 신호를 생성하는 타이밍 컨트롤러를 포함하는 액정 표시 장치.

청구항 20

제19 항에 있어서, 상기 액정 표시 패널은,

매트릭스 형태로 배열되는 복수의 픽셀들;

상기 픽셀들 중에서 인접하는 하측의 제1 행-픽셀들과 연결되는 제1 서브 게이트 라인;

상기 픽셀들 중에서 인접하는 상측의 제2 행-픽셀들과 연결되는 제2 서브 게이트 라인;

상기 제1 서브 게이트 라인과 상기 제2 서브 게이트 라인 사이에 위치하며, 각각 인접하는 상측의 제2 행-픽셀들과 하측의 제1 행-픽셀들과 지그재그 형태로 연결되는 복수의 게이트 라인들;

상기 픽셀들 중에서 인접하는 제1 열-픽셀들과 연결되는 복수의 짝수 데이터 라인들; 및

상기 픽셀들 중에서 인접하는 제2 열-픽셀들과 연결되는 복수의 홀수 데이터 라인들을 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 21

제20 항에 있어서, 상기 액정 표시 패널은, 전하 공유 제어 신호에 기초하여 상기 홀수 데이터 라인들 간에 서로 전하를 공유시키고, 상기 짝수 데이터 라인들 간에 서로 전하를 공유시키는 전하 공유 제어 회로를 더 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 22

제20 항에 있어서, 상기 제1 행-픽셀들은 같은 행에 배열되는 상기 홀수 열의 픽셀들에 상응하고, 상기 제2 행-픽셀들은 같은 행에 배열되는 상기 짝수 열의 픽셀들에 상응하는 것을 특징으로 하는 액정 표시 장치.

청구항 23

제22 항에 있어서, 상기 제1 열-픽셀들은 같은 열에 배열되는 상기 홀수 행의 픽셀들에 상응하고, 상기 제2 열-픽셀들은 같은 열에 배열되는 상기 짝수 행의 픽셀들에 상응하는 것을 특징으로 하는 액정 표시 장치.

청구항 24

제22 항에 있어서, 상기 제1 열-픽셀들은 같은 열에 배열되는 상기 짝수 행의 픽셀들에 상응하고, 상기 제2 열-픽셀들은 같은 열에 배열되는 상기 홀수 행의 픽셀들에 상응하는 것을 특징으로 하는 액정 표시 장치.

청구항 25

제20 항에 있어서, 상기 제1 행-픽셀들은 같은 행에 배열되는 상기 짝수 열의 픽셀들에 상응하고, 상기 제2 행-픽셀들은 같은 행에 배열되는 상기 홀수 열의 픽셀들에 상응하는 것을 특징으로 하는 액정 표시 장치.

청구항 26

제25 항에 있어서, 상기 제1 열-픽셀들은 같은 열에 배열되는 상기 홀수 행의 픽셀들에 상응하고, 상기 제2 열-픽셀들은 같은 열에 배열되는 상기 짝수 행의 픽셀들에 상응하는 것을 특징으로 하는 액정 표시 장치.

청구항 27

제25 항에 있어서, 상기 제1 열-픽셀들은 같은 열에 배열되는 상기 짝수 행의 픽셀들에 상응하고, 상기 제2 열-픽셀들은 같은 열에 배열되는 상기 홀수 행의 픽셀들에 상응하는 것을 특징으로 하는 액정 표시 장치.

청구항 28

제20 항에 있어서, 홀수 프레임(odd frame) 동안에 상기 홀수 데이터 라인들에 제1 극성의 데이터 신호들을 인가하고, 상기 짝수 데이터 라인들에 상기 제1 극성과 반대되는 제2 극성의 데이터 신호들을 인가하는 것을 특징으로 하는 액정 표시 장치.

청구항 29

제28 항에 있어서, 짝수 프레임(even frame) 동안에 상기 홀수 데이터 라인들에 상기 제2 극성의 데이터 신호들을 인가하고, 상기 짝수 데이터 라인들에 상기 제1 극성의 데이터 신호들을 인가하는 것을 특징으로 하는 액정 표시 장치.

청구항 30

행 방향으로 같은 극성의 데이터 신호들을 홀수 열의 픽셀들과 짝수 열의 픽셀들에 일 수평 주기의 시차를 두어 동시에 인가하는 단계;

열 방향으로 반대 극성의 데이터 신호들을 같은 열에 배열되는 픽셀들에 상기 시차를 두어 순차적으로 인가하는 단계; 및

프레임이 변경될 때마다 액정 표시 패널에 공급되는 상기 데이터 신호들의 극성을 변경하는 단계를 포함하는 액정 표시 장치의 구동 방법.

명세서

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로서, 더욱 상세하게는 액정 표시 패널, 액정 표시 장치 및 액정 표시 장치의 구동 방법에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 각각의 픽셀에 대하여 액정 커패시터의 픽셀 전극과 공통 전극에 전위차를 형성함으로써, 픽셀 전극과 공통 전극 사이에 위치하는 액정층의 광 투과율을 조절하는 방식으로 화상을 표시한다. 최근에는, 픽셀 내부의 스위칭 소자로서 박막 트랜지스터(Thin Film Transistor; TFT)를 사용하는 박막 트랜지스터(TFT) 액정 표시 장치가 널리 이용되고 있다.

[0003] 일반적으로, 액정 표시 장치는 픽셀 내부의 액정 커패시터의 열화를 방지하기 위하여 데이터 신호들의 극성을 일정 주기마다 반전시키는데, 도트(dot) 인버전 방식, 라인(line) 인버전 방식, 칼럼(column) 인버전 방식, 프레임(frame) 인버전 방식, Z 인버전 방식, 액티브 레벨 쉬프트(Active Level Shift; ALS) 인버전 방식 등이 채용되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 목적은 수평 크로스토크(horizontal crosstalk) 및 수직 크로스토크(vertical crosstalk)를 방지하면서도 소비 전력을 효율적으로 감소시킬 수 있는 액정 표시 패널을 제공하는 것이다.

[0005] 본 발명의 다른 목적은 상기 액정 표시 패널을 포함하여 저전력으로 고품질의 화상을 출력할 수 있는 액정 표시

장치를 제공하는 것이다.

[0006] 본 발명의 또 다른 목적은 액정 표시 패널 내에 수평 크로스토크 및 수직 크로스토크를 방지하면서도 소비 전력을 효율적으로 감소시킬 수 있는 액정 표시 장치의 구동 방법을 제공하는 것이다.

[0007] 다만, 본 발명이 해결하고자 하는 과제는 전술한 과제에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0008] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 액정 표시 패널은 매트릭스 형태로 배열되는 복수의 픽셀들, 상기 픽셀들 중에서 인접하는 하측의 제1 행-픽셀들과 연결되는 제1 서브 게이트 라인, 상기 픽셀들 중에서 인접하는 상측의 제2 행-픽셀들과 연결되는 제2 서브 게이트 라인, 상기 제1 서브 게이트 라인과 상기 제2 서브 게이트 라인 사이에 위치하며, 각각 인접하는 상측의 제2 행-픽셀들과 하측의 제1 행-픽셀들과 지그재그 형태로 연결되는 복수의 게이트 라인들, 상기 픽셀들 중에서 인접하는 제1 열-픽셀들과 연결되는 복수의 짝수 데이터 라인들, 그리고 상기 픽셀들 중에서 인접하는 제2 열-픽셀들과 연결되는 복수의 홀수 데이터 라인들을 포함할 수 있다.

[0009] 예시적인 실시예에 있어서, 상기 제1 행-픽셀들은 같은 행에 배열되는 상기 픽셀들 중에서 홀수 열의 픽셀들에 상응할 수 있고, 상기 제2 행-픽셀들은 같은 행에 배열되는 상기 픽셀들 중에서 짝수 열의 픽셀들에 상응할 수 있다.

[0010] 예시적인 실시예에 있어서, 상기 제1 열-픽셀들은 같은 열에 배열되는 상기 픽셀들 중에서 홀수 행의 픽셀들에 상응할 수 있고, 상기 제2 열-픽셀들은 같은 열에 배열되는 상기 픽셀들 중에서 짝수 행의 픽셀들에 상응할 수 있다.

[0011] 예시적인 실시예에 있어서, 상기 제1 열-픽셀들은 같은 열에 배열되는 상기 픽셀들 중에서 짝수 행의 픽셀들에 상응할 수 있고, 상기 제2 열-픽셀들은 같은 열에 배열되는 상기 픽셀들 중에서 홀수 행의 픽셀들에 상응할 수 있다.

[0012] 예시적인 실시예에 있어서, 상기 제1 행-픽셀들은 같은 행에 배열되는 상기 픽셀들 중에서 짝수 열의 픽셀들에 상응할 수 있고, 상기 제2 행-픽셀들은 같은 행에 배열되는 상기 픽셀들 중에서 홀수 열의 픽셀들에 상응할 수 있다.

[0013] 예시적인 실시예에 있어서, 상기 제1 열-픽셀들은 같은 열에 배열되는 상기 픽셀들 중에서 짝수 행의 픽셀들에 상응할 수 있고, 상기 제2 열-픽셀들은 같은 열에 배열되는 상기 픽셀들 중에서 홀수 행의 픽셀들에 상응할 수 있다.

[0014] 예시적인 실시예에 있어서, 상기 제1 열-픽셀들은 같은 열에 배열되는 상기 픽셀들 중에서 홀수 행의 픽셀들에 상응할 수 있고, 상기 제2 열-픽셀들은 같은 열에 배열되는 상기 픽셀들 중에서 짝수 행의 픽셀들에 상응할 수 있다.

[0015] 예시적인 실시예에 있어서, 홀수 프레임(odd frame) 동안에 상기 홀수 데이터 라인들에 제1 극성의 데이터 신호들을 인가할 수 있고, 상기 짝수 데이터 라인들에 상기 제1 극성과 반대되는 제2 극성의 데이터 신호들을 인가할 수 있다.

[0016] 예시적인 실시예에 있어서, 짝수 프레임(even frame) 동안에 상기 홀수 데이터 라인들에 상기 제2 극성의 데이터 신호들을 인가할 수 있고, 상기 짝수 데이터 라인들에 상기 제1 극성의 데이터 신호들을 인가할 수 있다.

[0017] 예시적인 실시예에 있어서, 상기 제1 극성은 공통 전압을 기준으로 양의 극성일 수 있고, 상기 제2 극성은 상기 공통 전압을 기준으로 음의 극성일 수 있다.

[0018] 예시적인 실시예에 있어서, 상기 제1 극성은 공통 전압을 기준으로 음의 극성일 수 있고, 상기 제2 극성은 상기 공통 전압을 기준으로 양의 극성일 수 있다.

[0019] 예시적인 실시예에 있어서, 상기 액정 표시 패널은 전하 공유 제어 신호에 기초하여 상기 홀수 데이터 라인들 간에 서로 전하를 공유시키고, 상기 짝수 데이터 라인들 간에 서로 전하를 공유시키는 전하 공유 제어 회로를 더 포함할 수 있다.

[0020] 예시적인 실시예에 있어서, 상기 전하 공유 제어 회로는 상기 전하 공유 제어 신호에 기초하여 상기 홀수 데이

터 라인들을 서로 연결시키는 복수의 제1 스위치들, 그리고 상기 전하 공유 제어 신호에 기초하여 상기 짝수 데이터 라인들을 서로 연결시키는 복수의 제2 스위치들을 포함할 수 있다.

- [0021] 예시적인 실시예에 있어서, 상기 전하 공유 제어 신호는 프리 차지 셰어링(Pre Charge Sharing; PCS) 신호에 상응할 수 있고, 상기 제1 및 제2 스위치들은 상기 제1 및 제2 서브 게이트 라인과 상기 게이트 라인들 별로 상기 픽셀들이 충전되기 이전에 턴온될 수 있다.
- [0022] 예시적인 실시예에 있어서, 상기 전하 공유 제어 신호는 프리 차지 셰어링 신호에 상응할 수 있고, 상기 제1 및 제2 스위치들은 상기 제1 및 제2 서브 게이트 라인 및 상기 게이트 라인들 별로 상기 픽셀들이 충전된 이후에 턴온될 수 있다.
- [0023] 예시적인 실시예에 있어서, 상기 픽셀들 각각은 상기 제1 및 제2 서브 게이트 라인과 상기 게이트 라인들에서 출력되는 게이트 신호에 기초하여 스위칭 동작을 수행하는 스위칭 소자, 그리고 상기 홀수 및 짝수 데이터 라인들에서 출력되는 데이터 신호에 기초하여 액정층의 광 투과율을 조절하는 액정 커패시터를 포함할 수 있다.
- [0024] 예시적인 실시예에 있어서, 상기 스위칭 소자는 상기 게이트 신호를 입력받는 게이트 전극, 상기 데이터 신호를 입력받는 소스 전극 및 상기 데이터 신호를 상기 액정 커패시터로 출력하는 드레인 전극을 구비하는 박막 트랜지스터(TFT)일 수 있다.
- [0025] 예시적인 실시예에 있어서, 상기 픽셀들 각각은 상기 액정 커패시터의 충전 전압을 유지시키는 스토리지 커패시터를 더 포함할 수 있다.
- [0026] 전술한 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 액정 표시 장치는, 행 방향으로 같은 극성의 데이터 신호들이 홀수 열의 픽셀들과 짝수 열의 픽셀들에 일 수평 주기의 시차를 두어 동시에 인가되고, 열 방향으로 반대 극성의 데이터 신호들이 같은 열의 픽셀들에 상기 시차를 두어 순차적으로 인가되는 액정 표시 패널, 데이터 제어 신호에 기초하여 상기 데이터 신호들을 상기 액정 표시 패널에 인가하는 소스 드라이버, 게이트 제어 신호에 기초하여 스캔 펄스에 상응하는 게이트 신호를 상기 액정 표시 패널에 인가하는 게이트 드라이버, 그리고 상기 데이터 제어 신호 및 상기 게이트 제어 신호를 생성하는 타이밍 컨트롤러를 포함할 수 있다.
- [0027] 예시적인 실시예에 있어서, 상기 액정 표시 패널은 매트릭스 형태로 배열되는 복수의 픽셀들, 상기 픽셀들 중에서 인접하는 하측의 제1 행-픽셀들과 연결되는 제1 서브 게이트 라인, 상기 픽셀들 중에서 인접하는 상측의 제2 행-픽셀들과 연결되는 제2 서브 게이트 라인, 상기 제1 서브 게이트 라인과 상기 제2 서브 게이트 라인 사이에 위치하며, 각각 인접하는 상측의 제 2 행-픽셀들과 하측의 제1 행-픽셀들과 지그재그 형태로 연결되는 복수의 게이트 라인들, 상기 픽셀들 중에서 인접하는 제1 열-픽셀들과 연결되는 복수의 짝수 데이터 라인들, 그리고 상기 픽셀들 중에서 인접하는 제2 열-픽셀들과 연결되는 복수의 홀수 데이터 라인들을 포함할 수 있다.
- [0028] 예시적인 실시예에 있어서, 상기 액정 표시 패널은 전하 공유 제어 신호에 기초하여 상기 홀수 데이터 라인들 간에 서로 전하를 공유시키고, 상기 짝수 데이터 라인들 간에 서로 전하를 공유시키는 전하 공유 제어 회로를 더 포함할 수 있다.
- [0029] 예시적인 실시예에 있어서, 상기 제1 행-픽셀들은 같은 행에 배열되는 상기 홀수 열의 픽셀들에 상응할 수 있고, 상기 제2 행-픽셀들은 같은 행에 배열되는 상기 짝수 열의 픽셀들에 상응할 수 있다.
- [0030] 예시적인 실시예에 있어서, 상기 제1 열-픽셀들은 같은 열에 배열되는 상기 홀수 행의 픽셀들에 상응할 수 있고, 상기 제2 열-픽셀들은 같은 열에 배열되는 상기 짝수 행의 픽셀들에 상응할 수 있다.
- [0031] 예시적인 실시예에 있어서, 상기 제1 열-픽셀들은 같은 열에 배열되는 상기 짝수 행의 픽셀들에 상응할 수 있고, 상기 제2 열-픽셀들은 같은 열에 배열되는 상기 홀수 행의 픽셀들에 상응할 수 있다.
- [0032] 예시적인 실시예에 있어서, 상기 제1 행-픽셀들은 같은 행에 배열되는 상기 짝수 열의 픽셀들에 상응할 수 있고, 상기 제2 행-픽셀들은 같은 행에 배열되는 상기 홀수 열의 픽셀들에 상응할 수 있다.
- [0033] 예시적인 실시예에 있어서, 상기 제1 열-픽셀들은 같은 열에 배열되는 상기 홀수 행의 픽셀들에 상응할 수 있고, 상기 제2 열-픽셀들은 같은 열에 배열되는 상기 짝수 행의 픽셀들에 상응할 수 있다.
- [0034] 예시적인 실시예에 있어서, 상기 제1 열-픽셀들은 같은 열에 배열되는 상기 짝수 행의 픽셀들에 상응할 수 있고, 상기 제2 열-픽셀들은 같은 열에 배열되는 상기 홀수 행의 픽셀들에 상응할 수 있다.

[0035] 예시적인 실시예에 있어서, 홀수 프레임(odd frame) 동안에 상기 홀수 데이터 라인들에 제1 극성의 데이터 신호들을 인가할 수 있고, 상기 짝수 데이터 라인들에 상기 제1 극성과 반대되는 제2 극성의 데이터 신호들을 인가할 수 있다.

[0036] 예시적인 실시예에 있어서, 짝수 프레임(even frame) 동안에 상기 홀수 데이터 라인들에 상기 제2 극성의 데이터 신호들을 인가할 수 있고, 상기 짝수 데이터 라인들에 상기 제1 극성의 데이터 신호들을 인가할 수 있다.

[0037] 상술한 본 발명의 또 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 액정 표시 장치의 구동 방법은, 행 방향으로 같은 극성의 데이터 신호들을 홀수 열의 픽셀들과 짝수 열의 픽셀들에 일 수평 주기의 시차를 두어 동시에 인가하는 단계, 열 방향으로 반대 극성의 데이터 신호들을 같은 열에 배열되는 픽셀들에 상기 시차를 두어 순차적으로 인가하는 단계, 그리고 프레임이 변경될 때마다 액정 표시 패널에 공급되는 상기 데이터 신호들의 극성을 변경하는 단계를 포함할 수 있다.

발명의 효과

[0038] 본 발명의 실시예들에 따른 액정 표시 패널은 일 프레임 동안에 같은 극성의 데이터 신호들을 데이터 라인마다 반전하여 공급함으로써 소비 전력을 감소시킬 수 있고, 같은 극성의 데이터 신호들을 하나의 행(row)을 구성하는 홀수 열의 픽셀들과 짝수 열의 픽셀들에 일 수평 주기의 시차를 두어 인가함으로써 수평 크로스토크를 방지할 수 있으며, 반대 극성의 데이터 신호들을 하나의 열(column)을 구성하는 픽셀들에 일 수평 주기의 시차를 두어 순차적으로 인가함으로써 수직 크로스토크를 방지할 수 있다.

[0039] 본 발명의 실시예들에 따른 액정 표시 장치는 상기 액정 표시 패널을 포함하여 저전력으로 고품질의 화상을 출력할 수 있다.

[0040] 본 발명의 실시예들에 따른 액정 표시 장치의 구동 방법은 액정 표시 패널 내에 수평 크로스토크 및 수직 크로스토크를 방지하면서도 소비 전력을 효율적으로 감소시킬 수 있다.

[0041] 다만, 본 발명의 효과는 상술한 효과에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0042] 도 1은 본 발명의 일 실시예에 따른 액정 표시 패널을 나타내는 도면이다.

도 2는 도 1의 액정 표시 패널에 배열된 픽셀들의 구조를 나타내는 도면이다.

도 3은 도 1의 액정 표시 패널에 공급되는 데이터 신호들의 극성에 따른 공통 전압을 나타내는 타이밍도이다.

도 4는 홀수 프레임 동안에 도 1의 액정 표시 패널에 공급되는 데이터 신호들의 극성을 나타내는 도면이다.

도 5a 내지 도 5f는 도 1의 액정 표시 패널에서 홀수 프레임 동안에 픽셀들에 데이터 신호들이 인가되는 과정을 나타내는 도면이다.

도 6은 짝수 프레임 동안에 도 1의 액정 표시 패널에 공급되는 데이터 신호들의 극성을 나타내는 도면이다.

도 7a 내지 도 7f는 도 1의 액정 표시 패널에서 짝수 프레임 동안에 픽셀들에 데이터 신호들이 인가되는 과정을 나타내는 도면이다.

도 8은 본 발명의 다른 실시예에 따른 액정 표시 패널을 나타내는 도면이다.

도 9는 본 발명의 실시예들에 따른 액정 표시 패널을 구비하는 액정 표시 장치를 나타내는 블록도이다.

도 10은 도 9의 액정 표시 장치를 구동하는 방법을 나타내는 순서도이다.

도 11은 도 9의 액정 표시 장치를 포함하는 전자 기기를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0043] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.

- [0044] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0045] 제1, 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성 요소는 제2 구성 요소로 명명될 수 있고, 유사하게 제2 구성 요소도 제1 구성 요소로 명명될 수 있다.
- [0046] 어떤 구성 요소가 다른 구성 요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성 요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성 요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성 요소가 다른 구성 요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성 요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성 요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 인접하는"과 "~에 직접 인접하는" 등도 마찬가지로 해석되어야 한다.
- [0047] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다", "구비하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0048] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미이다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미인 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0049] 이하, 첨부한 도면들을 참조하여, 본 발명의 예시적인 실시예들을 보다 상세하게 설명한다. 도면상의 동일한 구성 요소에 대해서는 동일한 참조 부호를 사용하고 동일한 구성 요소에 대해서 중복되는 설명은 생략한다.
- [0050] 도 1은 본 발명의 일 실시예에 따른 액정 표시 패널을 나타내는 도면이다.
- [0051] 도 1을 참조하면, 액정 표시 패널(100)은, 복수의 픽셀들(110), 제1 서브 게이트 라인(120_1), 제2 서브 게이트 라인(120_2), 게이트 라인들(130_1, ..., 130_k), 홀수 데이터 라인들(140_1, ..., 140_5) 및 짝수 데이터 라인들(150_1, ..., 150_5)을 포함할 수 있다. 예시적인 실시예에 따르면, 액정 표시 패널(100)은 전하 공유 제어 회로(160)를 추가적으로 포함할 수 있다.
- [0052] 일반적으로, 액정 표시 장치는 각각의 픽셀에 대하여 액정 커패시터의 화소 전극과 공통 전극에 전압을 인가함으로써 화소 전극과 공통 전극 사이에 위치하는 액정층의 광 투과율을 조절하는 방식으로 화상을 표시할 수 있다. 이 때, 액정 커패시터의 액정층에 한 방향으로 전계가 오랫동안 인가되는 경우에 액정 커패시터가 열화될 수 있다. 이를 고려하여, 액정 표시 장치는 액정 커패시터의 열화를 방지하기 위하여 데이터 신호들의 극성을 일정 주기마다 반전시키고 있다. 예를 들면, 액정 표시 장치는 소정 행(row)과 소정 열(column)마다 데이터 신호들의 극성을 반전시키는 도트 인버전 방식, 각 게이트 라인마다 데이터 신호들의 극성을 반전시키는 라인 인버전 방식, 각 데이터 라인마다 데이터 신호들의 극성을 반전시키는 컬럼 인버전 방식, 각 프레임(frame)마다 데이터 신호들의 극성을 반전시키는 프레임 인버전 방식, 픽셀들을 데이터 라인 방향으로 지그재그로 배열하고 열 인버전 방식으로 데이터 신호들을 공급함으로써 도트 인버전 방식을 구현하는 Z 인버전 방식, 라인 인버전 방식에서 공통 전극에 인가되는 전압의 변위 폭을 감소시킨 ALS 인버전 방식 등을 채용하고 있다.
- [0053] 그러나, 도트 인버전 방식은 수직 크로스토크나 수평 크로스토크를 방지하여 화질을 향상시킬 수 있는 반면, 소정 행과 소정 열마다 데이터 신호들의 극성을 반전시켜야 하므로, 데이터 신호들의 변위 주파수(즉, 데이터 신호들의 변동량)가 커서 소비 전력이 크다는 단점이 있다. 라인 인버전 방식은 도트 인버전 방식에 비해 데이터 신호들의 변위 폭을 작게 하여 소비 전력을 감소시킬 수 있으나, 각 게이트 라인마다 데이터 신호들의 극성이 반전되기 때문에 수평 크로스토크가 발생한다는 단점이 있다. 열 인버전 방식은 도트 인버전 방식에 비해 데이터 신호들의 변위 주파수를 작게 하여 소비 전력을 감소시킬 수 있으나, 각 데이터 라인마다 데이터 신호들의 극성이 반전되기 때문에 수직 크로스토크가 발생한다는 단점이 있다. 프레임 인버전 방식은 각 프레임마다 데이

터 신호들의 극성이 반전되기 때문에 프레임이 변경될 때 플리커(flicker)가 발생한다는 단점이 있다. Z 인버전 방식은 도트 인버전 방식에 비해 소비 전력을 감소시킬 수 있으나, 특정 데이터 신호들의 패턴에서 세로 줄무늬 현상이 발생한다는 단점이 있다. ALS 인버전 방식은 라인 인버전 방식에 비해 공통 전극에 인가되는 전압의 변위 폭을 감소시켜 소비 전력을 감소시킬 수 있으나, 라인 인버전 방식과 마찬가지로 수평 크로스토크가 발생한다는 단점이 있다.

[0054] 본 발명의 실시예들에 있어서, 액정 표시 패널(100)에는 픽셀들(110)이 제1 서브 게이트 라인(120_1), 제2 서브 게이트 라인(120_2) 및 게이트 라인들(130_1, ..., 130_k)과 홀수 데이터 라인들(140_1, ..., 140_5) 및 짝수 데이터 라인들(150_1, ..., 150_5)이 교차하는 위치에 매트릭스(matrix) 형태로 배열될 수 있다. 픽셀들(110)은 내부의 스위칭 소자(즉, 박막 트랜지스터)의 게이트(gate) 전극을 통하여 제1 서브 게이트 라인(120_1), 제2 서브 게이트 라인(120_2) 및 게이트 라인들(130_1, ..., 130_k)에 연결될 수 있고, 상기 박막 트랜지스터의 소스(source) 전극을 통하여 홀수 데이터 라인들(140_1, ..., 140_5) 및 짝수 데이터 라인들(150_1, ..., 150_5)에 연결될 수 있다. 예를 들면, 픽셀들(110)은 상기 박막 트랜지스터의 게이트 전극을 통하여 제1 서브 게이트 라인(120_1), 제2 서브 게이트 라인(120_2) 및 게이트 라인들(130_1, ..., 130_k)에서 출력되는 게이트 신호들(즉, 스캔 펄스)을 입력받을 수 있다. 또한, 픽셀들(110)은 상기 박막 트랜지스터의 소스 전극을 통하여 홀수 데이터 라인들(140_1, ..., 140_5) 및 짝수 데이터 라인들(150_1, ..., 150_5)에서 출력되는 데이터 신호들을 입력받을 수 있다. 예시적인 실시예에 있어서, 픽셀들(110)은 각각 박막 트랜지스터, 액정 커패시터(liquid crystal capacitor) 및 스토리지 커패시터(storage capacitor)를 포함할 수 있다. 이 경우, 상기 액정 커패시터는 데이터 신호를 인가받기 위한 픽셀 전극, 공통 전압을 인가받기 위한 공통 전극 및 이들 사이에 위치하는 유전율 이방성(dielectric anisotropy)을 가지는 액정층을 포함할 수 있다.

[0055] 액정 표시 패널(100)에 있어서, 제1 서브 게이트 라인(120_1) 및 제2 서브 게이트 라인(120_2)이 열 방향으로 게이트 라인들(130_1, ..., 130_k)의 외각에 위치할 수 있다. 예를 들면, 제1 서브 게이트 라인(120_1)은 하측의 제1 행-픽셀들과 연결될 수 있고, 제2 서브 게이트 라인(120_2)은 상측의 제2 행-픽셀들과 연결될 수 있다. 게이트 라인들(130_1, ..., 130_k)은 제1 서브 게이트 라인(120_1)과 제2 서브 게이트 라인(120_2) 사이에 위치하며, 각각 상측의 제2 행-픽셀들과 하측의 제1 행-픽셀들과 지그재그(zigzag) 형태로 연결될 수 있다. 예시적인 실시예에 있어서, 제1 행-픽셀들은 하나의 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에 상응할 수 있고, 제2 행-픽셀들은 하나의 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들에 상응할 수 있다. 즉, 제1 서브 게이트 라인(120_1)은 열 방향으로 상부의 최외각에 위치하는 픽셀들(110) 중에서 홀수 열의 픽셀들에 연결될 수 있고, 제2 서브 게이트 라인(120_2)은 열 방향으로 하부의 최외각에 위치하는 픽셀들(110) 중에서 짝수 열의 픽셀들에 연결될 수 있다. 게이트 라인들(130_1, ..., 130_k)은 각각 상측의 행-픽셀들 중에서 짝수 열의 픽셀들과 연결될 수 있고, 하측의 행-픽셀들 중에서 홀수 열의 픽셀들과 연결될 수 있다.

[0056] 또한, 액정 표시 패널(100)에서는 홀수 데이터 라인들(140_1, ..., 140_5)에 연결되는 픽셀들(110)과 짝수 데이터 라인들(150_1, ..., 150_5)에 연결되는 픽셀들(110)이 서로 상이할 수 있다. 예를 들면, 홀수 데이터 라인들(140_1, ..., 140_5)은 제2 열-픽셀들과 연결될 수 있고, 짝수 데이터 라인들(150_1, ..., 150_5)은 제1 열-픽셀들과 연결될 수 있다. 예시적인 실시예에 있어서, 제1 열-픽셀들은 하나의 열에 배열되는 픽셀들(110) 중에서 홀수 행의 픽셀들에 상응할 수 있고, 제2 열-픽셀들은 하나의 열에 배열되는 픽셀들(110) 중에서 짝수 행의 픽셀들에 상응할 수 있다. 다른 실시예에 따르면, 제1 열-픽셀들은 하나의 열에 배열되는 픽셀들(110) 중에서 짝수 행의 픽셀들에 상응할 수 있고, 제2 열-픽셀들은 하나의 열에 배열되는 픽셀들(110) 중에서 홀수 행의 픽셀들에 상응할 수 있다. 다만, 도 1에서는 홀수 데이터 라인들(140_1, ..., 140_5)이 하나의 열에 배열되는 픽셀들(110) 중에서 짝수 행의 픽셀들에 연결되고, 짝수 데이터 라인들(150_1, ..., 150_5)이 하나의 열에 배열되는 픽셀들(110) 중에서 홀수 행의 픽셀들에 연결되는 실시예가 도시되어 있다.

[0057] 전술한 바와 같이, 액정 표시 패널(100)은 픽셀들(110)이 박막 트랜지스터의 게이트 전극을 통하여 제1 서브 게이트 라인(120_1), 제2 서브 게이트 라인(120_2) 및 게이트 라인들(130_1, ..., 130_k)에 연결되고, 박막 트랜지스터의 소스 전극을 통하여 홀수 데이터 라인들(140_1, ..., 140_5) 및 짝수 데이터 라인들(150_1, ..., 150_5)에 연결됨에 있어서, 하나의 프레임 동안에 홀수 데이터 라인들(140_1, ..., 140_5)에 제1 극성의 데이터 신호들이 공급되고, 짝수 데이터 라인들(140_1, ..., 140_5)에 상기 제1 극성과 반대되는 제2 극성의 데이터 신호들이 공급되는 경우에, 하나의 행에 배열되는 인접하는 픽셀들(즉, 인접하는 행-픽셀들)에 같은 극성의 데이터 신호들이 일 수평 주기의 시차를 두어 인가되고, 하나의 열에 배열되는 인접하는 픽셀들(즉, 인접하는 열-픽셀들)에 반대 극성의 데이터 신호들이 인가되도록 하는 특이한 구조를 가질 수 있다. 이 때, 액정 표시 패널(100)은 상기 특이한 구조에 기초하여 동작함에 있어서, 실질적으로 컬럼 인버전 방식과 유사한 방식으로 데이

터 신호들을 공급받을 수 있다. 예를 들면, 액정 표시 패널(100)은 홀수 프레임 동안에 홀수 데이터 라인들(140_1, ……., 140_5)에 제1 극성의 데이터 신호들을 공급받을 수 있고, 짝수 데이터 라인들(150_1, ……., 150_5)에 제2 극성의 데이터 신호들을 공급받는 반면, 짝수 프레임 동안에는 홀수 데이터 라인들(140_1, ……., 140_5)에 제2 극성의 데이터 신호들을 공급받을 수 있고, 짝수 데이터 라인들(150_1, ……., 150_5)에 제1 극성의 데이터 신호들을 공급받을 수 있다.

[0058] 또한, 액정 표시 패널(100)은 홀수 데이터 라인들(140_1, ……., 140_5) 사이에 서로 전하(charge)를 공유시키고, 짝수 데이터 라인들(150_1, ……., 150_5)간에 서로 전하를 공유시키는 전하 공유 제어 회로(160)를 더 포함할 수 있다. 예시적인 실시예에 있어서, 전하 공유 제어 회로(160)는 전하 공유 제어 신호(CSC)에 기초하여 홀수 데이터 라인들(140_1, ……., 140_5)을 서로 연결시키는 제1 스위치들(OST) 및 전하 공유 제어 신호(CSC)에 기초하여 짝수 데이터 라인들(150_1, ……., 150_5)을 서로 연결시키는 제2 스위치들(EST)을 포함할 수 있다. 이 때, 전하 공유 제어 신호(CSC)는 프리 차지 셰어링(Pre-Charge Sharing; PCS) 신호일 수 있다. 예시적인 실시예에 따르면, 제1 및 제2 스위치들(OST, EST)은 제1 서브 게이트 라인(120_1), 제2 서브 게이트 라인(120_2) 및 게이트 라인들(130_1, ……., 130_k) 별로 픽셀들(110)이 충전되기 이전에 턴온되거나, 또는 상기 픽셀들(110)이 충전된 이후에 턴온됨으로써, 홀수 데이터 라인들(140_1, ……., 140_5)간에 서로 전하가 공유되고, 짝수 데이터 라인들(150_1, ……., 150_5)간에 서로 전하가 공유되도록 할 수 있다. 예를 들어, 제1 및 제2 스위치들(OST, EST)이 N형 모스(NMOS) 트랜지스터인 경우, 전하 공유 제어 신호(CSC)가 논리 "하이" 전압 레벨을 가지면, 제1 스위치들(OST) 및 제2 스위치들(EST)이 턴온되어, 홀수 데이터 라인들(140_1, ……., 140_5)끼리 서로 연결되고, 짝수 데이터 라인들(150_1, ……., 150_5)끼리 서로 연결될 수 있다. 반면에, 제1 및 제2 스위치들(OST, EST)이 P형 모스(PMOS) 트랜지스터인 경우, 전하 공유 제어 신호(CSC)가 논리 "로우" 전압 레벨을 가지면, 제1 스위치들(OST) 및 제2 스위치들(EST)이 턴온되어, 홀수 데이터 라인들(140_1, ……., 140_5)끼리 서로 연결되고, 짝수 데이터 라인들(150_1, ……., 150_5)끼리 서로 연결될 수 있다. 이와 같이, 액정 표시 패널(100)은 전하 공유 제어 회로(160)를 포함함으로써 변화가 심한 패턴(pattern)에 대해서도 소비 전력을 감소시킬 수 있고, 픽셀들(110)의 충전 특성을 향상시켜 전반적인 성능을 향상시킬 수 있다. 상술한 바에 따르면, 전하 공유 제어 회로(160)가 액정 표시 패널(100)에 구비되는 것으로 설명되었으나, 전하 공유 제어 회로(160)는 요구되는 조건에 따라 집적 회로(integrated circuit; IC)의 내부에 실장될 수도 있다.

[0059] 전술한 바와 같이, 액정 표시 장치가 픽셀들(110) 내부의 액정 커패시터의 열화를 방지하기 위하여 데이터 신호들의 극성을 일정 주기마다 반전시킴에 있어서, 액정 표시 패널(100)은 상기 특이한 구조에 기초하여 일 프레임 동안에 같은 극성의 데이터 신호들을 데이터 라인마다 반전하여 공급받음으로써 소비 전력을 효율적으로 감소시킬 수 있고, 같은 극성의 데이터 신호들을 하나의 행을 구성하는 홀수 열의 픽셀들과 짝수 열의 픽셀들에 일 수평 주기의 시차를 두어 인가함으로써 수평 크로스토크를 방지할 수 있으며, 반대 극성의 데이터 신호들을 하나의 열을 구성하는 픽셀들(100)에 일 수평 주기의 시차를 두어 순차적으로 인가함으로써 수직 크로스토크를 방지할 수 있다. 한편, 액정 표시 패널(100) 상에서 컬러를 구현하기 위하여, 각각의 픽셀들(110)은 레드(red), 그린(green) 및 블루(blue) 중의 하나, 또는 옐로우(yellow), 시안(cyan) 및 마젠타(magenta) 중의 하나를 고유하게 표시(즉, 공간 분할)하거나, 레드(red), 그린(green) 및 블루(blue), 또는 옐로우(yellow), 시안(cyan) 및 마젠타(magenta)를 시간에 따라 번갈아 표시(즉, 시간 분할)할 수 있다. 이를 위하여, 도 1에는 도시하지 않았지만, 액정 표시 패널(100)이 각각의 픽셀들(110)에 대응되는 위치에 레드 필터, 그린 필터 및 블루 필터, 또는 옐로우 필터, 시안 필터 및 마젠타 필터를 구비할 수 있다. 그 결과, 액정 표시 패널(100)은 레드(red), 그린(green) 및 블루(blue), 또는 옐로우(yellow), 시안(cyan) 및 마젠타(magenta)의 공간적 또는 시간적 합으로 화상을 표시할 수 있다.

[0060] 도 2는 도 1의 액정 표시 패널에 배열된 픽셀들의 구조를 나타내는 도면이다.

[0061] 도 2를 참조하면, 픽셀들(110)은 각기 스위칭 소자(Q), 액정 커패시터(CLC) 및 스토리지 커패시터(CST)를 포함할 수 있다. 예시적인 실시예에 따르면, 스위칭 소자(Q)는 비정질 실리콘(amorphous silicon)으로 이루어진 박막 트랜지스터(TFT)일 수 있다.

[0062] 스위칭 소자(Q)는 하부 표시 기관에 구비될 수 있다. 상기 박막 트랜지스터(TFT)는 게이트 라인(GL)으로부터 공급되는 게이트 신호에 응답하여 데이터 라인(DL)으로부터 공급되는 데이터 신호를 액정 커패시터(CLC)에 공급할 수 있다. 이를 위하여, 스위칭 소자(Q)는 게이트 전극을 통하여 게이트 라인(GL)에 연결될 수 있고, 소스 전극을 통하여 데이터 라인(DL)에 연결될 수 있으며, 드레인 전극을 통하여 액정 커패시터(CLC)에 연결될 수 있다. 액정 커패시터(CLC)는 픽셀 전극(DE)에 인가되는 데이터 신호와 공통 전극(CE)에 인가되는 공통 전압의 전위차로 충전되며, 이러한 충전 전압에 기초하여 액정층의 광 투과율을 조절할 수 있다. 예를 들면, 노멀리 블랙

(normally black) 모드의 경우, 데이터 신호와 공통 전압의 전위차 즉, 충전 전압이 클수록 액정층의 광 투과율이 증가할 수 있고, 데이터 신호와 공통 전압의 전위차 즉, 충전 전압이 작을수록 액정층의 광 투과율은 감소할 수 있다. 이를 위하여, 액정 커패시터(CLC)는 하부 표시 기관에 구비된 픽셀 전극(DE)과 상부 표시판에 구비된 공통 전극(CE)을 포함할 수 있으며, 픽셀 전극(DE)과 공통 전극(CE) 사이에 액정층을 포함할 수 있다. 예시적인 실시예에 따르면, 액정 커패시터(CLC)의 공통 전극(CE)이 하부 표시판에 구비될 수도 있다. 예를 들면, 픽셀 전극(DE)은 스위칭 소자(Q)의 드레인 전극에 연결되어 소스 전극에 연결된 데이터 라인(DL)으로부터 데이터 신호를 인가받을 수 있고, 공통 전극(CE)은 하부 표시판에 구비된 신호 라인(도시되지 않음)으로부터 공통 전압을 인가받을 수 있다. 예시적인 실시예에 있어서, 액정 표시 패널(100)에 데이터 신호와 공통 전압이 인가됨에 있어서, 양의 극성을 갖는 데이터 신호가 인가될 때 낮은 공통 전압이 인가되고, 음의 극성을 갖는 데이터 신호가 인가될 때 높은 공통 전압이 인가될 수 있다. 이러한 경우, 액정 커패시터(CLC)에는 실질적으로 인가되는 데이터 신호보다 높은 충전 전압이 유도될 수 있어 상대적으로 소비 전력이 감소될 수 있다. 스토리지 커패시터(CST)는 액정 커패시터(CLC)의 충전 전압을 유지시킬 수 있다. 즉, 스토리지 커패시터(CST)는 액정 커패시터(CLC)의 보조적인 역할을 수행하며, 하부 표시판에 구비된 신호 라인(도시되지 않음)과 픽셀 전극(DE)이 절연체를 사이에 두고 중첩됨으로써 형성될 수 있다. 다만, 픽셀들(110)은 요구되는 조건에 따라 스토리지 커패시터(CST)를 포함하지 않을 수 있다. 도 2에는 도시되지 않았지만, 상부 표시 기관에는 컬러 필터가 배치될 수 있고, 상기 상부 표시 기관 및/또는 상기 하부 표시 기관에는 편광판이 부착될 수 있다.

[0063] 도 3은 도 1의 액정 표시 패널에 공급되는 데이터 신호들의 극성에 따른 공통 전압을 나타내는 타이밍도이다.

[0064] 도 3을 참조하면, 제1 프레임(1F)과 상기 제1 프레임(1F)에 이어지는 제2 프레임(2F)은 각각 복수의 수평 주기들(1H, ..., 8H)로 이루어질 수 있다. 이 때, 제1 프레임(1F)은 홀수 프레임에 상응할 수 있고, 제2 프레임(2F)은 짝수 프레임에 상응할 수 있다. 한편, 액정 표시 패널(100)의 화상 표시는 프레임 단위로 이루어지기 때문에, 액정 표시 패널(100)의 화상 표시가 완료될 때까지 제1 프레임(1F)과 상기 제1 프레임(1F)에 이어지는 제2 프레임(2F)은 계속적으로 반복될 수 있다.

[0065] 제1 프레임(1F)은 복수의 수평 주기들(1H, ..., 8H)로 이루어지며, 각 수평 주기(1H, ..., 8H)마다 게이트 라인들(120_1, 130_1, ..., 130_k, 120_2)에 게이트 신호들이 인가되면, 홀수 데이터 라인들(140_1, ..., 140_5) 또는 짝수 데이터 라인들(150_1, ..., 150_5)로부터 출력되는 데이터 신호들이 해당하는 행의 홀수 열의 픽셀들 또는 짝수 열의 픽셀들에 선택적으로 인가될 수 있다. 즉, 게이트서는 데이터 신호들의 변위 주파수(즉, 데이터 신호의 변동량)가 작아 종래의 인버전 방식 예를 들어, 라인 인버전 방식에 비하여 소비 전력이 작을 수 있다.

[0066] 한편, 액정 표시 장치는 액정 표시 패널(100)에 데이터 신호들과 공통 전압을 공급함에 있어서, 액정 표시 패널(100)에 양의 극성을 갖는 데이터 신호들을 공급할 때 상대적으로 낮은 공통 전압(VCOM_L)을 공급하고, 음의 극성을 갖는 데이터 신호들을 공급할 때 상대적으로 높은 공통 전압(VCOM_H)을 공급할 수 있다. 예를 들면, 제1 프레임(1F) 동안에 홀수 데이터 라인들(140_1, ..., 140_5)에 양의 극성을 갖는 데이터 신호들이 공급될 때, 홀수 데이터 라인들(140_1, ..., 140_5)에 연결된 픽셀들의 공통 전극에는 상대적으로 낮은 공통 전압(VCOM_L)이 공급될 수 있다. 또한, 제1 프레임(1F) 동안에 짝수 데이터 라인들(150_1, ..., 150_5)에 음의 극성을 갖는 데이터 신호들이 공급될 때, 짝수 데이터 라인들(150_1, ..., 150_5)에 연결된 픽셀들의 공통 전극에는 상대적으로 높은 공통 전압(VCOM_H)이 공급될 수 있다. 마찬가지로, 제2 프레임(2F) 동안에 홀수 데이터 라인들(140_1, ..., 140_5)에 음의 극성을 갖는 데이터 신호들이 공급될 때, 홀수 데이터 라인들(140_1, ..., 140_5)에 연결된 픽셀들의 공통 전극에는 상대적으로 높은 공통 전압(VCOM_H)이 공급될 수 있다. 또한, 제2 프레임(2F) 동안에 짝수 데이터 라인들(150_1, ..., 150_5)에 양의 극성을 갖는 데이터 신호들이 공급될 때, 짝수 데이터 라인들(150_1, ..., 150_5)에 연결된 픽셀들의 공통 전극에는 상대적으로 낮은 공통 전압(VCOM_L)이 공급될 수 있다. 그 결과, 픽셀들 내부의 액정 커패시터(CLC)에는 실질적으로 인가되는 데이터 신호보다 높은 충전 전압이 유도될 수 있다. 이와 같이, 액정 표시 패널(100)에 공통 전압이 공급되는 방식은 프레임 주기로 공통 전압을 교류 반전시켜 픽셀들의 충전 전압을 올려주는 ALS 인버전 방식과 유사하다. 따라서, 액정 표시 패널(100)에서는 인가되는 데이터 신호들에 비해서 높은 충전 전압을 유도할 수 있으므로, 종래의 인버전 방식, 예를 들어, 도트 인버전 방식에 비하여 소비 전력이 작을 수 있다.

[0067] 도 4는 홀수 프레임 동안에 도 1의 액정 표시 패널에 공급되는 데이터 신호들의 극성을 나타내는 도면이다.

[0068] 도 4를 참조하면, 액정 표시 장치는 홀수 프레임(1F) 동안에 액정 표시 패널(100)의 데이터 라인들(DL1, ..., DL8)에 데이터 신호들을 공급함에 있어서, 액정 표시 패널(100)의 데이터 라인들(DL1, ..., DL8)을 홀수 데이터 라인들(140_1, ..., 140_5)과 짝수 데이터 라인들(150_1, ..., 150_5)로 구분하여, 이들에 각각 상반되는 극성

의 데이터 신호들을 공급할 수 있다. 예를 들어, 액정 표시 장치는 홀수 프레임(1F) 동안에 홀수 데이터 라인들(140_1, ..., 140_5)에 양의 극성을 갖는 데이터 신호들을 순차적으로 공급할 수 있고, 짝수 데이터 라인들(150_1, ..., 150_5)에 음의 극성을 갖는 데이터 신호들을 순차적으로 공급할 수 있다. 다만, 후술할 바와 같이, 홀수 프레임(1F) 동안에 공급되는 데이터 신호들의 극성은 짝수 프레임(2F) 동안에 공급되는 데이터 신호들의 극성과는 상반된다. 그러나, 데이터 라인들(DL1, ..., DL8)에 데이터 신호들이 인가되는 극성 패턴과는 액정 표시 패널(100) 상에는 다른 극성 패턴이 표시될 수 있다. 이 때, 데이터 신호들이 인가되는 극성 패턴을 드라이버 극성 패턴(driver polarity pattern)이라 정의하고, 데이터 신호들이 액정 표시 패널(100) 상에 표시되는 극성 패턴을 겉보기 극성 패턴(apparent polarity)이라 정의할 수 있다. 후술할 바와 같이, 액정 표시 패널(100)에서 드라이버 극성 패턴은 컬럼 인버전 방식의 드라이버 극성 패턴과 유사하고, 겉보기 극성 패턴은 같은 행에 배열되는 홀수 열의 픽셀들과 짝수 열의 픽셀들에 데이터 신호들이 일 수평 주기의 시차를 두고 인가된다는 점을 제외하고 ALS 인버전 방식의 겉보기 극성 패턴 또는 라인 인버전 방식의 겉보기 극성 패턴과 유사하다. 이에 대해서는 도 5a 내지 도 5e를 참조하여 다음과 같이 설명한다.

[0069] 도 5a 내지 도 5f는 도 1의 액정 표시 패널에서 홀수 프레임 동안에 픽셀들에 데이터 신호들이 인가되는 과정을 나타내는 도면이다.

[0070] 도 5a를 참조하면, 제1 수평 주기(1H)에서 제1 서브 게이트 라인(120_1)에 픽셀들 내부의 박막 트랜지스터들을 턴온시키기 위한 게이트 신호가 인가될 수 있다. 이 때, 제1 서브 게이트 라인(120_1)이 제1 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에만 연결되어 있으므로, 제1 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에만 데이터 신호들이 인가될 수 있다. 한편, 제1 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들은 짝수 데이터 라인들(150_1, ..., 150_5)에 연결되어 있고, 홀수 프레임(1F) 동안에는 짝수 데이터 라인들(150_1, ..., 150_5)에 공급되는 데이터 신호들의 극성이 음(-)이므로, 제1 수평 주기(1H)에서는 제1 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에만 음(-)의 극성을 갖는 데이터 신호들이 인가될 수 있다. 이와 같이, 제1 수평 주기(1H)에서 인접하는 행-픽셀들 간에는 데이터 신호들이 동시에 인가되지 않으므로 수평 크로스토크가 방지될 수 있다.

[0071] 도 5b를 참조하면, 제2 수평 주기(2H)에서 제1 게이트 라인(130_1)에 픽셀들 내부의 박막 트랜지스터들을 턴온시키기 위한 게이트 신호가 인가될 수 있다. 이 때, 제1 게이트 라인(130_1)이 제1 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들에 연결되어 있고, 제2 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에 연결되어 있으므로, 제1 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들과 제2 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에만 데이터 신호들이 인가될 수 있다. 한편, 제1 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들은 짝수 데이터 라인들(150_1, ..., 150_5)에 연결되어 있고, 홀수 프레임(1F) 동안에는 짝수 데이터 라인들(150_1, ..., 150_5)에 공급되는 데이터 신호들의 극성이 음(-)이므로, 제2 수평 주기(2H)에서는 제1 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들에 음(-)의 극성을 갖는 데이터 신호들이 인가될 수 있다. 반면, 제2 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들은 홀수 데이터 라인들(140_1, ..., 140_5)에 연결되어 있고, 홀수 프레임(1F) 동안에는 홀수 데이터 라인들(140_1, ..., 140_5)에 공급되는 데이터 신호들의 극성이 양(+)이므로, 제2 수평 주기(2H)에서는 제2 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에 양(+)의 극성을 갖는 데이터 신호들이 인가될 수 있다. 이와 같이, 제2 수평 주기(2H)에서 인접하는 행-픽셀들 간에는 데이터 신호들이 동시에 인가되지 않으므로 수평 크로스토크가 방지될 수 있을 뿐만 아니라, 인접하는 열-픽셀들 즉, 제1 행에 배열되는 픽셀들(110)과 제2 행에 배열되는 픽셀들(110)에는 반대 극성의 데이터 신호들이 인가되므로 수직 크로스토크도 방지될 수 있다.

[0072] 도 5c를 참조하면, 제3 수평 주기(3H)에서 제2 게이트 라인(130_2)에 픽셀들 내부의 박막 트랜지스터들을 턴온시키기 위한 게이트 신호가 인가될 수 있다. 이 때, 제2 게이트 라인(130_2)이 제2 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들에 연결되어 있고, 제3 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에 연결되어 있으므로, 제2 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들과 제3 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에만 데이터 신호들이 인가될 수 있다. 한편, 제2 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들은 홀수 데이터 라인들(140_1, ..., 140_5)에 연결되어 있고, 홀수 프레임(1F) 동안에는 홀수 데이터 라인들(140_1, ..., 140_5)에 공급되는 데이터 신호들의 극성이 양(+)이므로, 제3 수평 주기(3H)에서는 제2 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들에 양(+)의 극성을 갖는 데이터 신호들이 인가될 수 있다. 반면, 제3 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들은 짝수 데이터 라인들(150_1, ..., 150_5)에 연결되어 있고, 홀수 프레임(1F) 동안에는 짝수 데이터 라인들(150_1, ..., 150_5)에 공급되는 데이터 신호들의 극성이 음(-)이므로, 제3 수평 주기(3H)에서는 제3 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에 음(-)

)의 극성을 갖는 데이터 신호들이 인가될 수 있다. 이와 같이, 제3 수평 주기(3H)에서 인접하는 행-픽셀들 간에는 데이터 신호들이 동시에 인가되지 않으므로 수평 크로스토크가 방지될 수 있을 뿐만 아니라, 인접하는 열-픽셀들 즉, 제2 행에 배열되는 픽셀들(110)과 제3 행에 배열되는 픽셀들(110)에는 반대 극성의 데이터 신호들이 인가되므로 수직 크로스토크도 방지될 수 있다.

[0073]

도 5d를 참조하면, 제4 수평 주기(4H)에서 제3 게이트 라인(130_3)에 픽셀들 내부의 박막 트랜지스터들을 턴온시키기 위한 게이트 신호가 인가될 수 있다. 이 때, 제3 게이트 라인(130_3)이 제3 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들에 연결되어 있고, 제4 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에 연결되어 있으므로, 제3 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들과 제4 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에만 데이터 신호들이 인가될 수 있다. 한편, 제3 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들은 짝수 데이터 라인들(150_1, ..., 150_5)에 연결되어 있고, 홀수 프레임(1F) 동안에는 짝수 데이터 라인들(150_1, ..., 150_5)에 공급되는 데이터 신호들의 극성이 음(-)이므로, 제4 수평 주기(4H)에서는 제3 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들에 음(-)의 극성을 갖는 데이터 신호들이 인가될 수 있다. 반면, 제4 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들은 홀수 데이터 라인들(140_1, ..., 140_5)에 연결되어 있고, 홀수 프레임(1F) 동안에는 홀수 데이터 라인들(140_1, ..., 140_5)에 공급되는 데이터 신호들의 극성이 양(+)이므로, 제4 수평 주기(4H)에서는 제4 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에 양(+)의 극성을 갖는 데이터 신호들이 인가될 수 있다. 이와 같이, 제4 수평 주기(4H)에서 인접하는 행-픽셀들 간에는 데이터 신호들이 동시에 인가되지 않으므로 수평 크로스토크가 방지될 수 있을 뿐만 아니라, 인접하는 열-픽셀들 즉, 제3 행에 배열되는 픽셀들(110)과 제4 행에 배열되는 픽셀들(110)에는 반대 극성의 데이터 신호들이 인가되므로 수직 크로스토크도 방지될 수 있다.

[0074]

도 5e를 참조하면, 제5 수평 주기(5H)에서 제4 게이트 라인(130_4)에 픽셀들 내부의 박막 트랜지스터들을 턴온시키기 위한 게이트 신호가 인가될 수 있다. 상술한 바와 같이, 제5 수평 주기(5H)에서는 제4 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들에 양(+)의 극성을 갖는 데이터 신호들이 인가될 수 있고, 제5 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에 음(-)의 극성을 갖는 데이터 신호들이 인가될 수 있다. 이와 같이, 제5 수평 주기(5H)에서 인접하는 행-픽셀들 간에는 데이터 신호들이 동시에 인가되지 않으므로 수평 크로스토크가 방지될 수 있을 뿐만 아니라, 인접하는 열-픽셀들 즉, 제4 행에 배열되는 픽셀들(110)과 제5 행에 배열되는 픽셀들(110)에는 반대 극성의 데이터 신호들이 인가되므로 수직 크로스토크도 방지될 수 있다. 이러한 과정이 제2 서브 게이트 라인(120_2)에 게이트 신호가 인가되어 홀수 프레임(1F)이 종료될 때까지 반복될 수 있고, 이어지는 짝수 프레임(2F)에서 데이터 신호들의 극성이 변경될 수 있다. 도 5a 내지 도 5e에 도시한 바와 같이, 액정 표시 패널(100)에서 드라이버 극성 패턴은 컬럼 인버전 방식의 드라이버 극성 패턴과 유사하고, 걸보기 극성 패턴은 같은 행에 배열되는 홀수 열의 픽셀들과 짝수 열의 픽셀들에 데이터 신호들이 일 수평 주기의 시차를 두고 인가된다는 점을 제외하고 ALS 인버전 방식의 걸보기 극성 패턴 또는 라인 인버전 방식의 걸보기 극성 패턴과 유사하다.

[0075]

도 6은 짝수 프레임 동안에 도 1의 액정 표시 패널에 공급되는 데이터 신호들의 극성을 나타내는 도면이다.

[0076]

도 6을 참조하면, 액정 표시 장치는 짝수 프레임(2F) 동안에 액정 표시 패널(100)의 데이터 라인들(DL1, ..., DL8)에 데이터 신호들을 인가함에 있어서, 액정 표시 패널(100)의 데이터 라인들(DL1, ..., DL8)을 홀수 데이터 라인들(140_1, ..., 140_5)과 짝수 데이터 라인들(150_1, ..., 150_5)로 구분하여, 이들에 각각 상반되는 극성의 데이터 신호들을 공급할 수 있다. 예를 들어, 액정 표시 장치는 짝수 프레임(2F) 동안에 홀수 데이터 라인들(140_1, ..., 140_5)에 음의 극성을 갖는 데이터 신호들을 순차적으로 공급할 수 있고, 짝수 데이터 라인들(150_1, ..., 150_5)에 양의 극성을 갖는 데이터 신호들을 순차적으로 공급할 수 있다. 즉, 짝수 프레임(2F) 동안에 공급되는 데이터 신호들의 극성은 홀수 프레임(1F) 동안에 공급되는 데이터 신호들의 극성과는 상반된다. 상술한 바와 같이, 액정 표시 패널(100) 상에 표시되는 극성 패턴은 데이터 라인들(DL1, ..., DL8)에 데이터 신호들이 인가되는 극성 패턴과는 상이하다. 즉, 액정 표시 패널(100)에서 드라이버 극성 패턴은 컬럼 인버전 방식의 드라이버 극성 패턴과 유사하고, 걸보기 극성 패턴은 같은 행에 배열되는 홀수 열의 픽셀들과 짝수 열의 픽셀들에 데이터 신호들이 일 수평 주기의 시차를 두고 인가된다는 점을 제외하고 ALS 인버전 방식의 걸보기 극성 패턴 또는 라인 인버전 방식의 걸보기 극성 패턴과 유사하다. 이에 대해서는 다음과 같이 도 7a 내지 도 7e를 참조하여 설명한다.

[0077]

도 7a 내지 도 7f는 도 1의 액정 표시 패널에서 짝수 프레임 동안에 픽셀들에 데이터 신호들이 인가되는 과정을 나타내는 도면이다.

- [0078] 도 7a를 참조하면, 제1 수평 주기(1H)에서 제1 서브 게이트 라인(120_1)에 픽셀들 내부의 박막 트랜지스터들을 턴온시키기 위한 게이트 신호가 인가될 수 있다. 이 때, 제1 서브 게이트 라인(120_1)이 제1 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에만 연결되어 있으므로, 제1 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에만 데이터 신호들이 인가될 수 있다. 한편, 제1 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들은 짝수 데이터 라인들(150_1, ..., 150_5)에 연결되어 있고, 짝수 프레임(2F) 동안에는 짝수 데이터 라인들(150_1, ..., 150_5)에 공급되는 데이터 신호들의 극성이 양(+)이므로, 제1 수평 주기(1H)에서는 제1 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에만 양(+)의 극성을 갖는 데이터 신호들이 인가될 수 있다. 이와 같이, 제1 수평 주기(1H)에서 인접하는 행-픽셀들 간에는 데이터 신호들이 동시에 인가되지 않으므로 수평 크로스토크가 방지될 수 있다.
- [0079] 도 7b를 참조하면, 제2 수평 주기(2H)에서 제1 게이트 라인(130_1)에 픽셀들 내부의 박막 트랜지스터들을 턴온시키기 위한 게이트 신호가 인가될 수 있다. 이 때, 제1 게이트 라인(130_1)이 제1 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들에 연결되어 있고, 제2 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에 연결되어 있으므로, 제1 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들과 제2 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에만 데이터 신호들이 인가될 수 있다. 한편, 제1 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들은 짝수 데이터 라인들(150_1, ..., 150_5)에 연결되어 있고, 짝수 프레임(2F) 동안에는 짝수 데이터 라인들(150_1, ..., 150_5)에 공급되는 데이터 신호들의 극성이 양(+)이므로, 제2 수평 주기(2H)에서는 제1 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들에 양(+)의 극성을 갖는 데이터 신호들이 인가될 수 있다. 반면, 제2 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들은 홀수 데이터 라인들(140_1, ..., 140_5)에 연결되어 있고, 짝수 프레임(2F) 동안에는 홀수 데이터 라인들(140_1, ..., 140_5)에 공급되는 데이터 신호들의 극성이 음(-)이므로, 제2 수평 주기(2H)에서는 제2 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에 음(-)의 극성을 갖는 데이터 신호들이 인가될 수 있다. 이와 같이, 제2 수평 주기(2H)에서 인접하는 행-픽셀들 간에는 데이터 신호들이 동시에 인가되지 않으므로 수평 크로스토크가 방지될 수 있을 뿐만 아니라, 인접하는 열-픽셀들 즉, 제1 행에 배열되는 픽셀들(110)과 제2 행에 배열되는 픽셀들(110)에는 반대 극성의 데이터 신호들이 인가되므로 수직 크로스토크도 방지될 수 있다.
- [0080] 도 7c를 참조하면, 제3 수평 주기(3H)에서 제2 게이트 라인(130_2)에 픽셀들 내부의 박막 트랜지스터들을 턴온시키기 위한 게이트 신호가 인가될 수 있다. 이 때, 제2 게이트 라인(130_2)이 제2 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들에 연결되어 있고, 제3 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에 연결되어 있으므로, 제2 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들과 제3 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에만 데이터 신호들이 인가될 수 있다. 한편, 제2 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들은 홀수 데이터 라인들(140_1, ..., 140_5)에 연결되어 있고, 짝수 프레임(2F) 동안에는 홀수 데이터 라인들(140_1, ..., 140_5)에 공급되는 데이터 신호들의 극성이 음(-)이므로, 제3 수평 주기(3H)에서는 제2 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들에 음(-)의 극성을 갖는 데이터 신호들이 인가될 수 있다. 반면, 제3 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들은 짝수 데이터 라인들(150_1, ..., 150_5)에 연결되어 있고, 짝수 프레임 동안에는 짝수 데이터 라인들(150_1, ..., 150_5)에 공급되는 데이터 신호들의 극성이 양(+)이므로, 제3 수평 주기(3H)에서는 제3 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에 양(+)의 극성을 갖는 데이터 신호들이 인가될 수 있다. 이와 같이, 제3 수평 주기(3H)에서 인접하는 행-픽셀들 간에는 데이터 신호들이 동시에 인가되지 않으므로 수평 크로스토크가 방지될 수 있을 뿐만 아니라, 인접하는 열-픽셀들 즉, 제2 행에 배열되는 픽셀들(110)과 제3 행에 배열되는 픽셀들(110)에는 반대 극성의 데이터 신호들이 인가되므로 수직 크로스토크도 방지될 수 있다.
- [0081] 도 7d를 참조하면, 제4 수평 주기(4H)에서 제3 게이트 라인(130_3)에 픽셀들 내부의 박막 트랜지스터들을 턴온시키기 위한 게이트 신호가 인가될 수 있다. 이 때, 제3 게이트 라인(130_3)이 제3 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들에 연결되어 있고, 제4 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에 연결되어 있으므로, 제3 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들과 제4 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에만 데이터 신호들이 인가될 수 있다. 한편, 제3 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들은 짝수 데이터 라인들(150_1, ..., 150_5)에 연결되어 있고, 짝수 프레임(2F) 동안에는 짝수 데이터 라인들(150_1, ..., 150_5)에 공급되는 데이터 신호들의 극성이 양(+)이므로, 제4 수평 주기(4H)에서는 제3 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들에 양(+)의 극성을 갖는 데이터 신호들이 인가될 수 있다. 반면, 제4 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들은 홀수 데이터 라인들(140_1, ..., 140_5)에 연결되어 있고, 짝수 프레임(2F) 동안에는 홀수 데이터 라인들(140_1, ..., 140_5)에 공급되는 데이터 신호들의

극성이 음(-)이므로, 제4 수평 주기(4H)에서는 제4 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에 음(-)의 극성을 갖는 데이터 신호들이 인가될 수 있다. 이와 같이, 제4 수평 주기(4H)에서 인접하는 행-픽셀들 간에는 데이터 신호들이 동시에 인가되지 않으므로 수평 크로스토크가 방지될 수 있을 뿐만 아니라, 인접하는 열-픽셀들 즉, 제3 행에 배열되는 픽셀들(110)과 제4 행에 배열되는 픽셀들(110)에는 반대 극성의 데이터 신호들이 인가되므로 수직 크로스토크도 방지될 수 있다.

[0082] 도 7e를 참조하면, 제5 수평 주기(5H)에서 제4 게이트 라인(130_4)에 픽셀들 내부의 박막 트랜지스터들을 턴온시키기 위한 게이트 신호가 인가될 수 있다. 상술한 바와 같이, 제5 수평 주기(5H)에서는 제4 행에 배열되는 픽셀들(110) 중에서 짝수 열의 픽셀들에 음(-)의 극성을 갖는 데이터 신호들이 인가될 수 있고, 제5 행에 배열되는 픽셀들(110) 중에서 홀수 열의 픽셀들에는 양(+)의 극성을 갖는 데이터 신호들이 인가될 수 있다. 이와 같이, 제5 수평 주기(5H)에서 인접하는 행-픽셀들 간에는 데이터 신호들이 동시에 인가되지 않으므로 수평 크로스토크가 방지될 수 있을 뿐만 아니라, 인접하는 열-픽셀들 즉, 제4 행에 배열되는 픽셀들(110)과 제5 행에 배열되는 픽셀들(110)에는 반대 극성의 데이터 신호들이 인가되므로 수직 크로스토크도 방지될 수 있다. 이러한 과정이 제2 서브 게이트 라인(120_2)에 게이트 신호가 인가되어 짝수 프레임(2F)이 종료될 때까지 반복될 수 있고, 이어지는 홀수 프레임(1F)에서 데이터 신호들의 극성이 변경될 수 있다. 도 7a 내지 도 7e에 도시한 바와 같이, 액정 표시 패널(100)에서 드라이버 극성 패턴은 걸림 인버전 방식의 드라이버 극성 패턴과 유사하고, 걸보기 극성 패턴은 같은 행에 배열되는 홀수 열의 픽셀들과 짝수 열의 픽셀들에 데이터 신호들이 일 수평 주기의 시차를 두고 인가된다는 점을 제외하고 ALS 인버전 방식의 걸보기 극성 패턴 또는 라인 인버전 방식의 걸보기 극성 패턴과 유사하다.

[0083] 도 8은 본 발명의 다른 실시예에 따른 액정 표시 패널을 나타내는 도면이다.

[0084] 도 8을 참조하면, 액정 표시 패널(500)은, 복수의 픽셀들(510), 제1 서브 게이트 라인(520_1), 제2 서브 게이트 라인(520_2), 게이트 라인들(530_1, ..., 530_k), 홀수 데이터 라인들(540_1, ..., 540_5) 및 짝수 데이터 라인들(550_1, ..., 550_5)을 포함할 수 있다. 예시적인 실시예에 따르면, 액정 표시 패널(500)은 전하 공유 제어 회로(560)를 더 포함할 수 있다.

[0085] 액정 표시 패널(500)에 있어서, 픽셀들(510)은 제1 서브 게이트 라인(520_1), 제2 서브 게이트 라인(520_2) 및 게이트 라인들(530_1, ..., 530_k)과 홀수 데이터 라인들(540_1, ..., 540_5) 및 짝수 데이터 라인들(550_1, ..., 550_5)이 교차하는 위치에 매트릭스 형태로 배열될 수 있다. 픽셀들(510)은 내부의 스위칭 소자(즉, 박막 트랜지스터)의 게이트 전극을 통하여 제1 서브 게이트 라인(520_1), 제2 서브 게이트 라인(520_2) 및 게이트 라인들(530_1, ..., 530_k)에 연결될 수 있고, 상기 박막 트랜지스터의 소스 전극을 통하여 홀수 데이터 라인들(540_1, ..., 540_5) 및 짝수 데이터 라인들(550_1, ..., 550_5)에 연결될 수 있다. 예를 들면, 픽셀들(510)은 박막 트랜지스터의 게이트 전극을 통하여 제1 서브 게이트 라인(520_1), 제2 서브 게이트 라인(520_2) 및 게이트 라인들(530_1, ..., 530_k)에서 출력되는 게이트 신호들(즉, 스캔 펄스)을 입력받을 수 있다. 또한, 픽셀들(510)은 상기 박막 트랜지스터의 소스 전극을 통하여 홀수 데이터 라인들(540_1, ..., 540_5) 및 짝수 데이터 라인들(550_1, ..., 550_5)에서 출력되는 데이터 신호들을 입력받을 수 있다.

[0086] 액정 표시 패널(500)에서는 제1 서브 게이트 라인(520_1) 및 제2 서브 게이트 라인(520_2)이 열 방향으로 게이트 라인들(530_1, ..., 530_k)의 외각에 위치할 수 있다. 예를 들면, 제1 서브 게이트 라인(520_1)은 하측의 제1 행-픽셀들과 연결될 수 있고, 제2 서브 게이트 라인(520_2)은 상측의 제2 행-픽셀들과 연결될 수 있다. 한편, 게이트 라인들(530_1, ..., 530_k)은 제1 서브 게이트 라인(520_1)과 제2 서브 게이트 라인(520_2) 사이에 위치하며, 각각 상측의 제2 행-픽셀들과 하측의 제1 행-픽셀들과 지그재그 형태로 연결될 수 있다. 예시적인 실시예에 있어서, 상기 제1 행-픽셀들은 하나의 행에 배열되는 픽셀들(510) 중에서 짝수 열의 픽셀들(510)에 상응할 수 있고, 상기 제2 행-픽셀들은 하나의 행에 배열되는 픽셀들(510) 중에서 홀수 열의 픽셀들(510)에 상응할 수 있다. 즉, 제1 서브 게이트 라인(520_1)은 열 방향으로 상부의 최외각에 위치하는 픽셀들(510) 중에서 짝수 열의 픽셀들(510)에 연결될 수 있고, 제2 서브 게이트 라인(520_2)은 열 방향으로 하부의 최외각에 위치하는 픽셀들(510) 중에서 홀수 열의 픽셀들(510)에 연결될 수 있다. 게이트 라인들(530_1, ..., 530_k)은 각각 상측의 행-픽셀들 중에서 홀수 열의 픽셀들(510)과 연결되고, 하측의 행-픽셀들 중에서 짝수 열의 픽셀들(510)과 연결될 수 있다.

[0087] 또한, 액정 표시 패널(500)에 있어서, 홀수 데이터 라인들(540_1, ..., 540_5)에 연결되는 픽셀들(510)과 짝수 데이터 라인들(550_1, ..., 550_5)에 연결되는 픽셀들(510)이 서로 상이할 수 있다. 예를 들면, 홀수 데이터 라인들(540_1, ..., 540_5)은 제2 열-픽셀들과 연결될 수 있고, 짝수 데이터 라인들(550_1, ..., 550_5)은 제1 열

-픽셀들과 연결될 수 있다. 예시적인 실시예에 있어서, 상기 제1 열-픽셀들은 하나의 열에 배열되는 픽셀들(510) 중에서 홀수 행의 픽셀들(510)에 상응할 수 있고, 상기 제2 열-픽셀들은 하나의 열에 배열되는 픽셀들(510) 중에서 짝수 행의 픽셀들(510)에 상응할 수 있다. 다른 실시예에 따르면, 상기 제1 열-픽셀들은 하나의 열에 배열되는 픽셀들(510) 중에서 짝수 행의 픽셀들(510)에 상응할 수 있고, 상기 제2 열-픽셀들은 하나의 열에 배열되는 픽셀들(510) 중에서 홀수 행의 픽셀들(510)에 상응할 수 있다. 다만, 도 8에서는 홀수 데이터 라인들(540_1, ..., 540_5)이 하나의 열에 배열되는 픽셀들(510) 중에서 짝수 행의 픽셀들(510)에 연결되고, 짝수 데이터 라인들(550_1, ..., 550_5)이 하나의 열에 배열되는 픽셀들(510) 중에서 홀수 행의 픽셀들(510)에 연결되는 실시예가 도시되어 있다.

[0088] 전술한 바와 같이, 액정 표시 패널(500)은 픽셀들(510)이 박막 트랜지스터의 게이트 전극을 통하여 제1 서브 게이트 라인(520_1), 제2 서브 게이트 라인(520_2) 및 게이트 라인들(530_1, ..., 530_k)과 연결되고, 박막 트랜지스터의 소스 전극을 통하여 홀수 데이터 라인들(540_1, ..., 540_5) 및 짝수 데이터 라인들(550_1, ..., 550_5)에 연결됨에 있어서, 하나의 프레임 동안에 홀수 데이터 라인들(540_1, ..., 540_5)에 제1 극성의 데이터 신호들이 공급되고, 짝수 데이터 라인들(540_1, ..., 540_5)에 상기 제1 극성과 반대되는 제2 극성의 데이터 신호들이 공급되는 경우에, 하나의 행에 배열되는 인접하는 픽셀들(즉, 인접하는 행-픽셀들)에 같은 극성의 데이터 신호들이 일 수평 주기의 시차를 두어 인가되고, 하나의 열에 배열되는 인접하는 픽셀들(즉, 인접하는 열-픽셀들)에 반대 극성의 데이터 신호들이 인가되도록 하는 특이한 구조를 가질 수 있다. 이 때, 액정 표시 패널(500)은 상기 특이한 구조에 기초하여 동작함에 있어서, 실질적으로 칼럼 인버전 방식과 유사한 방식으로 데이터 신호들을 공급받을 수 있다. 예를 들면, 액정 표시 패널(100)은 홀수 프레임 동안에 홀수 데이터 라인들(540_1, ..., 540_5)에 제1 극성의 데이터 신호들을 공급받고, 짝수 데이터 라인들(550_1, ..., 550_5)에 제2 극성의 데이터 신호들을 공급받는 반면, 짝수 프레임 동안에는 홀수 데이터 라인들(540_1, ..., 540_5)에 제2 극성의 데이터 신호들을 공급받고, 짝수 데이터 라인들(550_1, ..., 550_5)에는 제1 극성의 데이터 신호들을 공급받을 수 있다.

[0089] 또한, 액정 표시 패널(500)은 홀수 데이터 라인들(540_1, ..., 540_5)간에 서로 전하를 공유시키고, 짝수 데이터 라인들(550_1, ..., 550_5)간에 서로 전하를 공유시키는 전하 공유 제어 회로(560)를 더 포함할 수 있다. 예시적인 실시예에 있어서, 전하 공유 제어 회로(560)는 전하 공유 제어 신호(CSC)에 기초하여 홀수 데이터 라인들(540_1, ..., 540_5)을 서로 연결시키는 제1 스위치들(OST) 및 전하 공유 제어 신호(CSC)에 기초하여 짝수 데이터 라인들(550_1, ..., 550_5)을 서로 연결시키는 제2 스위치들(EST)을 포함할 수 있다. 이 때, 전하 공유 제어 신호(CSC)는 프리 차지 웨어링 신호일 수 있다. 예시적인 실시예에 따르면, 제1 및 제2 스위치(OST, EST)는 제1 서브 게이트 라인(520_1), 제2 서브 게이트 라인(520_2) 및 게이트 라인들(530_1, ..., 530_k) 별로 픽셀들(510)이 충전되기 이전에 턴온되거나, 또는 상기 픽셀들(510)이 충전된 이후에 턴온됨으로써, 홀수 데이터 라인들(540_1, ..., 540_5)간에 서로 전하가 공유되고, 짝수 데이터 라인들(550_1, ..., 550_5)간에 서로 전하가 공유되도록 할 수 있다. 이와 같이, 액정 표시 패널(500)은 전하 공유 제어 회로(560)를 포함함으로써 변화가 심한 패턴에 대해서도 소비 전력을 감소시킬 수 있고, 픽셀들(110)의 충전 특성을 향상시켜 전반적인 성능을 향상시킬 수 있다. 상술한 바에 있어서는, 전하 공유 제어 회로(560)가 액정 표시 패널(500)에 구비되는 것으로 설명되었으나, 전하 공유 제어 회로(560)는 요구되는 조건에 따라 집적 회로의 내부에 실장될 수도 있다.

[0090] 도 9는 본 발명의 실시예들에 따른 액정 표시 패널을 구비하는 액정 표시 장치를 나타내는 블록도이다.

[0091] 도 9를 참조하면, 액정 표시 장치(1000)는, 액정 표시 패널(100), 소스 드라이버(200), 게이트 드라이버(300) 및 타이밍 컨트롤러(400)를 포함할 수 있다. 도 9에는 도시되지 않았지만, 액정 표시 장치(1000)는 소스 드라이버(200)에 연결되어 계조 전압을 생성하는 계조 전압 제너레이터를 추가적으로 포함할 수 있다.

[0092] 액정 표시 패널(100)은 소스 드라이버(200)로부터 출력되는 데이터 신호들 및 게이트 드라이버(300)로부터 출력되는 게이트 신호들(즉, 스캔 펄스)에 기초하여 화상을 표시할 수 있다. 액정 표시 패널(100)은 매트릭스 형태로 배열된 복수의 픽셀들을 포함하는데, 하나의 행에 배열되는 픽셀들이 홀수 열의 픽셀들과 짝수 열의 픽셀들로 구분되고, 하나의 열에 배열되는 픽셀들은 홀수 행의 픽셀들과 짝수 행의 픽셀들로 구분된다. 액정 표시 패널(100)에서는 행 방향으로 같은 극성의 데이터 신호들이 홀수 열의 픽셀들과 짝수 열의 픽셀들에 일 수평 주기의 시차를 두어 동시에 인가될 수 있고, 열 방향으로 반대 극성의 데이터 신호들이 같은 열의 픽셀들에 일 수평 주기의 시차를 두어 순차적으로 인가될 수 있다. 이를 위하여, 액정 표시 패널(100)은 매트릭스 형태로 배열되는 픽셀들, 상기 픽셀들 중에서 인접하는 하측의 제1 행-픽셀들과 연결되는 제1 서브 게이트 라인, 상기 픽셀들 중에서 인접하는 상측의 제2 행-픽셀들과 연결되는 제2 서브 게이트 라인, 상기 제1 서브 게이트 라인과 상기 제2 서브 게이트 라인 사이에 위치하며, 상기 픽셀들 중에서 각각 인접하는 상측의 제2 행-픽셀들과 하측의

제1 행-픽셀들과 지그재그 형태로 연결되는 게이트 라인들, 상기 픽셀들 중에서 인접하는 제1 열-픽셀들과 연결되는 짝수 데이터 라인들, 그리고 상기 픽셀들 중에서 인접하는 제2 열-픽셀들과 연결되는 홀수 데이터 라인들을 포함할 수 있다. 또한, 액정 표시 패널(100)은 홀수 데이터 라인들간에 서로 전하를 공유시키고, 짝수 데이터 라인들간에 서로 전하를 공유시키는 전하 공유 제어 회로를 더 포함할 수 있다. 상술한 바와 같이, 상기 제1 행-픽셀들은 하나의 행에 배열되는 픽셀들 중에서 홀수 열의 픽셀들에 상응할 수 있고, 상기 제2 행-픽셀들은 하나의 행에 배열되는 픽셀들 중에서 짝수 열의 픽셀들에 상응하거나, 또는 상기 제1 열-픽셀들이 하나의 열에 배열되는 픽셀들 중에서 짝수 행의 픽셀들에 상응할 수 있고, 상기 제2 열-픽셀들이 하나의 열에 배열되는 픽셀들 중에서 홀수 행의 픽셀들에 상응하거나, 또는 상기 제1 열-픽셀들이 하나의 열에 배열되는 픽셀들 중에서 짝수 행의 픽셀들에 상응할 수 있고, 상기 제2 열-픽셀들이 하나의 열에 배열되는 픽셀들 중에서 홀수 행의 픽셀들에 상응할 수 있다. 나아가, 상기 제1 열-픽셀들은 하나의 열에 배열되는 픽셀들 중에서 홀수 행의 픽셀들에 상응할 수 있고, 상기 제2 열-픽셀들은 하나의 열에 배열되는 픽셀들 중에서 짝수 행의 픽셀들에 상응하거나, 또는 상기 제1 열-픽셀들이 하나의 열에 배열되는 픽셀들 중에서 짝수 행의 픽셀들에 상응할 수 있고, 상기 제2 열-픽셀들이 하나의 열에 배열되는 픽셀들 중에서 홀수 행의 픽셀들에 상응할 수 있다. 다만, 이에 대해서는 상술한 바 있으므로, 중복되는 설명은 생략하기로 한다.

[0093] 소스 드라이버(200)는 타이밍 컨트롤러(400)로부터 출력되는 데이터 제어 신호(DCS)에 기초하여 화상에 상응하는 데이터 신호들을 데이터 라인들(DL1, ..., DLm)에 인가할 수 있다. 이 때, 데이터 신호들은 계조 전압 제너레이터로부터 생성되는 계조 전압들을 각각 선택하는 방식으로 생성될 수 있다. 이 때, 상기 계조 전압 제너레이터는 공통 전압에 대하여 서로 반대되는 극성을 갖는 계조 전압 쌍을 생성할 수 있는 바, 소스 드라이버(200)는 계조 전압 쌍 중에서 하나를 선택하는 방식으로 데이터 신호들의 극성을 결정할 수 있다. 그 결과, 데이터 신호들은 공통 전압을 기준으로 양의 극성 또는 공통 전압을 기준으로 음의 극성을 가질 수 있다. 예시적인 실시예에 있어서, 데이터 제어 신호(DCS)는 데이터 신호들의 극성을 양 극성 또는 음 극성으로 제어하기 위한 극성 제어 신호를 포함할 수 있다. 이에, 액정 표시 장치(1000)는 극성 제어 신호에 기초하여 데이터 라인들(DL1, ..., DLm)에 공급되는 데이터 신호들의 극성을 일정 단위마다 반전시킬 수 있다. 예를 들면, 액정 표시 장치(1000)는 하나의 프레임에서 짝수 데이터 라인들에 제1 극성의 데이터 신호들을 인가하고, 홀수 데이터 라인들에 상기 제1 극성과 반대되는 제2 극성의 데이터 신호들을 인가한다. 이 때, 액정 표시 장치(1000)는 액정 표시 패널(100)에 인가되는 데이터 신호들의 극성을 프레임이 변경될 때마다 변경할 수 있다. 게이트 드라이버(300)는 타이밍 컨트롤러(400)로부터 출력되는 게이트 제어 신호(GCS)에 기초하여 액정 표시 패널(100)의 게이트 라인들(GL1, ..., GLn)에 순차적으로 쉬프트(shift)하는 게이트 신호들(즉, 스캔 펄스)을 인가할 수 있다. 타이밍 컨트롤러(400)는 구동 타이밍을 제어하기 위한 게이트 제어 신호(GCS) 및 데이터 제어 신호(DCS)를 생성할 수 있다. 예시적인 실시예에 있어서, 타이밍 컨트롤러(400)는 외부의 그래픽 컨트롤러(도시되지 않음)로부터 RGB 화상 신호(R, G, B), 수평 동기 신호(H), 수직 동기 신호(V), 메인 클럭(CLK) 및 데이터 인에이블 신호(DES) 등의 신호들을 입력받고, 이러한 신호들에 기초하여 게이트 제어 신호(GCS) 및 데이터 제어 신호(DCS)를 생성할 수 있다. 예를 들어, 게이트 제어 신호(GCS)는 게이트 신호들의 출력 시작을 제어하는 수직 동기 시작 신호, 게이트 신호들의 출력 시기를 제어하는 게이트 클럭 신호 및 게이트 신호들의 지속 시간을 제어하는 출력 인에이블 신호 등을 포함할 수 있고, 데이터 제어 신호(DCS)는 데이터 신호들의 입력 시작을 제어하는 수평 동기 시작 신호, 데이터 라인들(DL1, ..., DLm)에 데이터 신호들을 인가하라는 로드 신호 및 소스 드라이버(200)에서 액정 표시 패널(100)로 출력되는 데이터 신호들의 극성을 일정 단위로 반전시키는 극성 제어 신호 등을 포함할 수 있다. 예시적인 실시예에 따르면, 소스 드라이버(200) 및 게이트 드라이버(300)는 TCP(tape carrier package)에 실장하여 TCP를 액정 표시 패널(100)의 조립체에 부착할 수 있고, COG(chip on glass) 실장 방식으로 유리 기판 위에 직접 부착할 수도 있다. 다만, 액정 표시 장치(1000)가 조립되는 방식이 이에 한정되는 것은 아니다.

[0094] 도 10은 도 9의 액정 표시 장치를 구동하는 방법을 나타내는 순서도이다.

[0095] 도 10을 참조하면, 액정 표시 장치(1000)는 복수의 수평 주기들로 이루어진 프레임 단위로 화상을 표시할 수 있다. 이를 위하여, 액정 표시 장치(1000)의 구동 방법에 있어서, 행 방향으로 같은 극성의 데이터 신호들을 홀수 열의 픽셀들과 짝수 열의 픽셀들에 일 수평 주기의 시차를 두어 동시에 인가(단계 S120)하면서, 열 방향으로서는 반대 극성의 데이터 신호들을 같은 열에 배열되는 픽셀들에 일 수평 주기의 시차를 두어 순차적으로 인가(단계 S140)하며, 프레임이 변경될 때마다 액정 표시 패널(100)에 공급되는 데이터 신호들의 극성을 변경(단계 S160)할 수 있다.

[0096] 예시적인 실시예에 따른 액정 표시 장치(1000)의 구동 방법에 있어서, 수평 크로스토크 및 수직 크로스토크를 방지하면서도 소비 전력을 효율적으로 감소시키기 위하여, 행 방향으로 같은 극성의 데이터 신호들을 홀수 열의 픽셀들과 짝수 열의 픽셀들에 일 수평 주기의 시차를 두어 동시에 인가(단계 S120)하면서, 열 방향으로서는 반대 극성의 데이터 신호들을 같은 열에 배열되는 픽셀들에 일 수평 주기의 시차를 두어 순차적으로 인가(단계 S140)

0)할 수 있다. 즉, 행 방향으로 같은 극성의 데이터 신호들이 홀수 열의 픽셀들과 짝수 열의 픽셀들에 일 수평 주기의 시차를 두어 동시에 인가(단계 S120)되기 때문에, 같은 행에 배열되는 서로 인접하는 픽셀들에 같은 극성의 데이터 신호들이 인가되더라도, 이들 간에는 일 수평 주기의 시차가 있으므로 수평 크로스토크가 발생하지 않을 수 있다. 예를 들어, 제1 수평 주기에서 같은 행에 배열되는 픽셀들 중에서 홀수 행의 픽셀들에 제1 극성의 데이터 신호들이 동시에 인가되고, 이어지는 제2 수평 주기에서 같은 행에 배열되는 픽셀들 중에서 짝수 행의 픽셀들에 제1 극성의 데이터 신호들이 동시에 인가될 수 있다. 이와 동시에, 열 방향으로서는 반대 극성의 데이터 신호들이 같은 열에 배열되는 픽셀들에 일 수평 주기의 시차를 두어 순차적으로 인가(단계 S140)되기 때문에, 같은 열에 배열되는 서로 인접하는 픽셀들 간에는 반대 극성의 데이터 신호들이 인가되어 수직 크로스토크가 발생하지 않을 수 있다. 예를 들어, 제1 수평 주기에서 같은 열에 배열되는 픽셀들 중에서 제1 행의 픽셀에 제1 극성의 데이터 신호가 인가되면, 이어지는 제2 수평 주기에서는 제2 행의 픽셀에 제2 극성의 데이터 신호가 인가되고, 이어지는 제3 수평 주기에서는 제3 행의 픽셀에 제1 극성의 데이터 신호가 인가되며, 이어지는 제4 수평 주기에서는 제4 행의 픽셀에 제2 극성의 데이터 신호가 인가될 수 있다.

[0097] 상술한 바와 같이, 상기 단계들(S120, Step S140)은 복수의 수평 주기들로 이루어진 프레임 단위로 수행되는데, 액정 표시 장치(1000)의 구동 방법은 프레임이 변경될 때마다 액정 표시 패널(100)에 공급되는 데이터 신호들의 극성을 변경(단계 S160)할 수 있다. 예를 들어, 제1 프레임에서 제1 극성의 데이터 신호들이 양 극성의 데이터 신호들이고, 제2 극성의 데이터 신호들이 음 극성의 데이터 신호들인 경우, 이어지는 제2 프레임에서는 제1 극성의 데이터 신호들이 음 극성의 데이터 신호들일 수 있고, 제2 극성의 데이터 신호들이 양 극성의 데이터 신호들일 수 있다. 이어지는 제3 프레임에서는 다시 제1 극성의 데이터 신호들이 양 극성의 데이터 신호들일 수 있고, 제2 극성의 데이터 신호들이 음 극성의 데이터 신호들일 수 있다. 이 때, 액정 표시 패널(100)에는 데이터 라인 별로 같은 극성의 데이터 신호들이 공급되기 때문에, 데이터 신호들의 변위 주파수가 소비 전력이 효율적으로 감소될 수 있다. 이와 같이, 액정 표시 장치(1000)의 구동 방법은 드라이버 극성 패턴을 칼럼 인버전 방식의 드라이버 극성 패턴과 유사하게 공급할 수 있고, 걸보기 극성 패턴을 같은 행에 배열되는 홀수 열의 픽셀들과 짝수 열의 픽셀들에 데이터 신호들이 일 수평 주기의 시차를 두고 인가된다는 점을 제외하고 ALS 인버전 방식의 걸보기 극성 패턴 또는 라인 인버전 방식의 걸보기 극성 패턴과 유사하게 표시할 수 있다. 결국, 액정 표시 장치(1000)의 구동 방법은 일 프레임 동안에 같은 극성의 데이터 신호들을 데이터 라인마다 반전하여 공급함으로써 소비 전력을 감소시킬 수 있고, 같은 극성의 데이터 신호들을 하나의 행을 구성하는 홀수 열의 픽셀들과 짝수 열의 픽셀들에 일 수평 주기의 시차를 두어 인가함으로써 수평 크로스토크를 방지할 수 있으며, 하나의 열을 구성하는 픽셀들에 반대 극성의 데이터 신호들을 일 수평 주기의 시차를 두어 순차적으로 인가함으로써 수직 크로스토크를 방지할 수 있다.

[0098] 도 11은 도 9의 액정 표시 장치를 포함하는 전자 기기를 나타내는 블록도이다.

[0099] 도 11을 참조하면, 전자 기기(1100)는, 액정 표시 장치(1000), 프로세서(1010), 메모리 장치(1020), 저장 장치(1030), 입출력 장치(1040) 및 파워 서플라이(1050)를 포함할 수 있다. 전자 기기(1100)는 사용자가 액정 표시 장치(1000)를 통해서 화상을 볼 수 있는 텔레비전, 휴대폰, 스마트폰 등과 같은 장치일 수 있다. 나아가, 전자 기기(1100)는 비디오 카드, 사운드 카드, 메모리 카드, USB 장치 등과 통신하거나, 또는 다른 전자 기기들과 통신할 수 있는 여러 포트(port)들을 더 포함할 수 있다.

[0100] 프로세서(1010)는 특정 계산들 또는 태스크(task)들을 수행할 수 있다. 예시적인 실시예에 따르면, 프로세서(1010)는 마이크로프로세서(micro processor), 중앙 처리 장치(Central Processing Unit; CPU) 등일 수 있다. 프로세서(1010)는 어드레스 버스(address bus), 제어 버스(control bus) 및 데이터 버스(data bus) 등을 통하여 메모리 장치(1020), 저장 장치(1030) 및 입출력 장치(1040)에 연결되어 통신을 수행할 수 있다. 예시적인 실시예에 있어서, 프로세서(1010)는 주변 구성요소 상호연결(Peripheral Component Interconnect; PCI) 버스와 같은 확장 버스에도 연결될 수 있다. 메모리 장치(1020)는 전자 기기(1100)의 동작에 필요한 데이터들을 저장할 수 있다. 예를 들어, 메모리 장치(1020)는 동적 랜덤 액세스 메모리(Dynamic Random Access Memory; DRAM), 정적 랜덤 액세스 메모리(Static Random Access Memory; SRAM) 등과 같은 휘발성 메모리 장치 및 이피롬(Erasable Programmable Read-Only Memory; EPROM), 이이피롬(Electrically Erasable Programmable Read-Only Memory; EEPROM) 및 플래시 메모리 장치(flash memory device) 등과 같은 비휘발성 메모리 장치를 포함할 수 있다. 저장 장치(1030)는 솔리드 스테이트 드라이브(Solid State Drive; SSD), 하드 디스크 드라이브(Hard Disk Drive; HDD) 및 씨디롬(CD-ROM) 등을 포함할 수 있다. 입출력 장치(1040)는 키보드, 키패드, 마우스 등과 같은 입력 수단 및 프린터 등과 같은 출력 수단을 포함할 수 있다. 예시적인 실시예에 따르면, 액정 표시 장치(1000)는 입출력 장치(1040) 내에 구비될 수도 있다. 파워 서플라이(1050)는 전자 기기(1100)의 동작에 필요한

동작 전압을 공급할 수 있다.

[0101] 액정 표시 장치(1000)는 상기 버스들 또는 다른 통신 링크를 통해서 프로세서(1010)와 연결되어 통신을 수행할 수 있다. 상술한 바와 같이, 액정 표시 장치(1000)는 액정 표시 패널(100), 소스 드라이버(200), 게이트 드라이버(300) 및 타이밍 컨트롤러(400)를 포함할 수 있다. 이 때, 액정 표시 패널(100)은 소스 드라이버(200)로부터 출력되는 데이터 신호들 및 게이트 드라이버(300)로부터 출력되는 게이트 신호들에 기초하여 화상을 표시함에 있어서, 행 방향으로 같은 극성의 데이터 신호들이 홀수 열의 픽셀들과 짝수 열의 픽셀들에 일 수평 주기의 시차를 두어 동시에 인가되도록 할 수 있고, 열 방향으로 같은 극성의 데이터 신호들이 같은 열의 픽셀들에 일 수평 주기의 시차를 두어 순차적으로 인가되도록 할 수 있다. 이를 위하여, 액정 표시 패널(100)은 픽셀들, 제1 서브 게이트 라인, 제2 서브 게이트 라인, 게이트 라인들, 홀수 데이터 라인들 및 전하 공유 제어 회로를 포함할 수 있다. 다만, 이에 대해서는 상술한 바 있으므로, 중복되는 설명은 생략하기로 한다. 예시적인 실시예에 따르면, 액정 표시 장치(1000)는 수직 전계에 의해 액정을 구동하는 티엔(Twisted Nematic; TN) 모드 및 브이 에이(Vertical Alignment; VA) 모드, 수평 전계에 의해 액정을 구동하는 아이피에스(In Plane Switching; IPS) 모드 및 수평/수직 전계에 의해 액정을 구동하는 에프에프에스(Fringe Field Switching; FFS) 모드에 적용될 수 있다.

산업상 이용가능성

[0102] 본 발명은 액정 표시 장치 및 이를 포함하는 전자 기기에 적용될 수 있다. 예를 들어, 본 발명은 컴퓨터 모니터, 텔레비전, 노트북, 디지털 카메라, 휴대폰, 스마트폰, 피디에이(personal digital assistants; PDA), 피엠펙(portable multimedia player; PMP), MP3 플레이어, 차량용 네비게이션, 비디오 폰 등에 적용될 수 있다.

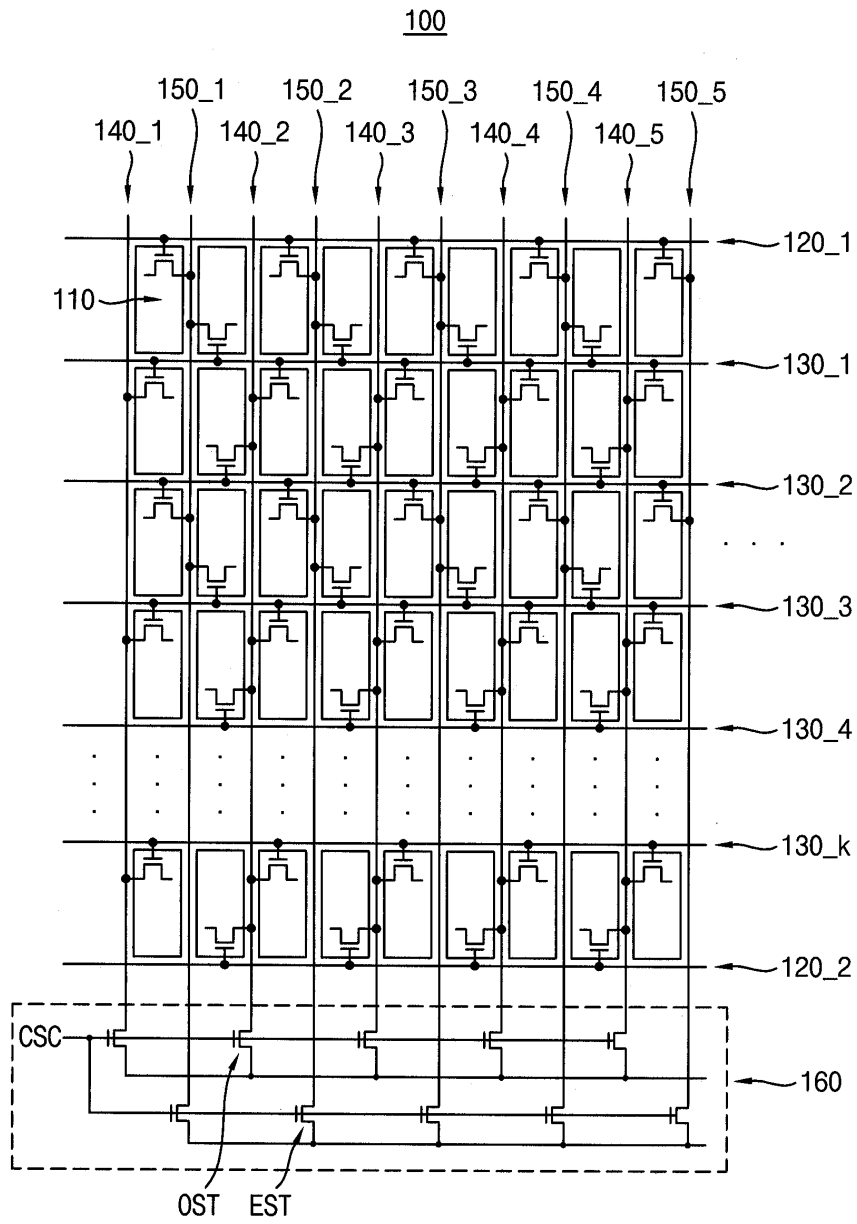
[0103] 이상에서는 본 발명의 예시적인 실시예들을 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

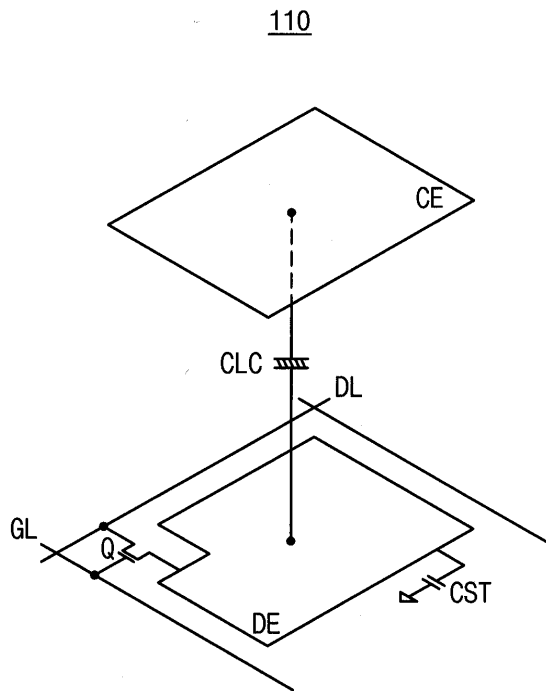
[0104]	100: 액정 표시 패널	110: 픽셀들
	120_1: 제 1 서브 게이트 라인	120_2: 제 2 서브 게이트 라인
	130: 게이트 라인들	140: 홀수 데이터 라인들
	150: 짝수 데이터 라인들	160: 전하 공유 제어 회로

도면

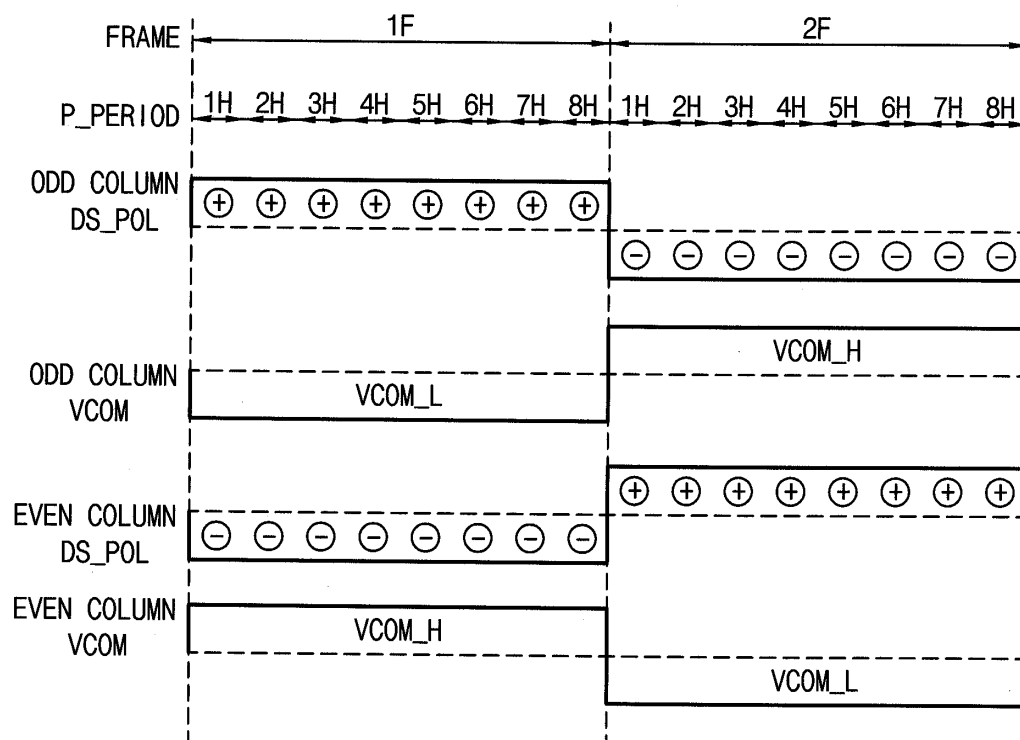
도면1



도면2



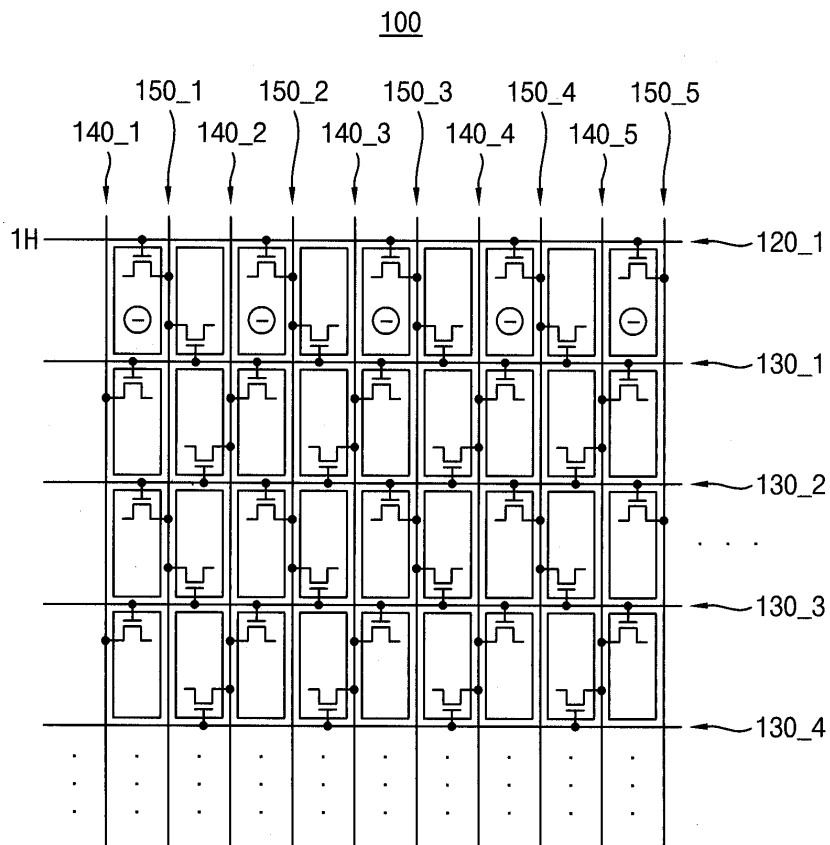
도면3



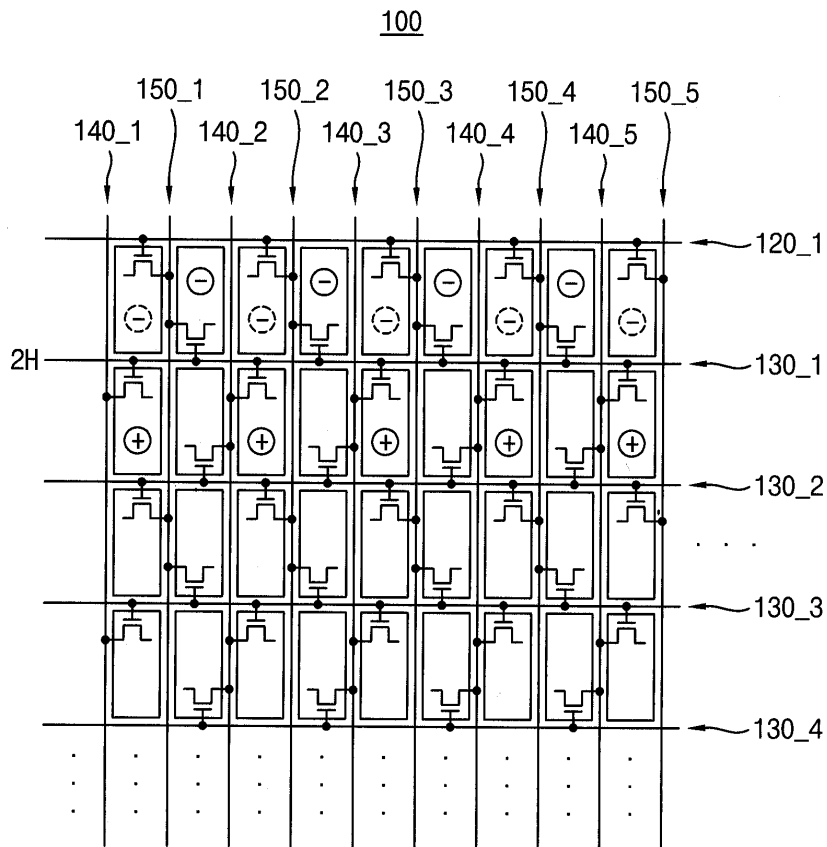
도면4

		140_1	150_1	140_2	150_2	140_3	150_3	140_4	150_4	
		DL1	DL2	DL3	DL4	DL5	DL6	DL7	DL8	
1F	1H	+	-	+	-	+	-	+	-	
	2H	+	-	+	-	+	-	+	-	
	3H	+	-	+	-	+	-	+	-	
	4H	+	-	+	-	+	-	+	-	...
	5H	+	-	+	-	+	-	+	-	
	6H	+	-	+	-	+	-	+	-	
	7H	+	-	+	-	+	-	+	-	
	8H	+	-	+	-	+	-	+	-	
	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	
	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	

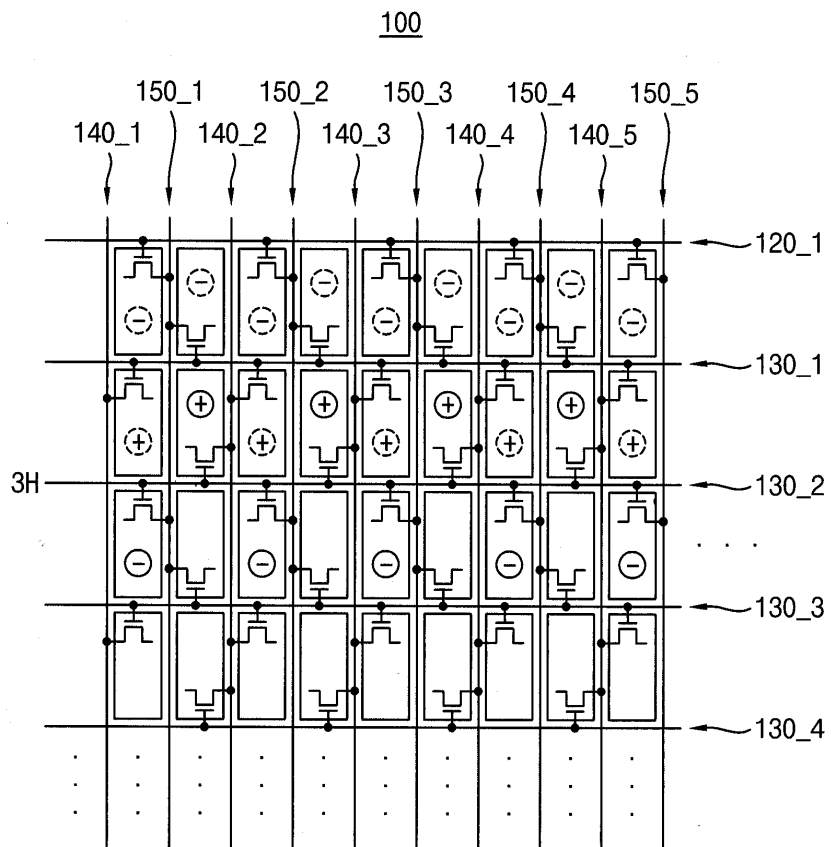
도면5a



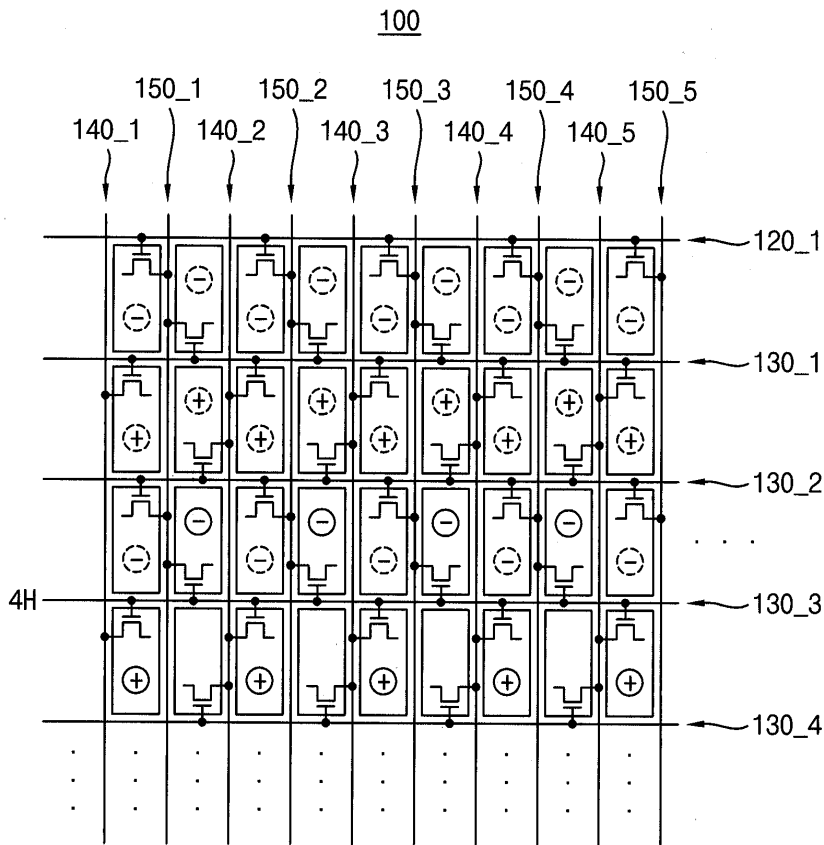
도면5b



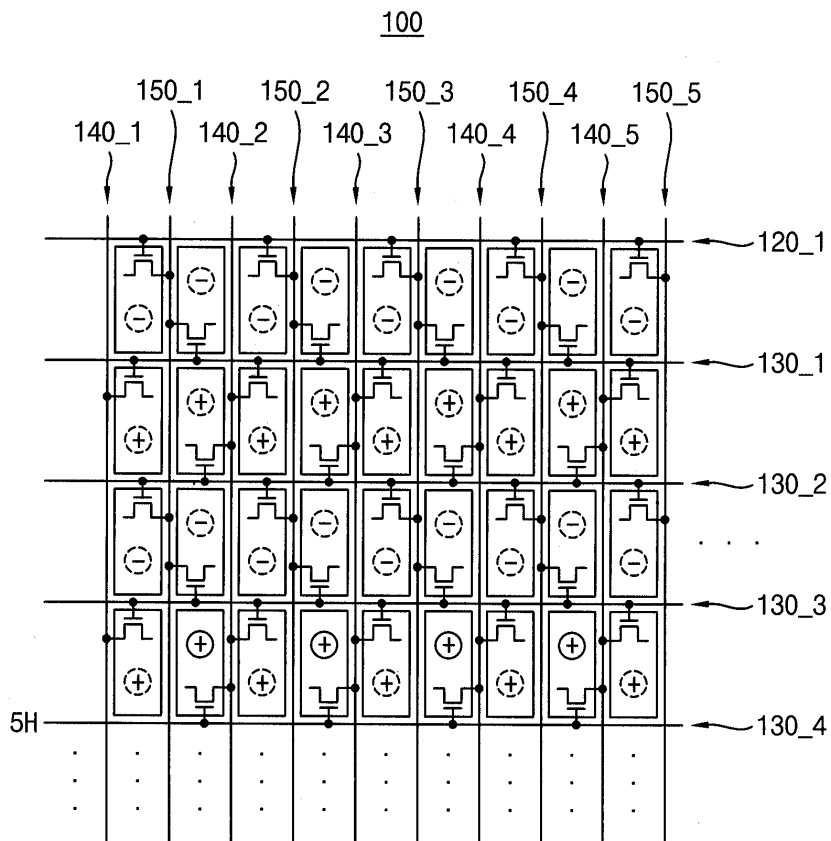
도면5c



도면5d



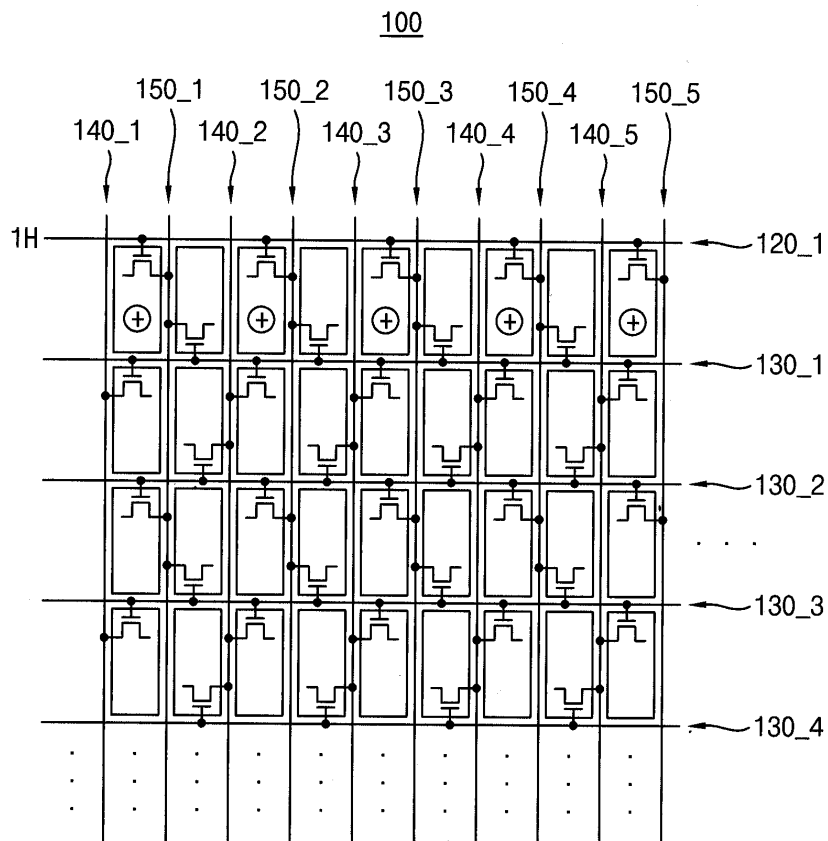
도면5e



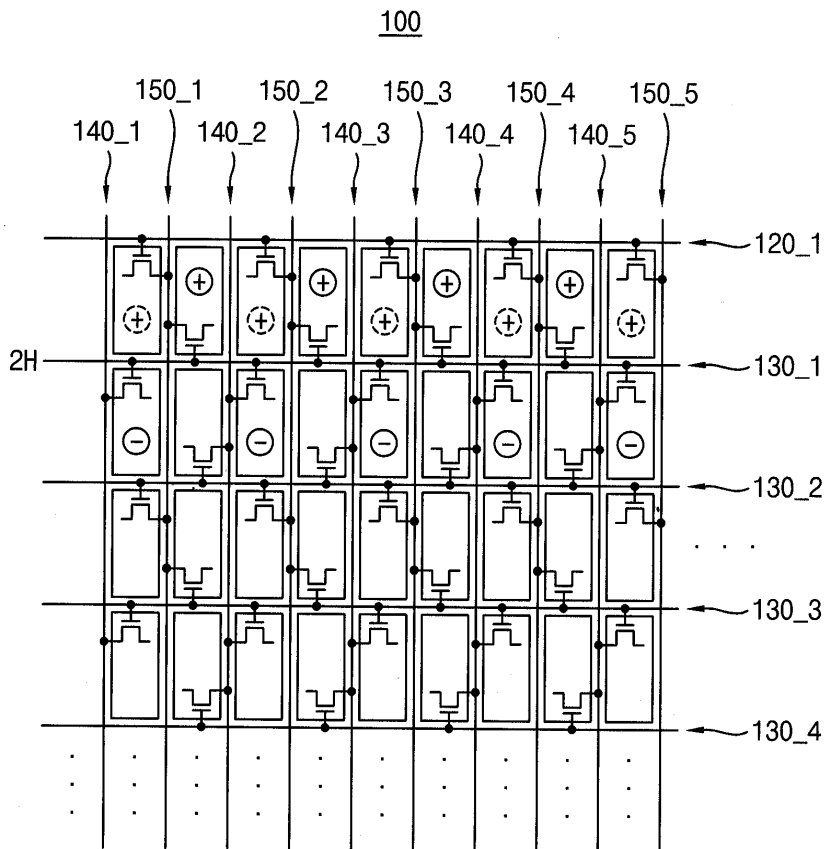
도면6

		140_1	150_1	140_2	150_2	140_3	150_3	140_4	150_4	
		DL1	DL2	DL3	DL4	DL5	DL6	DL7	DL8	
2F	1H	-	+	-	+	-	+	-	+	
	2H	-	+	-	+	-	+	-	+	
	3H	-	+	-	+	-	+	-	+	
	4H	-	+	-	+	-	+	-	+	...
	5H	-	+	-	+	-	+	-	+	
	6H	-	+	-	+	-	+	-	+	
	7H	-	+	-	+	-	+	-	+	
	8H	-	+	-	+	-	+	-	+	
	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	

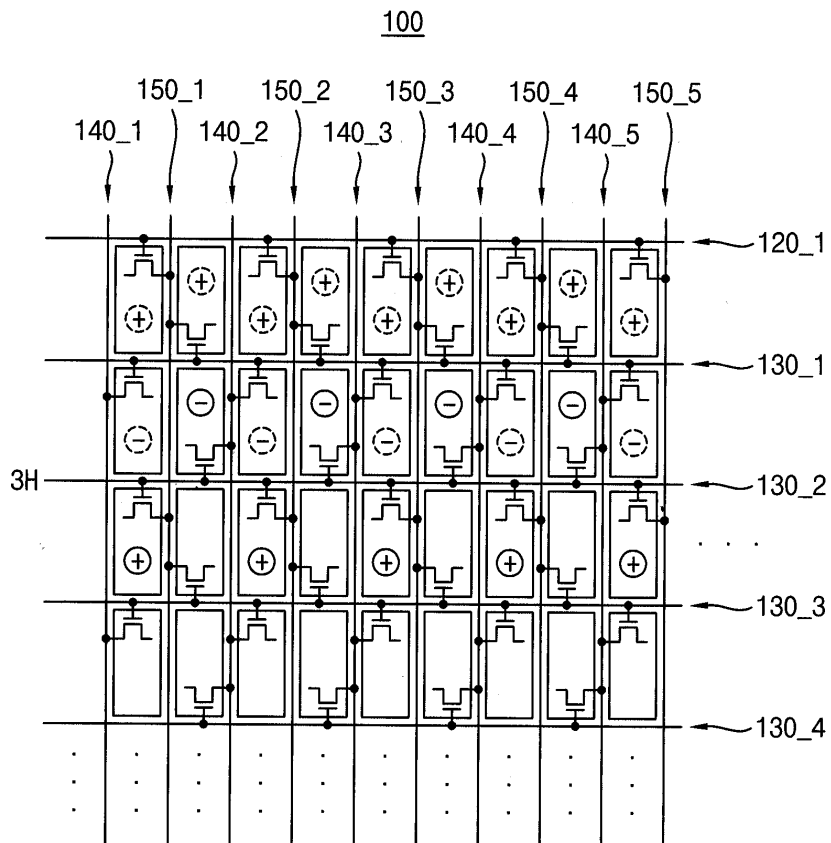
도면7a



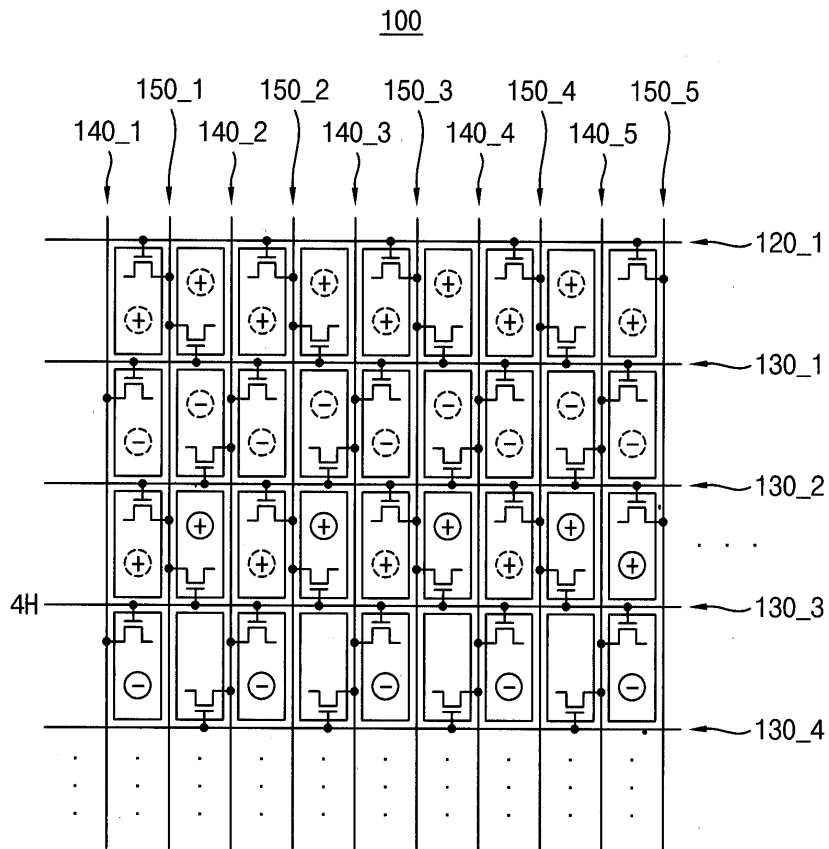
도면7b



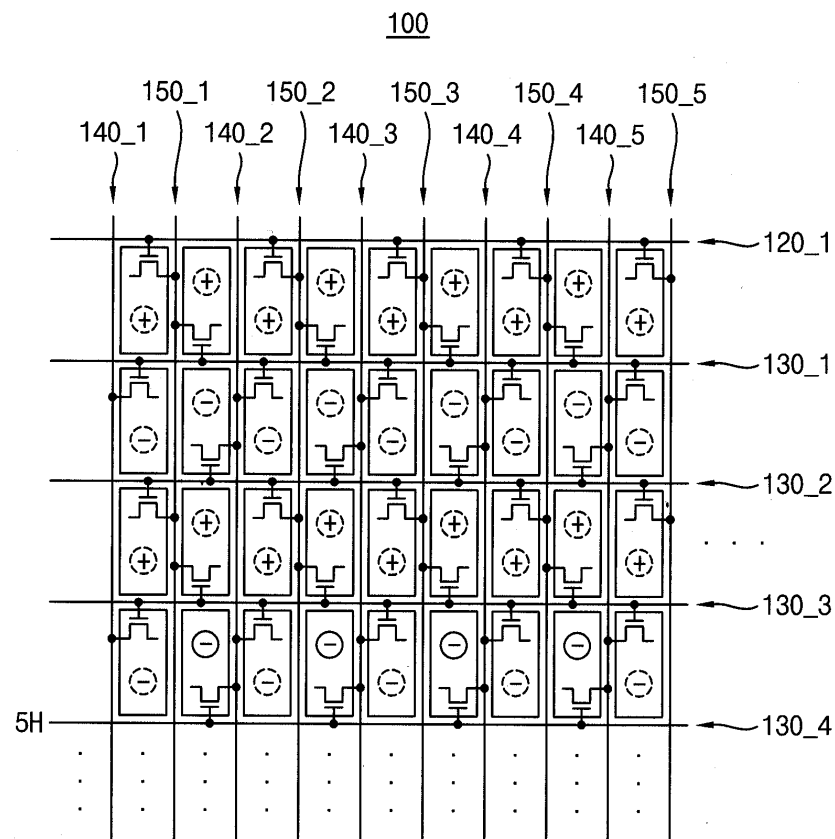
도면7c



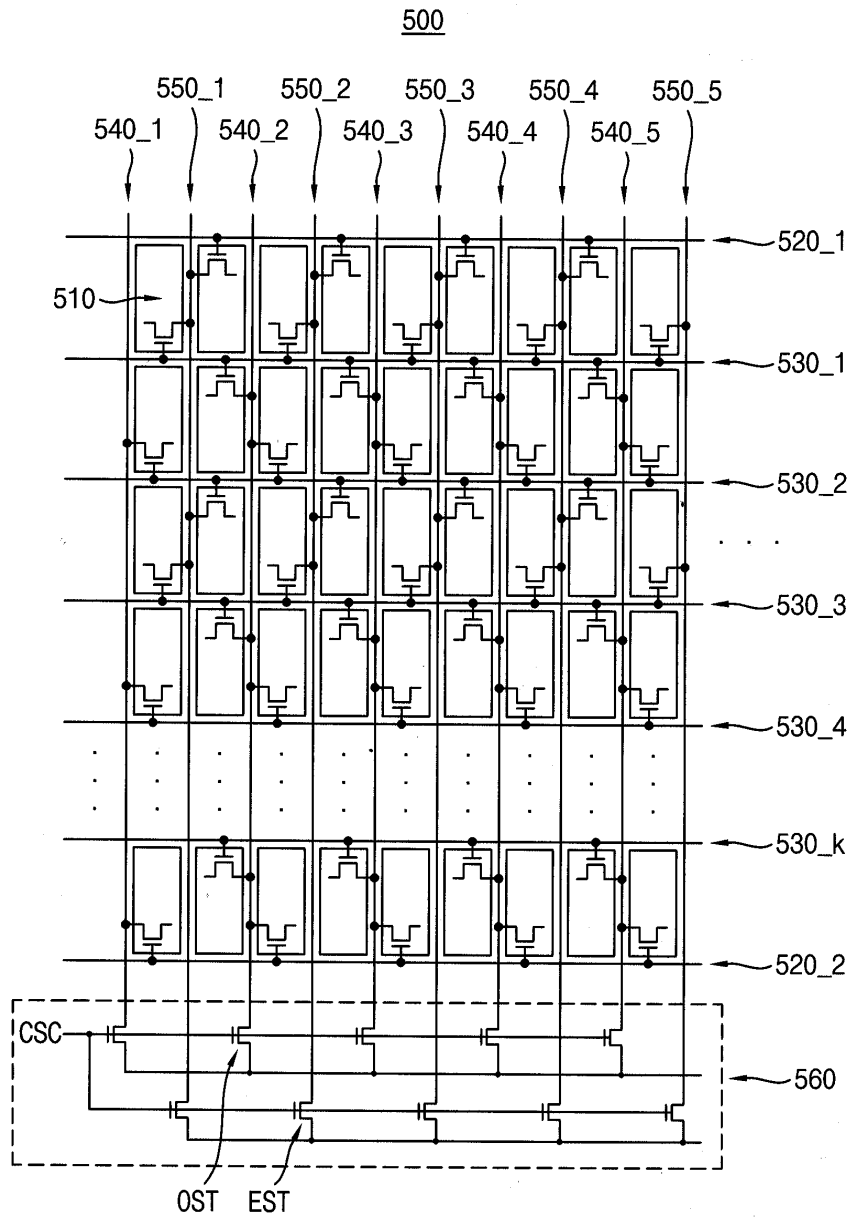
도면7d



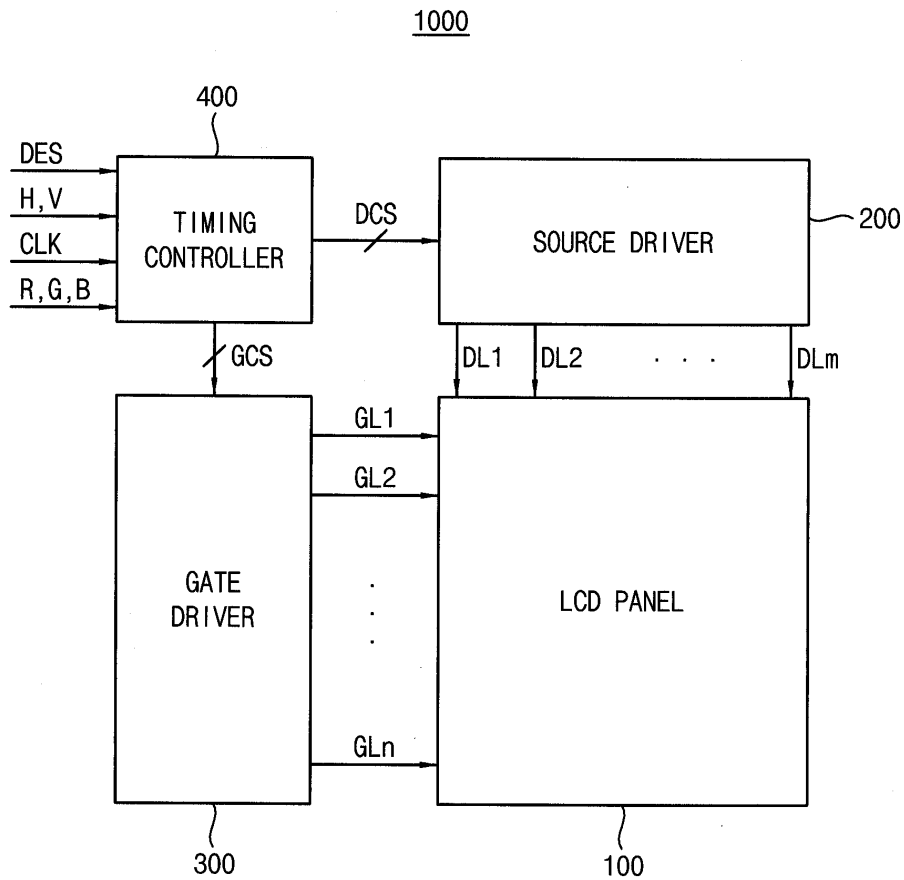
도면7e



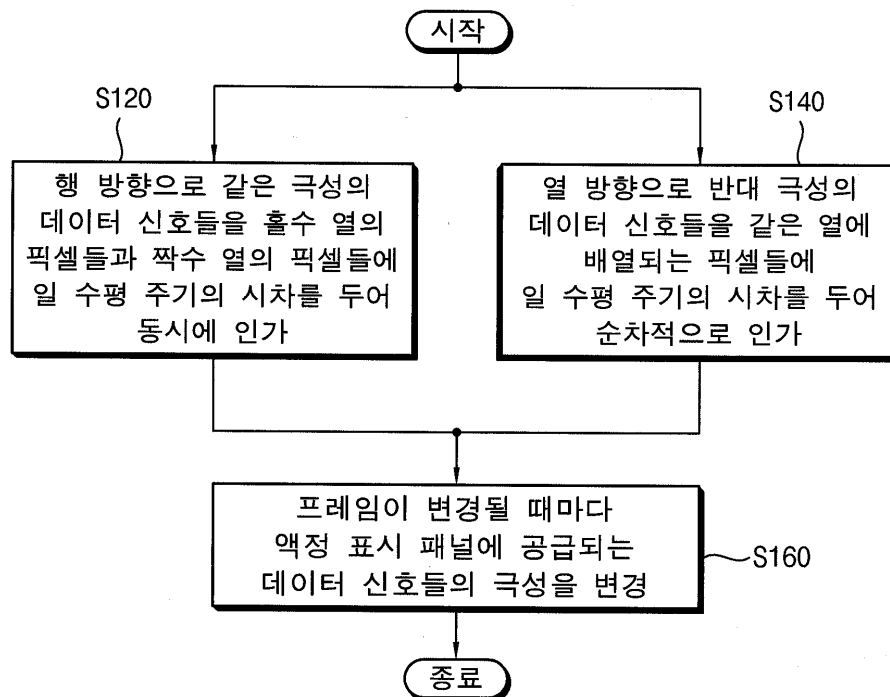
도면8



도면9

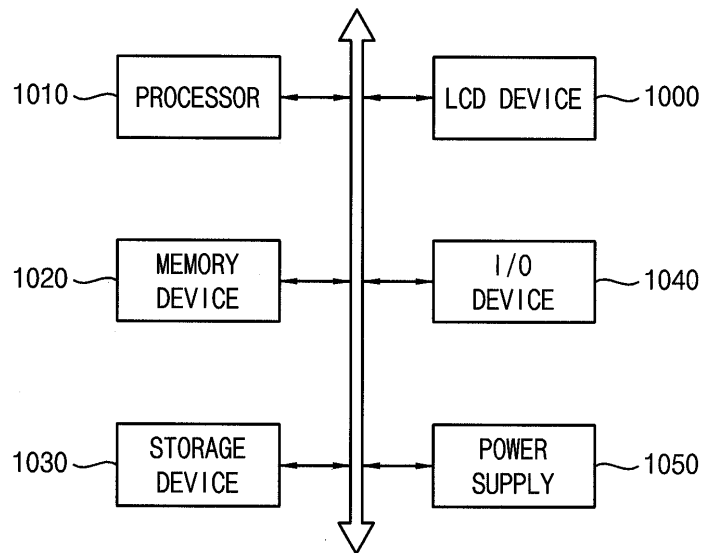


도면10



도면11

1100



专利名称(译)	液晶显示面板，液晶显示装置和液晶显示装置的驱动方法		
公开(公告)号	KR1020120044401A	公开(公告)日	2012-05-08
申请号	KR1020100105654	申请日	2010-10-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE SEUNG KYU 이승규 LEE DONG HOON 이동훈 KIM CHUL HO 김철호 PARK JIN WOO 박진우		
发明人	이승규 이동훈 김철호 박진우		
IPC分类号	G09G3/36		
CPC分类号	G09G2320/0247 G09G3/3648 G09G2320/0209 G09G2330/023 G09G3/3614 G09G2300/0426 G09G2310/0248 G09G3/3659 G09G3/3688		
代理人(译)	英西湖公园		
其他公开文献	KR101192583B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示面板，液晶显示装置和液晶显示装置的驱动方法，以有效降低功耗，同时防止水平串扰和垂直串扰。结构：安排多个像素（110）在矩阵类型中。第一子栅极线（120_1）连接到相邻下部的第一列像素。第二子栅极线（120_2）连接到相邻上部的第二列像素。多条栅极线（130_1-130_k）以Z字形连接到第一列像素和第二列像素。多条偶数数据线（150_1-150_5）连接到第一行像素。多条奇数数据线（140_1-140_5）连接到第二行像素。

