



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0002884
(43) 공개일자 2012년01월09일

(51) Int. Cl.

G02F 1/1343 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2010-0063621

(22) 출원일자 2010년07월01일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김영도

대구광역시 북구 동천로 156, 102동 1106호 (동천동, 동화골든빌)

차제현

경상북도 경산시 대학로13길 26, 101동 710호 (정평동, 경산 한서 고층아파트)

이현정

경상북도 칠곡군 석적읍 동중리9길 13, C동 215호 (LG디스플레이나래원기숙사)

(74) 대리인

박장원

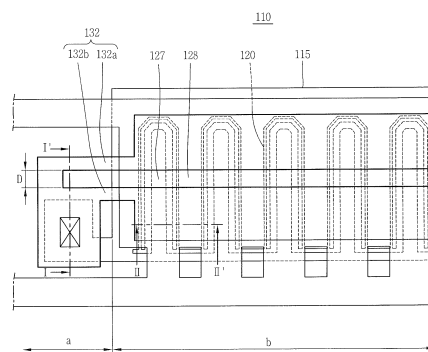
전체 청구항 수 : 총 20 항

(54) 어레이 기판 및 이를 포함하는 액정표시장치

(57) 요약

액정표시장치의 어레이 기판에 불량 발생시 리페어(Repair)를 용이하게 하여 수율을 향상시킬 수 있는 액정표시장치의 어레이 기판이 제공된다. 액정표시장치의 어레이 기판은, 제1 영역과 제2 영역을 포함하는 절연기판 상에 제1 방향으로 형성된 게이트 배선, 상기 게이트 배선과 절연되어 수직 교차하도록 제2 방향으로 형성된 데이터 배선, 상기 게이트 배선과 데이터 배선의 교차 영역에 형성되는 박막트랜지스터 및 상기 게이트 배선과 데이터 배선의 교차 영역에 형성되며, 상기 박막트랜지스터와 전기적으로 연결되는 화소 전극을 포함하는 액정표시장치의 어레이 기판에 있어서, 상기 화소 전극은 상기 박막트랜지스터 상부에 형성되며, 상기 제1 영역에 형성되는 상기 화소 전극은 상기 게이트 배선과 오버랩되지 않도록 형성된다.

대표도 - 도3



특허청구의 범위

청구항 1

제1 영역과 제2 영역을 포함하는 절연기판 상에 제1 방향으로 형성된 게이트 배선, 상기 게이트 배선과 절연되어 수직 교차하도록 제2 방향으로 형성된 데이터 배선, 상기 게이트 배선과 데이터 배선의 교차 영역에 형성되는 박막트랜지스터 및 상기 게이트 배선과 데이터 배선의 교차 영역에 형성되며, 상기 박막트랜지스터와 전기적으로 연결되는 화소 전극을 포함하는 액정표시장치의 어레이 기판에 있어서,

상기 화소 전극은 상기 박막트랜지스터 상부에 형성되며, 상기 제1 영역에 형성되는 상기 화소 전극은 상기 게이트 배선과 오버랩되지 않도록 형성되는 것을 특징으로 하는 어레이 기판.

청구항 2

제1항에 있어서,

상기 제1 영역은 리페어 영역이고,

상기 제2 영역은 박막트랜지스터 형성 영역인 것을 특징으로 하는 어레이 기판.

청구항 3

제1항에 있어서,

상기 제1 영역에 형성되는 화소 전극은 상기 게이트 배선과 오버랩되지 않도록 다수의 패턴으로 형성되는 것을 특징으로 하는 어레이 기판.

청구항 4

제3항에 있어서,

상기 패턴 사이의 간격은 $4\mu\text{m}$ 이상인 것을 특징으로 하는 어레이 기판.

청구항 5

제1항에 있어서,

상기 제2 영역에 형성되는 화소 전극은 상기 다수의 패턴으로 형성되는 것을 특징으로 하는 어레이 기판.

청구항 6

제1항에 있어서,

상기 박막트랜지스터는 상기 게이트 배선에서 연장된 게이트 전극, 반도체층, 상기 데이터 배선에 연장된 소스 전극 및 상기 소스 전극과 소정간격 이격되도록 형성된 드레인 전극을 포함하는 것을 특징으로 하는 어레이 기판.

청구항 7

제6항에 있어서,

상기 반도체층은 지그재그 형상으로 형성되는 것을 특징으로 하는 어레이 기판.

청구항 8

제1항에 있어서,

상기 박막트랜지스터는 듀얼 게이트 구조인 것을 특징으로 하는 어레이 기판.

청구항 9

제1항에 있어서,

상기 제1 영역에 형성된 게이트 배선은 상기 화소 전극과 전기적으로 연결된 것을 특징으로 하는 어레이 기판.

청구항 10

제1항에 있어서,

상기 제2 영역에 형성되는 게이트 배선은 단일 패턴으로 형성되는 것을 특징으로 하는 어레이 기판.

청구항 11

블랙 매트릭스와 적색, 녹색, 청색을 포함하는 컬러필터가 형성된 컬러필터 기판;

상기 컬러필터 기판과 서로 대응되도록 배치되며, 제1 영역과 제2 영역을 포함하는 절연기판 상에 제1 방향으로 형성된 게이트 배선, 상기 게이트 배선과 절연되어 수직 교차하도록 제2 방향으로 형성된 데이터 배선, 상기 게이트 배선과 데이터 배선의 교차 영역에 형성되는 박막트랜지스터 및 상기 게이트 배선과 데이터 배선의 교차 영역에 형성되어 상기 박막트랜지스터와 전기적으로 연결되며, 상기 게이트 배선과 오버랩되지 않도록 형성되는 화소 전극을 포함하는 어레이 기판; 및

상기 컬러필터 기판과 어레이 기판 사이에 개재된 액정층을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 12

제11항에 있어서,

상기 제1 영역은 리페어 영역이고,

상기 제2 영역은 박막트랜지스터 형성 영역인 것을 특징으로 하는 액정표시장치.

청구항 13

제11항에 있어서,

상기 제1 영역에 형성되는 화소 전극은 상기 게이트 배선과 오버랩되지 않도록 다수의 패턴으로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 14

제13항에 있어서,

상기 패턴 사이의 간격은 $4\mu\text{m}$ 이상인 것을 특징으로 하는 액정표시장치.

청구항 15

제11항에 있어서,

상기 제2 영역에 형성되는 화소 전극은 상기 다수의 패턴으로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 16

제11항에 있어서,

상기 박막트랜지스터는 상기 게이트 배선에서 연장된 게이트 전극, 반도체층, 상기 데이터 배선에 연장된 소스 전극 및 상기 소스 전극과 소정간격 이격되도록 형성된 드레인 전극을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 17

제16항에 있어서,

상기 반도체층은 지그재그 형상으로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 18

제11항에 있어서,

상기 박막트랜지스터는 듀얼 게이트 구조인 것을 특징으로 하는 액정표시장치.

청구항 19

제11항에 있어서,

상기 제1 영역에 형성된 게이트 배선은 상기 화소 전극과 전기적으로 연결된 것을 특징으로 하는 액정표시장치.

청구항 20

제11항에 있어서,

상기 제2 영역에 형성되는 게이트 배선은 단일 패턴으로 형성되는 것을 특징으로 하는 액정표시장치.

명세서

기술분야

[0001] 본 발명은 액정표시장치의 어레이 기판에 관한 것으로, 보다 상세하게는 액정표시장치의 어레이 기판에 불량 발생시 리페어(Repair)를 용이하게 하여 수율을 향상시킬 수 있는 액정표시장치의 어레이 기판에 관한 것이다.

배경기술

[0002] 일반적으로 액정표시장치(Liquid Crystal Display; LCD)는 액티브 매트릭스(Active Matrix) 형태로 배열된 화소들에 화상정보에 따른 데이터신호를 개별적으로 공급하여 화소들의 광투과율을 조절함으로써 원하는 화상을 표시할 수 있는 표시장치이다.

[0003] 액정표시장치는 공통전극이 형성된 컬러필터 기판과 화소 전극이 형성된 어레이 기판 및 컬러필터 기판과 어레이 기판 사이에 개재된 액정으로 이루어진다. 이러한 액정표시장치는 공통전극과 화소 전극이 상하로 걸리는 전 기장에 의해 액정을 구동하는 방식으로 투과율과 개구율 등의 특성이 우수하다.

[0004] 이하, 도 1을 참조하여 일반적인 액정표시장치의 구성을 개략적으로 설명한다.

[0005] 도 1은 일반적인 액정표시장치를 나타내는 도면이다.

[0006] 도 1에 도시된 바와 같이, 액정패널(11)은 액정층(14)을 사이에 두고 서로 이격하여 구성된 제1 기판(5)과 제2 기판(10)으로 구성되며, 제1 기판(5)의 일면에는 블랙 매트릭스(6)와 적색, 녹색, 청색을 포함하는 컬러필터(7) 및 컬러필터(7) 상에 형성된 투명한 공통전극(9)이 구성된다.

[0007] 제1 기판(5)과 대응되는 제2 기판(10)에는 서로 수직하게 교차하도록 게이트 배선(15)과 데이터 배선(26)이 형성되며, 게이트 배선(15)과 데이터 배선(26)의 교차에 의해 다수의 화소영역(P)이 정의되고, 게이트 배선(15)과 데이터 배선(26)의 교차지점에는 박막트랜지스터(T)가 형성된다.

[0008] 박막트랜지스터(T)는 화소 전극(32)과 전기적으로 연결되어 화소 전극(32)과 공통전극(9) 사이에 형성된 수직 전계에 의해 액정층(14)이 배열되어 액정의 배열방향에 따라 빛의 세기를 조절하게 된다.

[0009] 이하, 도 2를 참조하여 박막트랜지스터를 포함한 액정표시장치의 어레이 기판의 구조에 대해 설명한다.

[0010] 도 2는 듀얼 게이트(dual gate) 구조의 박막트랜지스터를 포함한 액정표시장치의 어레이 기판의 단면도이다.

[0011] 도 2에 도시된 바와 같이, 투명한 절연기판(10) 상에는 가로 방향으로 연장된 게이트 배선(15)이 형성되어 있으며, 게이트 전극을 포함한 게이트 배선(15) 위에는 게이트 절연막(17)이 형성되어 있다.

[0012] 게이트 절연막(17) 위에는 반도체층(20)이 형성되어 있다. 여기에서, 반도체층(20)은 비정질 실리콘층 또는 다결정 실리콘층으로 형성될 수 있으며, 다결정 실리콘층으로 형성된 박막트랜지스터는 비정질 실리콘층으로 형성된 박막트랜지스터에 비해 캐리어의 이동도가 빨라 대면적 액정패널에 주로 사용되고 있다.

[0013] 반도체층(20) 위에는 n형 불순물이 고농도로 도핑되어 있는 저항성 접촉층(22, 23)이 형성되어 있다. 저항성 접촉층(22, 23) 위에는 소스 및 드레인 전극(27, 28)이 형성되어 있다.

[0014] 반도체층(20), 저항성 접촉층(22, 23), 소스 및 드레인 전극(27, 28) 위에는 절연막으로 이루어진 보호막(30)이 형성되어 있다. 보호막(30)에는 게이트 배선(15)의 일부분을 노출시키는 콘택홀(31)이 형성되어 있다.

[0015] 보호막(30) 위에는 투명한 전극으로 이루어지는 화소 전극(32)이 형성되어 있으며, 게이트 배선(15)은 콘택홀(31)을 통해 화소 전극(32)과 전기적으로 연결되어 있다.

[0016] 상기와 같이, 듀얼 게이트 구조의 박막트랜지스터를 포함한 액정표시장치의 어레이 기판에 불량 발생하게 되면, 레이저를 사용하여 불량이 발생한 부분을 리페어하게 된다. 이때, 도 2에서와 같이, 'A' 부분에 형성된 탑 게이트(top gate)인 화소 전극(32)과 'B' 부분에 형성된 바텀 게이트(bottom gate)인 게이트 배선(15) 간에 쇼트(short) 불량이 발생하게 되어 리페어 하는데 어려움이 있다.

발명의 내용

해결하려는 과제

[0017] 본 발명은 상기한 문제를 해결하기 위한 것으로, 액정표시장치의 어레이 기판에 불량 발생시 리페어를 용이하게 하여 수율을 향상시킬 수 있는 액정표시장치의 어레이 기판을 제공함에 있다.

[0018] 본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

과제의 해결 수단

[0019] 상기한 목적들을 달성하기 위하여, 본 발명의 일실시예에 따른 액정표시장치의 어레이 기판은, 제1 영역과 제2 영역을 포함하는 절연기판 상에 제1 방향으로 형성된 게이트 배선, 상기 게이트 배선과 절연되어 수직 교차하도록 제2 방향으로 형성된 데이터 배선, 상기 게이트 배선과 데이터 배선의 교차 영역에 형성되는 박막트랜지스터 및 상기 게이트 배선과 데이터 배선의 교차 영역에 형성되며, 상기 박막트랜지스터와 전기적으로 연결되는 화소 전극을 포함하는 액정표시장치의 어레이 기판에 있어서, 상기 화소 전극은 상기 박막트랜지스터 상부에 형성되며, 상기 제1 영역에 형성되는 상기 화소 전극은 상기 게이트 배선과 오버랩되지 않도록 형성된다.

[0020] 상기 제1 영역은 리페어 영역이고, 상기 제2 영역은 박막트랜지스터 형성 영역이다.

[0021] 상기 제1 영역에 형성되는 화소 전극은 상기 게이트 배선과 오버랩되지 않도록 다수의 패턴으로 형성된다.

[0022] 상기 패턴 사이의 간격은 $4\mu\text{m}$ 이상이다.

[0023] 상기 제2 영역에 형성되는 화소 전극은 상기 다수의 패턴으로 형성된다.

[0024] 상기 박막트랜지스터는 상기 게이트 배선에서 연장된 게이트 전극, 반도체층, 상기 데이터 배선에 연장된 소스 전극 및 상기 소스 전극과 소정간격 이격되도록 형성된 드레인 전극을 포함한다.

[0025] 상기 반도체층은 지그재그 형상으로 형성된다.

[0026] 상기 박막트랜지스터는 듀얼 게이트 구조이다.

[0027] 상기 제1 영역에 형성된 게이트 배선은 상기 화소 전극과 전기적으로 연결된다.

[0028] 상기 제2 영역에 형성되는 게이트 배선은 단일 패턴으로 형성된다.

[0029] 또한, 본 발명의 일실시예에 따른 액정표시장치는, 블랙 매트릭스와 적색, 녹색, 청색을 포함하는 컬러필터가 형성된 컬러필터 기판, 상기 컬러필터 기판과 서로 대응되도록 배치되며, 제1 영역과 제2 영역을 포함하는 절연기판 상에 제1 방향으로 형성된 게이트 배선, 상기 게이트 배선과 절연되어 수직 교차하도록 제2 방향으로 형성된 데이터 배선, 상기 게이트 배선과 데이터 배선의 교차 영역에 형성되는 박막트랜지스터 및 상기 게이트 배선과 데이터 배선의 교차 영역에 형성되어 상기 박막트랜지스터와 전기적으로 연결되며, 상기 게이트 배선과 오버랩되지 않도록 형성되는 화소 전극을 포함하는 어레이 기판 및 상기 컬러필터 기판과 어레이 기판 사이에 개재된 액정층을 포함한다.

[0030] 상기 제1 영역은 리페어 영역이고, 상기 제2 영역은 박막트랜지스터 형성 영역이다.

[0031] 상기 제1 영역에 형성되는 화소 전극은 상기 게이트 배선과 오버랩되지 않도록 다수의 패턴으로 형성된다.

[0032] 상기 패턴 사이의 간격은 $4\mu\text{m}$ 이상이다.

[0033] 상기 제2 영역에 형성되는 화소 전극은 상기 다수의 패턴으로 형성된다.

[0034] 상기 박막트랜지스터는 상기 게이트 배선에서 연장된 게이트 전극, 반도체층, 상기 데이터 배선에 연장된 소스

전극 및 상기 소스 전극과 소정간격 이격되도록 형성된 드레인 전극을 포함한다.

[0035] 상기 반도체층은 지그재그 형상으로 형성된다.

[0036] 상기 박막트랜지스터는 듀얼 게이트 구조이다.

[0037] 상기 제1 영역에 형성된 게이트 배선은 상기 화소 전극과 전기적으로 연결된다.

[0038] 상기 제2 영역에 형성되는 게이트 배선은 단일 패턴으로 형성된다.

발명의 효과

[0039] 상술한 바와 같이, 본 발명에 따른 액정표시장치의 어레이 기판은 액정표시장치의 어레이 기판에 불량 발생시 리페어를 용이하게 하여 수율을 향상시킬 수 있는 효과를 제공한다.

도면의 간단한 설명

[0040] 도 1은 일반적인 액정표시장치를 나타내는 도면.

도 2는 듀얼 게이트(dual gate) 구조의 박막트랜지스터를 포함한 액정표시장치의 어레이 기판의 단면도.

도 3은 본 발명의 일실시예에 따른 액정표시장치의 어레이 기판의 배치도.

도 4는 도 3의 I-I'와 II-II'선을 따라 절단한 단면도.

도 5는 본 발명의 다른 실시예에 따른 액정표시장치의 어레이 기판의 배치도.

발명을 실시하기 위한 구체적인 내용

[0041] 이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시장치의 바람직한 실시예를 상세히 설명한다.

[0042] 도 3은 본 발명의 일실시예에 따른 액정표시장치의 어레이 기판의 배치도이다.

[0043] 도 3에 도시된 바와 같이, 절연기판(110)은 리페어 영역(a)과 박막트랜지스터 형성 영역(b)을 포함한다. 리페어 영역(a)은 절연기판(110)에 불량 발생시 리페어를 위한 배선들이 형성되는 영역이며, 박막트랜지스터 형성 영역(b)은 듀얼 게이트 구조를 갖는 박막트랜지스터가 형성되는 영역이다. 여기서, 리페어 영역(b)에 형성되는 배선들은 박막트랜지스터 형성 영역(b)에 형성되는 배선들과 함께 형성된다.

[0044] 절연기판(110) 상에는 가로 방향으로 게이트 배선(115)이 형성되어 있다. 이때, 박막트랜지스터 형성 영역(b)에 형성되는 게이트 배선(115)은 단일 패턴으로 형성되어 있다.

[0045] 게이트 배선(115) 위에는 반도체층(120)이 형성되어 있으며, 이때 반도체층(120)은 지그재그 형상으로 형성되어 있다. 반도체층(120) 위에는 소스 및 드레인 전극(127, 128)이 형성되어 있으며, 소스 및 드레인 전극(127, 128) 위에는 제1 및 제2 서브 화소 전극(132a, 132b)을 포함하는 화소 전극(132)이 형성되어 있다.

[0046] 본 발명의 일실시예에서는 도 3에서와 같이, 절연기판(110) 상의 리페어 영역(a)에 형성되는 제1 및 제2 화소 전극(132a, 132b)이 하부에 형성된 게이트 배선(115)과 오버랩되지 않도록 형성된다. 이때, 제1 및 제2 화소 전극(132a, 132b)들은 소정 간격(D)을 갖도록 형성되며, 제1 및 제2 서브 화소 전극(132a, 132b) 사이의 간격(D)은 4 μ m 이상일 수 있다.

[0047] 또한, 본 발명에서는 박막트랜지스터 형성 영역(b)에 형성되는 제1 및 제2 서브 화소 전극(132a, 132b)도 소정 간격을 갖는 다수의 패턴으로 형성될 수 있다. 이때, 박막트랜지스터 형성 영역(b)에 형성되는 제1 및 제2 서브 화소 전극(132a, 132b) 사이의 간격(D)은 리페어 영역(a)에 형성되는 제1 및 제2 화소 전극(132a, 132b) 사이의 간격(D)과 동일하게 형성될 수 있다.

[0048] 이렇게 절연기판(100) 상의 리페어 영역(a)에 형성되는 제1 및 제2 서브 화소 전극(132a, 132b)을 하부에 형성된 게이트 배선(115)과 오버랩되지 않도록 형성하게 되면, 어레이 기판에 불량 발생시 레이저를 사용하여 불량 이 발생한 부분을 리페어하게 되는데 이때 제1 및 제2 화소 전극(132a, 132b)과 게이트 배선(115) 간에 쇼트 불량을 방지하여 리페어를 용이하게 진행할 수 있다. 이로 인해 액정표시장치의 수율을 향상시킬 수 있다.

[0049] 또한, 본 발명에서는 절연기판(100) 상의 리페어 영역(a)에 형성되는 제1 및 제2 서브 화소 전극(132a, 132b)을 두 개의 패턴으로 나누어 형성하는 것에 대해 설명하였으나, 이에 제한되는 것은 아니며, 제1 및 제2 서브 화소

전극(132a, 132b)을 두 개 이상의 패턴으로 형성할 수 도 있다.

[0050] 도 4는 도 3의 I-I'와 II-II'선을 따라 절단한 단면도이다.

[0051] 도 4에 도시된 바와 같이, 투명한 절연기관(110) 상에는 가로 방향으로 연장된 게이트 배선(115)이 형성되어 있으며, 게이트 배선(115)에는 게이트 배선(115)으로부터 연장되어 돌기 형태로 이루어진 게이트 전극(미도시)이 형성되어 있다.

[0052] 또한, 게이트 배선(115)은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 따위로 이루어질 수 있다. 그리고, 게이트 배선(115)은 물리적 성질이 다른 두 개의 도전막을 포함하는 다층막 구조를 가질 수 있으며, 이 중 한 도전막은 게이트 배선(115)의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 이루어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 이루어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 상부막 및 알루미늄 하부막과 몰리브덴 상부막을 들 수 있다. 다만, 본 발명은 이에 한정되지 않으며, 게이트 배선(115)은 다양한 여러 가지 금속과 도전체로 만들어질 수 있다.

[0053] 게이트 배선(115) 위에는 게이트 절연막(117)이 형성되어 있으며, 게이트 절연막(117) 위에는 반도체층(120)이 형성되어 있다. 여기에서, 반도체층(120)은 섬형, 선형 등과 같이 다양한 형상을 가질 수 있으며, 본 발명의 실시예에서는 게이트 배선(115) 상에 섬형으로 형성될 수 있다.

[0054] 반도체층(120) 위에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 실리콘 등의 물질로 이루어진 저항성 접촉층(122, 123)이 형성되어 있다. 이러한 저항성 접촉층(122, 123)은 섬형, 선형 등과 같이 다양한 형상을 가질 수 있으며, 본 발명의 실시예에서와 같이 섬형 저항성 접촉층(122, 123)의 경우, 소스 및 드레인 전극(127, 128) 아래에 위치한다. 또한, 저항성 접촉층(122, 123)은 반도체층(120)과 소스 및 드레인 전극(127, 128) 사이에 형성되어 이들 사이에 접촉 저항을 낮추어 주는 역할을 한다.

[0055] 저항성 접촉층(122, 123) 위에는 소스 및 드레인 전극(127, 128)이 형성되어 있다. 소스 전극(127)은 반도체층(120)과 적어도 일부분이 오버랩되고, 드레인 전극(128)은 소스 전극(127)과 대향하며 반도체층(120)과 적어도 일부분이 오버랩된다. 여기서, 소스 및 드레인 전극(127, 128)은 크롬, 몰리브덴 계열의 금속, 탄탈륨 및 티타늄 등 내화성 금속으로 이루어지는 것이 바람직하며, 내화성 금속 따위의 하부막과 그 위에 위치한 저저항 물질 상부막(미도시)으로 이루어진 다층막 구조를 가질 수 있다. 다층막 구조의 예로는 크롬 하부막과 알루미늄 상부막 또는 알루미늄 하부막과 몰리브덴 상부막의 이중막 외에도 몰리브덴막-알루미늄막-몰리브덴막의 삼중막을 들 수 있다.

[0056] 반도체층(120), 저항성 접촉층(122, 123), 소스 및 드레인 전극(127, 128) 위에는 절연막으로 이루어진 보호막(130)이 형성되어 있다. 여기에서, 보호막(130)은 질화규소 또는 산화규소로 이루어진 무기물, 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기물 또는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 이루어진다. 또한, 보호막(130)은 유기막의 우수한 특성을 살리면서도 노출된 반도체층(120) 부분을 보호하기 위하여 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다.

[0057] 보호막(130)에는 게이트 배선(115)의 일부분을 노출시키는 콘택홀(131)이 형성되어 있다. 보호막(130) 위에는 투명한 전극으로 이루어지는 화소 전극(132)이 형성되어 있다. 이때, 화소 전극(132)은 제1 및 제2 서브 화소 전극(132a, 132b)을 포함하며, ITO 또는 IZO 따위의 투명 도전체 또는 알루미늄 따위의 반사성 도전체로 이루어질 수 있다.

[0058] 여기서, 절연기관(110) 상의 리페어 영역(a)에 형성된 제1 및 제2 서브 화소 전극(132a, 132b)은 어레이 기관에 불량 발생시 리페어를 용이하게 하기 위해서 제1 서브 화소 전극(132a)과 제2 서브 화소 전극(132b)은 소정 간격을 두고 형성되어 있다. 이때, 제2 서브 화소 전극(132b)은 콘택홀(131)을 통해 게이트 배선(115)과 전기적으로 연결되어 있다.

[0059] 도 5는 본 발명의 다른 실시예에 따른 액정표시장치의 어레이 기관의 배치도이다.

[0060] 본 발명의 다른 실시예에 따른 액정표시장치의 어레이 기관의 배치도는 반도체층(120)과 제1 및 제2 서브 화소

전극(132a, 132b)의 패턴이 다르게 형성된 것을 제외하고는 본 발명의 일실시예와 동일하게 배치되어 있다.

[0061] 도 5에 도시된 바와 같이, 절연기관(110) 상의 리페어 영역(a)에 형성된 제1 및 제2 서브 화소 전극(132a, 132b)은 하부에 형성된 게이트 배선(115)과 오버랩되지 않도록 형성된다. 이때, 제1 및 제2 서브 화소 전극(132a, 132b)들 사이의 간격(D)은 $4\mu\text{m}$ 이상일 수 있다.

[0062] 따라서, 본 발명의 다른 실시예에서도 리페어 영역(a)에 형성된 제1 및 제2 서브 화소 전극(132a, 132b)을 하부에 형성된 게이트 배선(115)과 오버랩되지 않도록 형성함으로써 본 발명의 일실시예와 같이 어레이 기판에 불량 발생시 리페어를 용이하게 진행할 수 있다.

[0063] 상기와 같이, 본 발명은 절연기관 상의 리페어 영역에 형성되는 화소 전극을 하부의 게이트 배선과 오버랩되지 않도록 형성함으로써 어레이 기판에 불량 발생시 리페어를 용이하게 진행할 수 있다.

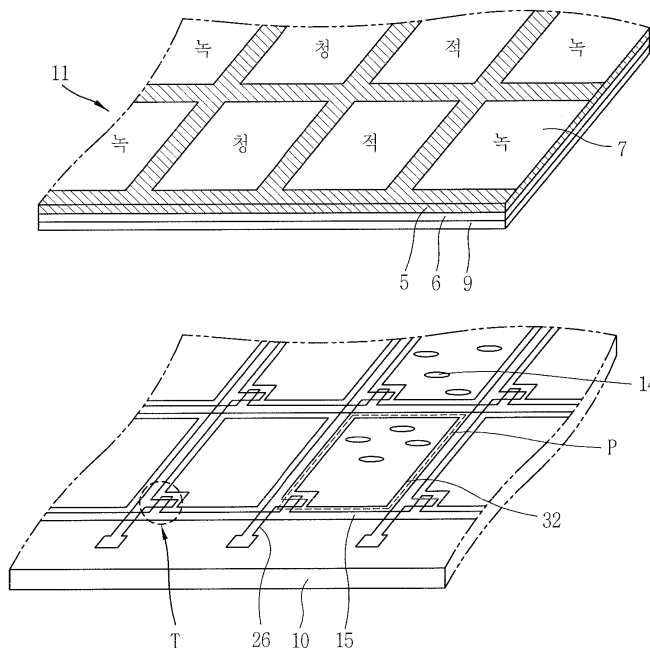
[0064] 상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서, 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

부호의 설명

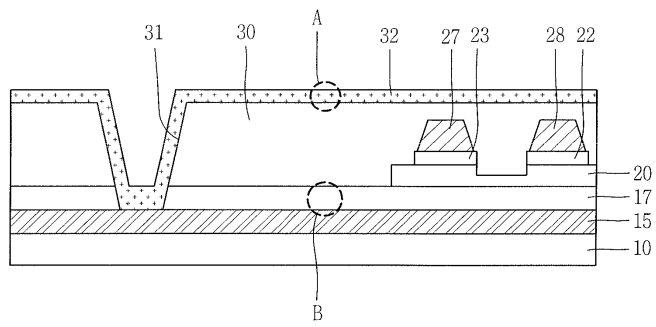
[0065]	110: 절연기관	115: 게이트 배선
	117: 게이트 절연막	120: 반도체층
	122, 123: 저항성 접촉층	127: 소스 전극
	128: 드레인 전극	130: 보호막
	131: 콘택홀	132: 화소 전극
	132a: 제1 서브 화소 전극	132b: 제2 서브 화소 전극

도면

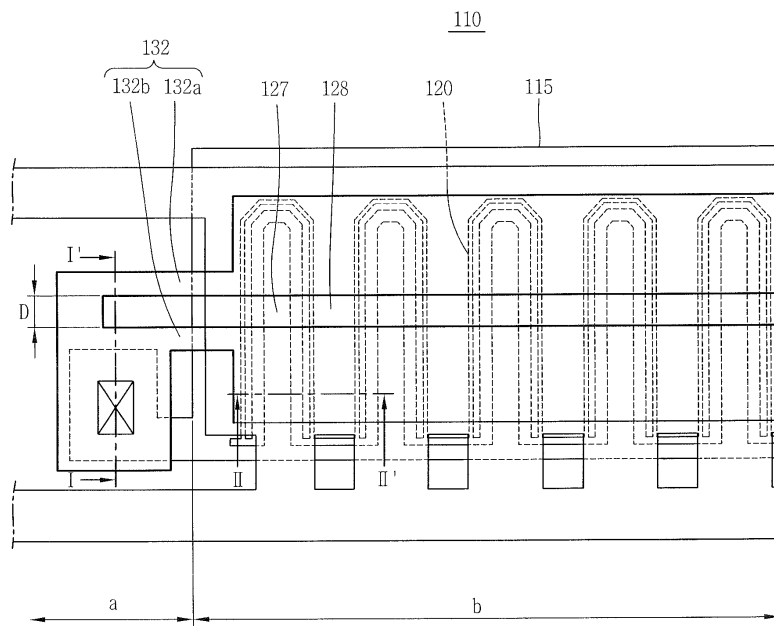
도면1



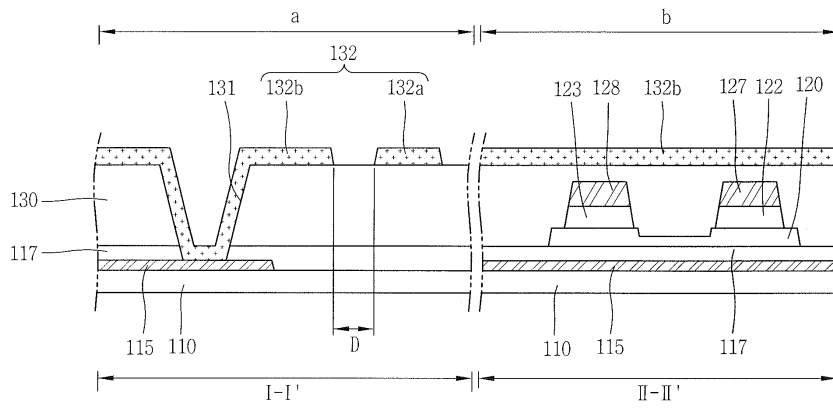
도면2



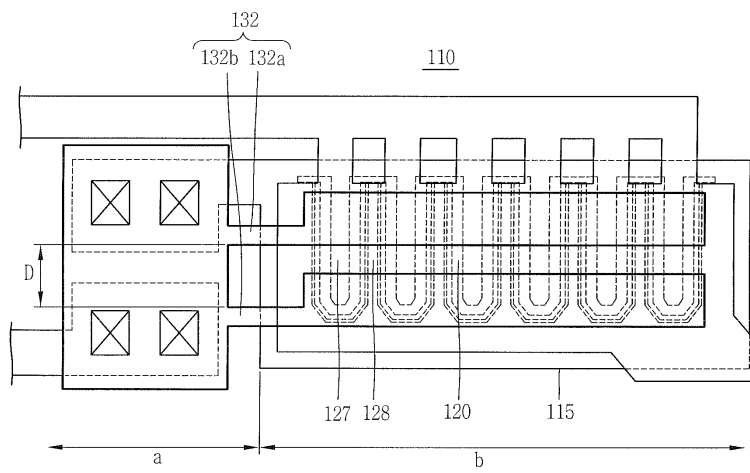
도면3



도면4



도면5



专利名称(译)	阵列基板和包括其的液晶显示装置		
公开(公告)号	KR1020120002884A	公开(公告)日	2012-01-09
申请号	KR1020100063621	申请日	2010-07-01
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM YOUNG DO 김영도 CHA JE HEON 차제헌 LEE HYUN JEONG 이현정		
发明人	김영도 차제헌 이현정		
IPC分类号	G02F1/136 G02F1/1343 G02F1/1362 G02F1/1335		
CPC分类号	G02F1/134363 G02F1/136259 G02F1/136286 G02F1/136227 G02F1/133512		
其他公开文献	KR101892436B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示装置的阵列基板，其能够在液晶显示装置的阵列基板发生缺陷时促进修复并提高成品率。液晶显示装置的阵列基板包括在包括第一区域和第二区域的绝缘基板上沿第一方向形成的栅极布线，沿第二方向形成的数据布线，以与栅极布线绝缘并垂直于栅极布线，并且像素电极电连接到薄膜晶体管，像素电极形成在栅极线和数据线的交叉区域中，薄膜晶体管形成在像素电极和数据线的交叉区域中，形成在薄膜晶体管上，形成在第一区域中的像素电极形成成为不与栅极布线重叠。

