



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0120624
(43) 공개일자 2011년11월04일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2010-0040110

(22) 출원일자 2010년04월29일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 용산구 한강로3가 65-228

(72) 발명자

이원호

경기도 파주시 금촌2동 풍림 아이원 아파트 105동 2002호

(74) 대리인

특허법인네이트

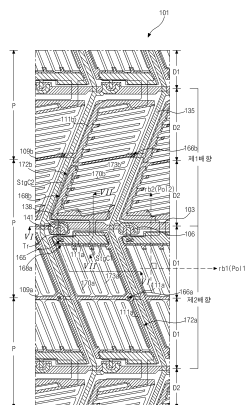
전체 청구항 수 : 총 10 항

(54) 횡전계형 액정표시장치용 어레이 기판

(57) 요약

본 발명은, 제 1 및 제 2 도메인 영역을 갖는 화소영역이 정의된 기판 상에 직선 타입으로 일방향으로 연장하며 형성된 게이트 배선과; 상기 게이트 배선과 나란하게 상기 화소영역의 경계에 제 1 및 제 2 공통배선과; 게이트 절연막을 개재하여 상기 게이트 배선 상에서 꺾임부를 가지며 지그재그 형태로 상기 제 1 및 제 2 공통배선과 교차하여 상기 화소영역을 정의하며 형성된 데이터 배선과; 상기 게이트 배선과 데이터 배선의 교차하는 부근에 이들 두 배선과 연결되며 형성된 박막트랜지스터와; 상기 박막트랜지스터의 드레인 전극과 접촉하며, 상기 제 1 도메인 영역에 상기 데이터 배선과 나란하며 일정간격 이격하며 형성된 다수의 제 1 화소전극과, 상기 제 2 도메인 영역에 상기 제 1 화소전극과 연결되며 이와 수직하게 배치되며 일정간격 이격하며 형성된 다수의 제 2 화소전극과; 상기 제 1 도메인 영역에 상기 제 1 공통배선과 접촉하며 상기 다수의 제 1 화소전극과 나란하게 교대하며 형성된 다수의 제 1 공통전극과, 상기 제 2 도메인 영역에 상기 제 2 공통배선과 접촉하며 상기 제 1 공통전극과 연결되며 상기 다수의 제 2 화소전극과 나란하게 교대하며 형성된 다수의 제 2 공통전극을 포함하며, 상기 제 1 공통배선을 기준으로 이의 상부 및 하부에는 서로 다른 화소영역 내의 제 1 도메인 영역이 배치되며, 상기 제 2 공통배선을 기준으로 이의 상부 및 하부에는 서로 다른 화소영역 내의 제 2 도메인 영역이 배치된 것이 특징인 횡전계형 액정표시장치용 어레이 기판을 제공한다.

대표도 - 도5



특허청구의 범위

청구항 1

제 1 및 제 2 도메인 영역을 갖는 화소영역이 정의된 기판 상에 직선 타입으로 일방향으로 연장하며 형성된 게이트 배선과;

상기 게이트 배선과 나란하게 상기 화소영역의 경계에 제 1 및 제 2 공통배선과;

게이트 절연막을 개재하여 상기 게이트 배선 상에서 꺾임부를 가지며 지그재그 형태로 상기 제 1 및 제 2 공통배선과 교차하여 상기 화소영역을 정의하며 형성된 데이터 배선과;

상기 게이트 배선과 데이터 배선의 교차하는 부근에 이들 두 배선과 연결되며 형성된 박막트랜지스터와;

상기 박막트랜지스터의 드레인 전극과 접촉하며, 상기 제 1 도메인 영역에 상기 데이터 배선과 나란하며 일정간격 이격하며 형성된 다수의 제 1 화소전극과, 상기 제 2 도메인 영역에 상기 제 1 화소전극과 연결되며 이와 수직하게 배치되며 일정간격 이격하며 형성된 다수의 제 2 화소전극과;

상기 제 1 도메인 영역에 상기 제 1 공통배선과 접촉하며 상기 다수의 제 1 화소전극과 나란하게 교대하며 형성된 다수의 제 1 공통전극과, 상기 제 2 도메인 영역에 상기 제 2 공통배선과 접촉하며 상기 제 1 공통전극과 연결되며 상기 다수의 제 2 화소전극과 나란하게 교대하며 형성된 다수의 제 2 공통전극

을 포함하며, 상기 제 1 공통배선을 기준으로 이의 상부 및 하부에는 서로 다른 화소영역 내의 제 1 도메인 영역이 배치되며, 상기 제 2 공통배선을 기준으로 이의 상부 및 하부에는 서로 다른 화소영역 내의 제 2 도메인 영역이 배치된 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 2

제 1 항에 있어서,

상기 제 1 공통배선은 직선형태를 가지며, 상기 제 2 공통배선은 계단형태를 가지며 형성된 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 3

제 1 항에 있어서,

상기 다수의 제 1 공통전극 및 제 1 화소전극과 상기 다수의 제 2 공통전극 및 제 2 화소전극 위로 상기 제 1 도메인 영역에 대응해서는 제 1 배향방향을 가지며 상기 제 2 도메인 영역에 대응해서는 제 2 배향방향을 갖는 배향막을 포함하는 횡전계형 액정표시장치용 어레이 기판.

청구항 4

제 3 항에 있어서,

상기 제 1 배향방향은 상기 게이트 배선과 나란한 방향이며, 상기 제 2 배향방향은 상기 제 1 배향방향과 수직한 방향인 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 5

제 1 항에 있어서,

상기 박막트랜지스터 위로 상기 기판 전면에서 상기 박막트랜지스터의 드레인 전극을 노출시키는 드레인 콘택홀과

상기 제 1 및 제 2 공통배선을 각각 노출시키는 제 1 및 제 2 공통 콘택홀을 갖는 보호층이 형성되며,
 상기 다수의 제 1 및 제 2 화소전극과, 상기 다수의 제 1 및 제 2 공통전극은 상기 보호층 상에 형성되며,
 상기 드레인 전극과 상기 제 1 화소전극은 상기 드레인 콘택홀을 통해 접촉하며,
 상기 제 1 공통배선과 상기 제 1 공통전극은 상기 제 1 공통 콘택홀을 통해 접촉하며,
 상기 제 2 공통배선과 상기 제 2 공통전극은 상기 제 2 공통 콘택홀을 통해 접촉하는 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 6

제 1 항에 있어서,

상기 제 1 도메인 영역에는 상기 제 1 공통배선에서 분기하여 상기 제 1 공통배선과 더불어 상기 제 1 도메인 영역의 가장자리를 테두리하는 형태의 제 1 공통 보조패턴이 형성되며, 상기 제 1 화소전극이 형성된 동일한 층에 상기 게이트 배선과 인접하는 부분의 상기 제 1 공통 보조패턴 부분과 중첩하는 제 1 화소 보조패턴과, 상기 제 1 공통배선과 중첩하며 상기 제 1 공통 콘택홀을 통해 상기 제 1 공통배선과 접촉하는 제 2 공통 보조패턴이 형성되며,

상기 제 2 도메인 영역에는 상기 제 2 공통배선에서 분기하여 상기 제 2 공통배선과 더불어 일 데이터 배선에 대응하여 개구를 갖는 "ㄷ"형태의 갖는 제 3 공통 보조패턴이 형성되며, 상기 제 2 화소전극이 형성된 동일한 층에 상기 제 1 화소 보조패턴과 연결되며 상기 제 3 공통 보조패턴과 중첩하는 제 2 화소 보조패턴과 상기 제 2 공통배선과 상기 제 2 공통 콘택홀을 통해 접촉하며 상기 제 2 화소 보조패턴과 마주하는 제 4 공통 보조패턴이 형성된 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 7

제 6 항에 있어서,

상기 다수의 제 1 공통전극은 상기 제 2 공통 보조패턴에서 분기한 형태로 형성되며,

상기 다수의 제 2 공통전극은 상기 제 4 공통 보조패턴에서 분기한 형태로 형성되며,

상기 다수의 제 1 화소전극은 상기 제 1 화소 보조패턴에서 분기한 형태로 형성되며,

상기 다수의 제 2 화소전극은 상기 제 2 화소 보조패턴에서 분기한 형태로 형성된 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 8

제 6 항에 있어서,

상기 드레인 전극은 상기 제 1 공통 보조패턴과 게이트 절연막을 개재하여 중첩하도록 형성됨으로써 상기 중첩되는 상기 드레인 전극과 상기 제 1 공통 보조패턴 및 상기 게이트 절연막은 제 1 스토리지 커패시터를 이루는 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 9

제 6 항에 있어서,

상기 서로 중첩하는 상기 제 3 공통 보조패턴과 상기 제 2 화소 보조패턴은 제 2 스토리지 커패시터를 이루는 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 10

제 1 항에 있어서,

상기 어레이 기관의 외측면에는 편광판이 구비되며, 상기 편광판의 편광축은 상기 게이트 배선과 나란한 방향 또는 수직한 방향인 것이 특징인 횡전계형 액정표시장치용 어레이 기관.

명세서

기술분야

[0001] 본 발명은 액정표시장치(Liquid Crystal Display Device)에 관한 것으로 특히, 전 그레이 영역에서 컬러 쉬프트 현상을 방지할 수 있으며, 도메인 경계를 줄여 개구율을 향상시킬 수 있는 횡전계형 액정표시장치용 어레이 기관에 관한 것이다.

배경기술

- [0002] 일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.
- [0003] 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.
- [0004] 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD 이하, 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.
- [0005] 상기 액정표시장치는 공통전극이 형성된 컬러필터 기관과 화소전극이 형성된 어레이 기관과, 상기 두 기관 사이에 개재된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극이 상하로 걸리는 전기장에 의해 액정을 구동하는 방식으로 투과율과 개구율 등의 특성이 우수하다.
- [0006] 그러나 상하로 걸리는 전기장에 의한 액정구동은 시야각 특성이 우수하지 못한 단점을 가지고 있다.
- [0007] 따라서 상기의 단점을 극복하기 위해 시야각 특성이 우수한 횡전계형 액정표시장치가 제안되었다.
- [0008] 이하, 도 1을 참조하여 일반적인 횡전계형 액정표시장치에 관하여 상세히 설명한다.
- [0009] 도 1은 일반적인 횡전계형 액정표시장치의 단면을 도시한 도면이다.
- [0010] 도시한 바와 같이, 컬러필터 기관인 상부기관(9)과 어레이 기관인 하부기관(10)이 서로 이격되어 대향하고 있으며, 이 상부 및 하부기관(9, 10)사이에는 액정층(11)이 개재되어 있다.
- [0011] 상기 하부기관(10)상에는 공통전극(17)과 화소전극(30)이 동일 평면상에 형성되어 있으며, 이때, 상기 액정층(11)은 상기 공통전극(17)과 화소전극(30)에 의한 수평전계(L)에 의해 작동된다.
- [0012] 도 2a와 2b는 일반적인 횡전계형 액정표시장치의 온(on), 오프(off) 상태의 동작을 각각 도시한 단면도이다.
- [0013] 우선, 전압이 인가된 온(on)상태에서의 액정의 배열상태를 도시한 도 2a를 참조하면, 상기 공통전극(17) 및 화소전극(30)과 대응하는 위치의 액정(11a)의 상변이는 없지만 공통전극(17)과 화소전극(30)사이 구간에 위치한 액정(11b)은 이 공통전극(17)과 화소전극(30)사이에 전압이 인가됨으로써 형성되는 수평전계(L)에 의하여, 상기 수평전계(L)와 같은 방향으로 배열하게 된다. 즉, 상기 횡전계형 액정표시장치는 액정이 수평전계에 의해 이동하므로, 시야각이 넓어지는 특성을 띠게 된다.
- [0014] 그러므로 상기 횡전계형 액정표시장치를 정면에서 보았을 때, 상/하/좌/우방향으로 약 80도 내지 85도 방향에서도 반전현상 없이 가시할 수 있다.
- [0015] 다음, 도 2b를 참조하면, 상기 액정표시장치에 전압이 인가되지 않은 오프상태이므로 상기 공통전극과 화소전극 간에 수평전계가 형성되지 않으므로 액정층(11)의 배열 상태가 변하지 않는다.

- [0016] 도 3은 종래의 일반적인 횡전계형 액정표시장치용 기관에 있어, 스위칭 소자를 포함하는 하나의 화소영역을 도시한 평면도이다.
- [0017] 도시한 바와 같이, 종래의 일반적인 횡전계형 액정표시장치용 어레이 기관(40)은 소정간격 이격되어 평행하게 가로방향 방향으로 구성된 다수의 게이트 배선(43)과, 상기 게이트 배선(43)에 근접하여 상기 게이트 배선(43)과 평행하게 구성된 공통배선(47)과, 상기 두 배선(43, 47)과 교차하며 특히 게이트 배선(12)과는 교차하여 화소영역(P)을 정의하는 데이터 배선(60)이 구성되어 있다.
- [0018] 상기 게이트 배선(43)과 데이터 배선(60)의 교차지점에는 게이트 전극(45)과 반도체층(미도시)과 소스 드레인 전극(53, 55)으로 구성되는 박막트랜지스터(Tr)가 형성되어 있다. 이때, 상기 소스 전극(53)은 상기 데이터 배선(60)에서 분기하고 있으며, 상기 게이트 전극(45)은 상기 게이트 배선(43)의 일부분으로 이루어지고 있다.
- [0019] 또한, 상기 화소영역(P) 내에는 상기 드레인 전극(55)과 드레인 콘택홀(67)을 통해 상기 드레인 전극과 전기적으로 연결되는 다수의 화소전극(70a, 70b)과, 상기 화소전극(70a, 70b)과 평행하게 서로 엇갈리며 구성되고, 상기 공통배선(47)으로부터 분기한 다수의 공통전극(49a, 49b)이 형성되어 있다.
- [0020] 한편, 전술한 구성을 갖는 종래의 횡전계형 액정표시장치용 어레이 기관은 각 화소영역이 단일 도메인을 이룸으로써 상우, 상좌, 하우, 하좌 측에서 보면 컬러 쉬프트(color shift) 현상이 발생하고 있다.
- [0021] 특히, 상좌(10시방향)에서 화상을 바라보면 황색이 강하게 나타나며, 상우(2시방향)에서 바라보면 청색이 강하게 나타게 되어 표시품질이 저하되고 있다.
- [0022] 따라서, 이러한 문제를 해결하고자 상기 공통전극과 화소전극의 각 화소영역의 중앙부에서 대칭적으로 꺾이도록 구성하여 2도메인 구성을 갖는 횡전계형 어레이 기관이 제안되었다.
- [0023] 도 4a와 도 4b는 종래의 2도메인 구성을 갖는 하나의 화소영역에 구비된 공통전극과 화소전극의 형태와 편광관의 편광축 및 배향방향을 간략히 도시한 도면으로서 도 4a는 저 그레이 레벨에서의 액정 디렉터의 배열을 함께 도시하였으며, 도 4b는 풀 화이트 상태에서의 액정 디렉터의 배열을 함께 도시한 것이다.
- [0024] 도시한 바와 같이, 하나의 화소영역(P)에서 서로 이격하는 공통전극(80)과 화소전극(83)이 그 중앙부를 기준으로 대칭적으로 꺾인 구성을 가짐으로써 하나의 화소영역(P) 내에 상하 대칭적인 2도메인 구조를 이루어 도메인 간 보상에 의해 상우, 상좌, 하우, 하좌 측에서 바라볼 때의 컬러쉬프트 현상을 방지하고 있다.
- [0025] 하지만, 전술한 2도메인 구조를 갖는 횡전계형 어레이 기관의 경우, 도 4a를 참조하면, 낮은 그레이 레벨에서의 액정 디렉터(90) 배열이 불완전하여 2도메인 영역(D1, D2)간 완전한 보상이 이루어지지 않아 여전히 컬러 쉬프트 현상이 발생되고 있는 실정이다.
- [0026] 즉, 서로 상하로 위치하는 두 개의 도메인(D1, D2)에 있어서 배향방향(rb)이 일치하며, 배향방향(rb)에 대해 서로 직교하도록 배치된 편광축(Po11, Po12) 중 어느 하나의 편광축이 일치하도록 배치하는 경우, 도 4b에서와 같이 풀 화이트 구현 시는 상기 2 도메인(D1, D2)에서 액정 디렉터(90)의 배열 방향이 서로 직교하도록 배치됨으로써 컬러 쉬프트가 방지될 수 있다.
- [0027] 하지만, 도 4a를 참조하면 저 그레이 레벨 즉, 블랙에 가까운 그레이를 표현하는 데 있어서는 액정 디렉터(90)의 배열이 상하 도메인(D1, D2) 간 수직한 상태를 이루지 못함으로써 도메인(D1, D2)간 보상이 이루어지지 않아 컬러 쉬프트 현상이 여전히 발생하고 있는 실정이다.
- [0028] 또한, 서로 상하로 이웃하는 화소영역간 및 각 화소영역 내에 도메인 경계가 형성되어 도메인 경계에서의 액정의 불규칙적인 움직임에 의한 빛샘영역이 발생되고 있으며, 이러한 도메인 경계 영역의 증가로 인해 상기 빛샘이 발생하는 부분에 대응하여 블랙매트릭스 등이 개재되도록 회전계형 액정표시장치를 구성함으로써 개구율이 저하되고 있는 실정이다.

발명의 내용

해결하려는 과제

- [0029] 본 발명은 이러한 종래의 횡전계형 액정표시장치의 문제점을 해결하기 위해 안출된 것으로, 서로 다른 두 도메인 간에 모든 구간의 그레이 레벨에서 적절한 보상이 이루어져 시야각 변화에 따른 컬러 쉬프트 현상을 억제할

수 있는 횡전계형 액정표시장치용 어레이 기판을 제공하는 것을 그 목적으로 한다.

[0030] 나아가 종래대비 도메인 경계 수를 최소화함으로써 개구율을 향상시킬 수 있는 구조를 갖는 횡전계형 액정표시장치용 어레이 기판을 제공하는 것을 또 다른 목적으로 한다.

과제의 해결 수단

[0031] 전술한 바와 같은 목적을 달성하기 위한 본 발명에 따른 횡전계형 액정표시장치용 어레이 기판은, 제 1 및 제 2 도메인 영역을 갖는 화소영역이 정의된 기판 상에 직선 타입으로 일방향으로 연장하며 형성된 게이트 배선과; 상기 게이트 배선과 나란하게 상기 화소영역의 경계에 제 1 및 제 2 공통배선과; 게이트 절연막을 개재하여 상기 게이트 배선 상에서 꺾임부를 가지며 지그재그 형태로 상기 제 1 및 제 2 공통배선과 교차하여 상기 화소영역을 정의하며 형성된 데이터 배선과; 상기 게이트 배선과 데이터 배선의 교차하는 부근에 이들 두 배선과 연결되며 형성된 박막트랜지스터와; 상기 박막트랜지스터의 드레인 전극과 접촉하며, 상기 제 1 도메인 영역에 상기 데이터 배선과 나란하며 일정간격 이격하며 형성된 다수의 제 1 화소전극과, 상기 제 2 도메인 영역에 상기 제 1 화소전극과 연결되며 이와 수직하게 배치되며 일정간격 이격하며 형성된 다수의 제 2 화소전극과; 상기 제 1 도메인 영역에 상기 제 1 공통배선과 접촉하며 상기 다수의 제 1 화소전극과 나란하게 교대하며 형성된 다수의 제 1 공통전극과, 상기 제 2 도메인 영역에 상기 제 2 공통배선과 접촉하며 상기 제 1 공통전극과 연결되며 상기 다수의 제 2 화소전극과 나란하게 교대하며 형성된 다수의 제 2 공통전극을 포함하며, 상기 제 1 공통배선을 기준으로 이의 상부 및 하부에는 서로 다른 화소영역 내의 제 1 도메인 영역이 배치되며, 상기 제 2 공통배선을 기준으로 이의 상부 및 하부에는 서로 다른 화소영역 내의 제 2 도메인 영역이 배치된 것이 특징이다.

[0032] 이때, 상기 제 1 공통배선은 직선형태를 가지며, 상기 제 2 공통배선은 계단형태를 가지며 형성된 것이 특징이다.

[0033] 또한, 상기 다수의 제 1 공통전극 및 제 1 화소전극과 상기 다수의 제 2 공통전극 및 제 2 화소전극 위로 상기 제 1 도메인 영역에 대응해서는 제 1 배향방향을 가지며 상기 제 2 도메인 영역에 대응해서는 제 2 배향방향을 갖는 배향막을 포함하며, 이때, 상기 제 1 배향방향은 상기 게이트 배선과 나란한 방향이며, 상기 제 2 배향방향은 상기 제 1 배향방향과 수직한 방향인 것이 특징이다.

[0034] 또한, 상기 박막트랜지스터 위로 상기 기판 전면에서 상기 박막트랜지스터의 드레인 전극을 노출시키는 드레인 콘택홀과 상기 제 1 및 제 2 공통배선을 각각 노출시키는 제 1 및 제 2 공통 콘택홀을 갖는 보호층이 형성되며, 상기 다수의 제 1 및 제 2 화소전극과, 상기 다수의 제 1 및 제 2 공통전극은 상기 보호층 상에 형성되며, 상기 드레인 전극과 상기 제 1 화소전극은 상기 드레인 콘택홀을 통해 접촉하며, 상기 제 1 공통배선과 상기 제 1 공통전극은 상기 제 1 공통 콘택홀을 통해 접촉하며, 상기 제 2 공통배선과 상기 제 2 공통전극은 상기 제 2 공통 콘택홀을 통해 접촉하는 것이 특징이다.

[0035] 또한, 상기 제 1 도메인 영역에는 상기 제 1 공통배선에서 분기하여 상기 제 1 공통배선과 더불어 상기 제 1 도메인 영역의 가장자리를 테두리하는 형태의 제 1 공통 보조패턴이 형성되며, 상기 제 1 화소전극이 형성된 동일한 층에 상기 게이트 배선과 인접하는 부분의 상기 제 1 공통 보조패턴 부분과 중첩하는 제 1 화소 보조패턴과, 상기 제 1 공통배선과 중첩하며 상기 제 1 공통 콘택홀을 통해 상기 제 1 공통배선과 접촉하는 제 2 공통 보조패턴이 형성되며, 상기 제 2 도메인 영역에는 상기 제 2 공통배선에서 분기하여 상기 제 2 공통배선과 더불어 일 데이터 배선에 대응하여 개구를 갖는 "ㄷ"형태의 갖는 제 3 공통 보조패턴이 형성되며, 상기 제 2 화소전극이 형성된 동일한 층에 상기 제 1 화소 보조패턴과 연결되며 상기 제 3 공통 보조패턴과 중첩하는 제 2 화소 보조패턴과 상기 제 2 공통배선과 상기 제 2 공통 콘택홀을 통해 접촉하며 상기 제 2 화소 보조패턴과 마주하는 제 4 공통 보조패턴이 형성된 것이 특징이다. 이때, 상기 다수의 제 1 공통전극은 상기 제 2 공통 보조패턴에서 분기한 형태로 형성되며, 상기 다수의 제 2 공통전극은 상기 제 4 공통 보조패턴에서 분기한 형태로 형성되며, 상기 다수의 제 1 화소전극은 상기 제 1 화소 보조패턴에서 분기한 형태로 형성되며, 상기 다수의 제 2 화소전극은 상기 제 2 화소 보조패턴에서 분기한 형태로 형성된 것이 특징이다.

[0036] 또한, 상기 드레인 전극은 상기 제 1 공통 보조패턴과 게이트 절연막을 개재하여 중첩하도록 형성됨으로써 상기 중첩되는 상기 드레인 전극과 상기 제 1 공통 보조패턴 및 상기 게이트 절연막은 제 1 스토리지 커패시터를 이루며, 상기 서로 중첩하는 상기 제 3 공통 보조패턴과 상기 제 2 화소 보조패턴은 제 2 스토리지 커패시터를 이루는 것이 특징이다.

[0037] 또한, 상기 어레이 기관의 외측면에는 편광판이 구비되며, 상기 편광판의 편광축은 상기 게이트 배선과 나란한 방향 또는 수직한 방향인 것이 특징이다.

발명의 효과

[0038] 본 발명에 따른 횡전계형 액정표시장치용 어레이 기관은 액정 디렉터가 인가되는 구동전압의 크기에 관계없이 하나의 화소영역 내에 형성되는 서로 다른 도메인에서 항상 수직한 상태를 유지할 수 있도록 구성함으로써 적절한 보상이 이루어져 그레이 표현 시 시야각 변화시에도 전 그레이 구간에서 컬러 쉬프트 현상을 억제하는 효과가 있다.

[0039] 또한, 상하로 위치하는 각 화소영역 자체를 지그재그 형태로 형성하여 2개의 도메인을 갖는 화소영역 자체가 또 다시 상하로 서로 다른 도메인을 형성 한다. 따라서 각 화소영역 내에서 2도메인을 형성하고, 다시 화소영역간 2도메인을 형성하게 되므로 이중의 2도메인 구성에 의해 컬러 쉬프트 현상을 더욱 억제시키는 효과가 있다.

[0040] 나아가, 상기 화소영역간 지그재그 구성에 의해 2개의 편광축의 배치를 각각 게이트 배선과 나란하게, 그리고 직교하도록 배치함으로써 편광축 자체를 회전시켜 구성하는 것 대비 표시영역 정면에서의 표시 품질을 향상시키는 효과가 있다.

[0041] 또한, 하나의 화소영역 내에 상부 및 하부로 서로 다른 도메인이 구현되면서도 도메인의 경계는 화소영역의 장축방향의 길이로써 배치됨으로써 종래대비 그 도메인 경계는 1/2로 저감됨으로써 개구율을 향상시키는 동시에 분할 배향폭이 폭이 화소영역 장축 크기단위로 커짐에 따라 분할 배향 공정 속도를 향상 시키는 효과가 있다.

도면의 간단한 설명

[0042] 도 1은 일반적인 횡전계형 액정표시장치의 일부를 개략적으로 도시한 단면도.
 도 2a, 2b는 일반적인 횡전계형 액정표시장치의 온(on), 오프(off) 상태의 동작을 각각 도시한 단면도.
 도 3은 종래의 일반적인 횡전계형 액정표시장치용 기관에 있어, 스위칭 소자를 포함하는 하나의 화소영역을 도시한 평면도.
 도 4a와 도 4b는 종래의 2도메인 구성을 갖는 하나의 화소영역에 구비된 공통전극과 화소전극의 형태와 편광판의 편광축 및 배향방향을 간략히 도시한 도면.
 도 5는 본 발명에 따른 횡전계형 액정표시장치용 어레이 기관의 표시영역 일부와 배향방향 및 편광판의 편광축의 배치 방향을 함께 도시한 평면도.
 도 6은 도 5를 절단선 VI-VI를 따라 절단한 부분에 대한 단면도.
 도 7은 도 5를 절단선 VII-VII를 따라 절단한 부분에 대한 단면도.
 도 8은 도 5의 하나의 화소영역에 형성된 제 1 및 제 2 공통전극과 제 1 및 제 2 화소전극과 게이트 배선만을 간략히 도시한 도면.
 도 9a 내지 도 9f는 본 발명의 실시예에 따른 횡전계형 액정표시장치용 어레이 기관의 제조 단계별 공정 단면도로서 도 5를 절단선 VI-VI를 따라 절단한 부분에 대한 제조 단계별 공정 단면도.
 도 10a 내지 도 10f는 도 5를 절단선 VII-VII를 따라 절단한 부분에 대한 제조 단계별 공정 단면도

발명을 실시하기 위한 구체적인 내용

[0043] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.

[0044] 도 5는 본 발명에 따른 횡전계형 액정표시장치용 어레이 기관의 표시영역 일부와 배향방향 및 편광판의 편광축의 배치 방향을 함께 도시한 평면도이며, 도 6은 도 5를 절단선 VI-VI를 따라 절단한 부분에 대한 단면도이며, 도 7은 도 5를 절단선 VII-VII를 따라 절단한 부분에 대한 단면도이다.

- [0045] 우선, 도 5를 참조하면, 도시한 바와 같이, 투명한 절연기관(101) 상에 직선형태로써 일방향으로 연장하는 게이트 배선(103)이 형성되어 있으며, 상기 게이트 배선(103)을 기준으로 상기 게이트 배선(103) 상에서 꺾임부를 가져 지그재그 형태로 상기 게이트 배선(103)과 교차하는 데이터 배선(135)이 형성되어 있다.
- [0046] 또한, 상기 게이트 배선(103)이 형성된 동일한 층에는 상기 데이터 배선(135)과 교차하여 화소영역(P)을 정의하며 제 1 및 제 2 공통배선(109a, 109b)이 형성되어 있다.
- [0047] 따라서, 본 발명의 실시예에 따른 횡전계형 어레이 기관(101)은 서로 교차하는 데이터 배선(135)과 제 1 및 제 2 공통배선(109a, 109b)에 의해 각 화소영역(P)이 정의되고 있는 것이 특징이다.
- [0048] 각 화소영역(P)의 중앙부를 관통하며 상기 게이트 배선(103)이 구비되며, 각 화소영역(P)에는 상기 게이트 배선(103)을 기준으로 그 상부와 하부에 서로 배향방향을 달리하는 배향막(미도시)이 구비되어 서로 액정분자의 초기 배열 및 구동 방향이 달리함으로써 제 1 및 제 2 도메인(D1, D2)이 정의되고 있는 것이 특징이다.
- [0049] 따라서, 도메인의 경계는 항상 게이트 배선(103)상에 위치하게 되는 것이 특징이다.
- [0050] 이때, 설명의 편의를 위해 각 화소영역(P) 내에서 상기 게이트 배선(103)을 기준으로 상기 데이터 배선(135)과 나란한 방향으로 제 1 화소전극(170a) 및 제 1 공통전극(173a)이 배치되는 영역을 제 1 도메인 영역(D1) 상기 데이터 배선(135)과 교차하는 방향으로 제 2 화소전극(170b) 및 제 2 공통전극(173b)이 배치되는 영역을 제 2 도메인 영역(D2)으로 칭한다.
- [0051] 한편, 각 화소영역(P) 내에 있어 상기 게이트 배선(103)과 상기 데이터 배선(135)이 교차하는 부근에는 이들 두 배선(103, 135)과 연결되며 그 하부로부터 게이트 전극(106), 게이트 절연막(미도시), 반도체층(미도시)과 서로 이격하는 소스 및 드레인 전극(138, 141)으로 구성되는 스위칭 소자인 박막트랜지스터(Tr)가 형성되어 있다.
- [0052] 또한, 상기 화소영역(P) 내부의 제 1 도메인 영역(D1)에 있어서는 그 테두리를 따라서 상기 제 1 공통배선(109a)에서 분기하며 상기 제 1 공통배선(109a)과 더불어 "□"형태를 이루며 제 1 공통 보조패턴(111a)이 구비되고 있다. 이때, 상기 제 1 공통 보조패턴(111a) 중 상기 게이트 배선(103)과 인접하여 이와 나란하게 형성된 부분은 제 1 스토리지 전극을 이루고 있으며, 상기 드레인 전극(141)이 연장 형성되어 상기 제 2 스토리지 전극과 중첩함으로써 제 1 스토리지 커패시터(StgC1)를 이루는 것이 특징이다.
- [0053] 또한, 상기 제 1 도메인 영역(D1)에는 상기 제 1 공통배선(109a)과 제 1 공통 콘택홀(166a)을 통해 접촉하며 상기 제 1 공통배선(109a)과 중첩하며 제 2 공통 보조패턴(172a)이 구비되고 있으며, 상기 제 2 공통 보조패턴(172a)에서 상기 데이터 배선(135)과 나란하게 분기하여 바(bar) 형태로서 다수의 제 1 공통전극(170a)이 일정 간격 이격하며 형성되고 있다.
- [0054] 또한, 상기 제 1 도메인 영역(D1)에는 상기 드레인 전극(141)과 드레인 콘택홀(165)을 통해 접촉하며 제 1 화소 보조패턴(168a)이 구비되고 있으며, 상기 제 1 화소 보조패턴(168a)에서 분기하여 상기 제 1 공통배선(109a)과 나란하게 교대하며 다수의 제 1 화소전극(170a)이 형성되고 있다.
- [0055] 또한, 상기 화소영역(P) 내부의 제 2 도메인 영역(D2)에 있어서는 상기 제 2 도메인 영역(D2)의 경계에 구비된 상기 제 2 공통배선(109b)에서 분기하여 상기 제 2 공통배선(109b)과 더불어 "ㄷ"형태를 이루며 제 3 공통 보조패턴(111b)이 구비되고 있다. 이때, 상기 제 3 공통 보조패턴(111b) 중 상기 게이트 배선(103)과 인접하여 이와 나란하게 형성된 부분은 제 3 스토리지 전극을 이루고 있다.
- [0056] 또한, 상기 제 2 도메인 영역(D2)에는 상기 제 3 공통 보조패턴(111b) 중 상기 데이터 배선(135)과 나란하게 인접하여 형성된 부분 및 상기 게이트 배선(103)과 나란하게 형성된 부분에 대응하여 상기 드레인 전극(141)과 접촉하며 형성된 제 1 화소 보조패턴(168a)이 연장됨으로써 제 2 화소 보조패턴(168b)이 형성되고 있다. 그리고 상기 제 2 화소 보조패턴(168b)에서 분기하여 상기 제 1 도메인 영역(D1)에 형성된 제 1 화소전극(170a)과 수직하게 교차하는 방향으로 배치되며 일정간격 이격하는 바(bar) 형태의 다수의 제 2 화소전극(170b)이 형성되어 있다. 이때, 서로 중첩하는 상기 제 2 화소 보조패턴(168b)과 제 3 공통 보조패턴(111b)은 제 2 스토리지 커패시터(StgC2)를 이루고 있다.
- [0057] 또한, 상기 제 2 도메인 영역(D2)에는 상기 제 2 공통배선(109b)과 제 2 공통 콘택홀(166b)을 통해 접촉하며 상기 제 4 공통 보조패턴(172b)이 상기 데이터 배선(135)과 인접하여 나란하게 상기 제 3 공통 보조패턴(111b)과 마주하며 형성되어 있으며, 상기 제 4 공통 보조패턴(172b)에서 분기하여 상기 제 2 화소전극(170b)과 나란하게 교대하며 제 2 공통전극(173b)이 형성되어 있다.

- [0058] 이때, 상기 공통배선 중 서로 이웃한 화소영역(P)의 제 1 도메인 영역(D1) 사이에 위치하는 제 1 공통배선(109a)은 상기 게이트 배선(103)과 나란하게 직선 형태로 형성되고 있으며, 서로 이웃한 화소영역(P)의 제 2 도메인 영역(D2) 사이에 위치하는 제 2 공통배선(109b) 각 화소영역(P)의 경계에서 그 끝단이 어긋나도록 배치된 구성을 가짐으로써 계단형태를 이루는 것이 특징이다.
- [0059] 전술한 바와 같은 평면구성에 의해 본 발명에 따른 횡전계형 액정표시장치용 어레이 기판은 상기 제 1 공통전극(173a) 및 제 1 화소전극(170a)과 제 2 공통전극(173b) 및 제 2 화소전극(170b)의 배치에 의해 상기 제 1 공통전극(173a)과 제 1 화소전극(170a) 간에 발생하는 횡전계에 의해 구동되는 액정 디렉터(미도시)와 상기 제 2 공통전극(173b)과 제 2 화소전극(170b) 간에 발생하는 횡전계에 의해 구동되는 액정 디렉터(미도시)는 구동 전압에 관계없이 항상 수직한 상태를 유지함으로써 전 그레이 레벨에서 방위각 변화에 따라 항상 상호 보완이 되어 컬러 쉬프트 현상을 방지하게 되는 것이다.
- [0060] 또한, 각 화소영역(P) 내의 제 1 및 제 2 도메인 영역(D1, D2) 배치가 서로 이웃하는 화소영역(P)의 경계인 상기 각 제 1 및 제 2 공통배선(109a, 109b)을 기준으로 연속되게 동일한 도메인 영역(D1, D2)이 형성됨으로서 데이터 배선(135)이 연장하는 방향으로 그 도메인 경계가 실질적으로 하나의 화소영역(P) 크기만큼 이격하는 형태를 갖게 되는 것이 특징이다.
- [0061] 따라서 이러한 도메인 영역(D1, D2)의 배치 구조의 갖는 본 발명에 따른 횡전계형 액정표시장치용 어레이 기판(101)은 종래의 2 도메인 영역을 갖는 횡전계형 액정표시장치용 어레이 기판 대비 동일한 화소영역(P) 크기 및 데이터 배선(135)의 연장방향으로 동일한 화소영역(P) 수를 갖는다고 가정하는 경우 그 도메인 경계의 수는 1/2로 저감될 수 있다. 그러므로, 제 1 도메인 영역(D1)과 제 2 도메인 영역(D2)에서 배향 방향을 달리 형성해야 하는 스캐닝타입의 UV 조사에 의한 분할 배향 공정 시간을 단축시키는 효과가 있다. 나아가 분할 배향 폭이 종래대비 2배 증가함으로서 상대적으로 고가인 고 해상도를 갖는 UV 조사 장치를 이용하지 않고 상대적으로 저가인 저 해상도를 갖는 UV광 조사 장치를 이용할 수 있으므로 분할 배향을 위한 UV 조사 장치 투자 설비비를 저감시킬 수 있는 효과가 있다.
- [0062] 한편, 도 5와 더불어 도 8(도 5의 하나의 화소영역(P)에 형성된 제 1 및 제 2 공통전극과 제 1 및 제 2 화소전극(170a, 170b)과 게이트 배선(103)만을 간략히 도시한 도면)을 참조하면, 전술한 평면구성을 갖는 어레이 기판(101)을 구비하여 완성되는 액정표시장치(미도시)의 외측에 각각 형성되는 2개의 편광판(미도시)에 있어 그 편광축(Po11, Po12)은 각각 상기 게이트 배선(103)과 나란한 방향(Po11)과 이에 수직한 방향(Po12)을 갖도록 배치되며, 이때, 제 1 도메인 영역(D1)에서의 제 1 배향방향(rb1)은 상기 게이트 배선(103)과 나란한 방향이 되며, 상기 제 2 도메인 영역(D2)에서의 제 2 배향방향(rb2)은 상기 게이트 배선(103)과 수직한 방향이 되는 것이 특징이다.
- [0063] 따라서, 구동전압을 인가하지 않은 상태에서는 액정 디렉터(190)는 상기 제 1 및 제 2 배향방향(rb1, rb2)과 나란하게 배치된 상태를 이루며, 이러한 액정 디렉터(190)의 초기 배열은 서로 직교하는 제 1 및 제 2 편광축(Po11, Po12)에 대해 제 1 및 제 2 도메인 영역(D1, D2) 모두에서 각각 평행 및 수직한 상태를 이루게 되므로 블랙 상태를 이루며, 이때, 제 1 및 제 2 도메인 영역(D1, D2)에서의 제 1 및 제 2 배향방향(rb1, rb2)은 서로 직교하므로 액정 디렉터 또한 상기 제 1 및 제 2 도메인 영역(D1, D2)에서 직교한 상태를 이루므로 컬러 쉬프트 현상은 발생하지 않는다.
- [0064] 또한, 전술한 화소영역(P)의 지그재그 구성에 의해 이러한 구성을 갖는 어레이 기판을 구비하여 횡전계형 액정표시장치(미도시)를 구현하는 경우, 제 1 편광축(Po11)을 갖는 편광판(미도시)과, 상기 제 1 편광축(Po11)과 수직한 제 2 편광축(Po12)을 갖는 제 2 편광판(미도시)을 상기 제 1 및 제 2 편광축(Po11, Po12) 중 어느 하나(도면에서는 제 1 편광축(Po11))가 상기 게이트 배선(103)과 나란하게 배치되도록 구성함으로써 사용자가 표시영역을 정면에서 바라보았을 때 가장 최적의 블랙을 표시할 수 있게 되므로 콘트라스트 비가 향상되어 우수한 블랙 휘도를 갖는 횡전계형 액정표시장치를 제공할 수 있는 장점이 있다.
- [0065] 이후에는 도 6과 도 7을 참조하여 본 발명에 따른 횡전계형 액정표시장치용 어레이 기판의 단면구조에 대해 설명한다. 이때, 설명의 편의를 위해 스위칭 소자인 박막트랜지스터가 형성되는 영역을 소자영역(TrA)이라 정의한다.
- [0066] 도시한 바와 같이, 기판(101) 상에 일방향으로 직선 형태로 연장하는 다수의 게이트 배선(103)이 형성되어 있으며, 각 화소영역(P)의 경계에는 상기 다수의 각 게이트 배선(103)과 이격하여 나란하게 직선형태 및 계단형태가 교대하며 제 1 및 제 2 공통배선(109a, 109b)이 형성되어 있다. 이때, 상기 소자영역(TrA)에 있어서 상기 게이트

트 배선(103)과 연결되며 게이트 전극(106)이 형성되고 있다.

- [0067] 또한, 각 화소영역(P) 내의 제 1 도메인 영역(D1)에는 상기 제 1 공통배선(109a)에서 분기하여 상기 공통배선과 더불어 상기 제 1 도메인 영역(D1)을 테두리 하는 형태("口"형태)로 제 1 공통 보조패턴(111a)이 형성되고 있으며, 상기 제 2 도메인 영역(D2)에는 상기 제 2 공통배선(109b)에서 분기하여 상기 제 2 공통배선(109b)과 더불어 "ㄷ"형태로 제 3 공통 보조패턴(111b)이 형성되고 있다. 이때, 스토리지 영역에 형성된 상기 제 1 및 제 3 공통 보조패턴(111a, 111b) 부분은 각각 제 1 및 제 2 스토리지 전극을 이룬다.
- [0068] 다음, 상기 게이트 배선(103), 게이트 전극(106), 공통배선(109) 및 제 1, 3 공통 보조패턴 위로 전면에 무기질 연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)로서 게이트 절연막(117)이 형성되어 있다.
- [0069] 또한, 상기 게이트 절연막(117) 위로 상기 소자영역(TrA)에는 순수 비정질 실리콘의 액티브층(120a)과 서로 이격하는 불순물 비정질 실리콘의 오믹콘택층(120b)으로 이루어진 반도체층(120)이 형성되어 있다.
- [0070] 상기 반도체층(120) 상부에는 서로 이격하며 소스 및 드레인 전극(138, 141)이 형성되어 있으며, 상기 게이트 절연막(117) 위로 각 화소영역(P)의 경계에는 상기 제 1 및 제 2 공통배선(109a, 109b)과 교차하여 상기 화소영역(P)을 정의하며, 상기 게이트 배선(103) 상에서 꺾임부를 가져 지그재그 형태를 갖는 데이터 배선(135)이 형성되어 있다. 이때, 상기 데이터 배선(135)과 소스 전극(138)은 서로 연결되고 있으며, 상기 드레인 전극(141)은 스토리지 영역까지 연장하여 상기 제 1 공통 보조패턴(111a)의 일부와 중첩하고 있으며, 이렇게 서로 중첩하는 상기 제 1 보조 공통패턴과 게이트 절연막과 드레인 전극(141)은 제 1 스토리지 커패시터를 이룬다.
- [0071] 한편, 상기 소자영역(TrA)에 순차 적층된 상기 게이트 전극(106)과 게이트 절연막(117)과 반도체층(120)과 서로 이격하는 소스 및 드레인 전극(138, 141)은 박막트랜지스터(Tr)를 이룬다.
- [0072] 다음, 상기 데이터 배선(135)과 상기 박막트랜지스터(Tr) 위로 전면에 보호층(163)이 형성되어 있으며, 이때 상기 보호층(163)에는 상기 제 1 및 제 2 공통배선(109a, 109b) 일부를 각각 노출시키는 제 1 및 제 2 공통 콘택홀(166a, 166b)과, 상기 드레인 전극(141)을 노출시키는 드레인 콘택홀(165)이 형성되어 있다.
- [0073] 다음, 상기 제 1 및 제 2 공통 콘택홀(166a, 166b)과 드레인 콘택홀(165)을 갖는 보호층(163) 위로 투명 도전성 물질 예를들면 인듐-탄-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)로써 이루어지며, 상기 제 1 도메인 영역(D1)에 상기 제 1 공통배선(109a)과 상기 제 1 공통 콘택홀(166a)을 통해 접촉하며 상기 제 1 공통배선(109a)과 중첩하며 제 2 공통 보조패턴(172a)이 구비되고 있으며, 상기 제 2 공통보조 패턴에서 상기 데이터 배선(135)과 나란하게 분기하여 바(bar) 형태로서 다수의 제 1 공통전극(173a)이 일정간격 이격하며 형성되고 있다. 또한, 상기 드레인 전극(141)과 드레인 콘택홀(165)을 통해 접촉하며 제 1 화소 보조패턴(168a)이 상기 드레인 전극(141)과 중첩하며 형성되고 있으며, 상기 제 1 화소 보조패턴(168a)에서 분기하여 상기 다수의 각 제 1 공통전극(173a)과 나란하게 교대하며 다수의 제 1 화소전극(170a)이 형성되고 있다.
- [0074] 또한, 상기 제 2 도메인 영역(D2)의 상기 보호층(163) 상부에는 상기 제 1 공통전극(173a) 및 제 1 화소전극(170a)을 이루는 동일한 물질로 제 1 화소 보조패턴(168a)과 연결되며 상기 제 3 공통 보조패턴(111b) 중 상기 데이터 배선(135)과 나란하게 인접하여 형성된 부분 및 상기 게이트 배선(103)과 나란하게 형성된 부분에 대응하여 제 2 화소 보조패턴(168b)이 형성되고 있다. 이때, 상기 서로 중첩하는 상기 제 3 공통 보조패턴(111b)과 제 2 화소 보조패턴(168b) 및 이들 두 패턴(111b, 168b) 사이에 개재된 게이트 절연막(117)과 보호층(163)은 제 2 스토리지 커패시터(StgC2)를 이룬다.
- [0075] 또한, 상기 제 2 도메인 영역(D2)의 상기 보호층(163) 상부에는 상기 제 2 화소 보조패턴(168b)에서 분기하여 상기 제 1 도메인 영역(D1)에 형성된 제 1 화소전극(170a)과 수직하게 교차하는 방향으로 배치되며 일정간격 이격하는 바(bar) 형태의 다수의 제 2 화소전극(170b)이 형성되어 있으며, 상기 제 2 공통배선(109b)과 상기 제 2 공통 콘택홀(166b)을 통해 접촉하며 상기 데이터 배선(135)과 인접하여 나란하게 상기 제 3 공통 보조패턴(111b)과 마주하며 상기 제 4 공통 보조패턴(172b)이 형성되어 있으며, 상기 제 4 공통 보조패턴(172b)에서 분기하여 다수의 상기 제 2 화소전극(170b)과 나란하게 교대하며 다수의 제 2 공통전극(173b)이 형성되어 있다.
- [0076] 다음, 상기 다수의 제 1 및 제 2 화소전극(170a, 170b)과, 상기 다수의 제 1 및 제 2 공통전극(173b) 위로 전면에 배향막(180)이 형성되어 있다. 이때, 상기 배향막(180)은 제 1 도메인 영역(D1)에 대해서는 상기 게이트 배선(103)과 수직한 제 1 배향방향(미도시)을 갖도록 배향처리 된 것이 특징이며, 상기 제 2 도메인 영역(D2)에 대해서는 상기 제 1 배향방향(미도시)과 수직한 제 2 배향방향(미도시)을 갖도록 배향처리 된 것이 특징이다.

- [0077] 한편, 상기 배향막(180)에 대해 전술한 바와 같이 제 1 도메인 영역(D1)에 대응해서는 제 1 배향방향(미도시)을 갖도록 배향 처리하고, 상기 제 2 도메인 영역(D2)에 대해서는 상기 제 1 배향방향(미도시)과 수직한 제 2 배향방향(미도시)으로 배향되도록 하는 배향 처리는 수 μm 단위로 배향 콘트롤이 가능한 UV조사장치(미도시) 등에 의해 이루어지는 것이 특징이다. 이때, 상기 배향막(180)은 그 표면에 다수의 작용기(미도시)가 구비되며, UV광에 반응하여 상기 작용기가 특정 방향으로 정렬되는 고분자 물질로 이루어지고 있다.
- [0078]
- [0079] 이후에는 전술한 구조를 갖는 본 발명의 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 제조 방법에 대해 도 5 및 이의 제조 단계별 공정 단면도를 참조하여 설명한다.
- [0080] 도 9a 내지 도 9f는 본 발명의 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 제조 단계별 공정 단면도로서 도 5를 절단선 VI-VI을 따라 절단한 부분에 대한 제조 단계별 공정 단면도이며, 도 10a 내지 도 10f는 도 5를 절단선 VII-VII을 따라 절단한 부분에 대한 제조 단계별 공정 단면도이다.
- [0081] 우선, 도 5와 도 9a 및 도 10a에 도시한 바와 같이, 투명한 절연기판(101) 상에 저저항 특성을 갖는 제 1 금속물질 예를들면 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 크롬(Cr), 몰리브덴(Mo)을 증착하고 이를 패터닝함으로써 일방향으로 연장하는 다수의 이격하는 게이트 배선(103)을 형성하고, 각 소자영역(TrA)에는 상기 게이트 배선(103)과 연결된 게이트 전극을 형성한다. 동시에 상기 투명한 절연기판(101) 상의 각 화소영역(P)의 경계에 상기 게이트 배선(103)과 이격하여 동일 방향으로 연장하며 계단형태 및 직선형태가 교대하여 배치되는 제 1 및 제 2 공통배선(109a, 109b)을 형성하고, 제 1 도메인 영역(D1)에는 상기 직선형태의 제 1 공통배선(109a)에서 분기한 형태로 제 1 공통 보조패턴(111a)을 형성하고, 제 2 도메인 영역(D2)에는 상기 계단형태의 제 2 공통배선(109b)에서 분기한 형태로 제 3 공통 보조패턴(111b)을 형성 한다.
- [0082] 다음, 도 5와 도 9b 및 도 10b에 도시한 바와 같이, 상기 게이트 배선(103)과 공통배선(109)과 게이트 전극(106)과 제 1 및 제 3 공통 보조패턴(111a, 111b) 위로 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)을 증착함으로써 상기 기판(101) 전면에 게이트 절연막(117)을 형성한다.
- [0083] 이후, 상기 게이트 절연막(117) 위로 비정질 실리콘과 불순물 비정질 실리콘 및 제 2 금속물질을 연속하여 증착하고, 이를 회절노광법 또는 하프톤 노광법 등을 이용한 마스크 공정을 진행함으로써 상기 게이트 전극(106)에 대응하는 상기 게이트 절연막(117) 위로 비정질 실리콘의 액티브층(120a)과 그 위로 서로 이격하는 불순물 비정질 실리콘의 오믹코택층(120b)과 상기 오믹코택층(120b) 위로 서로 이격하는 소스 및 드레인 전극(138, 141)을 형성 한다. 동시에 상기 게이트 절연막(117) 위로 상기 공통배선과 교차하여 화소영역(P)을 정의하며 상기 소스 전극(138)과 연결되며, 상기 게이트 배선(103) 상에서 꺾임부를 가져 지그재그 형태를 갖는 데이터 배선(135)을 형성한다.
- [0084] 이 경우, 상기 제 2 금속물질층(미도시)과 하부의 불순물 및 순수 비정질 실리콘층(미도시)을 동시에 패터닝하게 됨으로써 상기 데이터 배선(135) 하부에도 제 1 및 제 2 터미패턴(121a, 121b)이 형성되고 있으나, 상기 게이트 절연막(117) 위로 순수 및 불순물의 비정질 실리콘을 우선 증착하고 패터닝하여 소자영역(TrA)에 아일랜드 형태로 상기 반도체층(120)을 먼저 형성하고, 상기 반도체층(120) 상부로 서로 이격하는 상기 소스 및 드레인 전극(138, 141)을 형성하면 상기 소스 및 드레인 전극(138, 141) 하부에만 반도체층(120)이 형성되고 상기 데이터 배선(135) 하부에는 상기 제 1 및 제 2 터미패턴(121a, 121b)이 형성되지 않도록 할 수도 있다.
- [0085] 이때, 상기 드레인 전극(141)은 스토리지 영역까지 연장하여 상기 제 1 공통 보조패턴(111a) 일부와 중첩하도록 형성함으로써 서로 중첩하는 상기 제 1 공통 보조패턴(111a)과 게이트 절연막(117)과 드레인 전극(141)은 제 1 스토리지 커패시터(StgC1)를 이루도록 한다.
- [0086] 다음, 도 5와 도 9c 및 도 10c에 도시한 바와 같이, 상기 데이터 배선(135)과 소스 및 드레인 전극(138, 141) 위로 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)을 증착함으로써 상기 기판(101) 전면에 보호층(163)을 형성 한다.
- [0087] 이후, 상기 보호층(163)에 대해 마스크 공정을 실시하여 패터닝함으로써 상기 드레인 전극(141)을 노출시키는 드레인 콘택홀(165)과, 상기 제 1 및 제 2 공통배선(109a, 109b)을 각각 노출시키는 제 1 및 제 2 공통 콘택홀(166a, 166b)을 형성한다.
- [0088] 다음, 도 5와 도 9d 및 도 10d에 도시한 바와 같이, 상기 드레인 콘택홀(165)과 상기 제 1 및 제 2 공통 콘택홀

(166a, 166b)이 형성된 보호층(163) 위로 투명 도전성 물질 예를들면 인듐-틴-옥사이드(ITO), 인듐-징크-옥사이드(IZO)를 증착하고 패터닝함으로써 각 화소영역(P) 내에 전술한 평면 형태를 갖는 제 2 및 제 4 공통 보조패턴(172a, 172b)과, 제 1 및 제 2 화소 보조패턴(168a, 168b)과, 다수의 제 1 및 제 2 공통전극(173a, 173b)과, 다수의 제 1 및 제 2 화소전극(170a, 170b)을 형성 한다.

[0089] 이때, 상기 제 1 화소 보조패턴(168a)은 상기 드레인 콘택홀(165)을 통해 상기 드레인 전극(141)과 접촉하도록 하며, 상기 제 2 공통 보조패턴(172a)은 상기 제 1 공통 콘택홀(166a)을 통해 상기 제 1 공통 배선과 접촉하도록 하며, 상기 제 4 공통 보조패턴(172b)은 상기 제 2 공통 콘택홀(166b)을 통해 상기 제 2 공통 배선과 접촉하도록 하며 형성한다.

[0090] 다음, 도 5와 도 9e 및 도 10e에 도시한 바와 같이, 상기 제 2 및 제 4 공통 보조패턴(172a, 172b)과, 제 1 및 제 2 화소 보조패턴(168a, 168b)과, 제 1 및 제 2 공통전극(173a, 173b)과, 제 1 및 제 2 화소전극(170a, 170b) 위로 UV광에 반응하여 작용기가 특정 방향으로 정렬되는 고분자 물질 예를 들면 폴리이미드를 도포하여 상기 기판(101) 전면에 배향막(180)을 형성 한다.

[0091] 이후, UV 배향장치(미도시)를 이용하여 선택적으로 상기 제 1 도메인 영역(D1)에 대해서 상기 게이트 배선(103)과 나란한 제 1 배향방향(rb1)을 갖도록 1차 UV 배향을 실시한다. 상기 배향막(180) 중 상기 제 1 도메인 영역(D1)에 형성된 부분은 상기 1차 UV배향 처리에 의해 내부의 다수의 작용기가 상기 제 1 배향방향(rb1)으로 정렬되어 추후 액정 디렉터(미도시)가 상기 제 1 배향방향(rb1)으로 초기 배열되게 된다.

[0092] 다음, 도 5와 도 9f 및 도 10f에 도시한 바와 같이, 상기 UV 배향장치(미도시)를 이용하여 선택적으로 상기 제 2 도메인 영역(D2)에 대해서 상기 제 1 배향방향(rb1)과 수직한 제 2 배향방향(rb2)을 갖도록 2차 UV 배향을 실시하여 상기 제 2 도메인 영역(D2)에 형성된 상기 배향막(180) 내부의 다수의 작용기가 상기 제 2 배향방향(rb2)으로 정렬되도록 한다. 이때, 상기 제 2 도메인 영역(D2)에 형성된 배향막(180)은 추후 액정 디렉터(미도시)가 상기 제 2 배향방향(rb2)으로 초기 배열되게 된다.

[0093] 이러한 1 차 UV 배향 및 2 차 UV 배향은 본 발명에 따른 회전계 액정표시장치용 어레이 기판(101)의 경우 하나의 화소영역(P)의 장축 폭에 대응하는 크기 단위로 배향 영역이 교대하는 형태가 되므로 종래의 화소영역의 장축 폭의 1/2단위로 배향영역이 교대하는 형태의 어레이 기판에 UV배향을 실시하는 것 대비 단위 시간당 UV배향 속도가 향상되는 효과를 갖는다.

[0094] 한편, 도면에 나타내지 않았지만, 상기 어레이 기관(101)의 외측면에 대응하여 그 편광축이 상기 게이트 배선(103)과 나란한 방향 또는 수직한 방향을 갖도록 편광판(미도시)을 부착하는 단계를 더욱 진행함으로써 본 발명의 실시예에 따른 횡전계형 액정표시장치용 어레이 기관(101)을 완성한다.

부호의 설명

[0095]

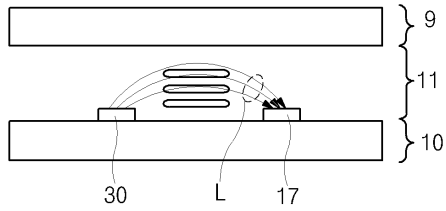
101 : 기판	103 : 게이트 배선
106 : 게이트 전극	109a, 109b : 제 1 및 제 2 공통배선
111a, 111b : 제 1 및 제 3 공통 보조패턴	
135 : 데이터 배선	138 : 소스 전극
141 : 드레인 전극	165 : 드레인 콘택홀
166a, 166b : 제 1 및 제 2 공통 콘택홀	
168a, 168b : 제 1 및 제 2 화소 보조패턴	
170a, 170b : 제 1 및 제 2 화소전극	
172a, 172b : 제 1 및 제 2 공통 보조패턴	
173a, 173b : 제 1 및 제 2 공통전극	
P : 화소영역	Pol1, Pol2 : 제 1 및 제 2 편광축 방향
rb1, rb2 : 제 1 및 제 2 배향방향	

StgC1, StgC2 : 제 1 및 제 2 스토리지 커패시터

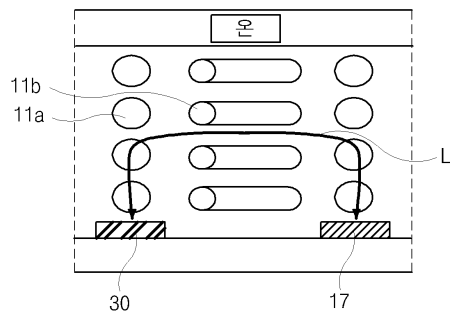
Tr : 박막트랜지스터

도면

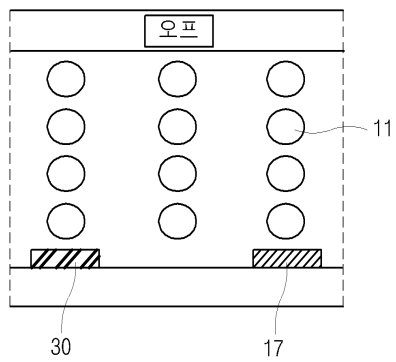
도면1



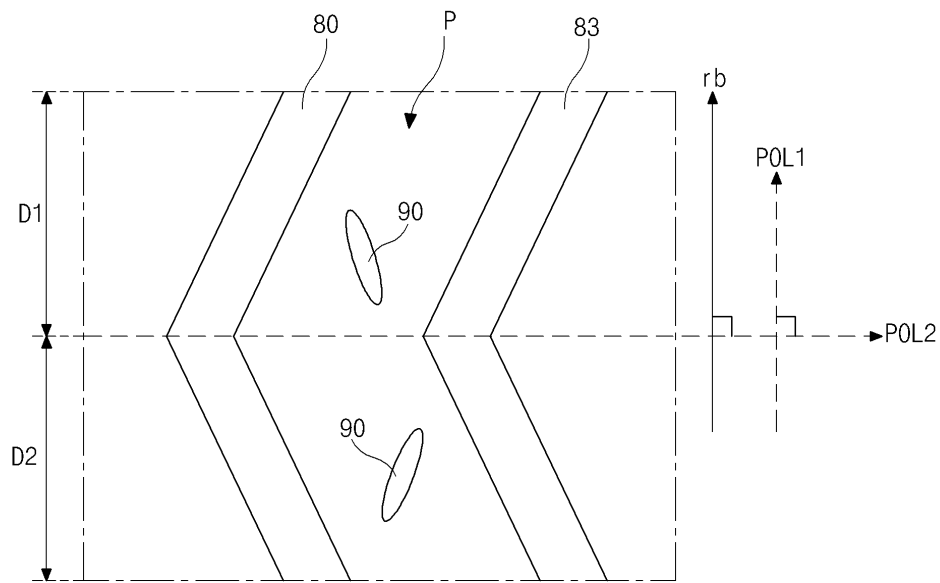
도면2a



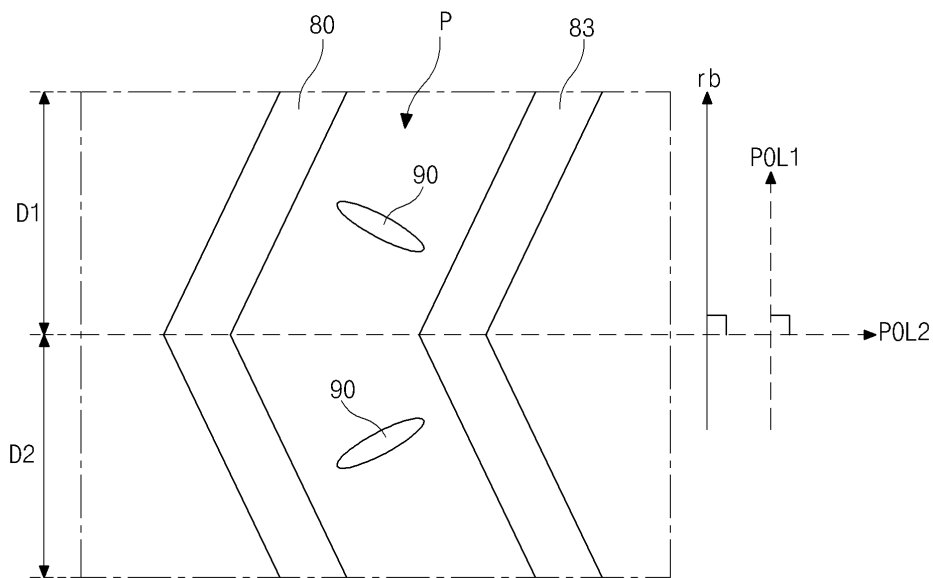
도면2b



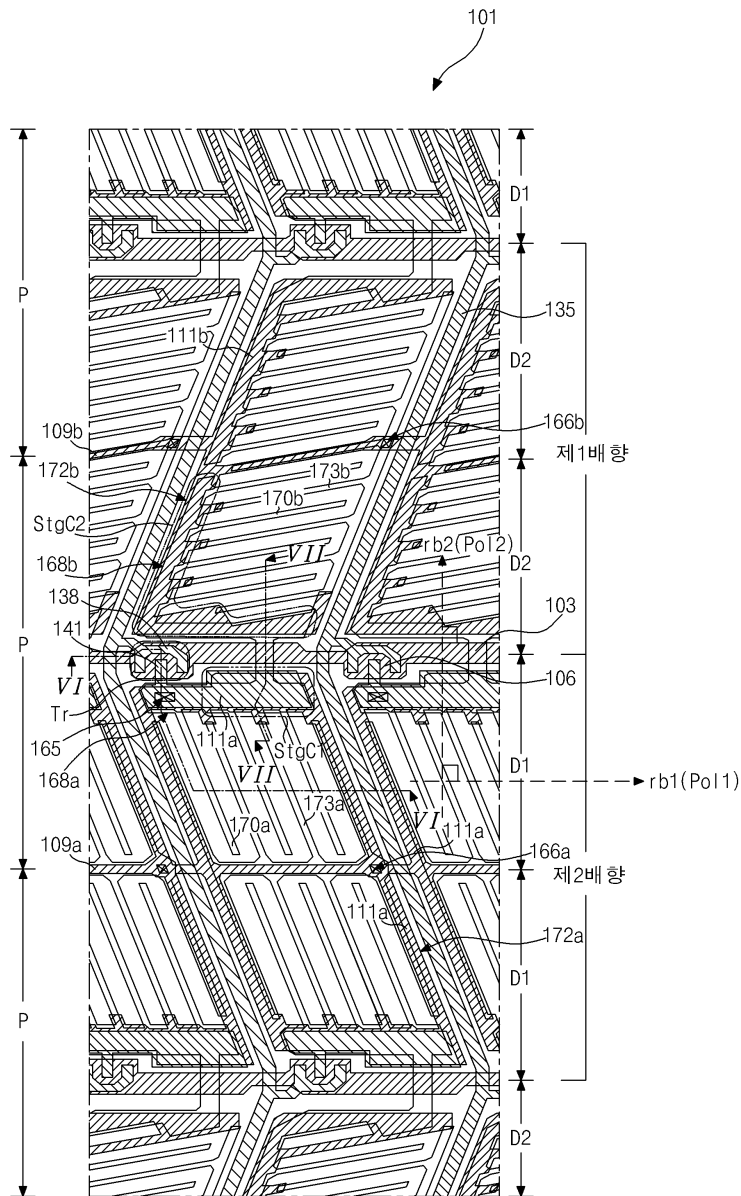
도면4a



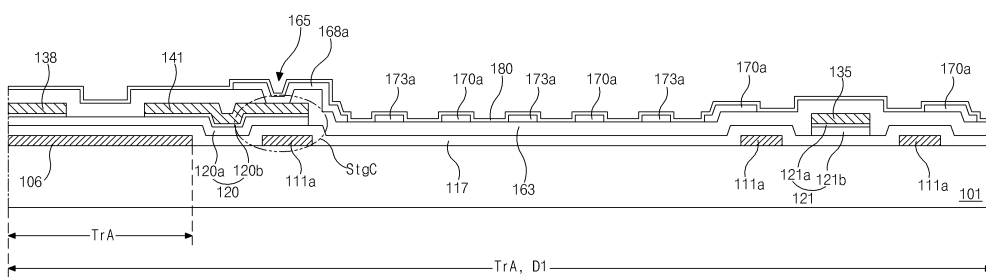
도면4b



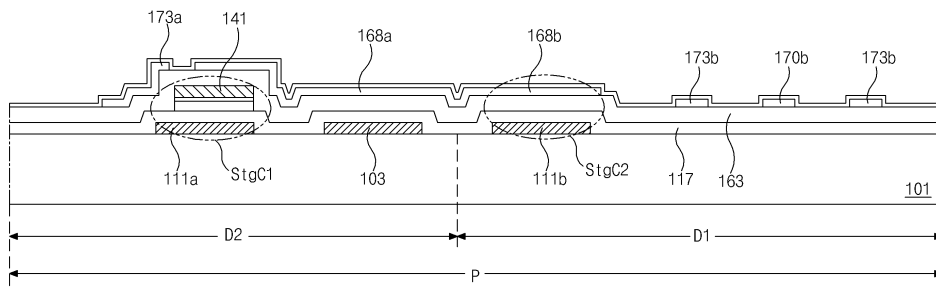
도면5



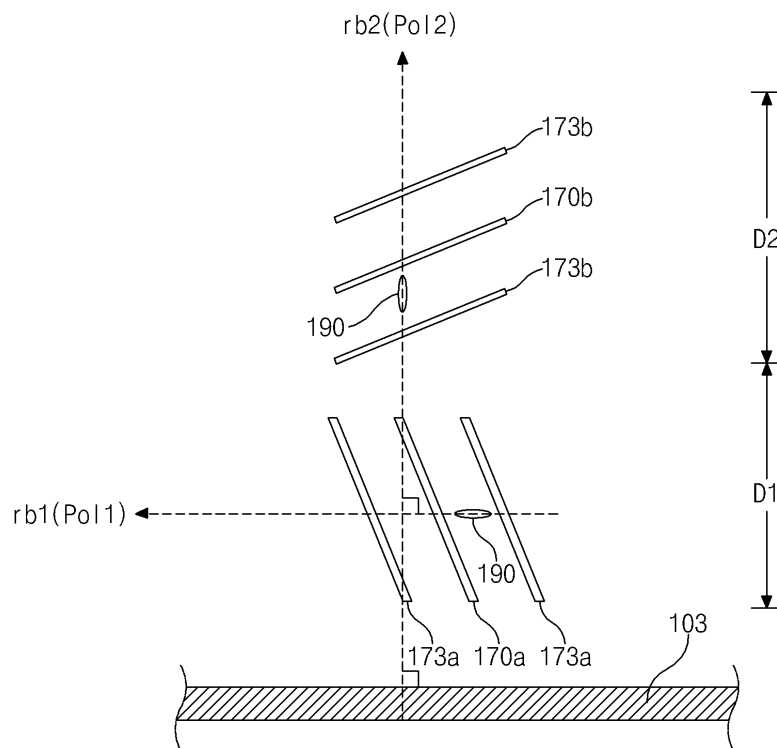
도면6



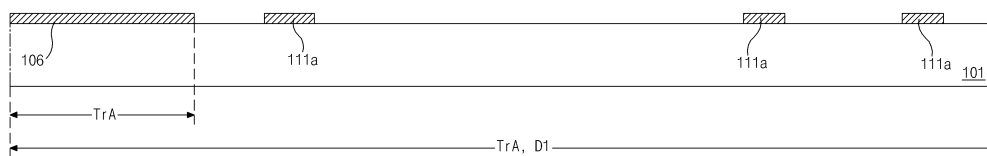
도면7



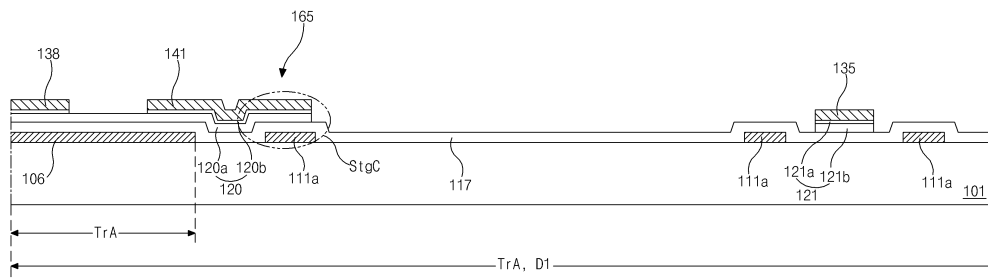
도면8



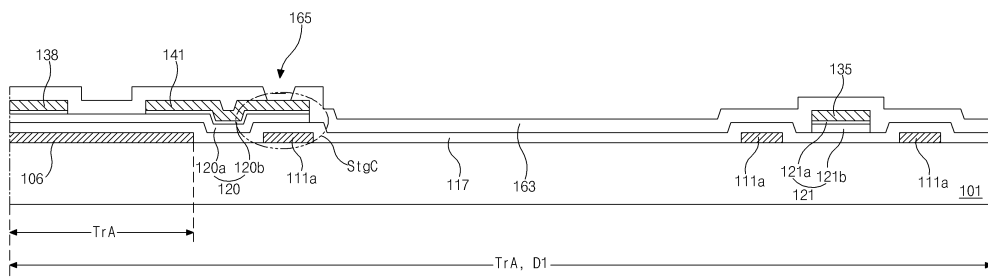
도면9a



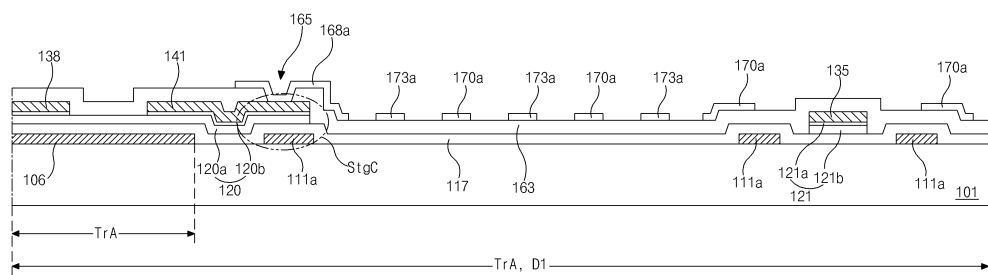
도면9b



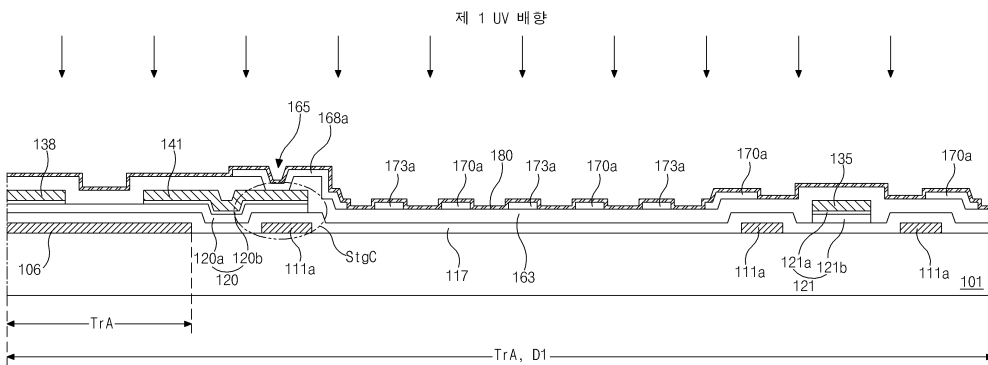
도면9c



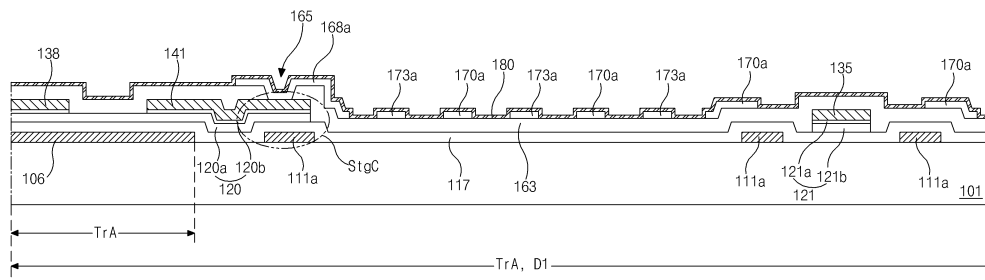
도면9d



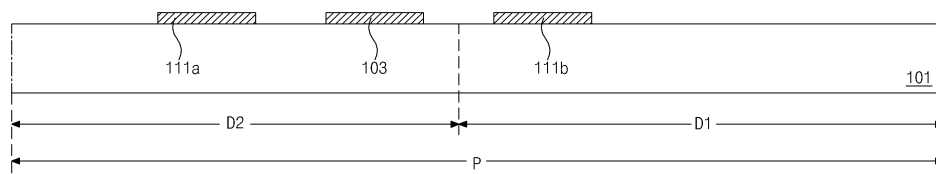
도면9e



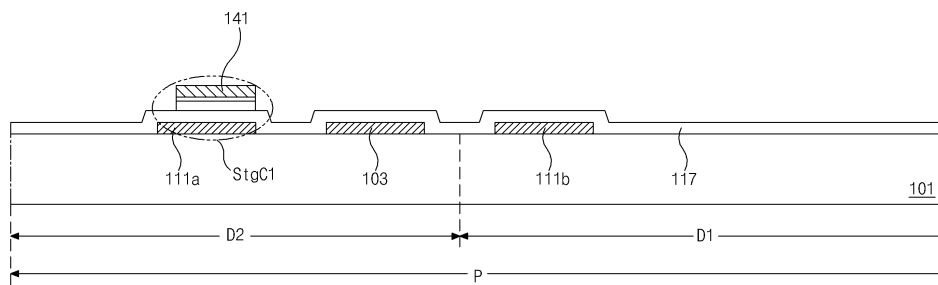
도면9f



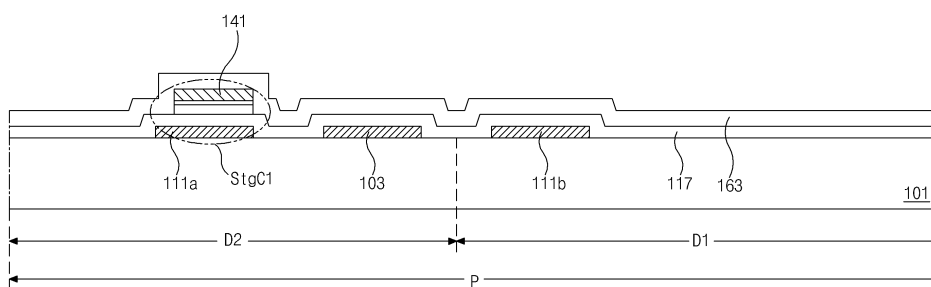
도면10a



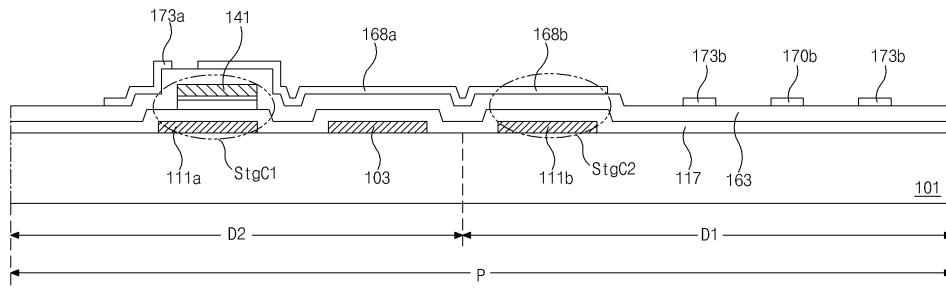
도면10b



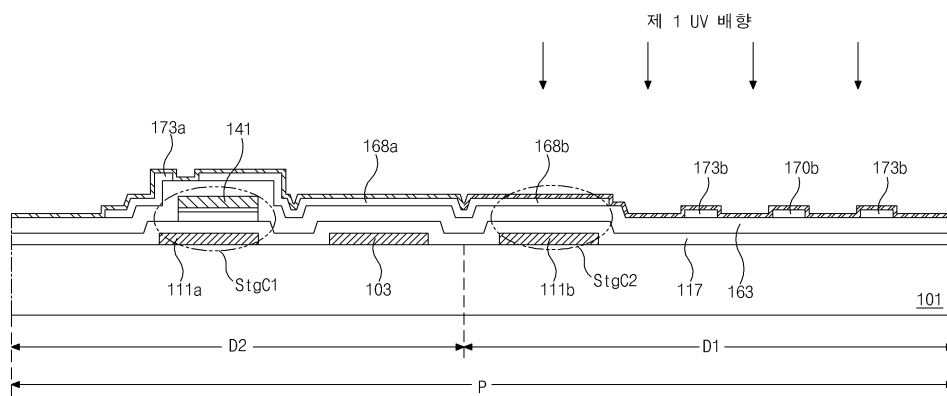
도면10c



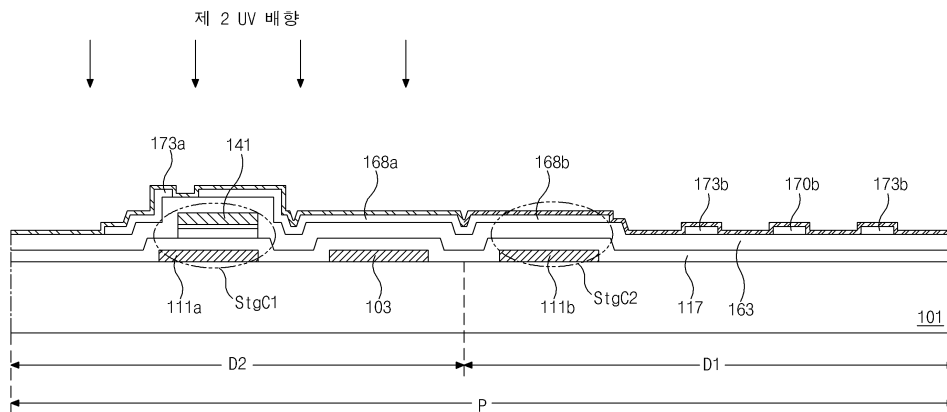
도면10d



도면10e



도면10f



专利名称(译)	一种用于横向电场型液晶显示器件的阵列基板		
公开(公告)号	KR1020110120624A	公开(公告)日	2011-11-04
申请号	KR1020100040110	申请日	2010-04-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE WON HO		
发明人	LEE, WON HO		
IPC分类号	G02F1/1343		
CPC分类号	H01L27/1214 G02F1/134363		
其他公开文献	KR101237791B1		

摘要(译)

本发明提供一种液晶显示装置，包括：在基板上形成直线型的栅极布线，在该基板上限定具有第一和第二畴区的像素区域，在一个方向上延伸；在像素区域的边界处与栅极布线平行的第一和第二公共布线；并且，在第一栅电极和第二栅电极上形成栅电极，形成数据线以限定像素区域；薄膜晶体管，形成在栅极布线和数据布线的交叉点附近，并连接到两条布线；在与薄膜晶体管的漏电极，其中所述侧由端与数据线和在第一域中区域隔开预定间隔；以及多个第一像素电极的形成，并且在第二域，第一域接触多个第二像素电极连接像素电极并垂直于像素电极排列，所述第一接触和第一公共线向所述第一域区域，并且并排交替地与所述多个与所述多个第一公共电极和所述第二域区域中的第二公共布线的接触的第一像素电极的形成和连接到第一公共电极的第二公共电极，侧通过交替地与所述第二像素电极侧，并包括多个第二公共电极形成，其中，在所述第一公共布线到它的顶部和底部的第一域区域，是根据设置在不同的像素区域，并且所述第二共用配线并且，不同像素区域中的第二域区域设置在阵列基板的上部和下部，提供。

