



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0079459
(43) 공개일자 2011년07월07일

(51) Int. Cl.

G02F 1/1343 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2010-0045359

(22) 출원일자 2010년05월14일

심사청구일자 없음

(30) 우선권주장

1020090135681 2009년12월31일 대한민국(KR)

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

홍상표

경상북도 칠곡군 석적읍 중리 부영아파트 112동 903호

임경남

경상북도 칠곡군 약목면701 오성아파트 102-1315

(뒷면에 계속)

(74) 대리인

허용특

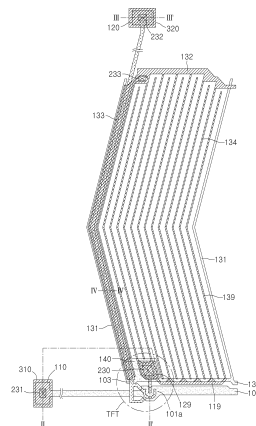
전체 청구항 수 : 총 61 항

(54) 박막 트랜지스터 어레이 기판, 이를 포함하는 액정표시장치 및 이들의 제조방법

(57) 요약

본 발명은 박막 트랜지스터 어레이 기판, 이를 포함하는 액정표시장치 및 그 제조방법을 개시한다. 개시된 박막 트랜지스터 어레이 기판은, 기판; 상기 기판 상에 화소 영역을 정의하기 위해 교차하도록 배치된 게이트 라인과 데이터 라인; 상기 게이트 라인과 평행하면서 상기 데이터 라인과 교차하도록 배치된 제 1 공통 라인; 상기 게이트 라인과 데이터 라인의 교차 영역에 배치된 스위칭 소자; 상기 제 1 공통 라인과 오버랩되도록 형성된 제 1 화소 전극과, 상기 제 1 화소 전극으로부터 다수개의 슬릿 형태로 분기된 제 2 화소 전극; 상기 화소 영역을 사이에 두고 상기 제 1 공통 라인과 대향하는 제 2 공통 라인, 상기 제 2 공통 라인으로부터 화소 영역으로 다수개의 슬릿 형태로 분기된 제 2 공통 전극과, 상기 제 2 공통 라인으로부터 상기 데이터 라인과 오버랩되도록 분기된 제 3 공통 전극; 및 상기 제 1 공통 라인으로부터 화소 영역으로 분기된 제 1 스토리지 전극과, 상기 제 1 스토리지 전극과 오버랩되면서 제 1 화소 전극으로부터 연장된 제 2 스토리지 전극을 포함한다.

대표도 - 도3a



(72) 발명자

문홍만

경기도 고양시 일산서구 주엽2동 문촌마을6단지아파트 603동 1104호

조홍렬

경기도 고양시 일산서구 일산1동 일산휴먼빌아파트 105동 801호

남대현

경기도 고양시 일산동구 마두동 백마마을 한성아파트 515동 502호

김도성

경기도 고양시 일산서구 대화동 대화마을9단지아파트 904동 1001호

최준호

경기도 파주시 금촌1동 대방노블랜드 203-1501

특허청구의 범위

청구항 1

기관;

상기 기관 상에 화소 영역을 정의하기 위해 교차하도록 배치된 게이트 라인과 데이터 라인;

상기 게이트 라인과 평행하면서 상기 데이터 라인과 교차하도록 배치된 제 1 공통 라인;

상기 게이트 라인과 데이터 라인의 교차 영역에 배치된 스위칭 소자;

상기 제 1 공통 라인과 오버랩되도록 형성된 제 1 화소 전극과, 상기 제 1 화소 전극으로부터 다수개의 슬릿 형태로 분기된 제 2 화소 전극;

상기 화소 영역을 사이에 두고 상기 제 1 공통 라인과 대향하는 제 2 공통 라인, 상기 제 2 공통 라인으로부터 화소 영역으로 다수개의 슬릿 형태로 분기된 제 2 공통 전극과, 상기 제 2 공통 라인으로부터 상기 데이터 라인과 오버랩되도록 분기된 제 3 공통 전극; 및

상기 제 1 공통 라인으로부터 화소 영역으로 분기된 제 1 스토리지 전극과, 상기 제 1 스토리지 전극과 오버랩되면서 제 1 화소 전극으로부터 연장된 제 2 스토리지 전극을 포함하는 박막 트랜지스터 어레이 기관.

청구항 2

제 1 항에 있어서, 상기 제 3 공통 전극의 폭은 상기 데이터 라인의 좌우측에 인접한 제 1 공통 전극들의 거리보다 작은 것을 특징으로 하는 박막 트랜지스터 어레이 기관.

청구항 3

표시 영역과 비표시 영역으로 구획되는 기관;

상기 기관의 표시 영역 상에 형성된 게이트 전극, 채널층, 소스·드레인 전극을 포함하는 박막 트랜지스터;

상기 기관 상에 형성된 제 1 스토리지 전극;

상기 제 1 스토리지 전극과 오버랩되면서 유기 절연막을 사이에 두고 제 1 콘택홀에 의해 상기 드레인 전극과 연결된 제 2 스토리지 전극;

상기 기관의 표시 영역 상에 형성된 데이터 라인;

상기 데이터 라인과 인접한 영역의 기관 상에 형성된 제 1 공통 전극;

상기 표시 영역의 화소 영역에 다수개의 슬릿 형태로 배치된 제 2 공통 전극;

상기 제 2 공통 전극과 교대로 배치되는 화소 전극;

상기 기관의 비표시 영역 상에 형성된 게이트 패드;

상기 게이트 패드와 상기 유기 절연막을 사이에 두고 제 2 콘택홀에 의해 연결된 게이트 패드 콘택전극;

상기 기관의 비표시 영역 상에 형성된 데이터 패드; 및

상기 데이터 패드와 상기 유기 절연막을 사이에 두고 제 3 콘택홀에 의해 연결된 데이터 패드 콘택 전극을 포함하는 박막 트랜지스터 어레이 기관.

청구항 4

제 3 항에 있어서, 상기 데이터 라인과 오버랩되면서 상기 유기 절연막을 사이에 두고 형성된 제 3 공통 전극을

더 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 5

제 3 항에 있어서, 상기 비표시 영역에 형성된 유기 절연막의 두께는 상기 표시 영역에 형성된 유기 절연막 보다 작은 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 6

제 4 항에 있어서, 상기 제 3 공통 전극의 폭은 상기 데이터 라인의 좌우측에 배치된 제 1 공통 전극의 사이의 거리보다 작은 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 7

제 3 항 및 제 4항에 있어서, 상기 제 2 스토리지 전극, 제 2 공통 전극, 제 3 공통 전극, 게이트 패드 콘택전극 및 데이터 패드 콘택전극은 이중 금속층 구조를 갖는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 8

제 7 항에 있어서, 상기 이중 금속층 중 상부층은 구리(Cu)를 포함하는 저반사 금속층인 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 9

제 3 항에 있어서, 상기 게이트 패드와 데이터 패드가 형성된 비표시 영역에는 유기 절연막이 모두 제거된 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 10

제 9 항에 있어서, 상기 게이트 패드와 데이터 패드가 형성된 비표시 영역에는 보호막과 게이트 절연막이 모두 제거된 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 11

제 3 항에 있어서, 상기 유기 절연막의 두께는 구동 주파수가 높을 수 록 더 두껍게 형성하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 12

제 11 항에 있어서, 상기 구동 주파수가 120Hz인 경우에는 상기 유기 절연막의 두께를 2.5~3.5 μm 인 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 13

제 11 항에 있어서, 상기 구동 주파수가 240Hz인 경우에는 상기 유기 절연막의 두께는 5.5~6.5 μm 인 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 14

기관;

상기 기관 상에 화소 영역을 정의하기 위해 교차하도록 배치된 게이트 라인과 데이터 라인;

상기 게이트 라인과 평행하면서 상기 데이터 라인과 교차하도록 배치된 제 1 공통 라인;

상기 게이트 라인과 데이터 라인의 교차 영역에 배치된 스위칭 소자;

상기 제 1 공통 라인과 오버랩되도록 형성된 제 1 화소 전극과, 상기 제 1 화소 전극으로부터 다수개의 슬릿 형태로 분기된 제 2 화소 전극;

상기 화소 영역을 사이에 두고 상기 제 1 공통 라인과 대향하는 제 2 공통 라인, 상기 제 2 공통 라인으로부터 화소 영역으로 다수개의 슬릿 형태로 분기된 제 2 공통 전극과, 상기 제 2 공통 라인으로부터 상기 데이터 라인 과 오버랩되도록 분기된 제 3 공통 전극;

상기 제 1 공통 라인과 일체로 형성되면서 상기 스위칭 소자의 드레인 전극과 오버랩되지 않는 절곡부;

상기 제 1 공통 라인과 일체로 형성되면서 상기 절곡부와 대향하도록 배치된 제 1 스토리지 전극; 및

상기 제 1 공통 라인과 제 1 스토리지 전극과 오버랩되도록 배치된 제 2 스토리지 전극을 포함하는 박막 트랜지스터 어레이 기관.

청구항 15

제 14 항에 있어서, 상기 제 1 화소 전극의 양측 가장자리에는 상기 스위칭 소자의 드레인 전극과 연결되는 제 1 연장부와, 상기 제 2 스토리지 전극과 연결되는 제 2 연장부가 형성된 것을 특징으로 하는 박막 트랜지스터 어레이 기관.

청구항 16

제 15 항에 있어서, 상기 제 1 공통 라인의 절곡부는 상기 스위칭 소자의 드레인 전극 및 이와 연결된 제 1 연장부와 이격되어 있는 것을 특징으로 하는 박막 트랜지스터 어레이 기관.

청구항 17

제 14 항에 있어서, 상기 제 3 공통 전극의 폭은 상기 데이터 라인의 좌우측에 인접한 제 1 공통 전극들의 거리 보다 작은 것을 특징으로 하는 박막 트랜지스터 어레이 기관.

청구항 18

표시 영역과 비표시 영역으로 구획되는 기관;

상기 기관의 표시 영역 상에 형성된 게이트 전극, 채널층, 소스·드레인 전극을 포함하는 박막 트랜지스터;

상기 기관 상에 상기 드레인 전극과 오버랩되지 않도록 형성된 절곡부;

상기 드레인 전극과 유기 절연막을 사이에 두고 제 1 콘택홀에 의해 상기 드레인 전극과 연결된 제 1 연장부;

상기 기관의 표시 영역 상에 형성된 데이터 라인;

상기 데이터 라인과 인접한 영역의 기관 상에 형성된 제 1 공통 전극;

상기 표시 영역의 화소 영역에 다수개의 슬릿 형태로 배치된 제 2 공통 전극;

상기 제 2 공통 전극과 교대로 배치되는 화소 전극;

상기 기관의 비표시 영역 상에 형성된 게이트 패드;

상기 게이트 패드와 상기 유기 절연막을 사이에 두고 제 2 콘택홀에 의해 연결된 게이트 패드 콘택전극;

상기 기관의 비표시 영역 상에 형성된 데이터 패드; 및

상기 데이터 패드와 상기 유기 절연막을 사이에 두고 제 3 콘택홀에 의해 연결된 데이터 패드 콘택 전극을 포함하는 박막 트랜지스터 어레이 기관.

청구항 19

제 18 항에 있어서, 상기 데이터 라인과 오버랩되면서 상기 유기 절연막을 사이에 두고 형성된 제 3 공통 전극을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기관.

청구항 20

제 18 항에 있어서, 상기 비표시 영역에 형성된 유기 절연막의 두께는 상기 표시 영역에 형성된 유기 절연막 보다 작은 것을 특징으로 하는 박막 트랜지스터 어레이 기관.

청구항 21

제 19 항에 있어서, 상기 제 3 공통 전극의 폭은 상기 데이터 라인의 좌우측에 배치된 제 1 공통 전극의 사이의 거리보다 작은 것을 특징으로 하는 박막 트랜지스터 어레이 기관.

청구항 22

제 18 항 및 제 19항에 있어서, 상기 제 2 스토리지 전극, 제 2 공통 전극, 제 3 공통 전극, 게이트 패드 콘택 전극 및 데이터 패드 콘택전극은 이중 금속층 구조를 갖는 것을 특징으로 하는 박막 트랜지스터 어레이 기관.

청구항 23

제 22 항에 있어서, 상기 이중 금속층 중 상부층은 구리(Cu)를 포함하는 저반사 금속층인 것을 특징으로 하는 박막 트랜지스터 어레이 기관.

청구항 24

제 18 항에 있어서, 상기 게이트 패드와 데이터 패드가 형성된 비표시 영역에는 유기 절연막이 모두 제거된 것을 특징으로 하는 박막 트랜지스터 어레이 기관.

청구항 25

제 18 항에 있어서, 상기 게이트 패드와 데이터 패드가 형성된 비표시 영역에는 보호막과 게이트 절연막이 모두 제거된 것을 특징으로 하는 박막 트랜지스터 어레이 기관.

청구항 26

제 20 항에 있어서, 상기 유기 절연막의 두께는 구동 주파수가 높을 수 록 더 두껍게 형성하는 것을 특징으로 하는 박막 트랜지스터 어레이 기관.

청구항 27

제 26 항에 있어서, 상기 구동 주파수가 120Hz인 경우에는 상기 유기 절연막의 두께를 2.5~3.5 μm 인 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 28

제 26 항에 있어서, 상기 구동 주파수가 240Hz인 경우에는 상기 유기 절연막의 두께는 5.5~6.5 μm 인 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 29

제 19 항에 있어서, 상기 제 3 공통 전극은 상기 데이터 라인이 보이도록 상기 데이터 라인을 따라 오픈 영역이 형성된 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 30

기판;

상기 기판 상에 화소 영역을 정의하기 위해 교차하도록 배치된 게이트 라인과 데이터 라인;

상기 게이트 라인과 평행하면서 상기 데이터 라인과 교차하도록 배치된 제 1 공통 라인;

상기 게이트 라인과 데이터 라인의 교차 영역에 배치된 스위칭 소자;

상기 제 1 공통 라인과 오버랩되도록 형성된 제 1 화소 전극과, 상기 제 1 화소 전극으로부터 다수개의 슬릿 형태로 분기된 제 2 화소 전극;

상기 화소 영역을 사이에 두고 상기 제 1 공통 라인과 대향하는 제 2 공통 라인, 상기 제 2 공통 라인으로부터 화소 영역으로 다수개의 슬릿 형태로 분기된 제 2 공통 전극과, 상기 제 2 공통 라인으로부터 상기 데이터 라인과 오버랩되도록 분기된 제 3 공통 전극;

상기 제 1 공통 라인과 일체로 형성되면서 상기 스위칭 소자의 드레인 전극과 오버랩되지 않는 절곡부를 구비하고, 상기 절곡부와 대향하도록 배치된 제 1 스토리지 전극; 및

상기 제 1 공통 라인과 제 1 스토리지 전극과 오버랩되도록 배치된 제 2 스토리지 전극을 포함하고,

상기 제 1 화소 전극의 양측 가장자리에는 상기 스위칭 소자의 드레인 전극과 연결되는 제 1 연장부와, 상기 제 2 스토리지 전극과 연결되는 제 2 연장부가 형성되고, 상기 제 1 화소 전극은 드레인 전극과 인접한 연결부에서 상기 제 1 연장부와 분리되도록 형성된 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 31

제 30 항에 있어서, 상기 제 1 화소 전극은 상기 연결부에서 상기 제 1 연장부와 이격되면서 상기 제 1 공통라인의 절곡부와 오버랩되는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 32

제 30 항에 있어서, 상기 제 3 공통 전극의 폭은 상기 데이터 라인의 좌우측에 인접한 제 1 공통 전극들의 거리보다 작은 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 33

제 30 항에 있어서, 상기 제 3 공통 전극은 상기 데이터 라인이 보이도록 상기 데이터 라인을 따라 오픈 영역이 형성된 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 34

기판;

상기 기판 상에 화소 영역을 정의하기 위해 교차하도록 배치된 게이트 라인과 데이터 라인;

상기 게이트 라인과 평행하면서 상기 데이터 라인과 교차하도록 배치된 제 1 공통 라인;

상기 게이트 라인과 데이터 라인의 교차 영역에 배치된 스위칭 소자;

상기 제 1 공통 라인과 오버랩되면서 화소 전 영역에 형성된 화소 전극; 및

상기 화소 영역을 사이에 두고 상기 제 1 공통 라인과 대향하는 제 2 공통 라인, 상기 제 2 공통 라인으로부터 화소 영역으로 다수개의 슬릿 형태로 분기된 제 2 공통 전극과, 상기 제 2 공통 라인으로부터 상기 데이터 라인과 오버랩되도록 분기된 제 3 공통 전극을 포함하고,

상기 제 1 공통 라인과 일체로 형성되면서 상기 스위칭 소자의 드레인 전극과 오버랩되지 않는 절곡부를 구비하고, 상기 화소 전극과 제 1 공통 라인 및 절곡부 사이에 스토리지 커패시턴스를 형성하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 35

제 34 항에 있어서, 상기 제 3 공통 전극의 상기 데이터 라인이 보이도록 상기 데이터 라인을 따라 오픈 영역이 형성된 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 36

제 34 항에 있어서, 상기 제 3 공통 전극의 폭은 상기 데이터 라인의 좌우측에 인접한 제 1 공통 전극들의 거리보다 작은 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 37

표시 영역과 비표시 영역으로 구획되는 기판;

상기 기판의 표시 영역 상에 형성된 게이트 전극, 채널층, 소스·드레인 전극을 포함하는 박막 트랜지스터;

상기 기판 상에 상기 드레인 전극과 오버랩되지 않도록 형성된 절곡부;

상기 표시 영역의 화소 영역에 형성되고, 상기 절곡부와 게이트 절연막과 보호막을 사이에 두고 오버랩되면서 제 1 콘택홀을 통해 상기 드레인 전극과 연결된 화소 전극;

상기 기판의 표시 영역 상에 형성된 데이터 라인;

상기 데이터 라인과 인접한 영역의 기판 상에 형성된 제 1 공통 전극;

상기 화소 전극이 형성된 유기 절연막 상에 다수개의 슬릿 형태로 배치된 제 2 공통 전극;

상기 기판의 비표시 영역 상에 형성된 게이트 패드;

상기 게이트 패드와 상기 유기 절연막을 사이에 두고 제 2 콘택홀에 의해 연결된 게이트 패드 콘택전극;

상기 기판의 비표시 영역 상에 형성된 데이터 패드; 및

상기 데이터 패드와 상기 유기 절연막을 사이에 두고 제 3 콘택홀에 의해 연결된 데이터 패드 콘택 전극을 포함하는 박막 트랜지스터 어레이 기판.

청구항 38

제 37 항에 있어서, 상기 데이터 라인과 오버랩되면서 상기 유기 절연막을 사이에 두고 형성된 제 3 공통 전극을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 39

제 37 항에 있어서, 상기 비표시 영역에 형성된 유기 절연막의 두께는 상기 표시 영역에 형성된 유기 절연막 보다 작은 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 40

제 38 항에 있어서, 상기 제 3 공통 전극의 폭은 상기 데이터 라인의 좌우측에 배치된 제 1 공통 전극의 사이의 거리보다 작은 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 41

제 37 항 및 제 38항에 있어서, 상기 제 2 공통 전극, 제 3 공통 전극, 게이트 패드 콘택전극 및 데이터 패드 콘택전극은 이중 금속층 구조를 갖는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 42

제 41 항에 있어서, 상기 이중 금속층 중 상부층은 구리(Cu)를 포함하는 저반사 금속층인 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 43

제 37 항에 있어서, 상기 게이트 패드와 데이터 패드가 형성된 비표시 영역에는 유기 절연막이 모두 제거된 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 44

제 37 항에 있어서, 상기 게이트 패드와 데이터 패드가 형성된 비표시 영역에는 보호막과 게이트 절연막이 모두 제거된 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 45

제 37 항에 있어서, 상기 유기 절연막의 두께는 구동 주파수가 높을 수 록 더 두껍게 형성하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 46

제 45 항에 있어서, 상기 구동 주파수가 120Hz인 경우에는 상기 유기 절연막의 두께를 2.5~3.5 μ m인 것을 특징으로

로 하는 박막 트랜지스터 어레이 기판.

청구항 47

제 45 항에 있어서, 상기 구동 주파수가 240Hz인 경우에는 상기 유기 절연막의 두께는 5.5~6.5 μ m인 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 48

제 38 항에 있어서, 상기 제 3 공통 전극은 상기 데이터 라인이 보이도록 상기 데이터 라인을 따라 오픈 영역이 형성된 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

청구항 49

표시 영역과 비표시 영역으로 구분되는 기판을 제공하는 단계;

상기 기판 상에 금속막을 형성한 다음, 제 1 마스크 공정에 따라 표시 영역에 게이트 전극, 게이트 라인, 제 1 공통 전극을 형성하고, 비표시 영역에 게이트 패드를 형성하는 단계;

상기 게이트 전극 등이 형성된 기판 상에 게이트 절연막, 반도체층 및 소스·드레인 금속막을 순차적으로 형성한 다음, 제 2 마스크 공정에 따라 소스·드레인 전극, 채널층, 데이터 라인 및 데이터 패드를 형성하는 단계;

상기 소스·드레인 전극 등이 형성된 기판 상에 보호막과 유기 절연막을 형성한 다음, 제 3 마스크 공정에 따라 포토레지스트를 형성한 다음 노광 및 현상 공정을 진행하여 유기 절연막을 패터닝하는 단계;

상기 패터닝된 유기 절연막을 식각 마스크로 하여 식각가스의 산소 함량비를 다르게 하여 1, 2차 식각 공정을 순차적으로 진행하여 상기 드레인 전극, 게이트 패드 및 데이터 패드 영역에 콘택홀을 형성하는 단계; 및

상기 콘택홀이 형성된 유기 절연막 상에 제 1 금속층과 제 2 금속층을 순차적으로 형성한 다음 제 4 마스크 공정에 따라 화소 전극 및 제 2 공통 전극을 형성하는 단계를 포함하는 박막 트랜지스터 어레이 제조방법.

청구항 50

제 49 항에 있어서, 상기 제 4 마스크 공정에서는 상기 데이터 라인과 오버랩되도록 상기 유기 절연막 상에 제 3 공통 전극을 더 형성하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판 제조방법.

청구항 51

제 49 항에 있어서, 상기 제 3 마스크 공정에서는 하프톤 마스크 또는 회절 마스크를 이용하여 비표시 영역에 형성된 유기 절연막의 두께를 상기 표시 영역에 형성된 유기 절연막의 두께보다 작게 형성하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판 제조방법.

청구항 52

제 49 항에 있어서, 상기 제 2 금속층은 구리(Cu)를 포함하는 저반사 금속층인 것을 특징으로 하는 박막 트랜지스터 어레이 기판 제조방법.

청구항 53

제 50 항에 있어서, 상기 제 3 공통 전극은 상기 데이터 라인이 보이도록 상기 데이터 라인을 따라 오픈 영역이

형성된 것을 특징으로 하는 박막 트랜지스터 어레이 기판 제조방법.

청구항 54

제 49 항에 있어서, 상기 제 3 마스크 공정에서 제 1 차 식각 가스의 SF_6 와 O_2 의 유량비 1:2.0 내지 1:3.0인 것을 특징으로 하는 박막 트랜지스터 어레이 기판 제조방법.

청구항 55

제 49 항에 있어서, 상기 제 3 마스크 공정에서 제 2 차 식각 가스의 SF_6 와 O_2 의 유량비 :2.4 내지 1:3.0인 것을 특징으로 하는 박막 트랜지스터 어레이 기판 제조방법.

청구항 56

제 49 항에 있어서, 상기 제 3 마스크 공정에 의해 형성된 콘택홀의 내측 경사면은 동일면으로 형성되는 것을 특징으로 하는 박막 트랜지스터 어레이 기판 제조방법.

청구항 57

표시 영역과 비표시 영역으로 구획되는 제 1 기판과, 상기 제 1 기판의 표시 영역 상에 형성된 게이트 전극, 채널층, 소스·드레인 전극을 포함하는 박막 트랜지스터와, 상기 제 1 기판의 표시 영역 상에 형성된 데이터 라인과, 상기 데이터 라인과 인접한 영역의 제 1 기판 상에 형성된 제 1 공통 전극과, 상기 표시 영역의 화소 영역에 다수개의 슬릿 형태로 배치된 제 2 공통 전극과, 상기 제 2 공통 전극과 교대로 배치되는 화소 전극을 포함하는 박막 트랜지스터 어레이 기판; 및

상기 박막 트랜지스터 어레이 기판과 대향하도록 제 2 기판 상에 형성된 컬러필터층과 상기 컬러필터층 상에 형성된 제 1 및 제 2 스페이서를 구비한 컬러필터기판을 포함하는 액정표시장치.

청구항 58

제 57 항에 있어서, 상기 제 1 스페이서는 상기 박막 트랜지스터와 컬러필터기판의 셀갭을 유지하는 갭 스페이싱인 것을 특징으로 하는 액정표시장치.

청구항 59

제 57 항에 있어서, 상기 제 2 스페이서와 대응되는 상기 박막 트랜지스터 어레이 기판의 유기 절연막에는 홈이 형성된 것을 특징으로 하는 액정표시장치.

청구항 60

제 57 항에 있어서, 상기 데이터 라인과 제 1 공통 전극과 대응되는 컬러필터 기판 상에는 블랙 매트릭스를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 61

제 57 항에 있어서, 상기 제 1 스페이서와 제 2 스페이서는 서로 다른 높이를 갖는 것을 특징으로 하는 액정표

시장치.

명세서

기술분야

[0001] 본원 발명은 유기 절연막을 구비한 액정표시장치에 관한 것이다.

배경기술

- [0002] 통상적으로 액정표시장치(Liquid Crystal Display)는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시한다. 액정표시장치는 주로 컬러필터 어레이가 형성되는 컬러필터 기판과 박막 트랜지스터(TFT: Thin Film Transistor) 어레이가 형성되는 박막 트랜지스터 어레이 기판이 액정을 사이에 두고 합착되어 형성된다.
- [0003] 최근에는 액정표시장치의 협소한 시야각 문제를 해결하기 위해 여러가지 새로운 방식을 채용한 액정표시장치가 개발되고 있다. 광시야각 특성을 갖는 액정표시장치는 횡전계 방식(IPS:in-plane switching mode), OCB 방식(optically compensated birefringence mode) 및 FFS(Fringe Field Switching) 방식 등이 있다.
- [0004] 이중 상기 횡전계 방식 액정표시장치는 화소전극과 공통전극을 동일한 기판 상에 배치하여 전극들 간에 수평 전계가 발생하도록 한다. 이로 인하여 액정 분자들의 장축이 기판에 대해서 수평 방향으로 배열되어 종래 TN(Twisted Nematic) 방식 액정표시장치에 비해 광시야각 특성을 갖는다.
- [0005] 도 1은 종래 기술에 따른 횡전계 방식 액정표시장치의 화소구조를 도시한 도면이고, 도 2는 상기 도 1의 I-I'선을 절단한 단면도이다.
- [0006] 도 1 및 도 2를 참조하면, 게이트 라인(1)과 데이터 라인(5)이 교차되어 화소 영역이 정의되고, 그 교차 영역에는 스위칭 소자인 박막 트랜지스터가 배치되어 있다.
- [0007] 상기 화소 영역에는 상기 게이트 라인(1)과 대향하도록 제 1 공통 라인(3)이 상기 데이터 라인(5)과 교차되어 있다. 상기 화소 영역 양측 가장자리에는 상기 제 1 공통 라인(3)으로부터 분기되며 상기 데이터 라인(3)과 평행한 제 1 공통 전극(3a)이 형성된다.
- [0008] 또한, 상기 게이트 라인(1)은 화소 영역에서 폭이 넓어지는 게이트 전극(1a)을 구비하고, 상기 게이트 전극(1a)과 인접한 영역에는 제 1 스토리지 전극(6)이 배치되어 있다. 상기 제 1 스토리지 전극(6)은 상기 제 1 공통 전극(3a)과 일체로 형성된다.
- [0009] 또한, 상기 제 1 공통 라인(3) 상부에는 상기 제 1 공통 라인(3)과 전기적으로 콘택되어 있는 제 2 공통 라인(13)이 형성되어 있다. 그리고 상기 제 1 공통 전극(3a)과 오버랩되는 제 3 공통 전극(13b)과, 화소 영역에 형성되는 제 2 공통 전극(13a)이 상기 제 2 공통 라인(13)으로부터 분기 되어 있다.
- [0010] 상기 화소 영역에는 제 2 공통 전극(13a)과 교대로 화소 전극(7a)이 배치되어 있고, 상기 화소 전극(7a)은 제 1 스토리지 전극(6)과 오버랩되는 제 2 스토리지 전극(7)으로부터 분기 된다.
- [0011] 상기 데이터 라인(5) 영역의 I-I' 절단면을 보면, 하부기판(10) 상에 게이트 절연막(12)이 형성되어 있고, 상기 게이트 절연막(12) 상에는 데이터 라인(5)이 형성되어 있다. 상기 데이터 라인(5)의 양측에는 하부기판(10) 상에 형성되는 제 1 공통 전극(3a)이 형성되어 있다. 상기 제 1 공통 전극(3a) 상에는 보호막(19)을 사이에 두고 제 3 공통 전극(13b)이 형성되어 있다.
- [0012] 또한, 상기 데이터 라인(5)과 대향하는 컬러필터 기판은 상부기판(20) 상에 블랙매트릭스(21)가 형성되어 있고, 블랙매트릭스(21)를 경계로 양측에는 적색(R) 컬러필터층(25a)과 녹색(G) 컬러필터층(25b)이 형성되어 있다. 29는 오버코트층이다.
- [0013] 종래 횡전계 방식 액정표시장치는 백라이트 유닛으로부터 발생하는 광원에 의해 화소 영역 가장자리 둘레를 따라 발생하는 빛샘을 차단하기 위해 블랙매트릭스(21)의 폭(L1)을 확장 형성하였다.
- [0014] 즉, 상기 데이터 라인(5)과 제 1 공통 전극(3a) 사이를 통과하는 광 중 소정의 경사 방향으로 진행하는 광을 차

단하기 위해 블랙매트릭스(21)를 제 1 공통 전극(3a)의 외측 방향까지 확장 형성하였다.

[0015] 이로 인하여 화소 영역의 개구율이 감소하는 문제점이 발생하였다.

[0016] 또한, 화소 영역에 배치되는 화소 전극과 공통 전극을 단일 금속층으로 형성할 경우에는 전극 폭을 줄여 화소 개구율을 향상시키는데 어려움이 있었다.

발명의 내용

해결하려는 과제

[0017] 상기와 같은 문제점을 해결하기 위한 본 발명은, 데이터 라인과 오버랩되도록 박막 트랜지스터 어레이 기판 상에 공통전극을 형성하여 화소 개구율을 향상시킨 박막 트랜지스터 어레이 기판, 이를 포함하는 액정표시장치 및 이들의 제조방법을 제공한다.

[0018] 또한, 본 발명은 저유전을 유기 절연막을 데이터 라인과 공통 전극 사이에 배치하여 기생 커패시턴스를 줄인 박막 트랜지스터 어레이 기판, 이를 포함하는 액정표시장치 및 이들의 제조방법을 제공한다.

[0019] 또한, 본 발명은 박막 트랜지스터 어레이 기판의 상층부에 형성하는 공통 전극과 화소 전극을 이중 금속층으로 형성하여 미세폭을 갖는 전극을 형성할 수 있는 박막 트랜지스터 어레이 기판, 이를 포함하는 액정표시장치 및 이들의 제조방법을 제공한다.

[0020] 또한, 본 발명은 개구율 향상을 위하여 데이터 라인과 대응되는 컬러필터 기판 상에 블랙 매트릭스를 제거하는 액정표시장치 및 이들의 제조방법을 제공한다.

[0021] 또한, 본 발명은 암점화 리페어 공정시 유기 절연막 제거 공정을 진행하지 않고 간편하게 리페어 공정을 진행할 수 있는 박막 트랜지스터 어레이 기판, 이를 포함하는 액정표시장치 및 이들의 제조방법을 제공한다.

과제의 해결 수단

[0022] 상기와 같은 과제를 해결하기 위한 본 발명의 일실시예에 의한 박막 트랜지스터 어레이 기판은, 기판; 상기 기판 상에 화소 영역을 정의하기 위해 교차하도록 배치된 게이트 라인과 데이터 라인; 상기 게이트 라인과 평행하면서 상기 데이터 라인과 교차하도록 배치된 제 1 공통 라인; 상기 게이트 라인과 데이터 라인의 교차 영역에 배치된 스위칭 소자; 상기 제 1 공통 라인과 오버랩되도록 형성된 제 1 화소 전극과, 상기 제 1 화소 전극으로부터 다수개의 슬릿 형태로 분기된 제 2 화소 전극; 상기 화소 영역을 사이에 두고 상기 제 1 공통 라인과 대향하는 제 2 공통 라인, 상기 제 2 공통 라인으로부터 화소 영역으로 다수개의 슬릿 형태로 분기된 제 2 공통 전극과, 상기 제 2 공통 라인으로부터 상기 데이터 라인과 오버랩되도록 분기된 제 3 공통 전극; 및 상기 제 1 공통 라인으로부터 화소 영역으로 분기된 제 1 스토리지 전극과, 상기 제 1 스토리지 전극과 오버랩되면서 제 1 화소 전극으로부터 연장된 제 2 스토리지 전극을 포함한다.

[0023] 또한, 본 발명의 다른 실시예에 의한 박막 트랜지스터 어레이 기판은, 표시 영역과 비표시 영역으로 구획되는 기판; 상기 기판의 표시 영역 상에 형성된 게이트 전극, 채널층, 소소·드레인 전극을 포함하는 박막 트랜지스터; 상기 기판 상에 형성된 제 1 스토리지 전극; 상기 제 1 스토리지 전극과 오버랩되면서 유기 절연막을 사이에 두고 제 1 콘택홀에 의해 상기 드레인 전극과 연결된 제 2 스토리지 전극; 상기 기판의 표시 영역 상에 형성된 데이터 라인; 상기 데이터 라인과 인접한 영역의 기판 상에 형성된 제 1 공통 전극; 상기 표시 영역의 화소 영역에 다수개의 슬릿 형태로 배치된 제 2 공통 전극; 상기 제 2 공통 전극과 교대로 배치되는 화소 전극; 상기 기판의 비표시 영역 상에 형성된 게이트 패드; 상기 게이트 패드와 상기 유기 절연막을 사이에 두고 제 2 콘택홀에 의해 연결된 게이트 패드 콘택전극; 상기 기판의 비표시 영역 상에 형성된 데이터 패드; 및 상기 데이터 패드와 상기 유기 절연막을 사이에 두고 제 3 콘택홀에 의해 연결된 데이터 패드 콘택 전극을 포함한다.

[0024] 또한, 본 발명의 또 다른 실시예에 의한 박막 트랜지스터 어레이 기판은, 기판; 상기 기판 상에 화소 영역을 정의하기 위해 교차하도록 배치된 게이트 라인과 데이터 라인; 상기 게이트 라인과 평행하면서 상기 데이터 라인과 교차하도록 배치된 제 1 공통 라인; 상기 게이트 라인과 데이터 라인의 교차 영역에 배치된 스위칭 소자; 상기 제 1 공통 라인과 오버랩되도록 형성된 제 1 화소 전극과, 상기 제 1 화소 전극으로부터 다수개의 슬릿 형태

로 분기된 제 2 화소 전극; 상기 화소 영역을 사이에 두고 상기 제 1 공통 라인과 대향하는 제 2 공통 라인, 상기 제 2 공통 라인으로부터 화소 영역으로 다수개의 슬릿 형태로 분기된 제 2 공통 전극과, 상기 제 2 공통 라인으로부터 상기 데이터 라인과 오버랩되도록 분기된 제 3 공통 전극; 상기 제 1 공통 라인과 일체로 형성되면서 상기 스위칭 소자의 드레인 전극과 오버랩되지 않는 절곡부; 상기 제 1 공통 라인과 일체로 형성되면서 상기 절곡부와 대향하도록 배치된 제 1 스토리지 전극; 및 상기 제 1 공통 라인과 제 1 스토리지 전극과 오버랩되도록 배치된 제 2 스토리지 전극을 포함한다.

[0025] 또한, 본 발명의 또 다른 실시예에 의한 박막 트랜지스터 어레이 기판은,

[0026] 표시 영역과 비표시 영역으로 구획되는 기판; 상기 기판의 표시 영역 상에 형성된 게이트 전극, 채널층, 소스·드레인 전극을 포함하는 박막 트랜지스터; 상기 기판 상에 상기 드레인 전극과 오버랩되지 않도록 형성된 절곡부; 상기 드레인 전극과 유기 절연막을 사이에 두고 제 1 콘택홀에 의해 상기 드레인 전극과 연결된 제 1 연장부; 상기 기판의 표시 영역 상에 형성된 데이터 라인; 상기 데이터 라인과 인접한 영역의 기판 상에 형성된 제 1 공통 전극; 상기 표시 영역의 화소 영역에 다수개의 슬릿 형태로 배치된 제 2 공통 전극; 상기 제 2 공통 전극과 교대로 배치되는 화소 전극; 상기 기판의 비표시 영역 상에 형성된 게이트 패드; 상기 게이트 패드와 상기 유기 절연막을 사이에 두고 제 2 콘택홀에 의해 연결된 게이트 패드 콘택전극; 상기 기판의 비표시 영역 상에 형성된 데이터 패드; 및 상기 데이터 패드와 상기 유기 절연막을 사이에 두고 제 3 콘택홀에 의해 연결된 데이터 패드 콘택 전극을 포함한다.

[0027] 또한, 본 발명의 또 다른 실시예에 의한 박막 트랜지스터 어레이 기판은, 기판; 상기 기판 상에 화소 영역을 정의하기 위해 교차하도록 배치된 게이트 라인과 데이터 라인; 상기 게이트 라인과 평행하면서 상기 데이터 라인과 교차하도록 배치된 제 1 공통 라인; 상기 게이트 라인과 데이터 라인의 교차 영역에 배치된 스위칭 소자; 상기 제 1 공통 라인과 오버랩되도록 형성된 제 1 화소 전극과, 상기 제 1 화소 전극으로부터 다수개의 슬릿 형태로 분기된 제 2 화소 전극; 상기 화소 영역을 사이에 두고 상기 제 1 공통 라인과 대향하는 제 2 공통 라인, 상기 제 2 공통 라인으로부터 화소 영역으로 다수개의 슬릿 형태로 분기된 제 2 공통 전극과, 상기 제 2 공통 라인으로부터 상기 데이터 라인과 오버랩되도록 분기된 제 3 공통 전극; 상기 제 1 공통 라인과 일체로 형성되면서 상기 스위칭 소자의 드레인 전극과 오버랩되지 않는 절곡부를 구비하고, 상기 절곡부와 대향하도록 배치된 제 1 스토리지 전극; 및 상기 제 1 공통 라인과 제 1 스토리지 전극과 오버랩되도록 배치된 제 2 스토리지 전극을 포함하고, 상기 제 1 화소 전극의 양측 가장자리에는 상기 스위칭 소자의 드레인 전극과 연결되는 제 1 연장부와, 상기 제 2 스토리지 전극과 연결되는 제 2 연장부가 형성되고, 상기 제 1 화소 전극은 드레인 전극과 인접한 연결부에서 상기 제 1 연장부와 분리되도록 형성된 것을 특징으로 한다.

[0028] 또한, 본 발명의 또 다른 실시예에 의한 박막 트랜지스터 어레이 기판 제조방법은, 표시 영역과 비표시 영역으로 구분되는 기판을 제공하는 단계; 상기 기판 상에 금속막을 형성한 다음, 제 1 마스크 공정에 따라 표시 영역에 게이트 전극, 게이트 라인, 제 1 공통 전극을 형성하고, 비표시 영역에 게이트 패드를 형성하는 단계; 상기 게이트 전극 등이 형성된 기판 상에 게이트 절연막, 반도체층 및 소스·드레인 금속막을 순차적으로 형성한 다음, 제 2 마스크 공정에 따라 소스·드레인 전극, 채널층, 데이터 라인 및 데이터 패드를 형성하는 단계; 상기 소스·드레인 전극 등이 형성된 기판 상에 보호막과 유기 절연막을 형성한 다음, 제 3 마스크 공정에 따라 포토레지스트를 형성한 다음 노광 및 현상 공정을 진행하여 유기 절연막을 패터닝하는 단계; 상기 패터닝된 유기 절연막을 식각 마스크로 하여 식각가스의 산소 함량비를 다르게 하여 1, 2차 식각 공정을 순차적으로 진행하여 상기 드레인 전극, 게이트 패드 및 데이터 패드 영역에 콘택홀을 형성하는 단계; 및 상기 콘택홀이 형성된 유기 절연막 상에 제 1 금속층과 제 2 금속층을 순차적으로 형성한 다음 제 4 마스크 공정에 따라 화소 전극 및 제 2 공통 전극을 형성하는 단계를 포함한다.

[0029] 또한, 본 발명의 또 다른 실시예에 따른 액정표시장치는, 표시 영역과 비표시 영역으로 구획되는 제 1 기판과, 상기 제 1 기판의 표시 영역 상에 형성된 게이트 전극, 채널층, 소스·드레인 전극을 포함하는 박막 트랜지스터와, 상기 제 1 기판의 표시 영역 상에 형성된 데이터 라인과, 상기 데이터 라인과 인접한 영역의 제 1 기판 상에 형성된 제 1 공통 전극과, 상기 표시 영역의 화소 영역에 다수개의 슬릿 형태로 배치된 제 2 공통 전극과, 상기 제 2 공통 전극과 교대로 배치되는 화소 전극을 포함하는 박막 트랜지스터 어레이 기판; 및 상기 박막 트랜지스터 어레이 기판과 대향하도록 제 2 기판 상에 형성된 컬러필터층과 상기 컬러필터층 상에 형성된 제 1 및 제 2 스페이서를 구비한 컬러필터기판을 포함한다.

발명의 효과

- [0030] 이와 같이, 본 발명은 데이터 라인과 오버랩되도록 박막 트랜지스터 어레이 기관 상에 공통전극을 형성하여 컬러필터 기관 상에 형성되는 블랙 매트릭스의 폭을 줄이거나 제거하여 화소 개구율을 향상시킨 효과가 있다.
- [0031] 또한, 본 발명은 저유전율 유기 절연막을 데이터 라인과 공통 전극 사이에 배치하여 기생 커패시턴스를 줄인 효과가 있다.
- [0032] 또한, 본 발명은 박막 트랜지스터 어레이 기관의 상층부에 형성하는 공통 전극과 화소 전극을 이중 금속층으로 형성하여 전극폭을 줄일 수 있는 효과가 있다.
- [0033] 또한, 본 발명은 암점화 리페어 공정시 유기 절연막 제거 공정을 진행하지 않고 간편하게 리페어 공정을 진행할 수 있다.
- [0034] 또한, 본 발명은 액정표시장치에 셀갭을 유지하는 갭 스페이서와 외부 누름에 의해 셀갭을 유지하는 눌림 스페이서를 배치하여 액정표시장치의 셀갭을 일정하게 유지할 수 있는 효과가 있다.

도면의 간단한 설명

- [0035] 도 1은 종래 기술에 따른 횡전계 방식 액정표시장치의 화소구조를 도시한 도면이다.
- 도 2는 상기 도 1의 I-I'선을 절단한 단면도이다.
- 도 3a는 본 발명의 제 1 실시예에 따른 액정표시장치의 화소 영역을 도시한 도면이다.
- 도 3b는 도 3a의 II-II'와 III-III'선을 절단한 단면도이다.
- 도 4a 내지 도 4g는 상기 도 3a의 II-II'와 III-III'선을 따라 박막 트랜지스터 어레이 기관 제조공정을 도시한 도면이다.
- 도 5a 및 도 5b는 본 발명의 콘택홀 형성 공정에서 일반적인 식각 공정을 적용할 경우 발생하는 문제점을 설명하기 위한 도면이다.
- 도 6a 내지 도 6c는 본 발명의 콘택홀 형성시 진행하는 식각 공정을 설명하기 위한 도면이다.
- 도 7 및 도 8은 도 3a의 IV-IV'선에 대응하는 컬러필터 기관의 구조를 도시한 도면들이다.
- 도 9a는 본 발명의 제 2 실시예에 따른 액정표시장치의 화소 영역을 도시한 도면이다.
- 도 9b는 도 9a의 박막 트랜지스터(TFT) 영역을 확대한 도면이다.
- 도 10 내지 도 13은 본 발명의 각각의 실시예들에 따라 상기 도 9a의 V-V'선과 VI-VI'선을 절단한 단면도이다.
- 도 14a는 본 발명의 제 3 실시예에 따른 액정표시장치의 화소 영역을 도시한 도면이다.
- 도 14b는 상기 도 14a의 X-X'선과 XI-XI'선을 절단한 단면도이다.
- 도 15a 및 도 15c는 눌림 스페이서를 도시한 것이고, 도 15b는 갭 스페이서를 도시한 것이다.
- 도 16a는 본 발명의 제 4 실시예에 따른 액정표시장치의 화소 영역을 도시한 도면이다.
- 도 16b는 도 16a의 박막 트랜지스터(TFT) 영역을 확대한 도면이다.
- 도 17a는 본 발명의 제 5 실시예에 따른 액정표시장치의 화소 영역을 도시한 도면이다.
- 도 17b는 도 17a의 박막 트랜지스터(TFT) 영역을 확대한 도면이다.
- 도 18은 상기 도 17a의 XII-XII'선과 XIII-XIII'선을 절단한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 이하, 본 발명의 실시예들은 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서, 본 발명은 이하 설명

되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성 요소들을 나타낸다.

- [0037] 또한, 실시예의 설명에 있어서, 각 패턴, 층, 막, 영역 또는 기판 등이 각 패턴, 층, 막, 영역 또는 기판 등의 "상(on)"에 또는 "아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상(on)"과 "아래(under)"는 "직접(directly)" 또는 "다른 구성요소를 개재하여(indirectly)" 형성되는 것을 모두 포함한다.
- [0038] 또한, 각 구성요소의 상, 옆 또는 아래에 대한 기준은 도면을 기준으로 설명한다. 도면에서의 각 구성요소들의 크기는 설명을 위하여 과장될 수 있으며, 실제로 적용되는 크기를 의미하는 것은 아니다.
- [0039] 도 3a는 본 발명의 제 1 실시예에 따른 액정표시장치의 화소 영역을 도시한 도면이고, 도 3b는 도 3a의 II-II'와 III-III'선을 절단한 단면도이다.
- [0040] 도 3a를 참조하면, 본 발명의 액정표시장치는 게이트 라인(101)과 데이터 라인(103)이 교차 배열되어 화소 영역을 정의한다. 상기 게이트 라인(101)과 데이터 라인(103)이 교차되는 영역에는 스위칭 소자인 박막 트랜지스터(TFT)가 배치되어 있다.
- [0041] 상기 게이트 라인(101)과 인접한 영역에는 게이트 라인(101)과 평행하게 제 1 공통 라인(130)이 배치되어 있다. 상기 제 1 공통 라인(130)은 상기 데이터 라인(103)과도 교차된다.
- [0042] 상기 게이트 라인(101)과 데이터 라인(103)이 교차 영역에는 박막 트랜지스터의 게이트 전극(101a) 형성을 위하여 게이트 라인(101)의 폭보다 넓게 형성하였다. 상기 게이트 전극(101a)과 게이트 라인(101)은 일체로 형성된다.
- [0043] 또한, 상기 박막 트랜지스터가 형성된 영역에는 상기 제 1 공통 라인(130)으로부터 화소 영역 방향으로 돌출된 제 1 스토리지 전극(140)이 형성되어 있다. 상기 제 1 스토리지 전극(140)은 상부에 오버랩되도록 형성된 제 2 스토리지 전극(129)과 함께 화소 영역의 스토리지 커패시터를 형성한다. 따라서, 도면에서는 스토리지 전극들이 사각형 형태로 형성되어 있지만, 요청되는 커패시턴스 값에 따라 타원형, 삼각형 등 다양한 형태로 형성될 수 있다.
- [0044] 상기 제 1 공통 라인(130)에는 데이터 라인(103)과 평행한 방향으로 분기된 제 1 공통 전극(131)이 화소 영역 양측에 배치되어 있다. 상기 제 1 공통 전극(131)은 데이터 라인(103)과 인접한 영역에 형성된다.
- [0045] 상기 화소 영역에는 제 1 공통 라인(130)과 오버랩되도록 제 1 화소 전극(119)이 형성되고, 데이터 라인(103)과 평행한 화소 영역 방향으로 다수개의 제 2 화소 전극(139)들이 제 1 화소 전극(119)으로부터 분기된다. 상기 제 2 화소 전극(139)은 미세 폭을 갖는 슬릿 형태로 소정의 간격 두고 화소 영역에 형성된다. 여기서, 제 2 스토리지 전극(129)과 제 1 화소 전극(119)은 일체로 형성되어 있고, 제 2 스토리지 전극(129)으로부터도 제 2 화소 전극(139)들이 분기된다.
- [0046] 여기서, 제 2 스토리지 전극(129)은 제 1 콘택홀(230)을 통하여 박막 트랜지스터의 드레인 전극과 전기적으로 연결된다.
- [0047] 또한, 화소 영역을 사이에 두고 제 1 공통 라인(130)과 대향하도록 제 2 공통 라인(132)이 형성되어 있다. 상기 제 2 공통 전극(134)은 상기 제 2 공통 라인(132)으로부터 데이터 라인(103)과 평행한 화소 영역 방향으로 분기되어 있다. 상기 제 2 공통 전극(134)은 미세 폭을 갖는 다수개의 슬릿 형태로 형성된다.
- [0048] 상기 제 2 공통 전극(134)들은 화소 영역에서 상기 제 2 화소 전극(139)들과 서로 교대로 배치된다. 상기 제 2 공통 라인(132)은 제 1 공통 라인(130)으로부터 분기된 제 1 공통 전극(131)의 가장자리와 제 4 콘택홀(233)을 통하여 전기적으로 연결된다.
- [0049] 상기 제 2 공통 라인(132) 가장자리에는 데이터 라인(103)과 오버랩되도록 제 3 공통 전극(133)이 분기된다. 제 3 공통 전극(133)은 백라이트 광원에 의해 데이터 라인(103) 영역에서 발생하는 빛샘을 차단하는 기능을 한다. 아울러, 제 3 공통 전극(133)은 광반사율이 낮은 저반사 물질로 형성되어 있어, 외부광이 제 3 공통 전극(133) 상부 표면에서 반사되는 것을 방지한다.

- [0050] 또한, 액정표시장치의 패드 영역에는 상기 게이트 라인(101)으로부터 연장된 게이트 패드(110)가 형성되고, 상기 게이트 패드(110) 상에는 제 2 콘택홀(231)을 통하여 전기적으로 콘택된 게이트 패드 콘택전극(310)이 형성된다.
- [0051] 마찬가지로, 패드 영역에는 상기 데이터 라인(103)으로부터 연장된 데이터 패드(120)가 형성되고, 상기 데이터 패드(120) 상에는 제 3 콘택홀(232)을 통하여 전기적으로 콘택된 데이터 패드 콘택전극(320)이 형성된다.
- [0052] 도 3a 및 3b를 참조하면, 투명한 절연물질로된 하부기관(100)의 표시영역에는 게이트 전극(101a), 제 1 스토리지 전극(140), 제 1 공통 전극(131)이 형성되어 있고, 하부기관(100)의 비표시 영역인 패드 영역에는 게이트 패드(110)가 형성되어 있다. 상기 게이트 전극(101a)은 박막 트랜지스터(TFT)의 전극 역할을 하기 때문에 게이트 라인(101)의 폭보다 넓은 폭을 갖는다.
- [0053] 상기 게이트 전극(101a) 상부에는 게이트 절연막(102)을 사이에 두고 채널층(114)과 소스/드레인 전극(117a, 117b)이 형성되어 있다. 또한, 상기 제 1 공통 전극(131)들 사이에는 게이트 절연막(102)을 사이에 두고 데이터 라인(103)이 형성되어 있다(Ⅱ-Ⅱ'선).
- [0054] 상기 소스/드레인 전극(117a, 117b) 및 데이터 라인(103)이 형성되어 있는 하부기관(100) 상에는 보호막(109)과 유기절연막(150)이 형성되어 있다. 상기 제 1 스토리지 전극(140)과 대응되는 유기절연막(150) 상에는 제 2 스토리지 전극(129)이 형성되어 있다. 상기 제 2 스토리지 전극(129)은 제 1 콘택홀(130)을 통하여 드레인 전극(117b)과 전기적으로 연결된다. 상기 데이터 라인(103)과 대응되는 유기절연막(150) 상에는 제 3 공통 전극(133)이 형성되어 있다. 상기 화소 영역과 대응되는 유기절연막(150) 상에는 제 2 화소 전극(139)과 제 2 공통 전극(134)이 서로 교대로 배치되어 있다.
- [0055] 또한, 게이트 패드 영역에는 게이트 라인(101)으로부터 연장된 게이트 패드(110)가 형성되어 있고, 상기 게이트 패드(110) 상에는 게이트 절연막(102), 보호막(109) 및 유기절연막(150)이 형성되어 있다. 상기 유기절연막(150) 상에는 제 2 콘택홀(231)을 통하여 게이트 패드(110)와 전기적으로 연결되는 게이트 패드 콘택전극(310)이 형성되어 있다.
- [0056] 데이터 패드 영역에서는 하부기관(100) 상에 게이트 절연막(103)이 형성되어 있고, 상기 게이트 절연막(103) 상에 데이터 라인(103)으로부터 연장된 데이터 패드(120)가 형성되어 있다. 상기 데이터 패드(120) 상에는 보호막(109)과 유기절연막(150)이 순차적으로 형성되어 있다. 상기 유기절연막(150) 상에는 제 3 콘택홀(232)을 통하여 데이터 패드(120)와 전기적으로 콘택되는 데이터 패드 콘택전극(320)이 형성되어 있다. 상기 데이터 패드(120)와 데이터 라인(103) 하부에는 채널층 패턴(114a)이 존재한다. 이것은 회절 마스크 또는 하프톤 마스크를 사용하는 식각 공정을 진행할 때, 금속막과 채널층이 연속하여 식각되기 때문에 형성되는 패턴이다.
- [0057] 또한, 상기 유기절연막(150) 형성 후에 형성되는 제 2 스토리지 전극(129), 제 2 화소 전극(139), 제 2, 3 공통 전극(134, 133), 게이트 패드 콘택전극(310) 및 데이터 패드 콘택전극(320)은 모두 이중 금속층 구조를 갖는다.
- [0058] 즉, 상기 제 2 스토리지 전극(129)은 제 2 스토리지 상부층(129a) 및 제 2 스토리지 하부층(129b)으로 형성되고, 제 2 화소 전극(139)은 제 2 화소 전극 상부층(139a) 및 제 2 화소 전극 하부층(139b)으로 형성되며, 제 2 공통 전극(134)은 제 2 공통 전극 상부층(134a) 및 제 2 공통 전극 하부층(134b)으로 형성되고, 제 3 공통 전극(133)은 제 3 공통 전극 상부층(133a) 및 제 3 공통 전극 하부층(133b)으로 형성되며, 게이트 패드 콘택전극(310)은 게이트 패드 콘택전극 상부층(310a) 및 게이트 패드 콘택전극 하부층(310b)으로 형성되고, 데이터 패드 콘택전극(320)은 데이터 패드 콘택전극 상부층(320a) 및 데이터 패드 콘택전극 하부층(320b)로 형성된다.
- [0059] 도면에는 도시되지 않았지만, 제 1 화소 전극(119), 제 2 공통 라인(132)도 모두 이중 금속층으로 형성된다.
- [0060] 상기 제 2 스토리지 전극(129), 제 2 화소 전극(139), 제 2, 3 공통전극(134, 133), 게이트 패드 콘택전극(310) 및 데이터 패드 콘택전극(320)의 하부층은 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu), 크롬(Cr), 알루미늄(Al), 이들의 합금 및 이들의 조합으로 형성될 수 있다. 예를 들어 MoTi으로 형성할 수 있다. 또한, 이들의 상부층은 저반사 특성을 갖고 도전율이 높은 $CuNx$ 를 사용할 수 있다.
- [0061] 위에서와 같이 상기 제 2 스토리지 전극(129), 제 2 화소 전극(139), 제 2, 3 공통전극(134, 133), 게이트 패드 콘택전극(310) 및 데이터 패드 콘택전극(320)의 상부층을 $CuNx$ 를 사용하면, 데이터 라인(103) 상부에 형성되는

제 3 공통 전극(133)이 백라이트 광원을 차단하면서, 컬러필터기판을 통해 입사되는 외부광의 반사율을 줄일 수 있다. 즉, 빛샘 불량 및 외부광의 난반사에 의한 화질 불량을 개선할 수 있다.

[0062] 또한, 상기와 같이 이중층 구조로 전극을 형성할 경우에는 하부층의 MoTi는 일반적으로 침식이 일어나지 않은 금속이나, 상부층의 CuNx로 인해 전자를 뺏기는 갈바닉 효과(galvanic effect)를 일으켜서 침식이 일어나게 된다. 따라서, 상기와 같은 갈바닉 효과를 이용하여 미세전극을 구현할 수 있다. 즉, 슬릿 형태의 제 2 화소 전극(139)과 제 2 공통 전극(134)은 상부층과 하부층이 이중(서로 다르다는 것을 의미함) 금속층으로 되어 있으므로 미세폭을 갖는 전극을 형성할 수 있다.

[0063] 또한, 상기 유기절연막(150)은 보호막(109)의 유전율보다 낮은 물질을 사용한다. 유전율은 3.0 내지 4.0일 수 있다. 바람직하게, 유기 절연막(150)의 유전율은 3.4 내지 3.8일 수 있다. 상기 유기절연막(150)의 두께는 3 내지 6 μm 일 수 있다. 바람직하게는 3.5 내지 6 μm 일 수 있다. 상기 유기 절연막(150)의 두께는 아래에서 설명하는 바와 같이, 액정표시장치의 구동 주파수에 따라 다양한 두께로 설계될 수 있다.

[0064] 또한, 상기 유기 절연막(150)은 아크릴계 수지로 형성될 수 있다. 상기 아크릴계 수지는 포토 아크릴(photo acryl)을 포함하나, 이에 제한되지는 않는다. 즉, 상기 유기 절연막(150)은 저유전율을 갖는 물질이라면 상기의 포토 아크릴에 제한되지 않는다. 상기와 같이, 유기 절연막(150)을 저유전율 물질로 형성하는 이유는 데이터 라인(103)과 제 3 공통 전극(133) 사이에서 발생하는 기생 커패시턴스를 줄여 데이터 라인(103)의 로드를 줄이기 위함이다.

[0065] 또한, 본 발명에서는 제 3 공통 전극(133)이 데이터 라인(103) 상부에 배치되어 있기 때문에 데이터 라인(103)과 인접한 영역에 형성되는 제 2 화소 전극(139)들 사이에서 기생 커패시턴스가 발생될 수 있다. 상기와 같은 유전율 특성을 갖는 유기 절연막(150)은 이러한 기생 커패시턴스를 줄이는 효과가 있다.

[0066] 특히, 상기 제 3 공통 전극(133)은 상기 데이터 라인(103)과, 상기 데이터 라인(103)과 인접한 영역에 형성된 제 2 화소 전극(139) 사이에서 발생될 수 있는 전계를 차폐하는 기능을 한다. 따라서, 제 3 공통 전극(133)과 데이터 라인(103)의 거리가 가까울수록 차폐 기능이 우수하지만, 이로 인하여 기생 커패시턴스는 증가한다. 이러한 문제를 해결하기 위해서는 유기 절연막(150)의 유전율이 낮을수록 좋다.

[0067] 또한, 상기 유기 절연막(150)의 두께는 액정표시장치의 구동 주파수에 따라 다양하게 형성할 수 있다.

[0068] 본 발명과 같이, 상기 데이터 라인(103)과 대응되는 유기 절연막(150) 상에 제 3 공통 전극(133)이 형성되면, 제 3 공통 전극(133)과 데이터 라인(103) 사이에 기생 커패시턴스(Cdc)가 형성된다. 상기 데이터 라인(103)에는 계속적으로 다른 전위를 갖는 데이터 전압이 인가되기 때문에 상기 제 3 공통 전극(133)과의 사이에 커플링 효과가 발생된다.

[0069] 특히, 구동 주파수가 높아지면 데이터 라인(103)과 제 3 공통 전극(133) 사이에 발생하는 커플링 효과로 신호 지연이 발생된다. 본 발명에서는 저유전율 유기 절연막(150)을 사용하기 때문에 데이터 라인(103)과 제 3 공통 전극(133) 사이에 발생하는 기생 커패시턴스의 크기를 줄여 신호 지연을 방지한다.

[0070] 왜냐하면, 기생 커패시턴스의 크기는 상기 데이터 라인(103)과 제 3 공통 전극(133)의 거리와 반비례 관계에 있기 때문에 상기 유기 절연막(150)의 두께를 크게 하면 기생 커패시턴스 값은 작아진다. 이로 인하여 상기 데이터 라인(103)과 제 3 공통 전극(133) 사이에서 발생하는 커플링 효과에 의한 신호 지연을 줄일 수 있다.

[0071] 예를 들어, 본 발명의 액정표시장치의 구동 주파수가 120Hz인 경우에는 상기 유기 절연막(150)의 두께를 2.5~3.5 μm 로 하고, 240Hz인 경우에는 5.5~6.5 μm 로 한다. 하지만, 이것은 고정된 설계 값이 아니므로 변경할 수 있다. 특히, 화소 개구율, 빛샘 차단을 위하여 제 3 공통 전극(133)의 위치를 변경해야 할 필요성이 있을 경우에는 구동 주파수에 따라 정해진 유기 절연막(150)의 두께를 더 작게 하거나 크게 할 수 있다.

[0072] 도 4a 내지 도 4g는 상기 도 3a의 II-II'와 III-III'선을 따라 박막 트랜지스터 어레이 기판 제조공정을 도시한 도면이다.

[0073] 도 4a 내지 도 4g를 참조하면, 투명성 절연물질로 된 하부기판(100) 상에 금속막을 스퍼터링 방식으로 증착한

다음, 제 1 마스크 공정에 따라 식각 공정을 진행한다.

- [0074] 제 1 마스크 공정에서는 증착된 금속막 상에 감광성 물질인 포토레지스트를 형성한 다음, 투과 영역과 비투과 영역을 구비한 마스크를 이용하여 노광 및 현상 공정을 진행하여 포토레지스트 패턴을 형성한다.
- [0075] 그런 다음, 상기 포토레지스트 패턴을 마스크로 이용하여 금속막을 식각하여, 게이트 전극(101a), 제 1 스토리지 전극(140), 제 1 공통 전극(131) 및 게이트 패드(110)를 형성한다. 도면에는 명확하게 도시되지 않았지만, 상기 게이트 전극(101a)과 일체로 형성되는 게이트 라인(도 3a의 도면 부호 101), 상기 제 1 공통 전극(131) 및 제 1 스토리지 전극(140)과 일체로 형성되는 제 1 공통 라인(도 3a의 도면 부호 130)도 동시에 형성된다.
- [0076] 상기 금속막은 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu), 크롬(Cr), 알루미늄(Al), 이들의 조합으로부터 형성되는 합금 중 어느 하나를 이용할 수 있다. 또한, 도면에서는 단일 금속막으로 형성되어 있지만 경우에 따라서는 적어도 2개 이상의 금속막들을 적층하여 형성할 수 있다.
- [0077] 상기와 같이, 게이트 전극(101a) 등이 하부 기판(100) 상에 형성되면, 도 4b에 도시한 바와 같이, 게이트 절연막(102), 비정질 실리콘막 및 도핑된 비정질 실리콘막(n+ 또는 p+)으로 구성된 반도체층(124)을 순차적으로 형성한다. 그런 다음, 상기 반도체층(124) 상에 소스/드레인 금속막(127)을 연속하여 형성한다.
- [0078] 상기 소스/드레인 금속막(127)은 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu), 크롬(Cr), 알루미늄(Al), 이들의 조합으로부터 형성되는 합금 중 어느 하나를 이용할 수 있다. 또한, ITO(Indium Tin Oxide)와 같은 투명성 도전물질을 사용할 수 있다. 또한, 도면에서는 단일 금속막으로 형성되어 있지만 경우에 따라서는 적어도 2개 이상의 금속막들을 적층하여 형성할 수 있다.
- [0079] 상기와 같이, 소스/드레인 금속막(127)이 하부 기판(100) 상에 형성되면 도 4c에 도시한 바와 같이, 하프톤 마스크 또는 회절 마스크를 이용한 제 2 마스크 공정을 진행하여 소스/드레인 전극(117a, 117b), 데이터 라인(103) 및 데이터 패드(120) 및 채널층(114)을 형성한다.
- [0080] 상기 제 2 마스크 공정에서는 상기 소스/드레인 금속막(127)과 하부의 반도체층(124)을 연속하여 식각한다. 따라서, 상기 채널층(114)은 상기 소스/드레인 전극(117a, 117b)의 전영역에 대응되는 하부에 존재하고, 상기 데이터 라인(103)과 데이터 패드(120) 하부에도 채널층 패턴(114a)이 존재한다.
- [0081] 또한, 상기 제 1 스토리지 전극(140)과 드레인 전극(117b)은 서로 오버랩되도록 형성하여 스토리지 커패시턴스가 형성될 수 있도록 한다.
- [0082] 상기와 같이, 소스/드레인 전극(117a, 117b)이 형성되면 도 4d에 도시한 바와 같이, 하부 기판(100) 상에 보호막(109)과 유기 절연막(150)을 연속하여 형성한다.
- [0083] 상기 유기 절연막(150)은 상기 보호막(109) 보다 낮은 유전율을 갖는다. 유전율은 3.0 내지 4.0일 수 있고, 바람직하게는, 유기 절연막(150)의 유전율은 3.4 내지 3.8일 수 있다. 상기 유기 절연막(150)의 두께는 3 내지 6 μm 일 수 있다. 유기 절연막(150)의 두께는 액정표시장치의 구동 주파수에 따라 다양한 두께로 설계될 수 있다(위 도 3a 및 도 3b 설명 참조).
- [0084] 또한, 상기 유기 절연막(150)은 아크릴계 수지로 형성될 수 있다. 상기 아크릴계 수지는 포토 아크릴(photo acryl)을 포함하나, 이에 제한되지는 않는다. 즉, 상기 유기 절연막(150)은 저유전율을 갖는 물질이라면 상기의 포토 아크릴에 제한되지 않는다.
- [0085] 상기와 같이, 유기 절연막(150)이 하부 기판(100) 상에 형성되면, 도 4e 및 도 4f에 도시한 바와 같이, 투과 영역(P1)과 비투과영역(P2)을 갖는 마스크(300)를 이용하여 제 3 마스크 공정을 진행한다.
- [0086] 제 3 마스크 공정의 노광 및 현상 공정으로 유기 절연막(150)이 패터닝되면 이를 식각 마스크로 하여 식각 공정을 진행한다. 이로 인하여 상기 드레인 전극(117b), 게이트 패드(110) 및 데이터 패드(120)의 일부가 오픈되는 콘택홀들이 형성된다.
- [0087] 상기 드레인 전극(117b)에는 제 1 콘택홀(230)이 형성되고, 게이트 패드(110)에는 제 2 콘택홀(231), 데이터 패드(120)에는 제 3 콘택홀(232)이 형성된다. 이때, 도면에는 도시하지 않았지만, 도 3a의 제 4 콘택홀(233)도 함께 형성된다.
- [0088] 또한, 제 2 콘택홀(231)의 게이트 패드(110) 상에는 제 1 콘택홀(230) 및 제 3 콘택홀(232)의 영역과 달리 게이

트 절연막(102)과 보호막(109)이 존재한다. 따라서, 제 1 콘택홀(230) 및 제 3 콘택홀(231)과 달리 제 2 콘택홀(231) 하부에 존재하는 게이트 절연막(102)도 식각해야 하기 때문에 본 발명에서는 2번의 식각 공정 단계로 진행한다. 도면에 도시하지 않았지만, 제 4 콘택홀(233)도 제 2 콘택홀(231)과 동일한 구조로 형성되기 때문에 2번의 식각 공정 단계의 필요성은 제 4 콘택홀(233)도 요구된다. 2번의 식각 공정 단계에 대한 구체적인 설명은 도 6a 내지 도 6c에서 설명한다.

- [0089] 상기에서와 같이, 유기 절연막(150) 상에 콘택홀들이 형성되면, 도 4g에 도시한 바와 같이, 제 1 금속막과 제 2 금속막을 순차적으로 형성한 다음, 제 4 마스크 공정을 진행한다.
- [0090] 제 4 마스크 공정에 따라 노광, 현상 및 식각 공정을 진행하여, 제 2 스토리지 전극(129), 제 2 화소 전극(139), 제 2, 3 공통전극(134, 133), 게이트 패드 콘택전극(310) 및 데이터 패드 콘택전극(320)을 형성한다.
- [0091] 이때, 도면에는 도시하지 않았지만, 도 3a에 도시한 제 1 화소전극(119), 제 2 공통 라인(132)도 함께 형성된다.
- [0092] 상기 제 1 금속막은 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu), 크롬(Cr), 알루미늄(Al), 이들의 합금 중 어느 하나를 사용할 수 있다. 합금은 예를 들면 MoTi으로 형성할 수 있다. 또한, 제 2 금속막은 저반사 특성과 도전율이 높은 금속을 사용한다. 예를 들어, CuNx를 사용할 수 있다.
- [0093] 따라서, 상기 제 2 스토리지 전극(129)은 제 2 스토리지 상부층(129a) 및 제 2 스토리지 하부층(129b) 구조를 갖고, 제 2 화소 전극(139)은 제 2 화소 전극 상부층(139a) 및 제 2 화소 전극 하부층(139b) 구조를 가지며, 제 2 공통 전극(134)은 제 2 공통 전극 상부층(134a) 및 제 2 공통 전극 하부층(134b) 구조를 갖고, 제 3 공통 전극(133)은 제 3 공통 전극 상부층(133a) 및 제 3 공통 전극 하부층(133b) 구조를 가지며, 게이트 패드 콘택전극(310)은 게이트 패드 콘택전극 상부층(310a) 및 게이트 패드 콘택전극 하부층(310b) 구조를 갖고, 데이터 패드 콘택전극(320)은 데이터 패드 콘택전극 상부층(320a) 및 데이터 패드 콘택전극 하부층(320b) 구조를 갖는다.
- [0094] 도면에는 도시하지 않았지만, 도 3a의 제 1 화소 전극(119), 제 2 공통 라인(132)도 상기와 같이 이중층 구조를 갖는다.
- [0095] 특히, 화소 영역에 형성되는 제 2 공통 전극(134)과 제 2 화소 전극(139)은 이중 금속층 구조로 인해 전극 폭을 미세하게 형성할 수 있다.
- [0096] 도 5a 및 도 5b는 본 발명의 콘택홀 형성 공정에서 일반적인 식각 공정을 적용할 경우 발생하는 문제점을 설명하기 위한 도면이다.
- [0097] 도 5a 및 도 5b에 도시한 바와 같이, 본 발명의 게이트 패드 영역에는 하부 기관(100) 상에 게이트 패드(110)가 형성되어 있고, 게이트 패드(110) 상에는 게이트 절연막(102), 보호막(109) 및 유기 절연막(150)이 형성된다.
- [0098] 상기 게이트 패드(110)를 노출시키기 위해 일반적으로 사용되고 있는 건식각 공정을 사용하면, 노광 및 현상 공정시 홀 영역에 잔존하는 유기 절연막(150)으로 인하여 홀 내측면의 테이퍼(taper)가 좋지 않게된다.
- [0099] 도 5a에 도시한 바와 같이, 홀 영역에 잔존하는 유기 절연막(150)으로 인하여 유기 절연막(150) 하부에 언더 컷(under cut) 구조가 형성된다. 즉, 유기 절연막(150)과 보호막(109) 및 게이트 절연막(102) 사이에는 단차가 발생한다.
- [0100] 도 5b에 도시한 바와 같이, 홀 영역에서 발생된 단차는 이후 형성되는 금속막(180)의 단선을 유발한다. 본 발명의 게이트 패드 영역에 형성되는 게이트 패드 콘택전극은 콘택홀 내측에 형성된 단차에 의해 전기적으로 단선된다. 상기 금속막(180)은 적어도 하나 이상의 금속막이 적층된 구조일 수 있다.
- [0101] 이와 같은, 문제점을 해결하기 위해서 본 발명에서는 콘택홀 형성시 식각 가스의 함량비를 바꾸면서 2번의 식각 공정으로 진행한다.
- [0102] 도 6a 내지 도 6c는 본 발명의 콘택홀 형성시 진행하는 식각 공정을 설명하기 위한 도면이다. 이러한 공정은 도 4a 내지 도 4g의 제 3 마스크 공정에 그대로 적용할 수 있다.
- [0103] 도 6a 내지 도 6c에 도시한 바와 같이, 하부 기관(100) 상에 게이트 패드(110)가 형성되어 있고, 게이트 패드

(110) 상에는 게이트 절연막(102), 보호막(109) 및 유기 절연막(150)이 순차적으로 형성된다.

- [0104] 마스크 공정에 의하여 상기 유기 절연막(150)이 패터닝되면, 이를 식각 마스크로 하여 제 1차 식각 공정을 진행한다. 제 1차 식각 공정에서 사용하는 식각 가스의 $\text{SF}_6:\text{O}_2$ 의 유량비 1:2.0 내지 1:3.0이고, 바람직하게는 1:2.5일 수 있다. 예를 들어 SF_6 : 4000일 경우 O_2 는 10000~12000을 갖는다.
- [0105] 이후, 식각 가스의 $\text{SF}_6:\text{O}_2$ 의 유량비를 바꾸어 제 2차 식각 공정을 진행한다. 이때, $\text{SF}_6:\text{O}_2$ 의 유량비는 1:2.4 내지 1:3.0이고, 바람직하게는 1:2.9일 수 있다.
- [0106] 즉, 제 1차 식각 공정과 제 2차 식각 공정시 산소(O_2) 함량을 늘려주어 콘택홀 영역의 내측 경사면의 테이퍼를 개선한다. 제 1차 식각 시간과 제 2차 식각 시간은 동일하거나 제 2차 식각 시간을 제 1차 식각 시간보다 짧게 가져가는 것이 바람직하다.
- [0107] 도 6b에 도시한 바와 같이, 게이트 패드(110) 영역에 형성된 콘택홀의 제 1 경사면(S1)과 제 2 경사면(S2)이 동일면으로 형성됨을 볼 수 있다. 즉, 유기 절연막(150)과 보호막(109) 및 게이트 절연막(102) 사이에 단차가 발생되지 않음을 볼 수 있다.
- [0108] 이후, 도 6c에 도시한 바와 같이, 하부 기판(100) 상에 금속막(180)을 형성하면, 게이트 패드(110) 상의 콘택홀에서 금속막 단선이 발생하지 않는다.
- [0109] 이와 같이, 본 발명에서는 제 3 마스크 공정에서 2단계 식각 공정을 진행하여 콘택홀 내측면의 단차를 제거하였다.
- [0110] 도 7 및 도 8은 도 3a의 IV-IV'선에 대응하는 컬러필터 기판의 구조를 도시한 도면들이다.
- [0111] 도 7 및 도 8을 참조하면, 본 발명의 데이터 라인(103) 영역과 대응되는 컬러필터 기판의 구조가 도시되어 있다.
- [0112] 하부기판(100) 상에는 데이터 라인(103)을 중심으로 양측에 제 1 공통 전극(131)이 형성되어 있다. 상기 데이터 라인(103)과 제 1 공통 전극(131) 사이에는 게이트 절연막(102)이 형성되어 있고, 상기 데이터 라인(103)과 제 3 공통 전극(133) 사이에는 보호막(109)과 유기 절연막(105)이 형성되어 있다.
- [0113] 상기 제 3 공통 전극(133)은 상기 데이터 라인(103) 상부에 배치되면서, 하부기판(100) 배면의 백라이트 광원으로부터 진행하는 광을 차단하는 역할을 한다. 상기 제 3 공통 전극(133)은 제 3 공통 전극 상부층(133a)과 제 3 공통 전극 하부층(133b)으로 구성되어 있다. 상기 제 3 공통 전극 하부층(133b)은 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu), 크롬(Cr), 알루미늄(Al), 이들의 합금중 어느 하나로 형성된다. 상기 제 3 공통 전극 상부층(133a)은 저반사 특성을 갖고 도전율이 높은 CuNx 를 사용한다.
- [0114] 즉, 상기 제 3 공통 전극(133)은 하부기판(100) 배면으로부터 입사되는 광원을 차단하여 빛샘을 방지하면서, 컬러필터층이 형성되어 있는 상부기판(200)의 외측에서 입사되는 광이 상기 제 3 공통 전극(133)에서 반사되는 것을 방지한다.
- [0115] 이와 같이, 광을 차단할 수 있는 금속물질로 형성된 제 3 공통 전극(133)이 상기 데이터 라인(103) 상부에 배치되면, 상부기판(200) 상에 형성되는 블랙 매트릭스(204)의 폭(L2)을 줄일 수 있다. 상기 블랙 매트릭스(204)의 폭이 줄어들면 화소 영역의 개구율이 향상된다.
- [0116] 도 7에 도시된 바와 같이, 상기 제 3 공통 전극(133)과 대응되는 상부기판(200)의 블랙 매트릭스(204)의 폭은 하부기판(100) 상에 형성되는 제 1 공통 전극(131)들 사이의 폭보다 작게 형성할 수 있다. 상기 블랙 매트릭스(204)의 폭은 넓게는 제 1 공통 전극(131) 사이의 폭에서부터 데이터 라인(103)의 폭까지의 범위로 형성할 수 있다.
- [0117] 이와 같이, 블랙 매트릭스(204)의 폭이 줄어들면 블랙 매트릭스(204)를 사이에 두고 형성되는 컬러필터층, 예를 들어 적색(R) 컬러필터층(203a)과 녹색(G) 컬러필터층(203b)의 폭을 크게 형성할 수 있다. 따라서, 단위 화소 영역의 개구율이 증가된다.
- [0118] 도 8에서는 컬러필터기판 상에 형성되는 블랙 매트릭스를 완전히 제거한 실시예를 도시한 것이다. 제 3 공통 전극(133)에 의해 광차단이 이루어지기 때문에 블랙 매트릭스를 완전히 제거할 수 있다. 이와 같이, 블랙 매트릭

스를 제거하면 본 발명의 액정표시장치에서 사용되는 컬러필터기판의 제조 공정을 줄일 수 있다.

- [0119] 아울러, 화소 영역의 개구율을 더욱 크게 형성할 수 있다. 도면에서는 도시하였지만, 설명하지 않은 114a는 채널층 패턴이고, 209는 오버코트층이다.
- [0120] 위에서 설명한 바와 같이, 데이터 라인(103) 상부에 제 3 공통 전극(133)을 형성함으로써 높아질 수 있는 기생 커패시턴스는 보호막(109) 보다 낮은 유전율 값을 갖는 유기 절연막(150)을 사용함으로써 해결된다.
- [0121] 위에서 설명한 본 발명의 제 1 실시예의 구조 및 제조 방법은 아래에 설명하는 다른 실시예에 그대로 또는 선택적으로 동일하게 적용될 수 있다. 특별히 언급하지 않는한 위의 실시예의 설명은 아래 다른 실시예들에 동일하게 적용되는 것이다.
- [0122] 도 9a는 본 발명의 제 2 실시예에 따른 액정표시장치의 화소 영역을 도시한 도면이고, 도 9b는 도 9a의 박막 트랜지스터(TFT) 영역을 확대한 도면이다.
- [0123] 본 발명의 제 2 실시예를 도시한 도 9a 및 도 9b는 본 발명의 제 1 실시예를 도시한 도 3a의 구조와 동일한 구조를 갖는다. 따라서, 도 3a 및 도 3b와 동일한 부호는 동일한 구성부를 나타낸다. 여기서는 본 발명의 제 1 실시예와 구별되는 부분을 중심으로 설명한다.
- [0124] 도 9a 및 도 9b를 참조하면, 본 발명의 제 2 실시예에서는 화소 리페어 공정을 용이하도록 박막 트랜지스터의 드레인 전극(117b)과 제 1 공통 라인(430)이 교차되지 않도록 하였다.
- [0125] 박막 트랜지스터가 형성되어 있는 화소 영역의 구조를 보면, 제 1 공통 라인(430)은 게이트 라인(101)과 평행하게 배치되어 있지만, 박막 트랜지스터의 드레인 전극(117a)이 형성된 영역에서는 절곡부(440)가 형성되어 있다. 상기 절곡부(440)는 드레인 전극(117b)과 서로 오버랩되지 않는다.
- [0126] 상기와 같이, 드레인 전극(117b)과 제 1 공통 라인(430)이 오버랩되지 않으면 화소 영역의 스토리지 커패시턴스를 형성할 수 없게 된다. 따라서, 본 발명의 제 2 실시예에서는 제 1 공통 라인(430)의 절곡부(440)와 대향하는 화소 영역에 상기 제 1 공통 라인(430)과 일체로 형성된 제 1 스토리지 전극(441)을 형성하였다.
- [0127] 또한, 상기 제 1 공통 라인(430)과 제 1 스토리지 전극(441)에 오버랩되도록 제 2 스토리지 전극(249)을 형성하였다. 제 2 스토리지 전극(249)은 소스/드레인 전극(117a, 117b) 형성시 동일한 금속층으로 형성된다.
- [0128] 또한, 상기 게이트 라인(101)과 제 1 공통 라인(430)에 평행하게 제 1 화소 전극(219)이 배치되어 있다. 제 1 화소 전극(219)의 양측 가장자리에는 제 1 연장부(229)와 제 2 연장부(239)가 형성되어 있다. 상기 제 1 연장부(229)는 제 1 콘택홀(230)을 통하여 드레인 전극(117b)과 전기적으로 연결되는데, 제 1 연장부(229)도 제 1 공통 라인(430) 또는 절곡부(440)와 오버랩되지 않도록 형성된다.
- [0129] 즉, 본 발명의 제 2 실시예에서는 드레인 전극(117b)과, 제 1 화소 전극(219)과 일체로 형성된 제 1 연장부(229)가 제 1 공통 라인(430) 및 절곡부(440)와 리페어를 위한 커팅 라인(C1)을 사이에 두고 서로 이격되어 있다.
- [0130] 따라서, 화소 리페어를 위해 커팅 라인(C1)을 따라 제 1 화소 전극(219) 및 제 2 화소 전극(139)을 레이저 커팅하여도 제 1 화소 전극(219)(또는 드레인 전극(117b))과 제 1 공통 라인(430)이 전기적으로 쇼팅되지 않는다.
- [0131] 또한, 제 1 화소 전극(219)과 제 2 화소 전극(139)은 유기 절연막 상부에 위치하기 때문에 유기 절연막을 오픈한 다음 리페어하는 공정을 진행할 필요가 없다. 즉, 종래 화소 리페어 공정에서는 유기 절연막을 제거한 다음 드레인 전극을 커팅하는 방식으로 진행하였지만 본 발명의 제 2 실시예에서는 유기 절연막 제거 공정 없이 리페어 공정을 진행할 수 있다.
- [0132] 본 발명의 제 2 실시예에서는 제 1 화소 전극(219)에 상기 제 1 스토리지 전극(441)과 오버랩되도록 제 2 연장부(239)를 형성하였다. 상기 제 2 연장부(239)는 제 5 콘택홀(234)을 통하여 제 2 스토리지 전극(249)과 전기적으로 연결된다.
- [0133] 따라서, 본 발명의 제 2 실시예에서는 제 1 공통 라인(430)과 제 1 스토리지 전극(441) 및 제 2 스토리지 전극(249) 사이에서 스토리지 커패시턴스가 형성된다.

- [0134] 도 10 내지 도 13은 본 발명의 각각의 실시예들에 따라 상기 도 9a의 V-V'선과 VI-VI'선을 절단한 단면도이다.
- [0135] 본 발명의 제 2 실시예의 제조 공정은 상기 본 발명의 제 1 실시예의 제조 공정인 도 4a 내지 도 4g에 따라 진행된다. 따라서, 상기 도 3b와 구별되는 부분을 중심으로 설명한다.
- [0136] 도 9a 및 도 10을 참조하면, 본 발명의 제 2 실시예에서는 제 1 공통 라인(430)과 박막 트랜지스터의 드레인 전극(117b)이 서로 오버랩되지 않도록 형성된다. 따라서, 하부기관(100) 상에 제 1 공통 라인(430)과 일체로 형성되는 절곡부(440)는 드레인 전극(117b)과 서로 오버랩되는 부분이 존재하지 않는다.
- [0137] 또한, 상기 드레인 전극(117b)과 전기적으로 연결되는 제 1 화소 전극(219)의 제 1 연장부(229)도 상기 절곡부(440)와 오버랩되지 않도록 형성된다. 제 1 연장부(229)는 제 1 연장부 상부층(229a)와 제 1 연장부 하부층(229b)로 구성되어 있다.
- [0138] 도 10에 도시된 바와 같이, 제 1 연장부(229), 제 2 화소 전극(139), 제 1 화소 전극(미도시)은 모두 유기 절연막(150) 상에 형성되어 있다. 따라서, 화소 리페어 공정시 유기 절연막(150) 제거 공정 없이 제 2 화소 전극(139)과 제 1 화소 전극(219)만 절단하여도 화소 리페어(암점화 리페어)를 할 수 있다.
- [0139] 도 11에서는 액정표시장치의 표시영역과 비표시 영역의 유기 절연막 두께를 서로 다르게 형성한 것이다. 액정표시장치의 비표시 영역인 게이트 패드 영역과 데이터 패드 영역에서는 표시영역의 유기 절연막(150)의 두께와 다른 유기 절연막 패턴(150a)이 형성된다. 즉, 게이트 패드와 데이터 패드가 형성된 비표시 영역의 유기 절연막 패턴(150a)의 두께는 표시 영역에 형성된 유기 절연막(150)의 두께 보다 작다.
- [0140] 이는 도 4a 내지 도 4g의 제조 공정 중 콘택홀을 형성하는 제 3 마스크 공정에서 하프톤 마스크 또는 회절 마스크를 이용함으로써 구현할 수 있다.
- [0141] 이와 같이, 패드 영역에서 유기 절연막(150)의 높이를 낮게 형성하는 이유는 유기 절연막(150)의 두께가 보호막(109)이나 게이트 절연막(102)보다 두껍기 때문에 구동 집적회로의 단자들의 콘택 불량 발생하기 때문이다.
- [0142] 따라서, 패드 영역의 단차를 낮추면 외부 회로단자들과의 전기적 콘택을 용이하게 할 수 있다.
- [0143] 도 12에서는 게이트 패드 영역과 데이터 패드 영역의 유기 절연막(150)을 완전히 제거한 구조이다. 따라서, 게이트 패드(110)와 전기적으로 연결되는 게이트 패드 콘택전극(310)은 보호막(109) 상에 형성되면서, 게이트 패드(110)와 전기적으로 연결된다. 마찬가지로 데이터 패드 콘택전극(320)은 보호막(109) 상에 형성되면서 데이터 패드(120)와 전기적으로 연결된다.
- [0144] 도 13에서는 본 발명의 제 3 마스크 공정시 게이트 패드 영역에서는 유기 절연막(150), 보호막(109) 및 게이트 절연막(102)을 모두 제거하고, 데이터 패드 영역에서는 유기 절연막(150)과 보호막(109)을 제거하였다.
- [0145] 따라서, 상기 게이트 패드 콘택전극(310)은 게이트 패드(110)와 하부기관(100) 상에 직접 형성된다. 게이트 패드 콘택전극(310)은 게이트 패드(110)를 완전히 덮고 있음을 볼 수 있다. 상기 데이터 패드 콘택전극(320)은 게이트 절연막(102), 채널층패턴(114a) 및 데이터 패드(120)를 감싸면서 하부기관(100) 상에 형성된다. 상기 데이터 패드 콘택전극(320)도 상기 데이터 패드(120), 채널층패턴(114a) 및 게이트 절연막(102)을 완전히 덮고 있음을 볼 수 있다.
- [0146] 이와 같이, 본 발명에서는 추가 마스크 공정 없이 액정표시장치의 패드 영역을 다양한 구조로 형성할 수 있다.
- [0147] 도 14a는 본 발명의 제 3 실시예에 따른 액정표시장치의 화소 영역을 도시한 도면이고, 도 14b는 상기 도 14a의 X-X'선과 X I-X I'선을 절단한 단면도이다.
- [0148] 본 발명의 제 3 실시예는 본 발명의 제 2 실시예의 화소 구조를 변형한 것이다.
- [0149] 도 14a 및 도 14b를 참조하면, 본 발명의 제 3 실시예에서는 데이터 라인(103) 상에 형성되는 제 3 공통 전극(333)에 오픈 영역(OR)을 형성하였다. 본 발명에서는 화소 전극과 공통 전극이 모두 광을 차단할 수 있는 불투명 금속을 사용한다. 따라서, 제조 공정 중 데이터 라인(103)이 화소 영역에서 단선 될 경우 이를 확인하기 어렵다.
- [0150] 본 발명의 제 3 실시예에서는 제 2 실시예를 기본으로 하면서, 데이터 라인(103)과 대응되는 영역의 제 3 공통

전극(333)을 제거하여 데이터 라인(103)을 볼 수 있도록 형성하였다. 상기 제 3 공통 전극(333)에 형성된 오픈 영역(OR)의 폭은 데이터 라인(103)의 폭과 같거나 좁게 형성하는 것이 바람직하다. 도면에서 도시하였지만, 설명하지 않은 333a는 제 3 공통 전극 상부층, 333b는 제 3 공통 전극 하부층이다.

- [0151] 또한, 도면에는 도시하지 않았지만, 상기 데이터 라인(103) 및 제 3 공통 전극(333)과 대응되는 컬러필터 기판에는 블랙 매트릭스를 제거하거나 블랙 매트릭스를 형성할 수 있다. 즉, 도 7 및 도 8에서 설명한 컬러필터 기판의 구조는 그대로 적용할 수 있다. 왜냐하면, 오픈 영역(OR)과 대응되는 데이터 라인(103) 역시 불투명 금속으로 형성되기 때문에 하부 기판(100)의 배면으로부터 입사되는 광은 차단되기 때문이다.
- [0152] 상기 제 3 공통 전극(333)에 형성되는 오픈 영역(OR)은 추가 마스크 공정 없이, 제 2 공통 라인(132), 제 2 공통 전극(134), 제 1 화소 전극(219) 및 제 2 화소 전극(139) 형성시 동시에 형성된다.
- [0153] 상기 본 발명의 제 3 실시예의 구조는 본 발명의 제 1, 2 실시예와 아래에 설명되는 다른 실시예에 그대로 적용할 수 있다.
- [0154] 도 15a 내지 도 15c는 도 9a의 VII-VII', VIII-VIII' 및 IX-IX' 영역에 형성되는 스페이서를 도시한 도면이다. 본 발명의 액정표시장치는 두 종류의 스페이서를 형성할 수 있다. 컬러필터기판과 박막 트랜지스터 어레이 기판의 셀갭을 일정하게 유지하는 갭 스페이서와 외부 눌림에 의해 갭 스페이서의 손상을 방지하는 눌림 스페이서이다.
- [0155] 도 15a 및 도 15c는 눌림 스페이서를 도시한 것이고, 도 15b는 갭 스페이서를 도시한 것이다. 또한, 스페이서의 위치는 고정된 것이 아니므로 갭 스페이서와 눌림 스페이서의 위치는 다양하게 변경될 수 있다. 또한, 도 15a 내지 도 15c는 블랙 매트릭스를 제거한 컬러필터 기판을 중심으로 설명하고 있지만, 도 7과 같이 블랙 매트릭스가 형성된 컬러필터 기판에서도 그대로 적용할 수 있다.
- [0156] 도 15a를 참조하면, 하부 기판(100) 상에는 게이트 라인(101)이 형성되어 있고, 상기 게이트 라인(101) 상에는 게이트 절연막(102), 보호막(109) 및 유기 절연막(150)이 형성되어 있다.
- [0157] 이와 대응되게 컬러필터 기판의 상부기판(200) 상에는 적색(R) 컬러필터층(203a), 녹색(G) 컬러필터층(203b)이 형성되어 있다. 적색(R) 컬러필터층(203a)과 녹색(G) 컬러필터층(203b) 상에는 오버 코트층(209)이 형성되어 있다. 또한, 상기 하부 기판(100) 상에 형성된 게이트 라인(101)과 대응되는 영역의 오버 코트층 상에는 눌림 스페이서(500)가 형성되어 있다.
- [0158] 상기 눌림 스페이서(500)와 대응되는 유기 절연막(150) 상에는 소정의 홈(G:groove)이 형성되어 있다.
- [0159] 마찬가지로, 도 15c를 참조하면, 제 1 공통 라인(430) 상부에는 게이트 절연막(102)을 사이에 두고 제 2 스토리지 전극(249)이 형성되어 있다. 제 2 스토리지 전극(249)와 대응되는 오버 코트층(209) 상에는 눌림 스페이서(500)가 형성되어 있다. 홈(G) 영역의 일부와 유기 절연막(150) 상에는 제 1 공통 라인(430)과 일부 오버랩 되도록 제 1 화소 전극(219)이 형성되어 있다.
- [0160] 도 15b를 참조하면, 하부 기판(100) 상에는 제 1 공통 전극(131)이 형성되어 있고, 제 1 공통 전극(131) 상에는 게이트 절연막(102)을 사이에 두고 데이터 라인(103)이 형성되어 있다. 상기 데이터 라인(103) 상부에는 유기 절연막(150)을 사이에 두고 제 3 공통 전극(133)이 형성되어 있다.
- [0161] 상기 제 3 공통 전극(133)과 대응되는 컬러필터 기판의 오버 코트층(209) 상에는 갭 스페이서(501)가 형성되어 있다. 도 15b에서는 명확하게 도시되어 있지 않지만, 갭 스페이서(501)가 형성된 다음 상부기판(200) 상에는 배향막(미도시)이 형성되고, 제 3 공통 전극(133)이 형성된 다음 하부 기판(100) 상에 배향막(미도시)이 형성된다.
- [0162] 즉, 상기 갭 스페이서(501)는 컬러필터 기판과 박막 트랜지스터 어레이 기판에 접촉되어 두기판 사이의 셀갭을 일정하게 유지한다.
- [0163] 따라서, 본 발명의 컬러필터 기판과 박막 트랜지스터 어레이 기판의 셀갭은 갭 스페이서(501)에 의해 일정하게 유지된다. 하지만, 표시 영역의 일부가 외부힘에 의해 눌러 지고 갭 스페이서(501)가 지탱할 수 있는 힘 이상이 가해진다면 갭 스페이서(501)가 부러지거나 복원력을 잃게 될 수 있다.
- [0164] 이러한 문제를 해결하기 위해 본 발명에서는 도 15a 및 도 15c와 같은 눌림 스페이서(500)들을 배치하였다. 즉, 합착된 두 기판이 외부힘에 의해 눌러졌을 때, 먼저 갭 스페이서(501)만이 이를 지탱한다. 갭 스페이서(501) 만으로 셀갭을 유지하는 외부힘의 크기는 눌림 스페이서(500)가 유기 절연막(150) 상에 형성된 홈(G)의 바닥면까지이다. 눌림 스페이서(500)의 끝단이 홈(G)의 바닥면과 닿을 때부터는 갭 스페이서(501)와 눌림 스페이서(50

0)가 함께 두 기관의 셀갭을 유지한다.

- [0165] 상기 갭 스페이서(501)와 놀림 스페이서(500)는 동일한 높이로 형성되거나 놀림 스페이서(500)의 높이를 갭 스페이서(501)보다 낮게 형성할 수 있다. 상기 갭 스페이서(501)와 놀림 스페이서(500)의 높이를 다르게 형성할 때에는 놀림 스페이서(500)와 대응되는 유기 절연막(150) 상의 흠은 제거될 수 있다.
- [0166] 또한, 서로 다른 스페이서의 높이는 하프톤 마스크 또는 회절 마스크 고정에 따라 형성할 수 있다.
- [0167] 상기 도 15a 내지 도 15c에서 설명한 스페이서 구조들은 본 발명의 모든 실시예에 그대로 적용할 수 있다.
- [0168] 도 16a는 본 발명의 제 4 실시예에 따른 액정표시장치의 화소 영역을 도시한 도면이고, 도 16b는 도 16a의 박막 트랜지스터(TFT) 영역을 확대한 도면이다.
- [0169] 본 발명의 제 4 실시예를 도시한 도 16a 및 도 16b는 본 발명의 제 2 실시예를 도시한 도 9a의 구조와 동일한 구조를 갖는다. 따라서, 도 9a 및 도 9b와 동일한 부호는 동일한 구성부를 나타낸다. 여기서는 본 발명의 제 2 실시예와 구별되는 부분을 중심으로 설명한다.
- [0170] 도 16a 및 도 16b를 참조하면, 본 발명의 제 4 실시예에서는 화소 리페어 공정이 제 2 실시예보다 더욱 간편해질 수 있도록 구조 변경을 하였다.
- [0171] 박막 트랜지스터가 형성되어 있는 화소 영역의 구조를 보면, 제 1 공통 라인(430)은 게이트 라인(101)과 평행하게 배치되어 있지만, 박막 트랜지스터의 드레인 전극(117a)이 형성된 영역에서는 절곡부(440)가 형성되어 있다. 상기 절곡부(440)는 드레인 전극(117b)과 서로 오버랩되지 않는다.
- [0172] 상기와 같이, 드레인 전극(117b)과 제 1 공통 라인(430)이 오버랩되지 않으면 화소 영역의 스토리지 커패시턴스를 형성할 수 없게 된다. 따라서, 본 발명의 제 4 실시예에서는 제 1 공통 라인(430)의 절곡부(440)와 대향하는 화소 영역에 상기 제 1 공통 라인(430)과 일체로 형성된 제 1 스토리지 전극(441)을 형성하였다.
- [0173] 또한, 상기 제 1 공통 라인(430)과 제 1 스토리지 전극(441)과 오버랩되도록 제 2 스토리지 전극(249)을 형성하였다. 제 2 스토리지 전극(249)은 소스/드레인 전극(117a, 117b) 형성시 동일한 금속으로 형성된다.
- [0174] 또한, 상기 게이트 라인(101)과 제 1 공통 라인(430)과 평행하게 제 1 화소 전극(219)이 배치되어 있다. 제 1 화소 전극(219)의 양측 가장자리에는 제 1 연장부(229)와 제 2 연장부(239)가 형성되어 있다. 특히, 본 발명의 제 4 실시예에서는 제 1 화소 전극(219)은 드레인 전극(117b)과 인접한 영역의 연결부(289)를 중심으로 제 1 연장부(229)와 제 1 화소 전극(219)이 서로 분리되어 있다.
- [0175] 제 1 화소 전극(219)은 연결부(289)에서 절곡되어 제 1 공통 라인(430)의 절곡부(440)와 오버랩되도록 형성된다. 제 1 연장부(229)는 연결부(289)에서 게이트 라인(101)과 평행한 방향으로 형성된 후 제 1 콘택홀(230)을 통하여 드레인 전극(117b)과 전기적으로 연결되어 있다.
- [0176] 즉, 본 발명의 제 4 실시예에서는 본 발명의 제 2 실시예보다 더욱 간편하게 커팅 라인(C2)을 따라 연결부(289)만 커팅하면 리페어 공정이 완료된다. 제 2 실시예와 마찬가지로 본 발명의 제 4 실시예에서도 리페어 공정에서는 유기 절연막 오픈 공정 없이 한번의 커팅 작업으로 화소 리페어를 할 수 있다.
- [0177] 도 17a는 본 발명의 제 5 실시예에 따른 액정표시장치의 화소 영역을 도시한 도면이고, 도 17b는 도 17a의 박막 트랜지스터(TFT) 영역을 확대한 도면이다.
- [0178] 본 발명의 제 5 실시예는 FFS(Fringe Field Switching) 모드에 적용된 구조이다. 본 발명의 제 2 실시예를 도시한 9a 및 도 9b와 구조적으로 유사하지만, 화소 영역에 형성되는 화소 전극의 구조는 상이하다. 따라서, 도 9a 및 도 9b와 동일한 부호는 동일한 구성부를 나타낸다. 이하, 구별되는 부분을 중심으로 상세히 설명한다.
- [0179] 도 17a 및 도 17b를 참조하면, 게이트 라인(101)과 데이터 라인(103)이 교차되어 화소 영역을 정의하고, 게이트 라인(101)과 데이터 라인(103)이 교차되는 영역에는 박막 트랜지스터(TFT)가 형성된다. 본 발명의 제 5 실시예에서는 제 1 공통 라인(430)은 게이트 라인(101)과 평행하면서 드레인 전극(117b)과 오버랩되지 않는 절곡부(440)를 구비한다. 본 발명의 제 5 실시예에서는 스토리지 커패시턴스 형성을 위한 별도의 스토리지 전극이 제 1 공통 라인(430)에 형성되지 않는다.

- [0180] 또한, 제 1 공통 라인(430)으로부터 화소 영역으로 분기되는 제 1 공통 전극(431)이 데이터 라인(103)과 평행하게 배치되어 있다. 상기 제 1 공통 전극(431)은 데이터 라인(103)과 인접하게 배치된다.
- [0181] 상기 화소 영역에는 화소 전극(419)이 형성된다. 상기 화소 전극(419)은 플레이트(plate) 구조로 형성되고, 제 1 콘택홀(230)을 통해 드레인 전극(117b)과 전기적으로 연결되어 있다. 여기서, 화소 전극(419)은 투명성 도전물질 IT0, ITZO, IZO중 어느 하나의 물질을 사용할 수 있다.
- [0182] 또한, 상기 화소 전극(419)은 제 1 공통 라인(430)과 오버랩되면서 스토리지 커패시턴스를 형성한다. 즉, 상기 화소 전극(419)의 하부에 형성된 제 1 공통 라인(430)과 절곡부(440)는 스토리지 커패시터의 일전극 역할을 하고, 이와 오버랩되는 화소 전극(419)은 스토리지 커패시터의 다른 전극 역할을 한다.
- [0183] 상기 화소 전극(419) 상부에는 제 2 공통 라인(432), 제 2 공통 전극(434) 및 제 3 공통 전극(433)이 형성되어 있다. 상기 제 2 공통 전극(434)은 제 2 공통 라인(432)으로부터 분기되는 다수개의 슬릿 형태로 형성된다. 제 3 공통 전극(433)은 데이터 라인(103)과 오버랩되도록 형성된다.
- [0184] 상기 드레인 전극(117b)과 제 1 공통 라인(430)의 절곡부(440)는 서로 오버랩되지 않도록 이격 되어 있다. 따라서, 리페어 공정을 진행할 때에는 상기 절곡부(440)와 드레인 전극(117b) 사이에 형성된 화소 전극(419)을 커팅하는 방식으로 이루어진다.
- [0185] 도 18은 상기 도 17a의 XⅡ-XⅡ'선과 XⅢ-XⅢ선을 절단한 단면도이다.
- [0186] 도 17a, 17b 및 18을 참조하면, 하부기관(100) 상에는 게이트 전극(101a), 제 1 공통 라인(430)과 일체로 형성된 절곡부(440), 상기 제 1 공통 라인(430)으로부터 분기되는 제 1 공통 전극(431) 및 게이트 패드(110)가 형성되어 있다.
- [0187] 상기 게이트 전극(101a)은 박막 트랜지스터(TFT)의 전극 역할을 하기 때문에 게이트 라인(101)의 폭보다 넓은 폭을 갖는다.
- [0188] 상기 게이트 전극(101a) 상부에는 게이트 절연막(102)을 사이에 두고 채널층(114)과 소스/드레인 전극(117a, 117b)이 형성되어 있다. 또한, 상기 제 1 공통 전극(431)들 사이에는 게이트 절연막(102)을 사이에 두고 데이터 라인(103)이 형성되어 있다(XⅡ-XⅡ'선).
- [0189] 상기 소스/드레인 전극(117a, 117b) 및 데이터 라인(103)이 형성되어 있는 하부기관(100) 상에는 보호막(109)이 형성되어 있고, 상기 보호막(109) 상에는 화소 전극(419)이 형성되어 있다. 상기 화소 전극(419)은 제 1 콘택홀(230)을 통하여 드레인 전극(117b)과 전기적으로 연결되어 있다.
- [0190] 상기와 같은 화소 전극(419)은 본 발명의 제 1 실시예의 제조 공정 중 보호막(109) 형성 후, 콘택홀 공정과 화소 전극(419) 형성 공정을 추가함으로써 구현할 수 있다.
- [0191] 상기 화소 전극(419) 상부에는 유기 절연막(150)을 사이에 두고 제 2 공통 전극(434)과 제 3 공통 전극(433)이 형성되어 있다. 즉, 본 발명의 제 5 실시예에서는 유기 절연막(150) 상에 공통 전극들만 형성된다. 제 2 공통 전극(434)은 다수개의 슬릿 형태로 화소 영역에 배치된다.
- [0192] 따라서, 본 발명의 제 5 실시예에서는 유기 절연막(150)을 사이에 두고 하부에 형성된 화소 전극(419)과 상부에 형성된 제 2, 3 공통 전극(434, 433) 사이에 수직 전계에 의해 구동된다.
- [0193] 본 발명의 제 5 실시예에서는 화소 전극(419)을 플레이트(plate) 구조로 도시하였지만, 이것은 일실시예에 불과한 것이다. 즉, 상기 보호막(109) 상에 제 2 공통 전극(434)과 동일하게 다수개의 슬릿 형태로 화소 전극을 형성할 수 있다.
- [0194] 또한, 상기 화소 전극(419)은 보호막(109) 상에 형성된 것을 도시하였지만, 이것은 일실시예에 불과한 것이다. 따라서, 상기 화소 전극(419)은 화소 영역과 대응되는 하부기관(100) 상에 위치하거나 게이트 절연막(102) 상에 위치할 수 있다.
- [0195] 상기 제 3 공통 전극(433)은 상기 데이터 라인(103)과 대응되는 유기절연막(150) 상에 형성된다.
- [0196] 또한, 게이트 패드 영역에는 게이트 라인(101)으로부터 연장된 게이트 패드(110)가 형성되어 있고, 상기 게이트 패드(110) 상에는 게이트 절연막(102), 보호막(109) 및 유기절연막(150)이 형성되어 있다. 상기 유기절연막(150) 상에는 제 2 콘택홀(231)을 통하여 게이트 패드(110)와 전기적으로 연결되는 게이트 패드 콘택전극(310)이 형성되어 있다.

[0197] 데이터 패드 영역에서는 하부기관(100) 상에 게이트 절연막(103)이 형성되어 있고, 상기 게이트 절연막(103) 상에 데이터 라인(103)으로부터 연장된 데이터 패드(120)가 형성되어 있다. 상기 데이터 패드(120) 상에는 보호막(109)과 유기절연막(150)이 순차적으로 형성되어 있다. 상기 유기절연막(150) 상에는 제 3 콘택홀(232)을 통하여 데이터 패드(120)와 전기적으로 콘택되는 데이터 패드 콘택전극(320)이 형성되어 있다.

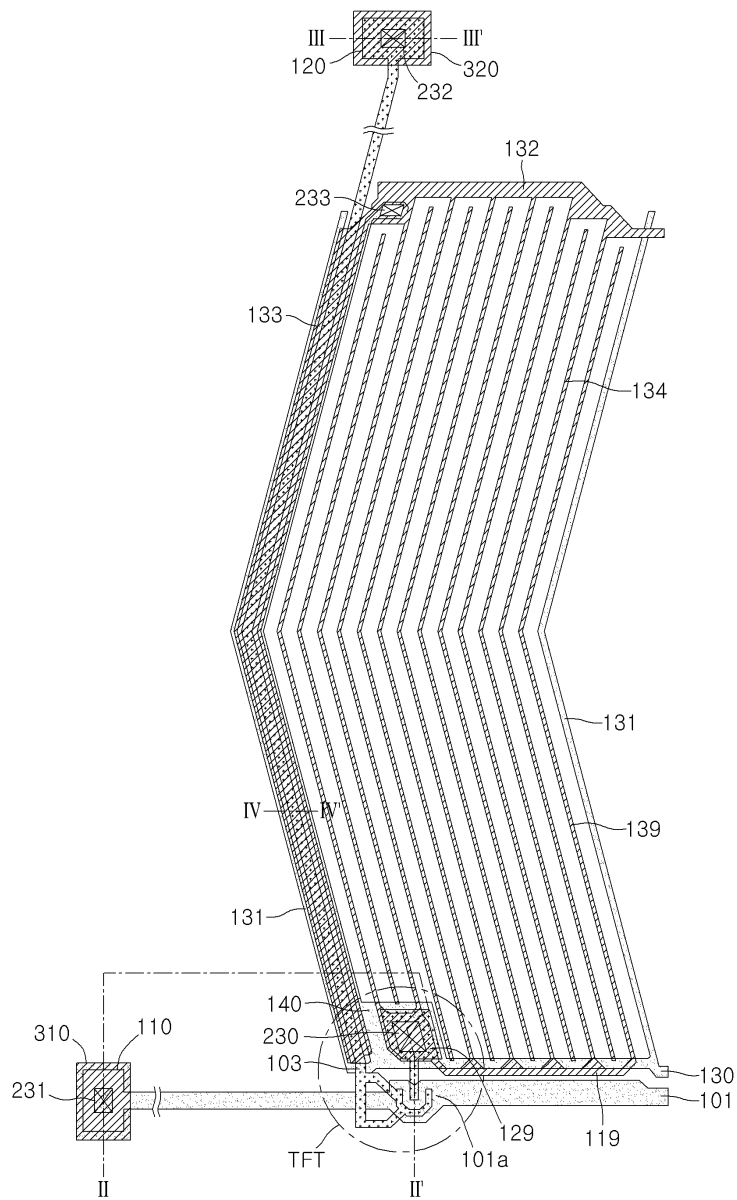
[0198] 또한, 상기 유기절연막(150) 형성 후에 형성되는 제 2, 3 공통전극(434, 433), 게이트 패드 콘택전극(310) 및 데이터 패드 콘택전극(320)은 모두 이중 금속층 구조를 갖는다. 따라서, 제 2 공통 전극(434)은 제 2 공통 전극 상부층(434a) 및 제 2 공통 전극 하부층(434b)으로 형성되고, 제 3 공통 전극(433)은 제 3 공통 전극 상부층(433a) 및 제 3 공통 전극 하부층(433b)으로 형성된다.

[0199] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시 예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

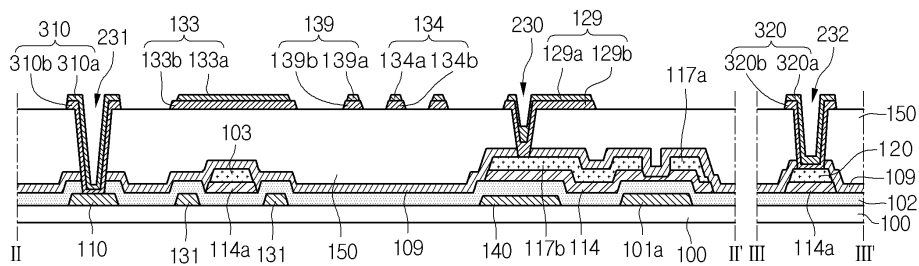
부호의 설명

[0200]	100: 하부기관	101: 게이트 라인
	140: 제 1 스토리지 전극	129: 제 2 스토리지 전극
	131: 제 1 공통 전극	134: 제 2 공통 전극
	133: 제 3 공통 전극	110: 게이트 패드
	120: 데이터 패드	150: 유기 절연막

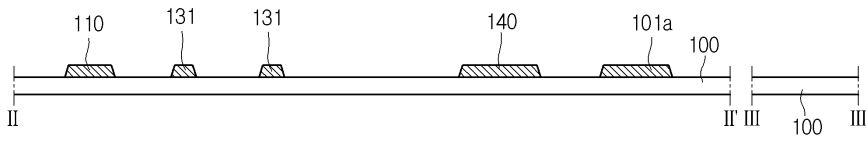
도면3a



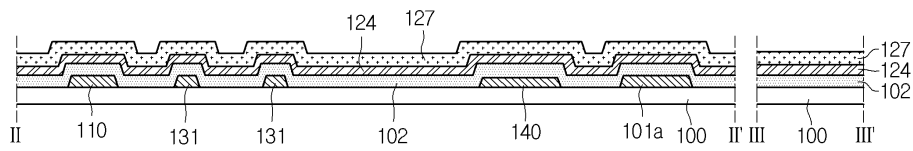
도면3b



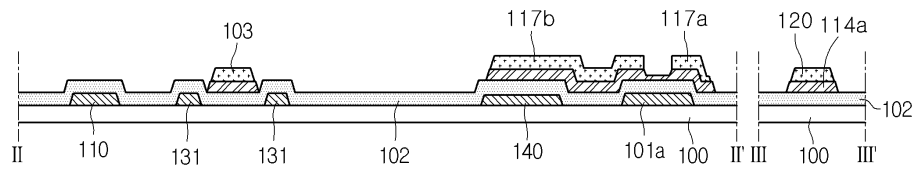
도면4a



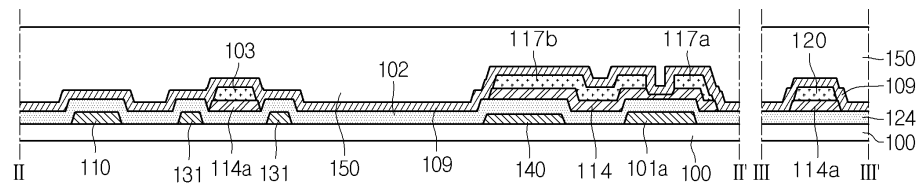
도면4b



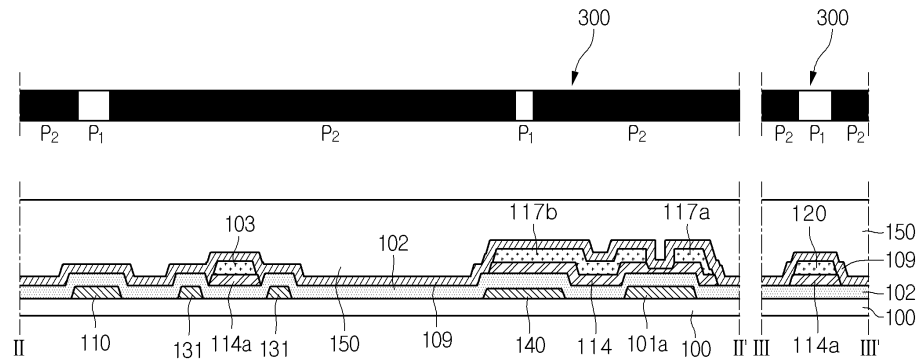
도면4c



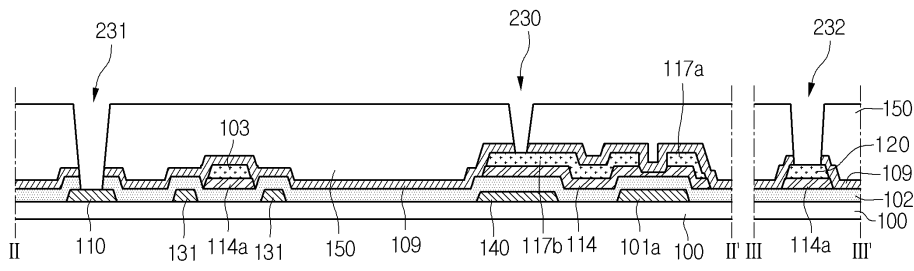
도면4d



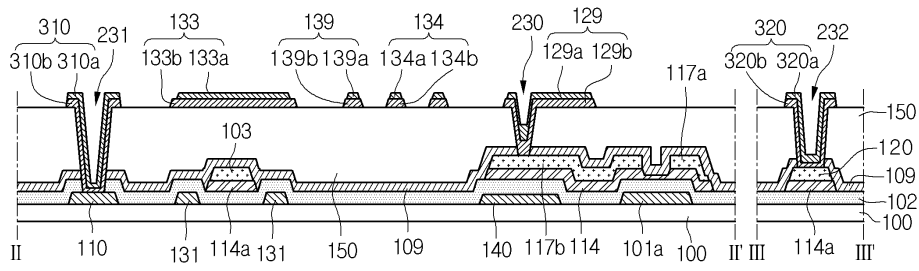
도면4e



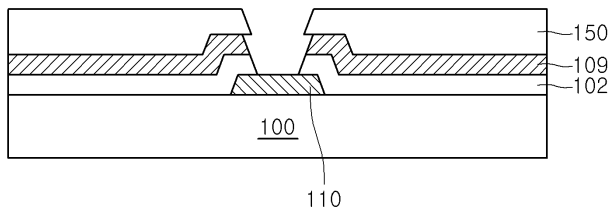
도면4f



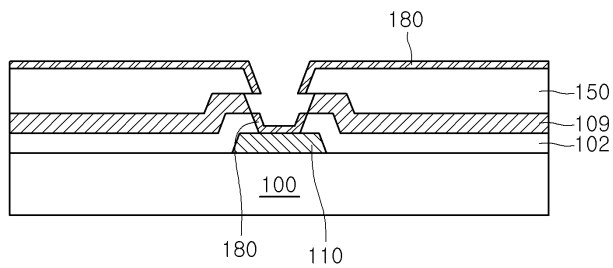
도면4g



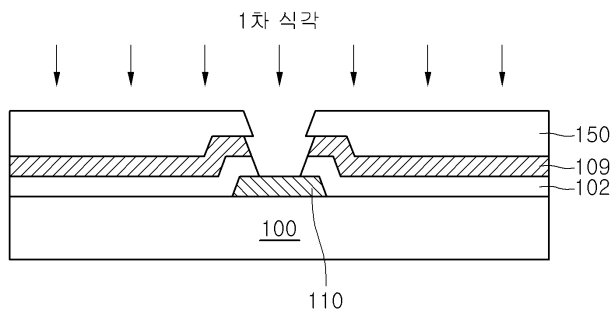
도면5a



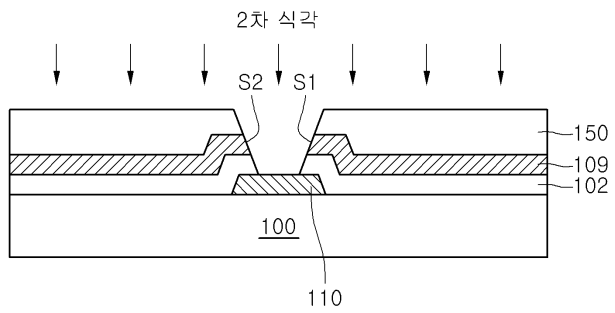
도면5b



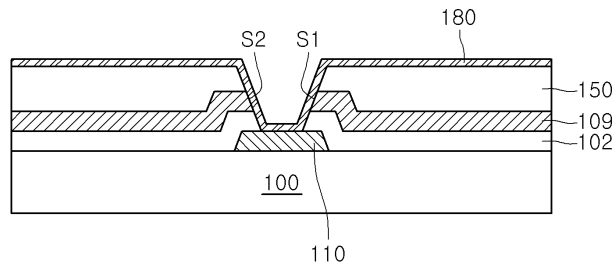
도면6a



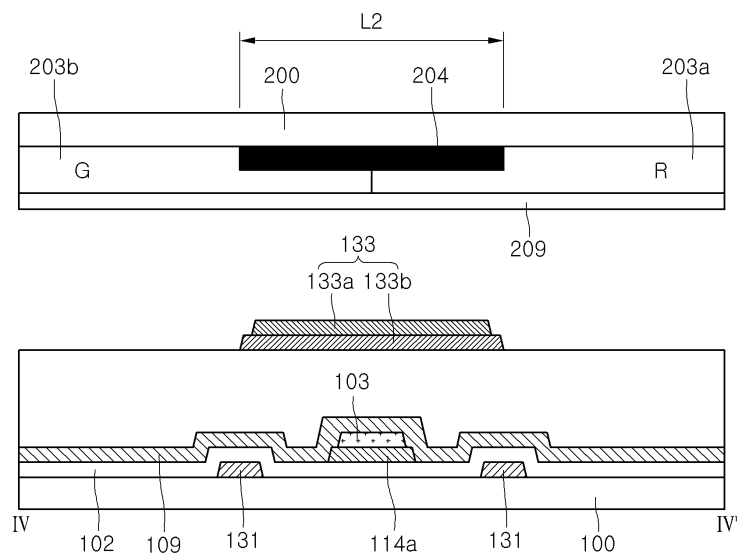
도면6b



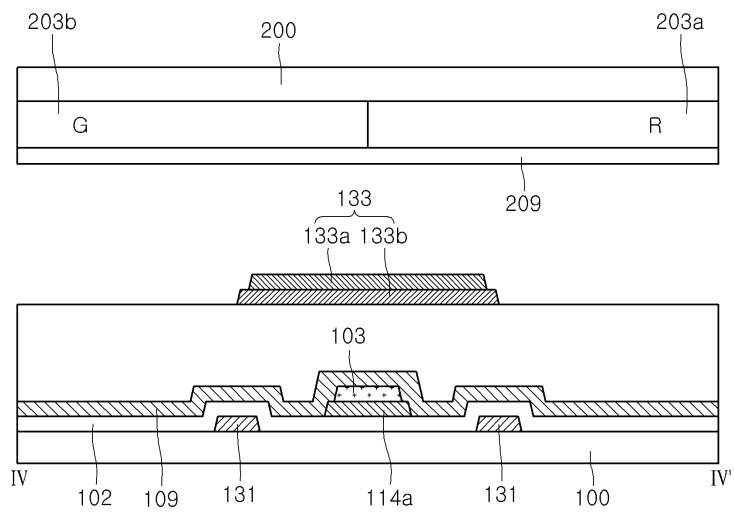
도면6c



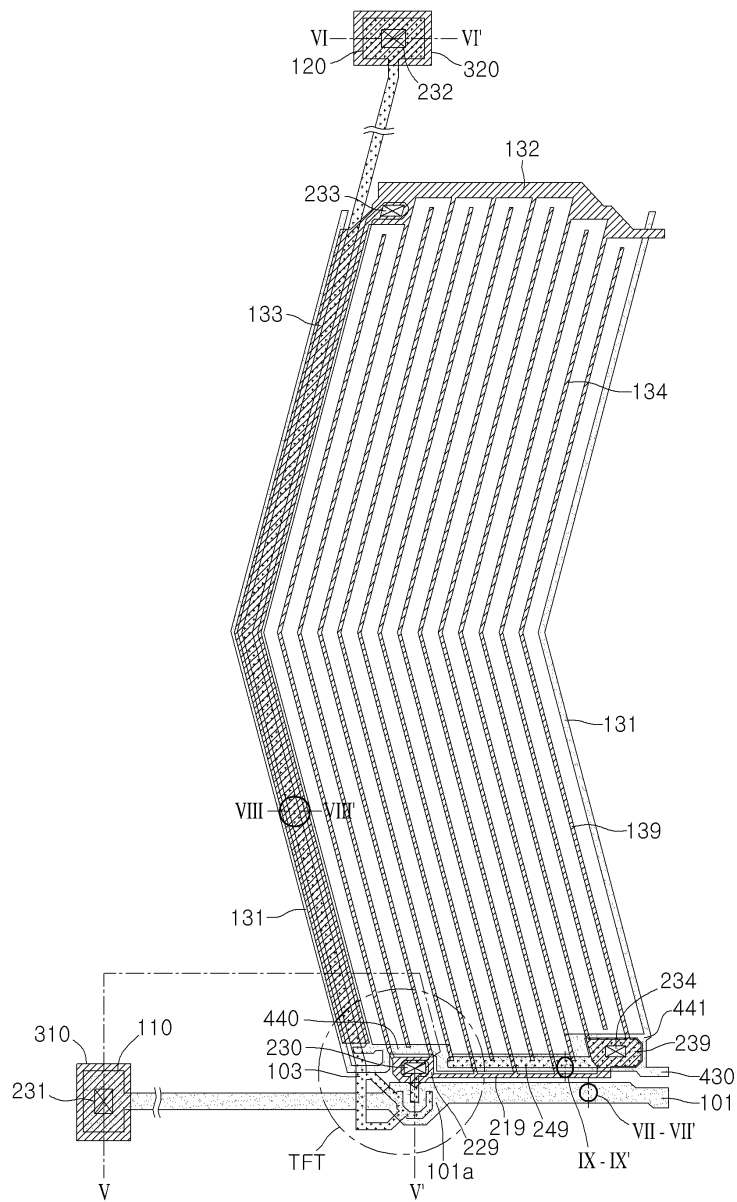
도면7



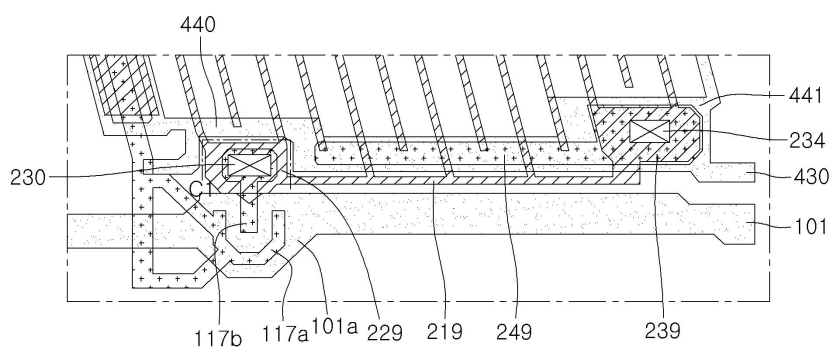
도면8



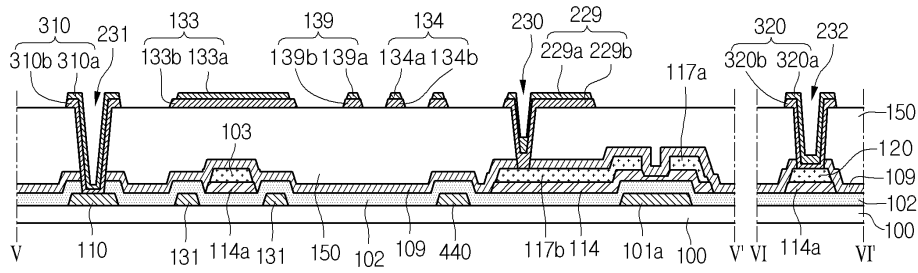
도면9a



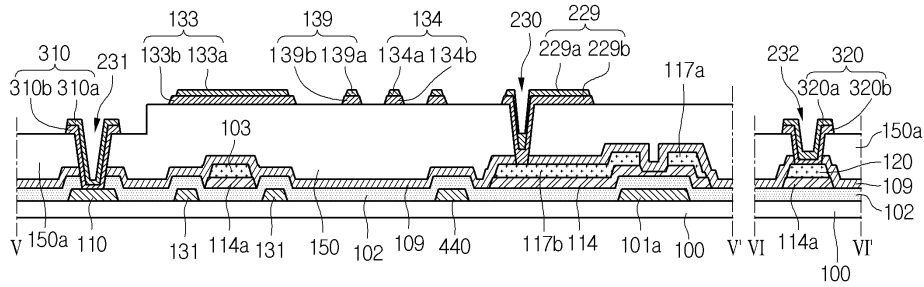
도면9b



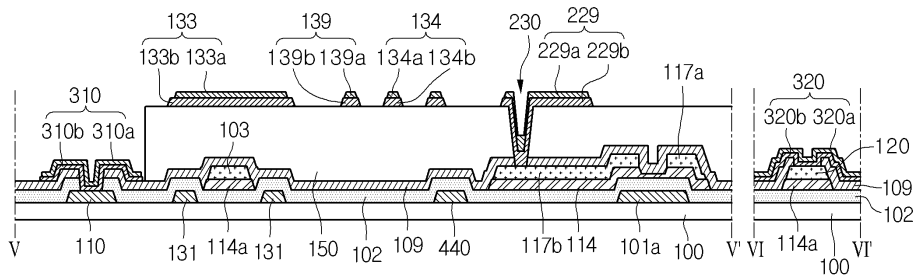
도면10



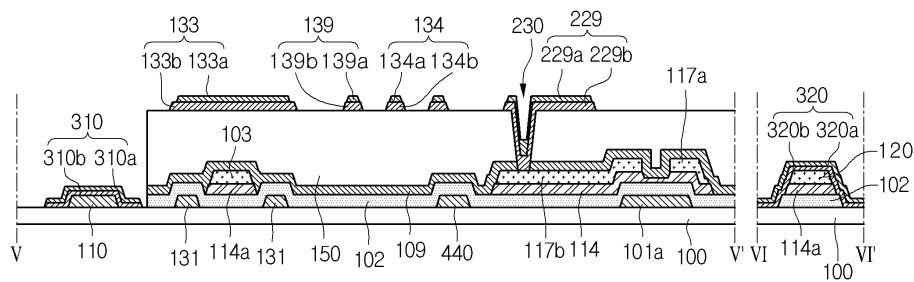
도면11



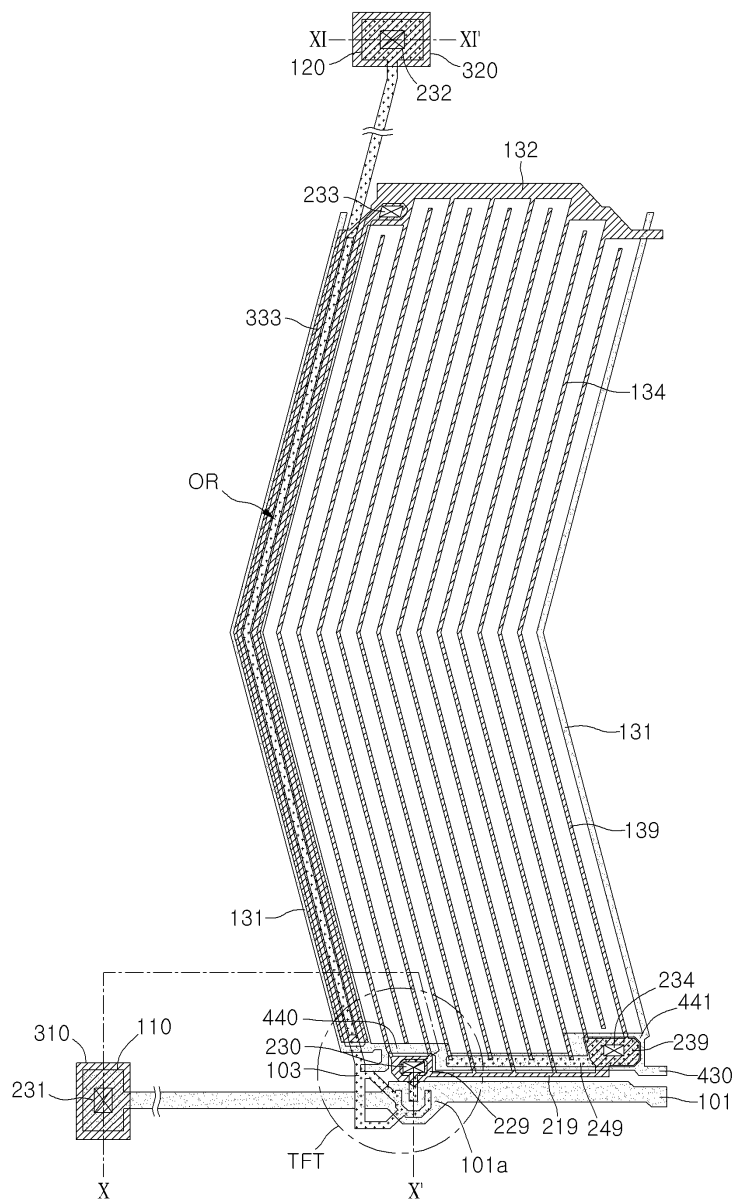
도면12



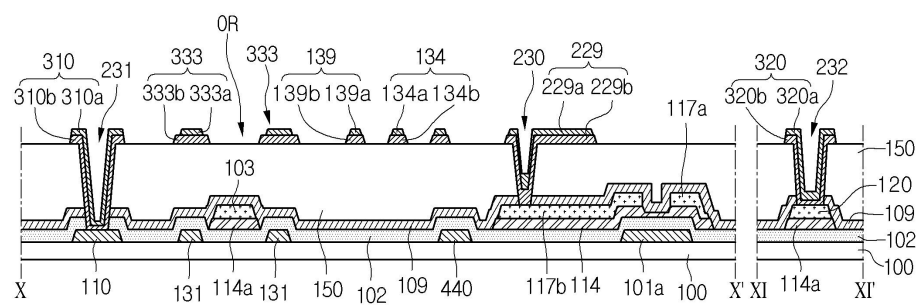
도면13



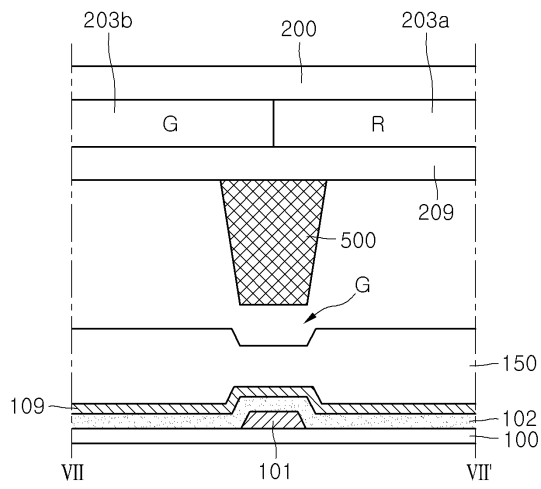
도면14a



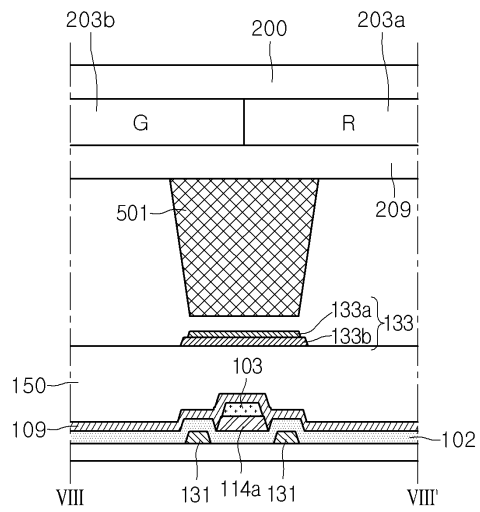
도면14b



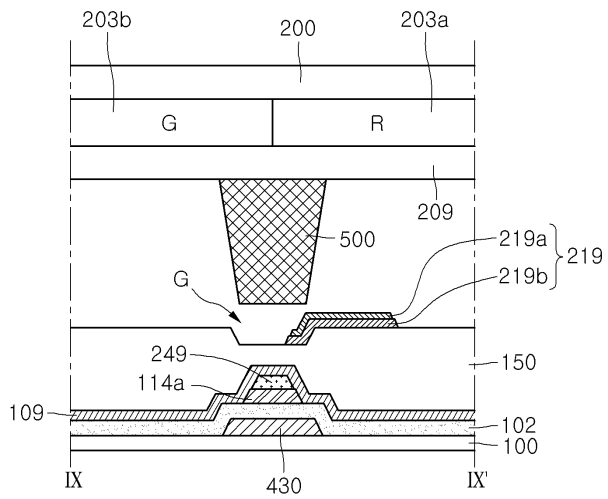
도면15a



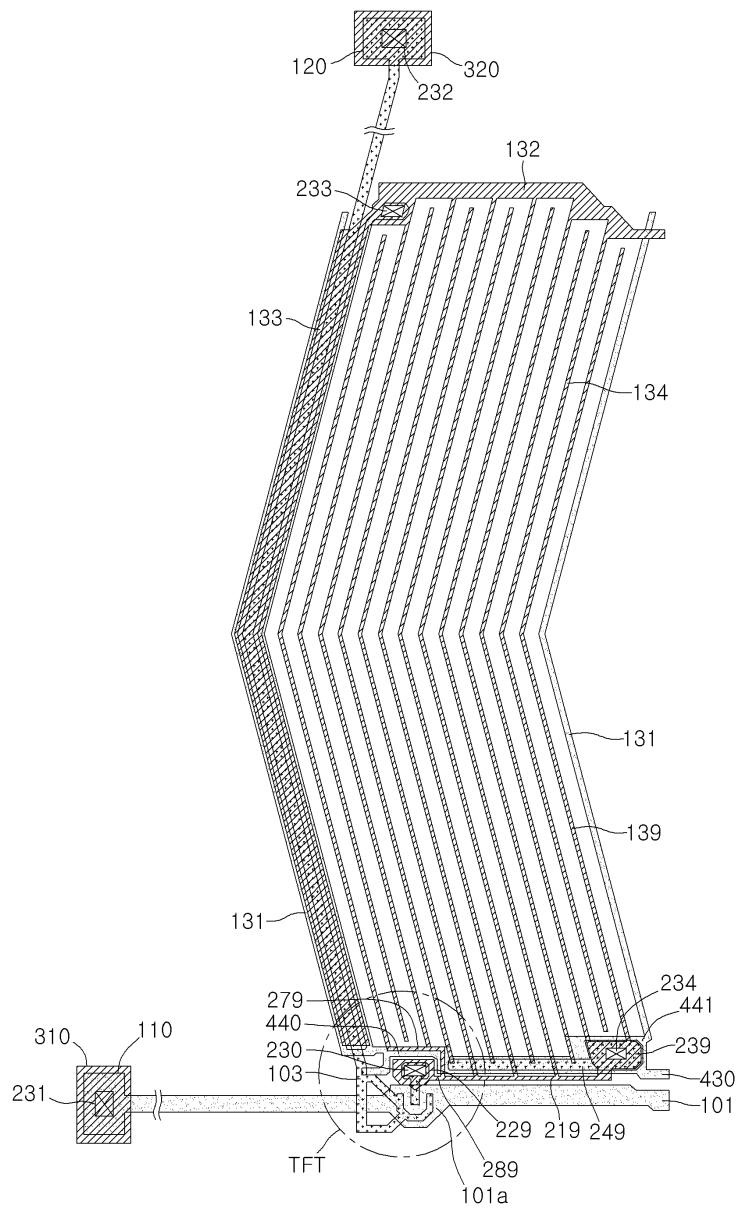
도면15b



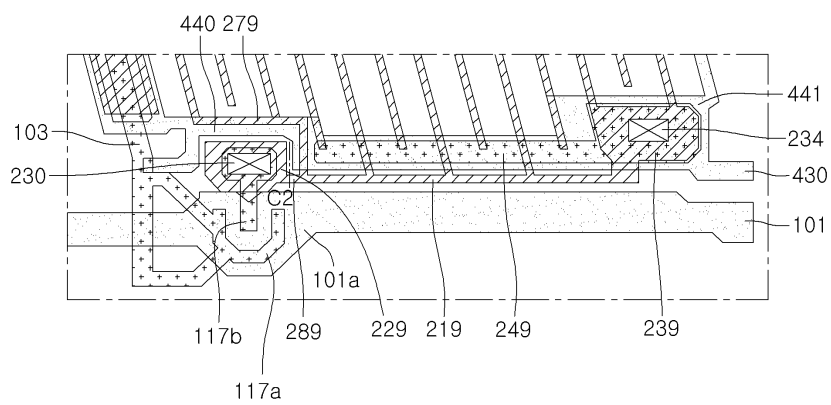
도면15c



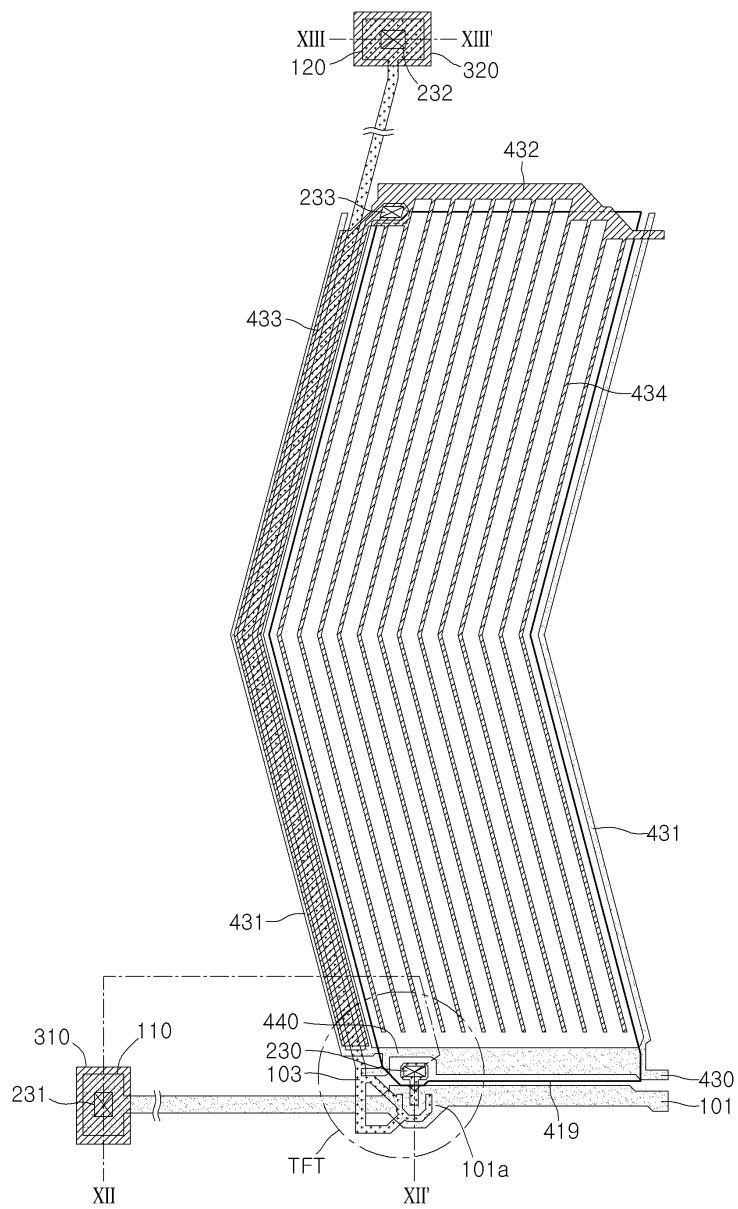
도면16a



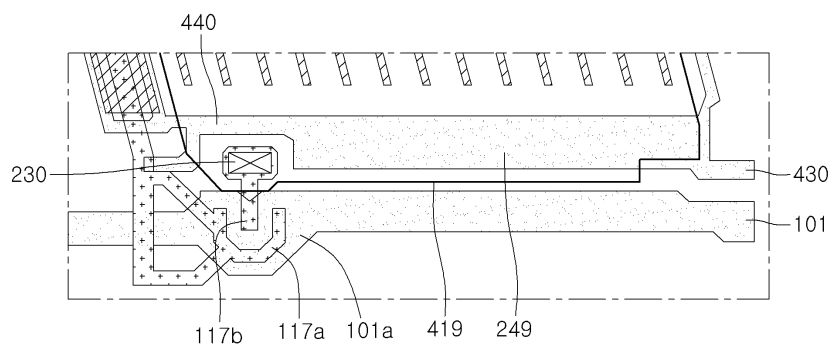
도면16b



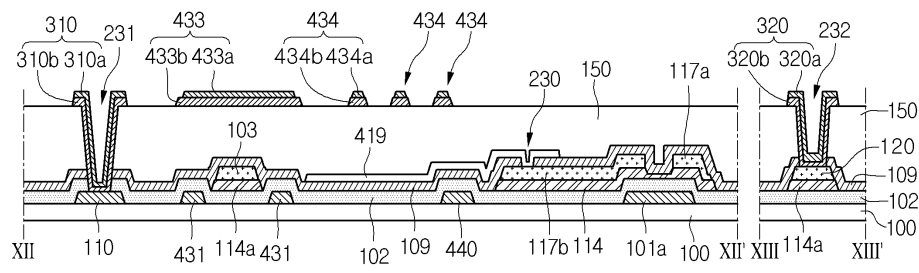
도면17a



도면17b



도면18



专利名称(译)	薄膜晶体管阵列基板，包括该薄膜晶体管阵列基板的液晶显示装置及其制造方法		
公开(公告)号	KR1020110079459A	公开(公告)日	2011-07-07
申请号	KR1020100045359	申请日	2010-05-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HONG SANG PYO 홍상표 LIM KYOUNG NAM 임경남 MOON HONG MAN 문홍만 CHO HEUNG LYUL 조흥렬 NAM DAE HYUN 남대현 KIM DO SUNG 김도성 CHOI JUN HO 최준호		
发明人	홍상표 임경남 문홍만 조흥렬 남대현 김도성 최준호		
IPC分类号	G02F1/1343 G02F1/136 G02F1/1362 G02F1/1345		
CPC分类号	G02F1/136213 G02F1/134363 G02F1/136286 G02F1/136227 G02F1/13458 G02F1/13439		
优先权	1020090135681 2009-12-31 KR		
其他公开文献	KR101801974B1		
外部链接	Espacenet		

摘要(译)

本发明公开了一种薄膜晶体管阵列基板，包括该基板的液晶显示器及其制造方法。一种公开的薄膜晶体管阵列基板，包括：基板；栅极线和数据线布置成交叉以限定衬底上的像素区域；第一公共线平行于栅极线并且布置成与数据线交叉；开关元件，设置在栅极线和数据线的交叉处；形成为与第一公共线重叠的第一像素电极；以多个狭缝形状从第一像素电极分支的第二像素电极；第二公共线，所述第二公共电极被分支成从第二公共线在像素区域的多个狭缝状的，并从横跨相对的第一公共线的像素区域中的第二公共线的数据第三公共电极分支以重叠该线；并且，第一存储电极从第一公共线分支到像素区域，第二存储电极与第一存储电极重叠并从第一像素电极延伸。

