



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0054727
(43) 공개일자 2011년05월25일

(51) Int. Cl.

G02F 1/1343 (2006.01) *G02F 1/136* (2006.01)

(21) 출원번호 10-2009-0111482

(22) 출원일자 2009년11월18일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

한상훈

경기도 군포시 산본2동 산본2차 e편한세상 101동
503호

이호천

경상북도 구미시 송정동 우방1차아파트 2동 407호

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 9 항

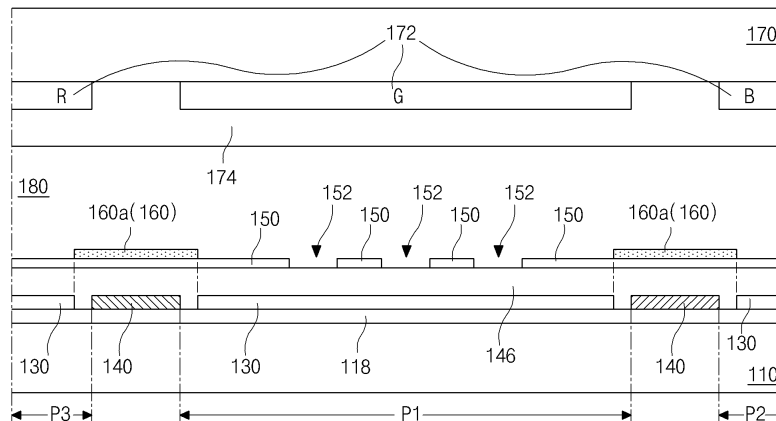
(54) 액정표시장치용 어레이 기판과 이를 포함하는 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 개구율을 향상시키고 공통전극의 신신호 딜레이를 방지하고자 한다.

이를 위해 박막트랜지스터와 동일한 기판에 형성되는 공통 전극에 접촉하며 불투명한 차광 패턴을 게이트 배선, 데이터 배선을 덮도록 구성하는 것이 특징이다.

대표도 - 도6



특허청구의 범위

청구항 1

기관 상에 서로 교차하여 화소영역을 정의하는 게이트 배선 및 데이터 배선과;

상기 게이트 배선 및 상기 데이터 배선에 연결되는 박막트랜지스터와;

상기 화소영역에 위치하며 상기 박막트랜지스터에 연결되고, 상기 게이트 배선 및 상기 데이터 배선과 이격된 화소전극과;

상기 게이트 배선, 상기 데이터 배선, 상기 박막트랜지스터 및 상기 화소전극을 덮는 보호층과;

상기 보호층 상에 위치하며 상기 게이트 배선, 상기 데이터 배선, 상기 화소전극과 중첩하고, 상기 화소전극에 대응하여 다수의 제 1 홀을 갖는 공통 전극과;

상기 데이터 배선 및 상기 데이터 배선과 상기 화소전극 사이의 이격 영역을 덮고, 상기 공통 전극과 중첩하며 접촉하는 제 1 차광패턴

을 포함하는 액정표시장치용 어레이 기관.

청구항 2

제 1항에 있어서,

상기 게이트 배선 및 상기 게이트 배선과 상기 화소전극 사이의 이격 영역을 덮고, 상기 공통 전극과 중첩하며 접촉하는 제 2 차광패턴을 포함하는 것이 특징인 액정표시장치용 어레이 기관.

청구항 3

제 2항에 있어서,

상기 박막트랜지스터를 덮고 상기 공통전극과 중첩하며 접촉하는 제 3 차광패턴을 포함하는 것이 특징인 액정표시장치용 어레이 기관.

청구항 4

제 1항에 있어서,

상기 공통 전극은 상기 박막트랜지스터에 대응하여 제 2 홀을 갖는 것이 특징인 액정표시장치용 어레이 기관.

청구항 5

제 1 기관 상에 서로 교차하여 화소영역을 정의하는 게이트 배선 및 데이터 배선과;

상기 제 1 기관 상에 위치하며, 상기 게이트 배선 및 상기 데이터 배선에 연결되는 박막트랜지스터와;

상기 제 1 기관 상에 상기 화소영역에 위치하며 상기 박막트랜지스터에 연결되고, 상기 게이트 배선 및 상기 데이터 배선과 이격된 화소전극과;

상기 게이트 배선, 상기 데이터 배선, 상기 박막트랜지스터 및 상기 화소전극을 덮는 보호층과;

상기 보호층 상에 위치하며 상기 게이트 배선, 상기 데이터 배선, 상기 화소전극과 중첩하고, 상기 화소전극에 대응하여 다수의 제 1 홀을 갖는 공통 전극과;

상기 데이터 배선 및 상기 데이터 배선과 상기 화소전극 사이의 이격 영역을 덮고, 상기 공통 전극과 중첩하며 접촉하는 제 1 차광패턴과;

상기 제 1 기관과 마주보는 제 2 기관 상에 위치하며, 상기 화소영역에 대응하는 컬러필터 기관과;
 상기 컬러필터 기관 상에 위치하는 오버코트층과;
 상기 오버코트층 상에 위치하는 액정층을 포함하는
 액정표시장치.

청구항 6

제 5항에 있어서,
 상기 게이트 배선 및 상기 게이트 배선과 상기 화소전극 사이의 이격 영역을 덮고, 상기 공통 전극과 중첩하며
 접촉하는 제 2 차광패턴을 포함하는 것이 특징인 액정표시장치.

청구항 7

제 6항에 있어서,
 상기 박막트랜지스터를 덮고 상기 공통전극과 중첩하며 접촉하는 제 3 차광패턴을 포함하는 것이 특징인 액정표
 시장치.

청구항 8

제 5항에 있어서,
 상기 공통 전극은 상기 박막트랜지스터에 대응하여 제 2 홀을 갖는 것이 특징인 액정표시장치.

청구항 9

제 8항에 있어서,
 상기 컬러필터층과 상기 오버코트층 사이에 상기 제 2 홀에 대응하여 보조 컬러필터층이 위치하고, 상기 컬러필
 터층은 적색, 녹색, 청색 컬러필터 패턴 중 어느 하나이며, 상기 보조 컬러필터층은 상기 적색, 녹색, 청색 컬러
 필터 패턴 중 다른 어느 하나인 것이 특징인 액정표시장치.

명 세 서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관 및 이를 포
 함하는 프린지 필드 스위칭 모드 액정표시장치에 관한 것이다.

배 경 기 술

[0002] 일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가
 늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방
 향을 제어할 수 있다.

[0003] 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해
 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

- [0004] 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD 이하, 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.
- [0005] 상기 액정표시장치는 공통전극이 형성된 컬러필터 기판과 화소전극이 형성된 어레이 기판과, 상기 두 기판 사이에 개재된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극이 상하로 걸리는 전기장에 의해 액정을 구동하는 방식으로 투과율과 개구율 등의 특성이 우수하다.
- [0006] 그러나, 상하로 걸리는 전기장에 의한 액정구동은 시야각 특성이 우수하지 못한 단점을 가지고 있다.
- [0007] 따라서, 상기의 단점을 극복하기 위해 시야각 특성이 우수한 횡전계형 액정표시장치가 제안되었다.
- [0008] 이하, 도 1을 참조하여 일반적인 횡전계형 액정표시장치에 관하여 상세히 설명한다.
- [0009] 도 1은 일반적인 횡전계형 액정표시장치의 단면을 도시한 도면이다.
- [0010] 도시한 바와 같이, 컬러필터 기판인 상부기판(9)과 어레이 기판인 하부기판(10)이 서로 이격되어 대향하고 있으며, 이 상부 및 하부기판(9, 10)사이에는 액정층(11)이 개재되어 있다.
- [0011] 상기 하부기판(10)상에는 공통전극(17)과 화소전극(30)이 동일 평면상에 형성되어 있으며, 이때, 상기 액정층(11)은 상기 공통전극(17)과 화소전극(30)에 의한 수평전계(L)에 의해 작동된다.
- [0012] 도 2a와 2b는 일반적인 횡전계형 액정표시장치의 온(ON), 오프(OFF) 상태의 동작을 각각 도시한 단면도이다.
- [0013] 우선, 전압이 인가된 온(on)상태에서의 액정의 배열상태를 도시한 도 2a를 참조하면, 상기 공통전극(17) 및 화소전극(30)과 대응하는 위치의 액정(11a)의 상변이는 없지만 공통전극(17)과 화소전극(30)사이 구간에 위치한 액정(11b)은 이 공통전극(17)과 화소전극(30)사이에서 전압이 인가됨으로써 형성되는 수평전계(L)에 의하여, 상기 수평전계(L)와 같은 방향으로 배열하게 된다. 즉, 상기 횡전계형 액정표시장치는 액정이 수평전계에 의해 이동하므로, 시야각이 넓어지는 특성을 띠게 된다.
- [0014] 다음, 도 2b를 참조하면, 상기 액정표시장치에 전압이 인가되지 않은 오프(off)상태이므로 상기 공통전극과 화소전극 간에 수평전계가 형성되지 않으므로 액정층(11)의 배열 상태가 변하지 않는다.
- [0015] 넓은 시야각을 갖는 횡전계형 액정표시장치의 장점에 더하여, 수평 방향의 횡전계와 수직 전계를 동시에 이용할 수 있는 프린지 필드 스위칭 모드 액정표시장치(fringe field switching mode LCD)가 제안되었다.
- [0016] 도 3은 종래 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판의 하나의 화소영역에 대한 평면도이며, 도 4는 도 3을 절단선 IV-IV를 따라 절단한 액정표시장치의 단면도이다.
- [0017] 도 3 및 도 4에 도시한 바와 같이, 액정표시장치는 제 1 기판(50)과, 상기 제 1 기판(50)과 마주하는 제 2 기판(80)과, 상기 제 1 및 제 2 기판(50, 80) 사이에 개재된 액정층(90)을 포함하고 있다.
- [0018] 상기 제 1 기판(50) 상에는 일방향으로 다수의 게이트 배선(52)이 연장되며 구성되어 있으며, 이러한 다수의 게이트 배선(52)과 교차하여 화소영역(P)을 정의하며 다수의 데이터 배선(62)이 구성되고 있다. 즉, 상기 화소영역(P)은 상기 게이트 배선(52)과 상기 데이터 배선(62)에 의해 둘러싸여진 영역이다.
- [0019] 또한 상기 다수의 화소영역(P) 각각에는 이를 정의한 상기 데이터 배선(62)과 게이트 배선(52)과 연결되며 게이트 전극(54)과 게이트 절연막(56)과 순수 비정질 실리콘으로 이루어지는 액티브층(미도시)과 불순물 비정질 실리콘으로 이루어지는 오믹콘택층(미도시)을 포함하는 반도체층(미도시)과 소스 전극(64) 및 드레인 전극(66)으로 이루어지는 박막트랜지스터(Tr)가 형성되어 있다.
- [0020] 또한 상기 화소영역(P) 내에는 상기 박막트랜지스터(Tr)의 드레인 전극(66)과 연결되며 판 형태를 갖는 화소전극(60)이 형성되어 있다. 상기 화소전극(60)은 화소영역(P)의 면적을 거의 가리도록 형성되며, 따라서 인듐-틴-옥사이드(ITO), 인듐-징크-옥사이드(IZO)와 같은 투명 도전성 물질로 이루어진다.
- [0021] 상기 박막트랜지스터(Tr) 및 상기 화소전극(60) 상부에는 절연층인 보호층(68)이 형성되어 있으며, 상기 보호층(68) 상에는 상기 판형태의 화소전극(60)과 중첩하며 다수의 슬릿형태의 홀(72)을 갖는 공통전극(70)이 형성되고 있다. 상기 공통전극(70)은 상기 제 1 기판(50) 전면에 형성되며, 따라서 ITO, IZO와 같은 투명 도전성 물질로 이루어진다. 위와 같은 구성 요소가 형성된 제 1 기판(50)은 어레이 기판이라 칭해진다.
- [0022] 상기 공통전극(70)과 상기 판형태의 화소전극(60) 사이에 전압이 인가되면 프린지 필드(fringe field)가 형성되

어 상기 액정층(90)이 구동됨으로써, 투과효율이 향상되어 고품질의 영상을 표시할 수 있게 된다.

- [0023] 한편, 상기 제 2 기관(80)에는 상기 데이터 배선(62), 상기 게이트 배선(52) 및 상기 박막트랜지스터(Tr)에 대응하여 빛샘을 방지하기 위한 블랙매트릭스(82)가 구성된다. 또한, 상기 화소영역(P)에 대응하여 컬러필터층(84)이 형성되고, 상기 블랙매트릭스(82) 및 상기 컬러필터층(84) 상부로 오버코트층(86)이 형성되어 있다. 상기한 구성 요소가 형성된 상기 제 2 기관(80)은 컬러필터 기관으로 칭해진다.
- [0024] 예를 들어, 상기 데이터 배선(62)에 대응하여 형성되는 상기 블랙매트릭스(84)는 상기 데이터 배선(62) 및 상기 데이터 배선(62)과 상기 화소 전극(60) 사이의 영역을 가리도록 구성된다. 또한, 상기 제 1 및 제 2 기관(50, 80)의 합착마진(align margin)을 고려하여, 상기 화소전극(60)의 가장자리까지 가리도록 구성된다.
- [0025] 이와 같이, 상부 기관인 제 2 기관(80)에 형성되는 상기 블랙매트릭스(82)는 제 1 및 제 2 기관(50, 80)의 합착마진을 고려하여 데이터 배선(62)뿐 아니라 화소 전극(60)의 가장자리까지 가릴 수 있도록 넓게 형성되어야 하며, 이에 의해 개구율(aperture ratio)이 저하되는 문제가 발생한다.
- [0026] 또한, 하부기관인 상기 제 1 기관(50) 전면에서 형성되는 상기 공통 전극(70)은 IT0, IZO와 같은 투명 도전성 물질로 이루어지는데, 이러한 물질은 저항이 높기 때문에 신호 딜레이가 발생한다.
- [0027] 더욱이, 상기 공통 전극(70)은 상기 데이터 배선(62)과 중첩되어 형성됨으로써, 크로스 토크(cross-talk)를 발생시키며 이에 의해 상기 공통 전극(70)의 신호 딜레이는 더욱 커진다.

발명의 내용

해결 하고자하는 과제

- [0028] 본 발명은 위와 같이 합착마진을 고려한 블랙매트릭스의 폭에 의해 개구율이 저하되는 문제를 해결하고자 한다.
- [0029] 또한, 공통 전극의 저항을 낮추어 자체 저항에 의한 신호 딜레이를 개선하고자 한다.
- [0030] 또한, 데이터 배선과의 크로스 토크를 감소시켜 공통 전극의 신호 딜레이를 더욱 개선하고자 한다.

과제 해결수단

- [0031] 위와 같은 과제의 해결을 위해, 본 발명은 기관 상에 서로 교차하여 화소영역을 정의하는 게이트 배선 및 데이터 배선과; 상기 게이트 배선 및 상기 데이터 배선에 연결되는 박막트랜지스터와; 상기 화소영역에 위치하며 상기 박막트랜지스터에 연결되고, 상기 게이트 배선 및 상기 데이터 배선과 이격된 화소전극과; 상기 게이트 배선, 상기 데이터 배선, 상기 박막트랜지스터 및 상기 화소전극을 덮는 보호층과; 상기 보호층 상에 위치하며 상기 게이트 배선, 상기 데이터 배선, 상기 화소전극과 중첩하고, 상기 화소전극에 대응하여 다수의 제 1 홀을 갖는 공통 전극과; 상기 데이터 배선 및 상기 데이터 배선과 상기 화소전극 사이의 이격 영역을 덮고, 상기 공통 전극과 중첩하며 접촉하는 제 1 차광패턴을 포함하는 액정표시장치용 어레이 기관을 제공한다.
- [0032] 상기 게이트 배선 및 상기 게이트 배선과 상기 화소전극 사이의 이격 영역을 덮고, 상기 공통 전극과 중첩하며 접촉하는 제 2 차광패턴을 포함하는 것이 특징이다.
- [0033] 상기 박막트랜지스터를 덮고 상기 공통전극과 중첩하며 접촉하는 제 3 차광패턴을 포함하는 것이 특징이다.
- [0034] 상기 공통 전극은 상기 박막트랜지스터에 대응하여 제 2 홀을 갖는 것이 특징이다.
- [0035] 다른 관점에서, 본 발명은 제 1 기관 상에 서로 교차하여 화소영역을 정의하는 게이트 배선 및 데이터 배선과; 상기 제 1 기관 상에 위치하며, 상기 게이트 배선 및 상기 데이터 배선에 연결되는 박막트랜지스터와; 상기 제 1 기관 상에 상기 화소영역에 위치하며 상기 박막트랜지스터에 연결되고, 상기 게이트 배선 및 상기 데이터 배선과 이격된 화소전극과; 상기 게이트 배선, 상기 데이터 배선, 상기 박막트랜지스터 및 상기 화소전극을 덮는 보호층과; 상기 보호층 상에 위치하며 상기 게이트 배선, 상기 데이터 배선, 상기 화소전극과 중첩하고, 상기 화소전극에 대응하여 다수의 제 1 홀을 갖는 공통 전극과; 상기 데이터 배선 및 상기 데이터 배선과 상기 화소전극 사이의 이격 영역을 덮고, 상기 공통 전극과 중첩하며 접촉하는 제 1 차광패턴과; 상기 제 1 기관과 마주

보는 제 2 기관 상에 위치하며, 상기 화소영역에 대응하는 컬러필터 기관과; 상기 컬러필터 기관 상에 위치하는 오버코트층과; 상기 오버코트층 상에 위치하는 액정층을 포함하는 액정표시장치를 제공한다.

- [0036] 상기 게이트 배선 및 상기 게이트 배선과 상기 화소전극 사이의 이격 영역을 덮고, 상기 공통 전극과 중첩하며 접촉하는 제 2 차광패턴을 포함하는 것이 특징이다.
- [0037] 상기 박막트랜지스터를 덮고 상기 공통전극과 중첩하며 접촉하는 제 3 차광패턴을 포함하는 것이 특징이다.
- [0038] 상기 공통 전극은 상기 박막트랜지스터에 대응하여 제 2 홀을 갖는 것이 특징이다.
- [0039] 상기 컬러필터층과 상기 오버코트층 사이에 상기 제 2 홀에 대응하여 보조 컬러필터층이 위치하고, 상기 컬러필터층은 적색, 녹색, 청색 컬러필터 패턴 중 어느 하나이며, 상기 보조 컬러필터층은 상기 적색, 녹색, 청색 컬러필터 패턴 중 다른 어느 하나인 것이 특징이다.

효 과

- [0040] 본 발명은 데이터 배선 등에서의 빛샘을 방지하기 위한 블랙매트릭스를 데이터 배선과 동일한 기관에 형성함으로써, 합착 마진을 고려하여 발생하는 개구율 저하를 방지하는 효과가 있다.
- [0041] 또한, 블랙매트릭스를 금속물질로 형성하고 공통 전극과 접촉하도록 함으로써 공통 전극의 저항을 낮출 수 있다.
- [0042] 또한, 공통 전극의 저항이 낮아짐에 따라 데이터 배선과의 크로스-토크 또한 최소화되어 공통 전극의 신호 딜레이를 방지할 수 있다.
- [0043] 또한, 블랙매트릭스를 공통 전극 형성 공정을 통해 형성함으로써, 제조 공정 및 제조 원가의 증가를 최소화할 수 있는 장점을 갖는다.

발명의 실시를 위한 구체적인 내용

- [0044] 이하, 도면을 참조하여 본 발명에 대해 자세히 설명한다.
- [0045] 도 5는 본 발명의 제 1 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관의 일부에 대한 평면도이다.
- [0046] 도시한 바와 같이, 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관은 제 1 기관(110) 상에 형성되는 게이트 배선(114)과, 데이터 배선(140)과, 박막트랜지스터(Tr)와, 화소전극(130)과, 공통전극(미도시) 및 차광패턴(160)을 포함하고 있다.
- [0047] 상기 게이트 배선(114)은 제 1 방향으로 연장되어 있고, 상기 데이터 배선(140)은 제 2 방향으로 연장되어 상기 게이트 배선(114)과 교차함으로써 화소영역(P)을 정의한다. 이때, 도면 상에서 상기 게이트 배선(114) 및 상기 데이터 배선(140)에 의해 둘러 싸여진 화소영역(P)을 제 1 화소영역(P1)으로 지칭하고, 상기 제 1 화소영역(P1)의 좌측 및 우측에 위치하는 화소영역(P)을 제 2 및 제 3 화소영역(P2, P3)으로 지칭하였다.
- [0048] 상기 박막트랜지스터(Tr)는 각 화소영역(P)에, 상기 게이트 배선(114) 및 상기 데이터 배선(140)의 교차 지점에 위치하고 있다. 상기 박막트랜지스터(Tr)는 상기 게이트 배선(114) 및 상기 데이터 배선(140)과 연결되어 있다.
- [0049] 상기 박막트랜지스터(Tr)는 게이트 전극(112)과, 게이트 절연막(미도시)과, 순수 비정질 실리콘으로 이루어지는 액티브층(미도시)과 불순물 비정질 실리콘으로 이루어지는 오믹콘택층(미도시)을 포함하는 반도체층(미도시)과, 소스 전극(142) 및 드레인 전극(144)을 포함하고 있다.
- [0050] 상기 화소전극(130)은 상기 제 1 내지 제 3 화소영역(P1, P2, P3) 각각에 위치하며 상기 박막트랜지스터(Tr)의 드레인 전극(144)과 연결되고 판 형태를 갖는다.
- [0051] 상기 공통전극은 상기 판형태의 화소전극(130)과 중첩하며 다수의 슬릿형태의 홀(152)을 갖는다. 상기 공통전극은 상기 제 1 내지 제 3 화소영역(P1, P2, P3)전면에 형성된다.
- [0052] 또한, 상기 차광패턴(160)은 상기 공통전극 상에 위치하고, 상기 데이터 배선(140), 상기 게이트 배선(114) 및

상기 박막트랜지스터(Tr)에 대응하여 빛을 차단하게 된다. 또한, 상기 차광패턴(160)은 상기 공통전극과 접촉하며 위치한다.

- [0053] 상기 공통전극과 상기 관형태의 화소전극(130) 사이에 전압이 인가되면 프린지 필드(fringe field)가 형성되어 액정을 구동함으로써, 투과효율이 향상되어 고품질의 영상을 표시할 수 있게 된다.
- [0054] 도 6 및 도 7은 본 발명에 따른 액정표시장치의 단면을 보여준다. 도 6은 도 5의 VI-VI을 따라 절단한 단면도이고, 도 7은 도 5의 VII-VII을 따라 절단한 단면도이다.
- [0055] 도시한 바와 같이, 액정표시장치는 제 1 기판(110)과, 상기 제 1 기판(110)과 마주하는 제 2 기판(170)과, 상기 제 1 및 제 2 기판(110, 170) 사이에 개재된 액정층(180)을 포함하고 있다.
- [0056] 상기 제 1 기판(110) 상에는 게이트 전극(112)과 상기 게이트 전극(112)과 연결되며 상기 제 1 내지 제 3 화소영역(P1, P2, P3) 경계에 위치하는 게이트 배선(114)이 위치하고 있다. 예를 들어, 상기 게이트 전극(112) 및 상기 게이트 배선(114)은 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 구리(Cu), 구리합금 중 어느 하나로 이루어진다. 또한, 상기 게이트 전극(112) 및 상기 게이트 배선(114)을 덮으며 게이트 절연막(118)이 위치하고 있다. 예를 들어, 상기 게이트 절연막(118)은 산화실리콘 또는 질화실리콘과 같은 무기절연물질로 이루어진다.
- [0057] 상기 게이트 절연막(118) 상에는 순수 비정질 실리콘으로 이루어지는 액티브층(120a)과 불순물 비정질 실리콘으로 이루어지는 오믹 콘택층(120b)으로 구성되는 반도체층(120)이 상기 게이트 전극(112)과 중첩하여 위치하고 있다. 또한, 상기 게이트 절연막(118) 상에는 상기 화소영역(P) 각각에 관 형태의 화소전극(130)이 위치한다. 상기 화소전극(130)은 상기 게이트 배선(114)과 일정 간격 이격되어 있다. 상기 화소전극(130)은 인듐-틴-옥사이드(indium-tin-oxide; ITO) 또는 인듐-징크-옥사이드(indium-zinc-oxide; IZO)와 같은 투명 도전성 물질로 이루어진다.
- [0058] 상기 반도체층(120) 상에는 서로 이격하는 소스 전극(142) 및 드레인 전극(144)이 위치하고 있다. 상기 액티브층(120a)의 중앙부는 상기 소스 전극(142) 및 상기 드레인 전극(144) 사이로 노출되며, 노출된 액티브층(120a)은 채널(channel)을 이룬다. 상기 드레인 전극(144)은 상기 화소전극(130)과 접촉하고 있다. 상기 게이트 전극(112), 상기 게이트 절연막(118), 상기 반도체층(120), 상기 소스 전극(142) 및 상기 드레인 전극(144)은 박막트랜지스터(Tr)를 이룬다.
- [0059] 도면 상에서 상기 화소전극(130)과 상기 드레인 전극(144)이 직접 접촉하는 것을 보이고 있으나, 드레인 전극 상에 콘택홀을 갖는 절연층이 위치하고 상기 화소전극이 상기 절연층 상에 위치하며 상기 콘택홀을 통해 상기 드레인 전극과 접촉할 수 있다.
- [0060] 또한, 상기 게이트 절연막(118) 상에는 상기 소스 전극(142)과 연결된 데이터 배선(140)이 위치하고 있다. 상기 데이터 배선(140)은 상기 게이트 배선(114)과 교차하여 상기 제 1 내지 제 3 화소영역(P1, P2, P3)을 정의한다. 즉, 상기 데이터 배선(140)은 상기 제 1 내지 제 3 화소영역(P1, P2, P3)의 경계에 위치한다. 상기 데이터 배선(140)은 상기 화소전극(130)과 일정 간격 이격되어 있다.
- [0061] 상기 박막트랜지스터(Tr)와, 상기 데이터 배선(140)과 상기 화소전극(130)을 덮으며 보호층(146)이 위치하고 있다. 상기 보호층(146)은 산화실리콘, 질화실리콘과 같은 무기절연물질 또는 포토아크릴, 벤조사이클로부텐과 같은 유기절연물질로 이루어질 수 있다.
- [0062] 상기 보호층(146) 상에는 상기 제 1 내지 제 3 화소영역(P1, P2, P3) 전면을 덮으며 다수의 홀(152)을 갖는 공통 전극(150)이 위치하고 있다. 상기 다수의 홀(152)은 상기 화소전극(130)에 대응된다. 상기 공통전극(150)은 ITO, IZO와 같은 투명 도전성 물질로 이루어진다.
- [0063] 또한, 상기 공통전극(150) 상에는 상기 데이터 배선(140)에 대응되는 제 1 차광패턴(160a)과, 상기 게이트 배선(114)에 대응되는 제 2 차광패턴(160b)과, 상기 박막트랜지스터(Tr)에 대응되는 제 3 차광패턴(160c)을 포함하는 차광패턴(160)이 위치하고 있다. 상기 제 1 내지 제 3 차광패턴(160a, 160b, 160c)은 서로 연결되어 있다.
- [0064] 상기 제 1 차광패턴(160a)은 상기 데이터 배선(140) 및 상기 화소전극(130)과 상기 데이터 배선(140) 사이를 가리게 된다. 즉, 상기 데이터 배선(140)이 제 1 폭을 갖고 상기 데이터 배선(140)과 상기 화소전극(130) 사이 영역이 제 2 폭을 갖는다면, 상기 제 1 차광패턴(160a)은 상기 제 1 폭과 상기 제 2 폭의 합과 같은 제 3 폭을 갖는다. 즉, 상기 제 1 차광패턴(160a)의 폭은 상기 게이트 배선(114)을 따라 이웃한 화소영역(P)에 위치하는 상기 화소전극(130) 사이 거리에 대응된다. 상기 제 1 차광패턴(160a)의 폭은 상기 제 1 화소영역(P)에 위치하는

화소전극(130)과 상기 제 2 화소영역(P)에 위치하는 화소전극(130) 사이의 거리 또는 상기 제 2 화소영역(P)에 위치하는 화소전극(130)과 상기 제 3 화소영역(P)에 위치하는 화소전극(130) 사이의 거리에 대응된다. 이와 달리, 상기 제 1 차광패턴(160a)은 상기 제 1 폭과 상기 제 2 폭의 합보다 큰 폭을 가질 수 있다.

[0065] 이와 유사하게, 상기 게이트 배선(114)이 제 4 폭을 갖고 상기 게이트 배선(114)과 상기 화소전극(130) 사이 영역이 제 5 폭을 갖는다면, 상기 제 2 차광패턴(160b)은 상기 제 4 폭과 상기 제 5 폭의 합과 같은 제 6 폭을 갖는다. 즉, 상기 제 2 차광패턴(160b)의 폭은 상기 데이터 배선(140)을 따라 이웃한 화소영역(P)에 위치하는 상기 화소전극(130) 사이 거리에 대응된다. 이와 달리, 상기 제 2 차광패턴(160b)은 상기 제 4 폭과 상기 제 5 폭의 합보다 큰 폭을 가질 수 있다.

[0066] 또한, 상기 제 3 차광패턴(160c)은 상기 박막트랜지스터(Tr)의 크기에 대응되며 상기 액티브층(120a)의 채널을 덮어 포토-커런트(photo-current)를 방지할 수 있으면 된다.

[0067] 상기 차광패턴(160)은 알루미늄, 알루미늄 합금, 구리, 구리 합금, 몰리브덴, 몰리브덴 합금, 몰리-티타늄 합금(MoTi) 등과 같은 불투명한 금속물질로 이루어진다. 따라서, 상기 데이터 배선(140), 상기 게이트 배선(114) 및 상기 박막트랜지스터(Tr) 주변에서의 빛샘을 방지할 수 있으며, 상기 박막트랜지스터(Tr)의 채널에 빛이 입사되어 발생하는 포토-커런트에 의한 박막트랜지스터(Tr)의 특성 저하를 방지할 수 있다.

[0068] 상기 공통전극(150)과 상기 차광패턴(160)은 투명 도전성 물질층과 불투명 금속물질층을 연속하여 적층한 후 반투과 마스크 공정을 진행함으로써, 하나의 마스크 공정에 의해 형성될 수 있다.

[0069] 또한, 상기 차광패턴(160)은 상기 공통전극(150)과 접촉하며 위치하고 있어 상기 공통전극(150)의 저항을 낮출 수 있다. 이에 의해 상기 공통 전극(150)과 상기 데이터 배선(140) 사이에서 발생하는 크로스 토크를 최소화할 수 있으며, 따라서 공통 전극(150)의 신호 딜레이 문제를 해결할 수 있다.

[0070] 한편, 상기 제 2 기판(170) 상에는 상기 제 1 내지 제 3 화소영역(P1, P2, P3) 각각에 대응하여 컬러필터층(172)이 위치하고 있다. 상기 컬러필터층(172)은 적색(R), 녹색(G), 청색(B) 컬러필터 패턴을 포함하고 있다. 또한, 상기 컬러필터(172) 상에는 오버코트층(174)이 위치하고 있다. 상기 오버코트층(174)은 상기 컬러필터층(172)의 상부면을 평탄화하고, 컬러필터층(172) 물질에 의한 상기 액정층(180)의 오염을 방지하게 된다.

[0071] 종래의 액정표시장치와 달리, 본 발명의 액정표시장치의 제 2 기판(170) 상에는 블랙매트릭스(도 4의 82)가 존재하지 않는다. 본 발명에서는 제 1 기판(110)에 위치하는 상기 차광패턴(160)이 블랙매트릭스의 역할을 하기 때문이다. 상기 차광패턴(160)은 제 1 기판(110) 상에 위치하기 때문에 합착 마진을 고려할 필요가 없으며 따라서 개구율 저하를 최소화할 수 있다. 또한, 상기 차광패턴(160)은 상기 공통전극(150)과 접촉함으로써, 상기 공통전극(150)의 신호 딜레이를 방지할 수 있다.

[0072] 도 8 및 도 9는 본 발명의 제 2 실시예에 따른 액정표시장치의 단면도이다.

[0073] 도시된 바와 같이, 액정표시장치는 제 1 기판(210)과, 상기 제 1 기판(210)과 마주하는 제 2 기판(270)과, 상기 제 1 및 제 2 기판(210, 270) 사이에 개재된 액정층(280)을 포함하고 있다.

[0074] 상기 제 1 기판(210) 상에는 게이트 전극(112)과 상기 게이트 전극(112)과 연결되며 상기 제 1 내지 제 3 화소영역(P1, P2, P3) 경계에 위치하는 게이트 배선(214)이 위치하고 있다. 예를 들어, 상기 게이트 전극(212) 및 상기 게이트 배선(214)은 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 구리(Cu), 구리합금 중 어느 하나로 이루어진다. 또한, 상기 게이트 전극(212) 및 상기 게이트 배선(214)을 덮으며 게이트 절연막(218)이 위치하고 있다. 예를 들어, 상기 게이트 절연막(218)은 산화실리콘 또는 질화실리콘과 같은 무기절연물질로 이루어진다.

[0075] 상기 게이트 절연막(218) 상에는 순수 비정질 실리콘으로 이루어지는 액티브층(220a)과 불순물 비정질 실리콘으로 이루어지는 오믹 콘택층(220b)으로 구성되는 반도체층(220)이 상기 게이트 전극(212)과 중첩하여 위치하고 있다. 또한, 상기 게이트 절연막(218) 상에는 상기 화소영역(P) 각각에 판 형태의 화소전극(230)이 위치한다. 상기 화소전극(230)은 상기 게이트 배선(214)과 일정 간격 이격되어 있다. 상기 화소전극(230)은 인듐-틴-옥사이드(indium-tin-oxide; ITO) 또는 인듐-징크-옥사이드(indium-zinc-oxide; IZO)와 같은 투명 도전성 물질로 이루어진다.

[0076] 상기 반도체층(220) 상에는 서로 이격하는 소스 전극(242) 및 드레인 전극(244)이 위치하고 있다. 상기 액티브

층(220a)의 중앙부는 상기 소스 전극(242) 및 상기 드레인 전극(244) 사이로 노출되며, 노출된 액티브층(220a)은 채널(channel)을 이룬다. 상기 드레인 전극(244)은 상기 화소전극(230)과 접촉하고 있다. 상기 게이트 전극(212), 상기 게이트 절연막(218), 상기 반도체층(220), 상기 소스 전극(242) 및 상기 드레인 전극(244)은 박막 트랜지스터(Tr)를 이룬다.

[0077] 도면 상에서 상기 화소전극(230)과 상기 드레인 전극(244)이 직접 접촉하는 것을 보이고 있으나, 드레인 전극 상에 콘택홀을 갖는 절연층이 위치하고 상기 화소전극이 상기 절연층 상에 위치하며 상기 콘택홀을 통해 상기 드레인 전극과 접촉할 수 있다.

[0078] 또한, 상기 게이트 절연막(218) 상에는 상기 소스 전극(242)과 연결된 데이터 배선(240)이 위치하고 있다. 상기 데이터 배선(240)은 상기 게이트 배선(214)과 교차하여 상기 제 1 내지 제 3 화소영역(P1, P2, P3)을 정의한다. 즉, 상기 데이터 배선(240)은 상기 제 1 내지 제 3 화소영역(P1, P2, P3)의 경계에 위치한다. 상기 데이터 배선(240)은 상기 화소전극(230)과 일정 간격 이격되어 있다.

[0079] 상기 박막트랜지스터(Tr)와, 상기 데이터 배선(240)과 상기 화소전극(230)을 덮으며 보호층(246)이 위치하고 있다. 상기 보호층(246)은 산화실리콘, 질화실리콘과 같은 무기절연물질 또는 포토아크릴, 벤조사이클로부텐과 같은 유기절연물질로 이루어질 수 있다.

[0080] 상기 보호층(246) 상에는 상기 데이터 배선(240)에 대응되는 제 1 차광패턴(260a)과, 상기 게이트 배선(214)에 대응되는 제 2 차광패턴(260b)과, 상기 박막트랜지스터(Tr)에 대응되는 제 3 차광패턴(260c)를 포함하는 차광패턴(260)이 위치하고 있다. 상기 제 1 내지 제 3 차광패턴(260a, 260b, 260c)는 서로 연결되어 있다.

[0081] 상기 제 1 차광패턴(260a)은 상기 데이터 배선(240) 및 상기 화소전극(230)과 상기 데이터 배선(240) 사이를 가리게 된다. 즉, 상기 데이터 배선(240)이 제 1 폭을 갖고 상기 데이터 배선(240)과 상기 화소전극(230) 사이 영역이 제 2 폭을 갖는다면, 상기 제 1 차광패턴(260a)은 상기 제 1 폭과 상기 제 2 폭의 합과 같은 제 3 폭을 갖는다. 즉, 상기 제 1 차광패턴(260a)의 폭은 상기 게이트 배선(214)을 따라 이웃한 화소영역(P)에 위치하는 상기 화소전극(230) 사이 거리에 대응된다. 이와 달리, 상기 제 1 차광패턴(260a)은 상기 제 1 폭과 상기 제 2 폭의 합보다 큰 폭을 가질 수 있다.

[0082] 이와 유사하게, 상기 게이트 배선(214)이 제 4 폭을 갖고 상기 게이트 배선(214)과 상기 화소전극(230) 사이 영역이 제 5 폭을 갖는다면, 상기 제 2 차광패턴(260b)은 상기 제 4 폭과 상기 제 5 폭의 합과 같은 제 6 폭을 갖는다. 즉, 상기 제 2 차광패턴(260b)의 폭은 상기 데이터 배선(240)을 따라 이웃한 화소영역(P)에 위치하는 상기 화소전극(230) 사이 거리에 대응된다. 이와 달리, 상기 제 2 차광패턴(260b)은 상기 제 4 폭과 상기 제 5 폭의 합보다 큰 폭을 가질 수 있다.

[0083] 또한, 상기 제 3 차광패턴(260c)은 상기 박막트랜지스터(Tr)의 크기에 대응되며 상기 액티브층(220a)의 채널을 덮어 포토-커런트(photo-current)를 방지할 수 있으면 된다.

[0084] 상기 차광패턴(260)은 알루미늄, 알루미늄 합금, 구리, 구리 합금, 몰리브덴, 몰리브덴 합금, 몰리-티타늄 합금(MoTi) 등과 같은 불투명한 금속물질로 이루어진다. 따라서, 상기 데이터 배선(240), 상기 게이트 배선(214) 및 상기 박막트랜지스터(Tr) 주변에서의 빛샘을 방지할 수 있으며, 상기 박막트랜지스터(Tr)의 채널에 빛이 입사되어 발생하는 포토-커런트에 의한 박막트랜지스터(Tr)의 특성 저하를 방지할 수 있다.

[0085] 또한, 상기 차광패턴(260) 및 상기 보호층(246) 상에는 상기 제 1 내지 제 3 화소영역(P1, P2, P3) 전면면에 대응하여 공통 전극(250)이 위치하고 있다. 상기 공통전극(250)은 상기 화소전극(230)에 대응되는 다수의 홀(252)을 갖는다. 상기 공통전극(250)은 ITO, IZO와 같은 투명 도전성 물질로 이루어진다.

[0086] 상기 공통전극(150)은 상기 차광패턴(260)과 접촉하며 위치하고 있어 상기 공통전극(250)의 저항을 낮아진다. 이에 의해 상기 공통 전극(250)과 상기 데이터 배선(240) 사이에서 발생하는 크로스 토크를 최소화할 수 있으며, 따라서 공통 전극(250)의 신호 딜레이 문제를 해결할 수 있다.

[0087] 한편, 상기 제 2 기판(270) 상에는 상기 제 1 내지 제 3 화소영역(P1, P2, P3) 각각에 대응하여 컬러필터층(272)이 위치하고 있다. 상기 컬러필터층(272)은 적색(R), 녹색(G), 청색(B) 컬러필터 패턴을 포함하고 있다. 또한, 상기 컬러필터(272) 상에는 오버코트층(274)이 위치하고 있다. 상기 오버코트층(274)은 상기 컬러필터층(272)의 상부면을 평탄화하고, 컬러필터층(272) 물질에 의한 상기 액정층(280)의 오염을 방지하게 된다.

[0088] 종래의 액정표시장치와 달리, 본 발명의 액정표시장치의 제 2 기판(270) 상에는 블랙매트릭스(도 4의 82)가 존재하지 않는다. 본 발명에서는 제 1 기판(210)에 위치하는 상기 차광패턴(260)이 블랙매트릭스의 역할을 하기

때문이다. 상기 차광패턴(260)은 제 1 기판(210) 상에 위치하기 때문에 합착 마진을 고려할 필요가 없으며 따라서 개구율 저하를 최소화할 수 있다. 또한, 상기 차광패턴(260)은 상기 공통전극(250)과 접촉함으로써, 상기 공통전극(250)의 신호 딜레이를 방지할 수 있다.

- [0089] 도 10은 본 발명의 제 3 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판의 평면도이다.
- [0090] 도시한 바와 같이, 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판은 제 1 기판(310) 상에 형성되는 게이트 배선(314)과, 데이터 배선(340)과, 박막트랜지스터(Tr)와, 화소전극(330)과, 공통전극(미도시) 및 차광패턴(360)을 포함하고 있다.
- [0091] 상기 게이트 배선(314)은 제 1 방향으로 연장되어 있고, 상기 데이터 배선(340)은 제 2 방향으로 연장되어 상기 게이트 배선(314)과 교차함으로써 화소영역(P)을 정의한다. 이때, 도면 상에서 상기 게이트 배선(314) 및 상기 데이터 배선(340)에 의해 둘러 싸여진 화소영역(P)을 제 1 화소영역(P1)으로 지칭하고, 상기 제 1 화소영역(P1)의 좌측 및 우측에 위치하는 화소영역(P)을 제 2 및 제 3 화소영역(P2, P3)으로 지칭하였다.
- [0092] 상기 박막트랜지스터(Tr)는 각 화소영역(P)에, 상기 게이트 배선(314) 및 상기 데이터 배선(340)의 교차 지점에 위치하고 있다. 상기 박막트랜지스터(Tr)는 상기 게이트 배선(314) 및 상기 데이터 배선(340)과 연결되어 있다.
- [0093] 상기 박막트랜지스터(Tr)는 게이트 전극(312)과, 게이트 절연막(미도시)과, 순수 비정질 실리콘으로 이루어지는 액티브층(미도시)과 불순물 비정질 실리콘으로 이루어지는 오믹콘택층(미도시)을 포함하는 반도체층(미도시)과, 소스 전극(342) 및 드레인 전극(344)을 포함하고 있다.
- [0094] 상기 화소전극(330)은 상기 제 1 내지 제 3 화소영역(P1, P2, P3) 각각에 위치하며 상기 박막트랜지스터(Tr)의 드레인 전극(344)과 연결되고 판 형태를 갖는다.
- [0095] 상기 공통전극은 상기 제 1 내지 제 3 화소영역(P1, P2, P3)전면에 형성된다. 상기 공통전극은 상기 판형태의 화소전극(330)에 대응되는 다수의 제 1 홀(352)과 상기 박막트랜지스터(Tr)에 대응하는 제 2 홀(354)을 갖는다.
- [0096] 또한, 상기 차광패턴(360)은 상기 공통전극 상에 위치하고, 상기 데이터 배선(340), 상기 게이트 배선(314) 및 상기 박막트랜지스터(Tr)에 대응하여 빛을 차단하게 된다. 또한, 상기 차광패턴(360)은 상기 공통전극과 접촉하며 위치한다.
- [0097] 상기 공통전극과 상기 판형태의 화소전극(330) 사이에 전압이 인가되면 프린지 필드(fringe field)가 형성되어 액정을 구동함으로써, 투과효율이 향상되어 고품질의 영상을 표시할 수 있게 된다.
- [0098] 도 11 및 도 12는 본 발명에 따른 액정표시장치의 단면을 보여준다. 도 11은 도 10의 XI-XI을 따라 절단한 단면도이고, 도 12는 도 10의 XII-XII을 따라 절단한 단면도이다.
- [0099] 도시한 바와 같이, 액정표시장치는 제 1 기판(310)과, 상기 제 1 기판(310)과 마주하는 제 2 기판(370)과, 상기 제 1 및 제 2 기판(310, 370) 사이에 개재된 액정층(380)을 포함하고 있다.
- [0100] 상기 제 1 기판(310) 상에는 게이트 전극(312)과 상기 게이트 전극(312)과 연결되며 상기 제 1 내지 제 3 화소영역(P1, P2, P3) 경계에 위치하는 게이트 배선(314)이 위치하고 있다. 예를 들어, 상기 게이트 전극(312) 및 상기 게이트 배선(314)은 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 구리(Cu), 구리합금 중 어느 하나로 이루어진다. 또한, 상기 게이트 전극(312) 및 상기 게이트 배선(314)을 덮으며 게이트 절연막(318)이 위치하고 있다. 예를 들어, 상기 게이트 절연막(318)은 산화실리콘 또는 질화실리콘과 같은 무기절연물질로 이루어진다.
- [0101] 상기 게이트 절연막(318) 상에는 순수 비정질 실리콘으로 이루어지는 액티브층(320a)과 불순물 비정질 실리콘으로 이루어지는 오믹 콘택층(320b)으로 구성되는 반도체층(320)이 상기 게이트 전극(312)과 중첩하여 위치하고 있다. 또한, 상기 게이트 절연막(318) 상에는 상기 화소영역(P) 각각에 판 형태의 화소전극(330)이 위치한다. 상기 화소전극(330)은 상기 게이트 배선(314)과 일정 간격 이격되어 있다. 상기 화소전극(330)은 인듐-틴-옥사이드(indium-tin-oxide; ITO) 또는 인듐-징크-옥사이드(indium-zinc-oxide; IZO)와 같은 투명 도전성 물질로 이루어진다.
- [0102] 상기 반도체층(320) 상에는 서로 이격하는 소스 전극(342) 및 드레인 전극(344)이 위치하고 있다. 상기 액티브층(320a)의 중앙부는 상기 소스 전극(342) 및 상기 드레인 전극(344) 사이로 노출되며, 노출된 액티브층(120a)

은 채널(channel)을 이룬다. 상기 드레인 전극(344)은 상기 화소전극(330)과 접촉하고 있다. 상기 게이트 전극(312), 상기 게이트 절연막(318), 상기 반도체층(320), 상기 소스 전극(342) 및 상기 드레인 전극(344)은 박막 트랜지스터(Tr)를 이룬다.

[0103] 도면 상에서 상기 화소전극(330)과 상기 드레인 전극(344)이 직접 접촉하는 것을 보이고 있으나, 드레인 전극 상에 콘택홀을 갖는 절연층이 위치하고 상기 화소전극이 상기 절연층 상에 위치하며 상기 콘택홀을 통해 상기 드레인 전극과 접촉할 수 있다.

[0104] 또한, 상기 게이트 절연막(318) 상에는 상기 소스 전극(342)과 연결된 데이터 배선(340)이 위치하고 있다. 상기 데이터 배선(340)은 상기 게이트 배선(314)과 교차하여 상기 제 1 내지 제 3 화소영역(P1, P2, P3)을 정의한다. 즉, 상기 데이터 배선(340)은 상기 제 1 내지 제 3 화소영역(P1, P2, P3)의 경계에 위치한다. 상기 데이터 배선(340)은 상기 화소전극(330)과 일정 간격 이격되어 있다.

[0105] 상기 박막트랜지스터(Tr)와, 상기 데이터 배선(340)과 상기 화소전극(330)을 덮으며 보호층(346)이 위치하고 있다. 상기 보호층(346)은 산화실리콘, 질화실리콘과 같은 무기절연물질 또는 포토아크릴, 벤조사이클로부텐과 같은 유기절연물질로 이루어질 수 있다.

[0106] 상기 보호층(346) 상에는 상기 제 1 내지 제 3 화소영역(P1, P2, P3) 전면을 덮으며 공통 전극(350)이 위치하고 있다. 상기 공통전극(350)은 상기 화소전극(330)에 대응되는 다수의 제 1 홀(352)과 상기 박막트랜지스터(Tr)에 대응되는 제 2 홀(354)을 포함하고 있다. 따라서, 상기 박막트랜지스터(Tr)에 대응되는 상기 보호층(346)은 상기 액정층(380)과 접촉하게 된다. 상기 공통전극(350)이 상기 박막트랜지스터(Tr)를 덮는 경우 오프-커런트(off-current)에 의한 박막트랜지스터(Tr)의 특성 저하가 발생할 수 있으며, 이를 방지하기 위해 상기 공통 전극(350)은 상기 박막트랜지스터(Tr)에 대응하는 제 2 홀(354)을 갖는다. 상기 공통전극(350)은 IT0, IZO와 같은 투명 도전성 물질로 이루어진다.

[0107] 또한, 상기 공통전극(350) 상에는 상기 데이터 배선(340)에 대응되는 제 1 차광패턴(360a)과, 상기 게이트 배선(314)에 대응되는 제 2 차광패턴(360b)을 포함하는 차광패턴(160)이 위치하고 있다. 상기 제 1 및 제 3 차광패턴(160a, 160b)는 서로 연결되어 있다.

[0108] 상기 제 1 차광패턴(360a)은 상기 데이터 배선(340) 및 상기 화소전극(330)과 상기 데이터 배선(340) 사이를 가리게 된다. 즉, 상기 데이터 배선(340)이 제 1 폭을 갖고 상기 데이터 배선(340)과 상기 화소전극(330) 사이 영역이 제 2 폭을 갖는다면, 상기 제 1 차광패턴(360a)은 상기 제 1 폭과 상기 제 2 폭의 합과 같은 제 3 폭을 갖는다. 즉, 상기 제 1 차광패턴(360a)의 폭은 상기 게이트 배선(314)을 따라 이웃한 화소영역(P)에 위치하는 상기 화소전극(330) 사이 거리에 대응된다. 상기 제 1 차광패턴(360a)의 폭은 상기 제 1 화소영역(P)에 위치하는 화소전극(330)과 상기 제 2 화소영역(P)에 위치하는 화소전극(330) 사이의 거리 또는 상기 제 2 화소영역(P)에 위치하는 화소전극(330)과 상기 제 3 화소영역(P)에 위치하는 화소전극(330) 사이의 거리에 대응된다. 이와 달리, 상기 제 1 차광패턴(360a)은 상기 제 1 폭과 상기 제 2 폭의 합보다 큰 폭을 가질 수 있다.

[0109] 이와 유사하게, 상기 게이트 배선(314)이 제 4 폭을 갖고 상기 게이트 배선(314)과 상기 화소전극(330) 사이 영역이 제 5 폭을 갖는다면, 상기 제 2 차광패턴(360b)은 상기 제 4 폭과 상기 제 5 폭의 합과 같은 제 6 폭을 갖는다. 즉, 상기 제 2 차광패턴(360b)의 폭은 상기 데이터 배선(340)을 따라 이웃한 화소영역(P)에 위치하는 상기 화소전극(330) 사이 거리에 대응된다. 이와 달리, 상기 제 2 차광패턴(360b)은 상기 제 4 폭과 상기 제 5 폭의 합보다 큰 폭을 가질 수 있다.

[0110] 상기 차광패턴(360)은 알루미늄, 알루미늄 합금, 구리, 구리 합금, 몰리브덴, 몰리브덴 합금, 몰리-티타늄 합금(MoTi) 등과 같은 불투명한 금속물질로 이루어진다. 따라서, 상기 데이터 배선(340) 및 상기 게이트 배선(314) 주변에서의 빛샘을 방지할 수 있다.

[0111] 상기 공통전극(350)과 상기 차광패턴(360)은 투명 도전성 물질층과 불투명 금속물질층을 연속하여 적층한 후 반투과 마스크 공정을 진행함으로써, 하나의 마스크 공정에 의해 형성될 수 있다.

[0112] 또한, 상기 차광패턴(360)은 상기 공통전극(350)과 접촉하며 위치하고 있어 상기 공통전극(350)의 저항을 낮출 수 있다. 이에 의해 상기 공통 전극(350)과 상기 데이터 배선(340) 사이에서 발생하는 크로스 토크를 최소화할 수 있으며, 따라서 공통 전극(350)의 신호 딜레이 문제를 해결할 수 있다.

[0113] 제 3 실시예에 있어서도, 제 2 실시예와 같이 상기 차광패턴(360)이 상기 보호층(346) 상에 위치하고 상기 공통 전극(350)이 상기 차광패턴(360)을 덮으며 위치할 수 있다.

- [0114] 한편, 상기 제 2 기관(370) 상에는 상기 제 1 내지 제 3 화소영역(P1, P2, P3) 각각에 대응하여 컬러필터층(372)이 위치하고 있다. 상기 컬러필터층(372)은 적색(R), 녹색(G), 청색(B) 컬러필터 패턴을 포함하고 있다. 또한, 상기 컬러필터층(372) 상에는 상기 박막트랜지스터(Tr)에 대응하여 보조 컬러필터층(373)이 위치하고 있다. 즉, 상기 보조 컬러필터층(373)이 상기 제 2 홀(354)의 위치에 대응된다. 예를 들어, 상기 제 1 화소영역(P1)의 상기 컬러필터층(372)이 녹색 컬러필터 패턴인 경우, 상기 보조 컬러필터층(373)은 적색 또는 청색 컬러필터로 구성된다. 본 실시예에서 상기 박막트랜지스터(Tr)에 빛이 입사될 수 있지만, 상기 컬러필터층(372)과 상기 보조 컬러필터층(373)에 의해 빛을 차단할 수 있다. 따라서 포토 커런트에 의한 박막트랜지스터(Tr) 특성 저하 문제는 발생하지 않는다.
- [0115] 또한, 상기 컬러필터(372) 및 상기 보조 컬러필터층(373) 상에는 오버코트층(374)이 위치하고 있다. 상기 오버코트층(374)은 상기 컬러필터층(372) 및 상기 보조 컬러필터층(373)의 상부면을 평탄화하고, 상기 컬러필터층(372) 및 상기 보조 컬러필터층(373) 물질에 의한 상기 액정층(380)의 오염을 방지하게 된다.
- [0116] 종래의 액정표시장치와 달리, 본 발명의 액정표시장치의 제 2 기관(370) 상에는 블랙매트릭스(도 4의 82)가 존재하지 않는다. 본 발명에서는 제 1 기관(310)에 위치하는 상기 차광패턴(360)이 블랙매트릭스의 역할을 하기 때문이다. 상기 차광패턴(360)은 제 1 기관(310) 상에 위치하기 때문에 합착 마진을 고려할 필요가 없으며 따라서 개구율 저하를 최소화할 수 있다. 또한, 상기 차광패턴(360)은 상기 공통전극(350)과 접촉함으로써, 상기 공통전극(350)의 신호 딜레이를 방지할 수 있다.
- [0117] 또한, 상기 공통전극(350)은 상기 박막트랜지스터(Tr)에 대응하여 제 2 홀(354)을 가지기 때문에 오프 커런트에 의한 박막트랜지스터(Tr) 특성 저하를 방지할 수 있고, 보조 컬러필터층(373)을 박막트랜지스터(Tr)에 대응하여 형성하므로 포토 커런트 문제 역시 방지된다.

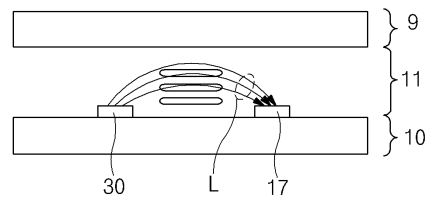
- [0118] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

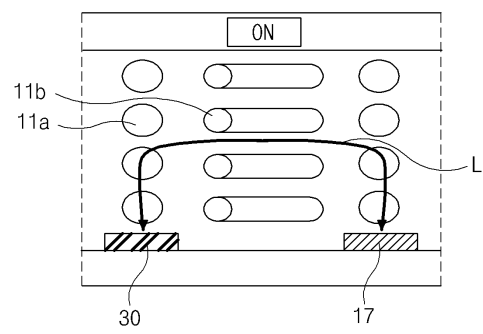
- [0119] 도 1은 일반적인 횡전계형 액정표시장치의 단면을 도시한 도면이다.
- [0120] 도 2a와 2b는 일반적인 횡전계형 액정표시장치의 온(ON), 오프(OFF) 상태의 동작을 각각 도시한 단면도이다.
- [0121] 도 3은 종래 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관의 하나의 화소영역에 대한 평면도이다.
- [0122] 도 4는 도 3을 절단선 IV-IV를 따라 절단한 액정표시장치의 단면도이다.
- [0123] 도 5는 본 발명의 제 1 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관의 일부에 대한 평면도이다.
- [0124] 도 6은 도 5의 VI-VI를 따라 절단한 단면도이다.
- [0125] 도 7은 도 5의 VII-VII를 따라 절단한 단면도이다.
- [0126] 도 8 및 도 9는 본 발명의 제 2 실시예에 따른 액정표시장치의 단면도이다.
- [0127] 도 10은 본 발명의 제 3 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관의 평면도이다.
- [0128] 도 11은 도 10의 XI-XI를 따라 절단한 단면도이다.
- [0129] 도 12는 도 10의 XII-XII를 따라 절단한 단면도이다.

도면

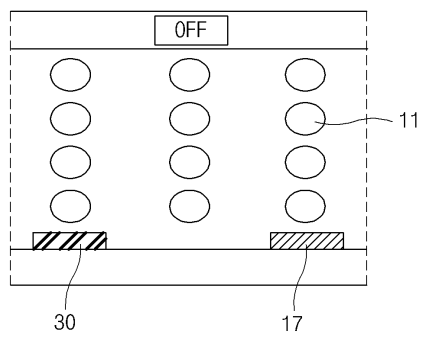
도면1



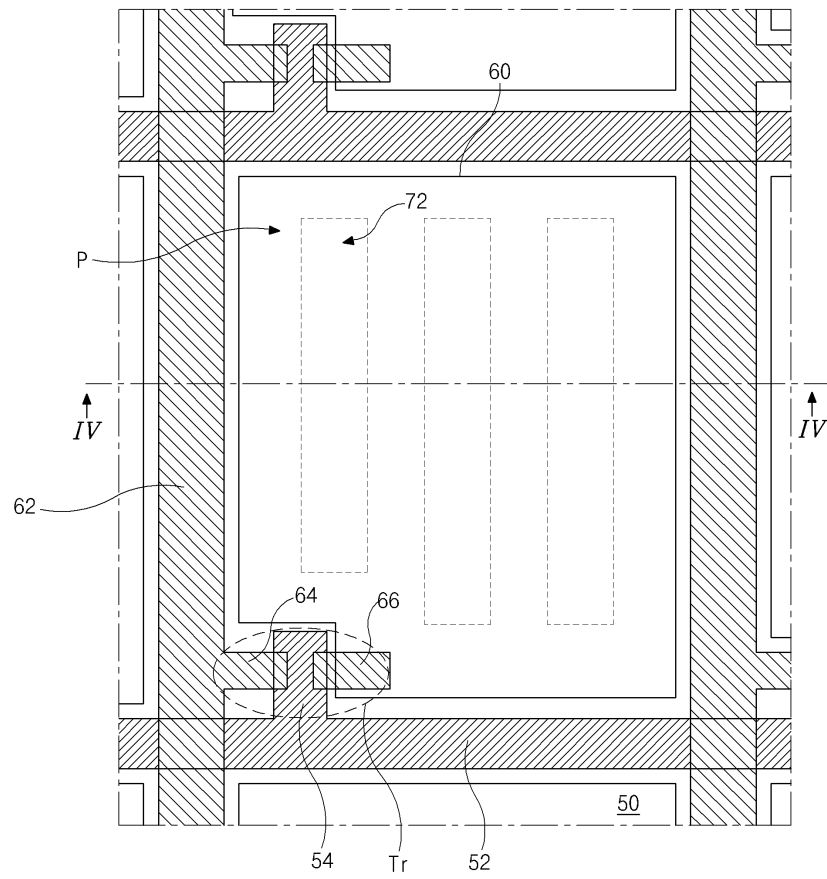
도면2a



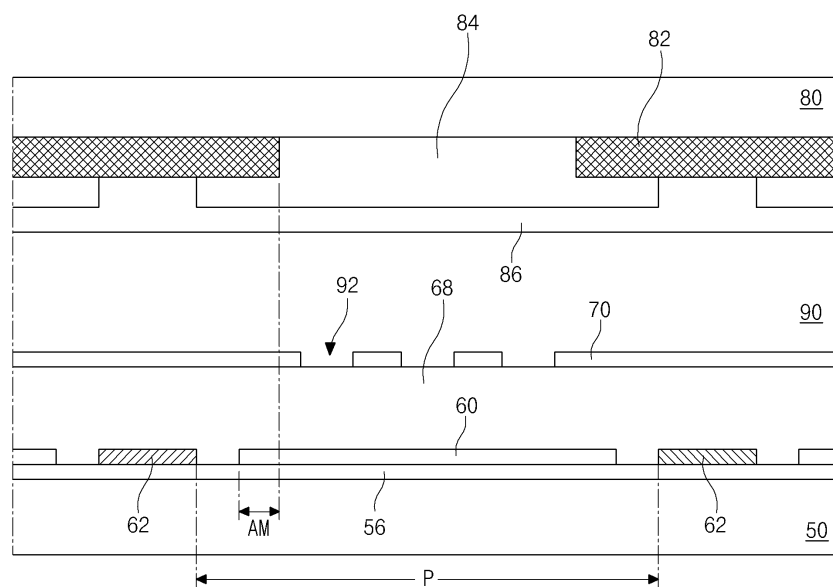
도면2b



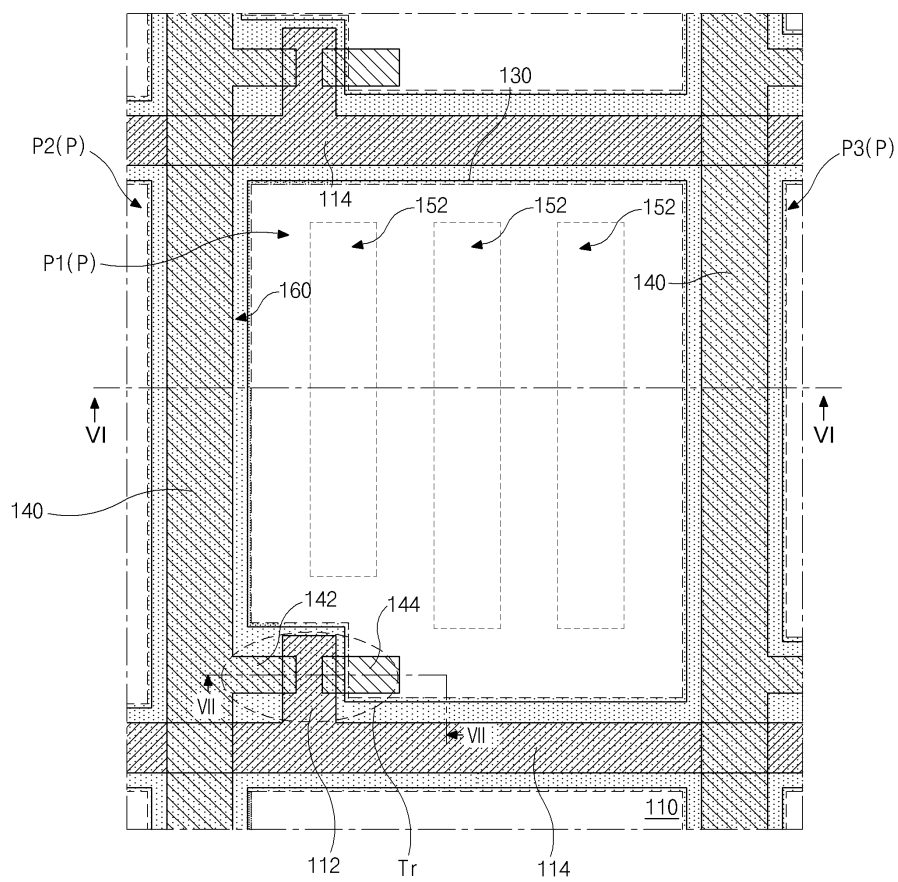
도면3



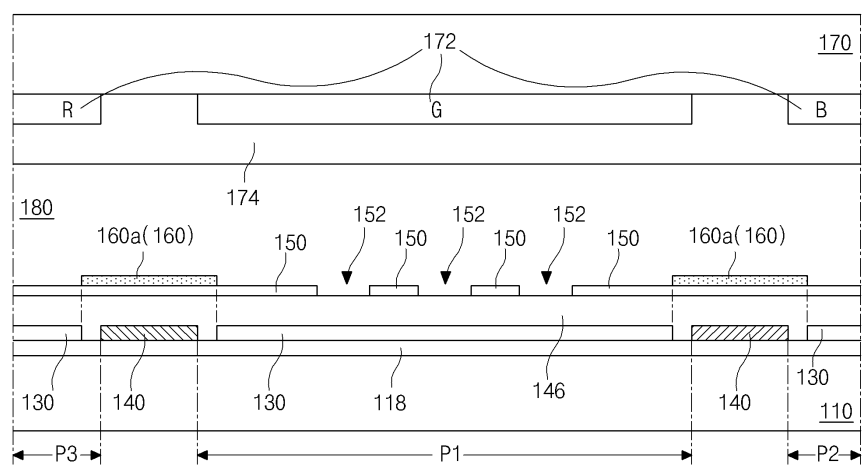
도면4



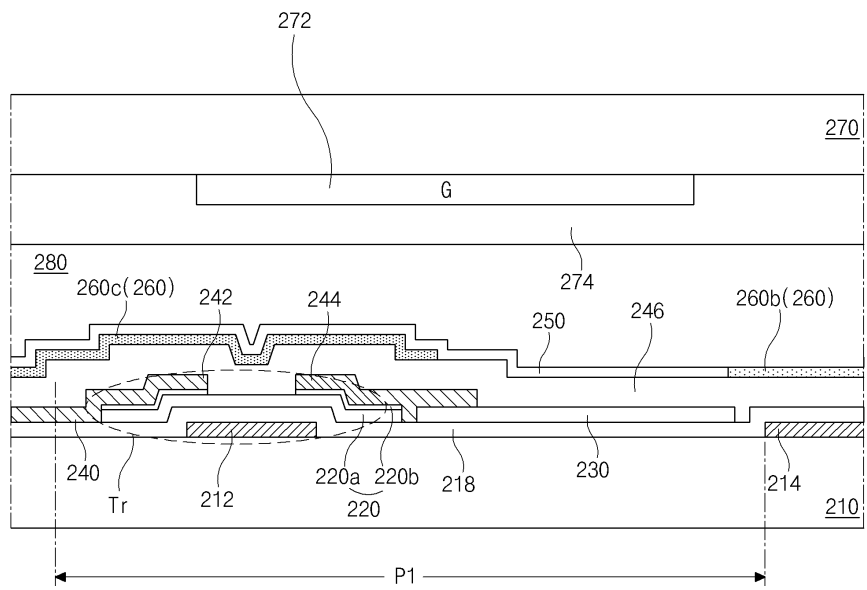
도면5



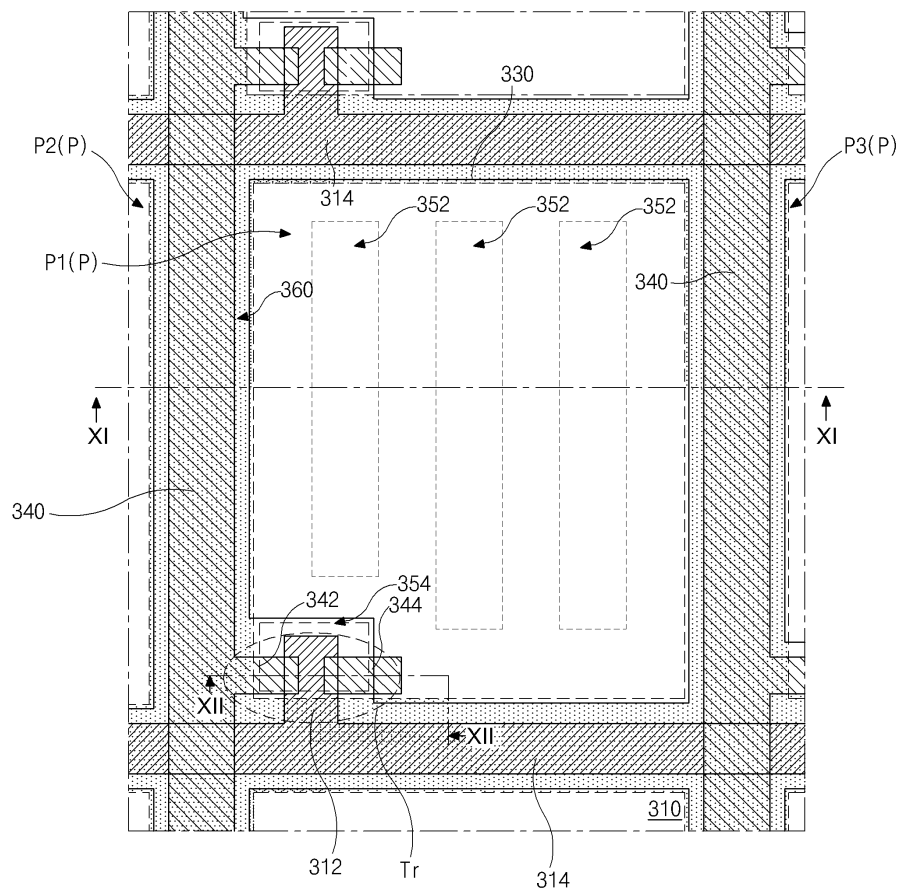
도면6



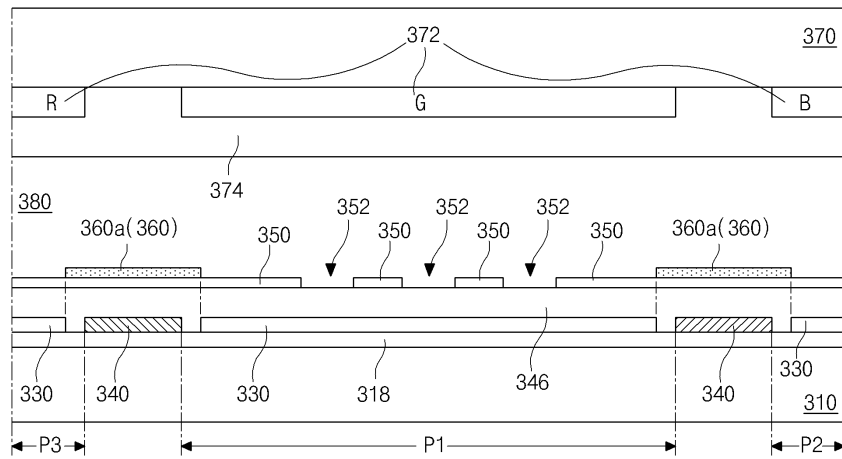
도면9



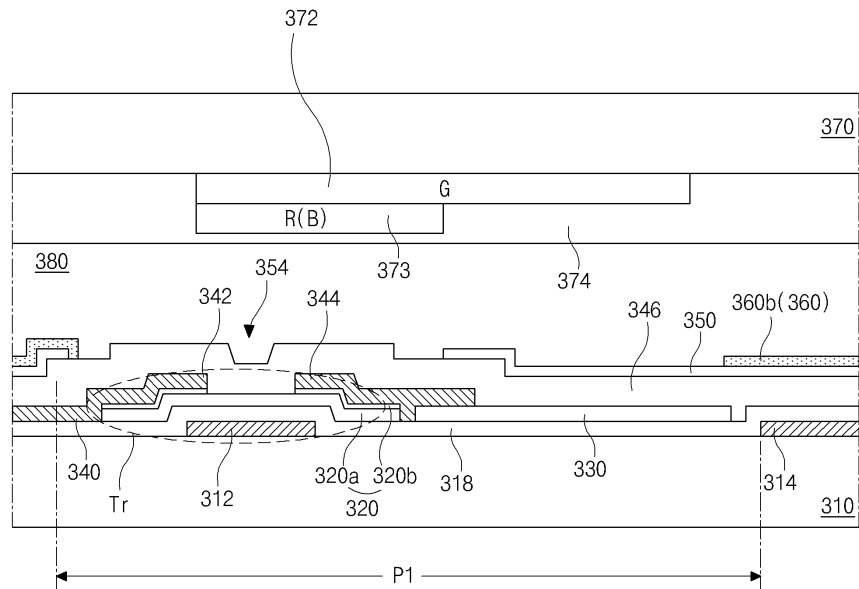
도면10



도면11



도면12



专利名称(译)	液晶显示装置和液晶显示装置		
公开(公告)号	KR1020110054727A	公开(公告)日	2011-05-25
申请号	KR1020090111482	申请日	2009-11-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HAN SANG HUN 한상훈 LEE HO CHUN 이호천		
发明人	한상훈 이호천		
IPC分类号	G02F1/1343 G02F1/136		
CPC分类号	G02F1/136209 G02F1/133514 G02F1/134363 G02F1/136286		
外部链接	Espacenet		

摘要(译)

用途：提供一种用于液晶显示装置的阵列基板和包括该阵列基板的液晶显示装置，以防止开口率因黑矩阵的宽度而恶化，并使制造成本的增加最小化。组成：栅极线和数据线（140）在基板上相互交叉。栅极线和数据线连接到薄膜晶体管。像素电极（130）连接到像素区域中的薄膜晶体管。保护层覆盖栅极线，数据线和薄膜晶体管。公共电极（150）位于保护层上并与栅极线，数据线和像素电极层叠。第一个遮光图案在与公共电极堆叠在一起时接触。

