(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0034160
(43) 공개일자 2010년04월01일

(51) Int. Cl.
G02F 1/1343 (2006.01) *G02F 1/133* (2006.01)
G02F 1/136 (2006.01)
(21) 출원번호 10-2008-0093152
(22) 출원일자 2008년09월23일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자
허승호
경상북도 구미시 옥계동 대동아파트 104-610
남철
서울특별시 강남구 개포동 대청아파트 306동 502호
(74) 대리인
허용록

전체 청구항 수 : 총 9 항

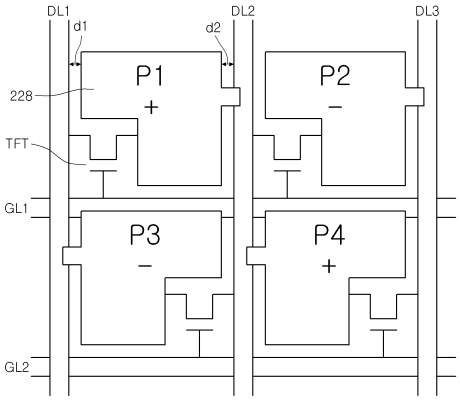
(54) 액정패널 및 이를 구비한 액정표시장치

(57) 요 약

액정패널 및 이를 구비한 액정표시장치가 개시된다.

본 발명에 따른 액정패널 및 이를 구비한 액정표시장치는 한 화소영역에서 박막트랜지스터와 접속된 제1 데이터라인과 화소전극 사이의 간격과 상기 제1 데이터라인과 인접한 제2 데이터라인과 상기 화소전극 사이의 간격을 비대칭으로 형성하여 수직 크로스 토크 현상을 최소화하여 화질을 향상시킬 수 있다.

대 표 도 - 도6



특허청구의 범위

청구항 1

다수의 게이트라인;

상기 다수의 게이트라인에 교차되어 화소영역을 정의하며 상기 화소영역 내에서 박막트랜지스터와 전기적으로 연결된 제1 데이터라인;

상기 제1 데이터라인과 인접하게 형성되며 상기 화소영역의 박막트랜지스터와 전기적으로 연결되지 않는 제2 데이터라인; 및

상기 박막트랜지스터의 드레인 전극과 전기적으로 연결되며 상기 제2 데이터라인과 일정부분 중첩되도록 형성된 화소전극;을 포함하는 것을 특징으로 하는 액정패널.

청구항 2

제1 항에 있어서,

상기 화소전극과 상기 제1 데이터라인 간의 간격과 상기 화소전극과 상기 제2 데이터라인 간의 간격은 상기 제2 데이터라인과 상기 화소전극이 일정부분 중첩된 부분을 제외하고는 서로 동일한 것을 특징으로 하는 액정패널.

청구항 3

제1 항에 있어서,

상기 화소전극은 상기 제1 데이터라인 과의 사이에서 발생되는 제1 기생 캐패시터와 상기 제2 데이터라인 사이에서 발생되는 제2 기생 캐패시터가 상이한 용량을 갖게 상기 제2 데이터라인에 일정부분 중첩되는 것을 특징으로 하는 액정패널.

청구항 4

제1 항에 있어서,

상기 박막트랜지스터는 상기 제1 데이터라인과 접속되며 상기 화소영역 내에서 지그재그 형태로 배치되는 것을 특징으로 하는 액정패널.

청구항 5

다수의 게이트라인;

상기 다수의 게이트라인에 교차되어 화소영역을 정의하며 상기 화소영역 내에서 박막트랜지스터와 전기적으로 연결된 제1 데이터라인;

상기 제1 데이터라인과 인접하게 형성되며 상기 화소영역의 박막트랜지스터와 전기적으로 연결되지 않는 제2 데이터라인; 및

상기 박막트랜지스터의 드레인 전극과 전기적으로 연결되고 상기 제1 데이터라인과의 간격과 상기 제2 데이터라인과의 간격이 비대칭 되도록 형성된 화소전극;을 포함하는 것을 특징으로 하는 액정패널.

청구항 6

제5 항에 있어서,

상기 화소전극은 상기 제1 데이터라인 과의 사이에서 발생되는 제1 기생 캐패시터와 상기 제2 데이터라인 사이에서 발생되는 제2 기생 캐패시터가 상이한 용량을 갖게 상기 제1 및 제2 데이터라인과의 간격이 비대칭 되도록 형성되는 것을 특징으로 하는 액정패널.

청구항 7

제5 항에 있어서,

상기 박막트랜지스터는 상기 제1 데이터라인과 접속되며 상기 화소영역 내에서 지그재그 형태로 배치되는 것을

특징으로 하는 액정패널.

청구항 8

다수의 게이트라인과, 상기 다수의 게이트라인에 교차되어 화소영역을 정의하며 상기 화소영역 내에서 박막트랜지스터와 전기적으로 연결된 제1 데이터라인과, 상기 제1 데이터라인과 인접하게 형성되며 상기 화소영역의 박막트랜지스터와 전기적으로 연결되지 않는 제2 데이터라인 및 상기 박막트랜지스터의 드레인 전극과 전기적으로 연결되며 상기 제2 데이터라인과 일정부분 중첩되도록 형성된 화소전극을 구비한 액정패널;

상기 박막트랜지스터가 구동되도록 상기 다수의 게이트라인으로 스캔신호를 공급하는 게이트 드라이버; 및

상기 제1 및 제2 데이터라인으로 상이한 극성을 갖는 비디오 신호를 공급하는 데이터 드라이버;를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 9

다수의 게이트라인과, 상기 다수의 게이트라인에 교차되어 화소영역을 정의하며 상기 화소영역 내에서 박막트랜지스터와 전기적으로 연결된 제1 데이터라인과, 상기 제1 데이터라인과 인접하게 형성되며 상기 화소영역의 박막트랜지스터와 전기적으로 연결되지 않는 제2 데이터라인 및 상기 박막트랜지스터의 드레인 전극과 전기적으로 연결되고 상기 제1 데이터라인과의 간격과 상기 제2 데이터라인과의 간격이 비대칭 되도록 형성된 화소전극을 포함하는 액정패널;

상기 박막트랜지스터가 구동되도록 상기 다수의 게이트라인으로 스캔신호를 공급하는 게이트 드라이버; 및

상기 제1 및 제2 데이터라인으로 상이한 극성을 갖는 비디오 신호를 공급하는 데이터 드라이버;를 포함하는 것을 특징으로 하는 액정표시장치.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 수직 크로스 토크 현상을 최소화하여 화질을 향상시킬 수 있는 액정패널 및 이를 구비한 액정표시장치에 관한 것이다.

배 경 기 술

[0002] 일반적인 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 화소영역들이 매트릭스 형태로 배열되어진 액정패널과 상기 액정패널을 구동하기 위한 구동회로를 구비한다.

[0003] 상기 액정패널에는 다수의 게이트라인들과 다수의 데이터라인들이 교차하게 배열되고, 상기 게이트라인들과 데이터라인들이 수직교차하여 정의되는 영역에 화소영역이 위치하게 된다. 상기 화소영역들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 상기 액정패널에 형성된다.

[0004] 상기 화소전극들 각각은 스위칭 소자인 박막트랜지스터의 소스 단자 및 드레인 단자를 경유하여 상기 데이터라인에 접속된다. 상기 박막트랜지스터는 상기 게이트라인을 경유하여 게이트 단자에 인가되는 스캔펄스에 의해 턴-온되어, 상기 데이터라인의 데이터 신호가 상기 화소전극에 충전되도록 한다. 상기 박막트랜지스터는 상기 액정패널 상에 지그-재그 형태로 접속된다.

[0005] 이러한 구성을 갖는 액정표시장치는 1 도트 인버젼 방식, 컬럼 인버젼 방식, 라인 인버젼 방식 및 Z 인버젼 방식등으로 구동될 수 있다.

[0006] 특히, 상기 액정표시장치가 Z 인버젼 방식으로 구동되는 경우에 상기 액정패널의 중앙부분에 블랙(black)이, 상기 중앙부분을 제외한 외곽부에는 회색(gray)이 구현되는 표시패턴을 액정패널 상에 디스플레이 하는 경우에 상기 블랙(black)에 대응되는 블랙 데이터가 상기 액정패널의 중앙부분으로 공급됨에 따라 액정패널의 중앙부에 위치한 데이터라인들의 로드가 액정패널의 외곽부보다 커져서 누설전류 차가 발생하게 된다.

[0007] 액정패널의 중앙부분과 외곽부에 각각 위치한 데이터라인들 간의 누설전류 차이가 발생함에 따라 데이터라인을

따라 수직 크로스 토크가 발생된다. 이러한 누설전류로 인해 액정표시장치의 화질이상이 유발된다.

발명의 내용

해결 하고자하는 과제

[0008] 본 발명은 액정패널에 위치한 데이터라인들 간의 누설전류 차이를 감소시켜 수직 크로스 토크 현상을 최소화할 수 있는 액정패널 및 이를 구비한 액정표시장치를 제공함에 그 목적이 있다.

[0009] 또한, 본 발명은 화질을 향상시킬 수 있는 액정패널 및 이를 구비한 액정표시장치를 제공함에 그 목적이 있다.

과제 해결수단

[0010] 본 발명에 따른 일 실시예에 따른 액정패널은 다수의 게이트라인과, 상기 다수의 게이트라인에 교차되어 화소영역을 정의하며 상기 화소영역 내에서 박막트랜지스터와 전기적으로 연결된 제1 데이터라인과, 상기 제1 데이터라인과 인접하게 형성되며 상기 화소영역의 박막트랜지스터와 전기적으로 연결되지 않는 제2 데이터라인 및 상기 박막트랜지스터의 드레인 전극과 전기적으로 연결되며 상기 제2 데이터라인과 일정부분 중첩되도록 형성된 화소전극을 포함한다.

[0011] 본 발명에 따른 다른 실시예에 따른 액정패널은 다수의 게이트라인과, 상기 다수의 게이트라인에 교차되어 화소영역을 정의하며 상기 화소영역 내에서 박막트랜지스터와 전기적으로 연결된 제1 데이터라인과, 상기 제1 데이터라인과 인접하게 형성되며 상기 화소영역의 박막트랜지스터와 전기적으로 연결되지 않는 제2 데이터라인 및 상기 박막트랜지스터의 드레인 전극과 전기적으로 연결되고 상기 제1 데이터라인과의 간격과 상기 제2 데이터라인과의 간격이 비대칭 되도록 형성된 화소전극을 포함한다.

[0012] 본 발명에 따른 일 실시예에 따른 액정표시장치는 다수의 게이트라인과, 상기 다수의 게이트라인에 교차되어 화소영역을 정의하며 상기 화소영역 내에서 박막트랜지스터와 전기적으로 연결된 제1 데이터라인과, 상기 제1 데이터라인과 인접하게 형성되며 상기 화소영역의 박막트랜지스터와 전기적으로 연결되지 않는 제2 데이터라인 및 상기 박막트랜지스터의 드레인 전극과 전기적으로 연결되며 상기 제2 데이터라인과 일정부분 중첩되도록 형성된 화소전극을 구비한 액정패널과, 상기 박막트랜지스터가 구동되도록 상기 다수의 게이트라인으로 스캔신호를 공급하는 게이트 드라이버 및 상기 제1 및 제2 데이터라인으로 상이한 극성을 갖는 비디오 신호를 공급하는 데이터 드라이버를 포함한다.

[0013] 본 발명에 따른 다른 실시예에 따른 액정표시장치는 다수의 게이트라인과, 상기 다수의 게이트라인에 교차되어 화소영역을 정의하며 상기 화소영역 내에서 박막트랜지스터와 전기적으로 연결된 제1 데이터라인과, 상기 제1 데이터라인과 인접하게 형성되며 상기 화소영역의 박막트랜지스터와 전기적으로 연결되지 않는 제2 데이터라인 및 상기 박막트랜지스터의 드레인 전극과 전기적으로 연결되고 상기 제1 데이터라인과의 간격과 상기 제2 데이터라인과의 간격이 비대칭 되도록 형성된 화소전극을 포함하는 액정패널과, 상기 박막트랜지스터가 구동되도록 상기 다수의 게이트라인으로 스캔신호를 공급하는 게이트 드라이버 및 상기 제1 및 제2 데이터라인으로 상이한 극성을 갖는 비디오 신호를 공급하는 데이터 드라이버를 포함한다.

효 과

[0014] 본 발명은 화소전극의 좌우측에 배치되는 제1 및 제2 데이터라인들과 상기 화소전극간의 간격을 비대칭으로 형성하여 데이터라인 간의 누설전류 차이를 최소화하여 수직 크로스 토크 현상을 감소시킬 수 있다. 또한, 본 발명은 화질을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0015] 첨부한 도면을 참조하여 본 발명에 따른 실시예를 상세히 설명하도록 한다.

[0016] 도 1은 본 발명의 실시예에 따른 액정표시장치는 나타낸 도면이다.

[0017] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 액정표시장치는 액정셀들이 매트릭스 형태로 배열된 액정패널(102)과, 상기 액정패널(102)의 게이트라인들(GL1 ~ GLn)을 구동하기 위한 게이트 드라이버(104)와, 상기 액정패널(102)의 데이터라인(DL1 ~ DLm)을 구동하기 위한 데이터 드라이버(106)를 구비한다.

[0018] 상기 액정패널(102)은 다수의 게이트라인(GL1 ~ GLn)과, 상기 게이트라인(GL1 ~ GLn)과 교차하여 화소영역을 정

의하는 데이터라인들(DL1 ~ DLm)을 구비한다. 상기 화소영역에는 박막트랜지스터(TFT)가 접속된다.

[0019] 상기 박막트랜지스터(TFT)는 데이터라인(DL1 ~ DLm)을 따라 지그재그형으로 배열됨에 따라 액정셀들은 데이터라인들(DL1 ~ DLm) 각각에 지그재그형으로 접속된다. 다시 말하여 동일한 컬럼(Column)에 포함되는 액정셀들은 수평라인마다 교번적으로 서로 다른 인접한 데이터라인(DL)에 접속된다.

[0020] 구체적으로, 기수번째 게이트라인(GL1, GL3...)에 접속된 기수번째 박막트랜지스터(TFT)들은 자신을 기준으로 -X축 방향에 위치하는 제1 내지 제 m-1 데이터라인(DL1 ~ DLm-1)에 각각 접속된다. 반면에 우수번째 게이트라인(GL2, GL4...)에 접속된 우수번째 수평라인의 액정셀들은 자신을 기준으로 +X축 방향에 위치하는 제2 내지 제 m 데이터라인(DL2 ~ DLm)에 각각 접속된다.

[0021] 이에 따라 기수번째 데이터라인들(DL1, DL3...)은 수평라인마다 수평방향으로 기수번째 액정셀과 우수번째 액정셀에 번갈아 가며 접속된다. 반면에 우수번째 데이터라인들(DL2, DL4...)은 수평라인마다 수평방향으로 우수번째인 액정셀과 기수번째인 액정셀에 번갈아 접속된다.

[0022] 박막트랜지스터(TFT)는 게이트라인들(GL1 ~ GLn)으로부터의 스캔신호에 응답하여 데이터라인(DL1 ~ DLm)으로부터의 비디오 신호를 액정셀에 공급한다. 액정셀은 비디오 신호에 응답하여 공통전극(도시하지 않음)과 화소전극(128) 사이에 위치하는 액정을 구동함으로써 빛의 투과율을 조절하게 된다.

[0023] 게이트 드라이버(104)는 게이트라인들(GL1 ~ GLn)에 순차적으로 스캔신호를 공급하여 해당 게이트라인(GL)에 접속된 박막트랜지스터(TFT)를 구동되게 한다.

[0024] 데이터 드라이버(106)는 비디오 데이터를 아날로그 신호인 비디오 신호로 변환하여 게이트라인(GL)에 스캔신호가 공급되는 1 수평기간에 1 수평라인분의 비디오 신호를 데이터라인들(DL1 ~ DLm)에 공급한다. 또한, 데이터 드라이버(106)는 컬럼 인버젼 구동방식으로 데이터라인들(DL1 ~ DLm)에 비디오 신호를 공급한다.

[0025] 다시 말하여, 데이터 드라이버(106)는 한 프레임 동안 기수번째 데이터라인들(DL1, DL3...)과 우수번째 데이터라인들(DL2, DL4...)에 서로 상반된 극성의 비디오 신호를 공급한다. 데이터 드라이버(106)는 데이터라인들(DL1 ~ DLm)을 기준으로 지그재그형으로 배열된 액정셀들을 위해 수평기간마다 비디오 신호를 그대로 공급하거나 오른쪽으로 한 채널씩 쉬프트 시켜 공급하게 된다. 다시 말하여 데이터 드라이버(106)는 컬럼 인버젼 방식으로 구동되고 수평기간마다 비디오 신호를 그대로 공급하거나 오른쪽으로 한 채널씩 쉬프트 시켜 공급함으로써 데이터라인들(DL1 ~ DLm)을 따라 지그재그형으로 배열된 액정셀들이 도트 인버젼 방식으로 구동될 수 있게 한다.

[0026] 도 2는 도 1의 A 부분의 회로도이고, 도 3은 도 1의 A 부분의 상세도이다.

[0027] 도 2 및 도 3에 도시된 바와 같이, 제1 및 제2 게이트라인(GL1, G2)과 상기 제1 및 제2 게이트라인(GL1, GL2)에 각각 교차된 제1 내지 제 3 데이터라인(DL1 ~ DL3)에 의해 제1 내지 제4 화소영역(P1 ~ P4)이 정의된다.

[0028] 구체적으로, 제1 화소영역(P1)은 제1 게이트라인(GL1)과 상기 제1 게이트라인(GL1)과 교차된 제1 및 제2 데이터라인(DL1, DL2)에 의해 정의되고, 제2 화소영역(P2)은 상기 제1 게이트라인(GL1)과 상기 제1 게이트라인(GL1)과 교차된 제2 및 제3 데이터라인(DL2, DL3)에 의해 정의된다. 제3 화소영역(P3)은 제2 게이트라인(GL2)과 상기 제2 게이트라인(GL2)과 교차된 제1 및 제2 데이터라인(DL1, DL2)에 의해 정의되고, 제4 화소영역(P4)은 상기 제2 게이트라인(GL2)과 상기 제2 게이트라인(GL2)과 교차된 제2 및 제3 데이터라인(DL2, DL3)에 의해 정의된다.

[0029] 상기 제1 내지 제4 화소영역(P1 ~ P4)에는 박막트랜지스터(TFT)와 상기 박막트랜지스터(TFT)와 접속된 화소전극(128)이 각각 형성되어 있다. 또한, 상기 제1 내지 제4 화소영역(P1 ~ P4)에는 공통전극(130)이 형성되어 있다.

[0030] 상기 제1 내지 제4 화소영역(P1 ~ P4)에 형성된 공통전극(130)은 도면상에서는 'U'자형으로 형성되어 있지만 상기 화소전극(128)과 함께 전계를 형성하기만 한다면 얼마든지 다양한 형태로 변형이 가능하다.

[0031] 상기 제1 화소영역(P1)에 형성된 박막트랜지스터(TFT)는 제1 데이터라인(DL1)과 전기적으로 접속되고 제2 및 제3 화소영역(P2, P3)에 각각 형성된 박막트랜지스터(TFT)는 제2 데이터라인(DL2)과 전기적으로 접속되며 제4 화소영역(P4)에 형성된 박막트랜지스터(TFT)는 제3 데이터라인(DL3)과 전기적으로 접속된다.

[0032] 앞서 서술한 바와 같이, 기수번째 게이트라인(GL) 인 제1 게이트라인(GL1)에 접속된 기수번째 수평라인의 박막트랜지스터(TFT)는 화소전극(128)의 좌측으로 인접한 제1 및 제3 데이터라인(DL1, DL3)에 접속된다. 우수번째 게이트라인(GL) 인 제2 게이트라인(GL2)에 접속된 우수번째 수평라인의 박막트랜지스터(TFT)는 화소전극(128)의 우측으로 인접한 제2 데이터라인(DL2)에 접속된다.

[0033] 상기 제3 및 제4 화소영역(P3, P4)에 형성된 화소전극(128)은 제1 게이트라인(GL1)과 중첩되어 형성된다. 상기 제1 및 제2 화소영역(P1, P2)에 형성된 화소전극은 상기 제1 및 제2 화소영역(P1, P2) 상부에 게이트라인(GL)이 형성되지 않기 때문에 게이트라인(GL)과 중첩되지 않는다.

[0034] 상기 제1 내지 제 4 화소영역(P1 ~ P4) 각각에 형성된 박막트랜지스터(TFT)는 게이트라인(GL)으로부터 연장되어 형성된 게이트 전극(110)과, 상기 게이트 전극(110) 상에 중첩되어 형성된 액티브층(112)과, 데이터라인(DL)으로부터 연장되어 상기 액티브층(112)과 대응되게 형성된 소스 및 드레인 전극(114, 116)으로 구성된다. 상기 드레인 전극(116)은 컨택홀(H)을 통해 화소전극(128)과 전기적으로 접속된다.

[0035] 상기 액티브층(112)은 도면에 도시된 바와 같이 섬(Island) 구조로 상기 소스 및 드레인 전극(114, 116)과 대응되게 형성되는데, 상기 박막트랜지스터(TFT)의 게이트 전극(110)과 소스 전극(114) 사이에서 발생되는 기생 캐패시터(Cgs)의 보상을 위해 상기 액티브층(112)은 상기 게이트 전극(110)과 연장된 게이트라인(GL)과 일부분 중첩되게 형성될 수 있다.

[0036] 이러한 박막트랜지스터가 형성된 어레이 기판과 컬러필터 및 블랙 매트릭스가 형성된 컬러필터 기판은 합착되고 상기 어레이 기판 및 컬러필터 기판 사이에는 액정층이 형성된다.

[0037] 이때, 상기 어레이 기판과 컬러필터 기판 사이의 셀 갭을 유지하기 위해서 도 4a에 도시된 바와 같이, 상기 박막트랜지스터(TFT)와 대응되게 상기 컬러필터 기판 상에 제1 컬럼 스페이서(136)가 형성된다. 또한, 상기 어레이 기판의 게이트라인(GL)과 대응되게 상기 컬러필터 기판 상에 제2 컬럼 스페이서(138)가 형성되어 있다.

[0038] 상기 제1 컬럼 스페이서(136)는 셀 갭을 유지하기 위한 컬럼 스페이서로 상기 박막트랜지스터(TFT)와 맞닿도록 상기 컬러필터 기판 상에 형성된다. 상기 제1 컬럼 스페이서(136)는 박막트랜지스터(TFT)와 대응되게 형성되므로 상기 컬러필터 기판 상에 지그재그 형태로 형성된다.

[0039] 상기 제2 컬럼 스페이서(138)는 도 4b에 도시된 바와 같이, 상기 박막트랜지스터(TFT)가 형성된 단차만큼 이격되게 상기 게이트라인(GL)과 대응되도록 상기 컬러필터 기판 상에 형성된다. 상기 제2 컬럼 스페이서(138)가 일정간격 이격되어 상기 컬러필터 기판 상에 형성되기 때문에 상기 어레이 기판과 컬러필터 기판이 합착된 액정패널이 외부의 압력에의해 눌려질 경우에 상기 어레이 기판과 상기 컬러필터 기판의 셀 갭을 유지해주는 역할을 하게 된다.

[0040] 앞서 서술한 바와같이, 기수번째 데이터라인(DL1, DL3...)과 접속된 화소전극(128)과 우수번째 데이터라인(DL2, DL4...)과 접속된 화소전극(128)에는 상이한 극성의 비디오 신호가 공급된다. 따라서, 제1 및 제3 데이터라인(DL1, DL3)과 접속된 제1 및 제4 화소영역(P1, P4)에 형성된 화소전극에는 정극성(+)의 비디오 신호가 공급되고 제2 데이터라인(DL2)과 접속된 제2 및 제3 화소영역(P2, P3)에 형성된 화소전극에는 부극성(-)의 비디오신호가 공급된다.

[0041] 상기 제1 내지 제4 화소영역(P1 ~ P4)의 화소전극(128)과 상기 화소전극(128)과 인접한 데이터라인들은 상이한 간격을 두고 형성된다.

[0042] 편의를 위해 제1 화소영역(P1)의 화소전극(128)과 상기 화소전극(128)과 인접한 제1 및 제2 데이터라인(DL1, DL2)을 예를 들어 설명하기로 한다.

[0043] 도 5는 도 3의 B ~ B'을 따라 절단한 단면도이다.

[0044] 도 3 및 도 5에 도시된 바와 같이, 기판(100) 상에 공통전극(130)이 형성되고, 상기 공통전극(130)이 형성된 기판(100) 상에 절연층(132)이 형성되고, 절연층(132)이 형성된 기판(100) 상에 제1 및 제2 데이터라인(DL1, DL2)이 형성된다. 상기 제1 및 제2 데이터라인(DL1, DL2)이 형성된 기판(100) 상에 보호층(134)이 형성되고, 상기 보호층(134) 상에 화소전극(128)이 형성된다.

[0045] 상기 제1 데이터라인(DL1)과 화소전극(128) 사이에는 제1 기생 캐패시터(Cdp1)가, 상기 제2 데이터라인(DL2)과 상기 화소전극(128) 사이에는 제2 기생 캐패시터(Cdp2)가 발생된다. 이때, 상기 제1 데이터라인(DL1)과 상기 화소전극(128) 사이의 간격(d1, 이하, '제1 간격' 이라 함)과 상기 제2 화소전극(128)과 상기 제2 데이터라인(DL2) 사이의 간격(d2, 이하, '제2 간격' 이라 함)은 서로 상이하게 형성된다. 이로인해, 상기 제1 및 제2 기생 캐패시터(Cdp1, Cdp2) 간에는 용량 편차가 발생된다.

[0046] 상기 제1 및 제2 간격(d1, d2)의 차이가 발생하는 이유는 다음과 같은 수학식을 통해 알 수 있다.

수학식 1

$$Q_1 = -\frac{Wd}{\rho L} \times (V_{on(n-1)} - V_p) \int_{t1}^{t2} dt$$

$$Q_2 = Cdp1 \times V_{(on(n-1)-p)}$$

[0047]

[0048] 여기서, Q1은 제1 전하량을, W는 채널층의 폭을, d는 a-Si:H 의 두께, ρ는 TFT의 저항률을, Q2는 제2 전하량을 각각 나타낸다.

[0049] 제1 전하량(Q1)은 박막트랜지스터(TFT)의 누설전류에 의한 전하량이고, 제2 전하량(Q2)은 상기 박막트랜지스터(TFT)와 접속되지 않은 데이터라인(DL)과 화소전극(128) 사이에서 발생한 기생 캐패시터(Cdp)에 의한 전하량을 각각 의미한다.

[0050] 제1 화소영역(P1)을 일예로 설명하고 있으므로 상기 제2 전하량(Q2)은 상기 화소전극(128)과 제2 데이터라인(DL2) 사이에서 발생한 제2 기생 캐패시터(Cdp2)에 의한 전하량이 된다.

[0051] 상기 제1 전하량(Q1)은 상기 박막트랜지스터(TFT)의 액티브층(112)의 채널층의 폭과 a-Si:H의 두께와 박막트랜지스터(TFT)의 저항률(ρ)에 의해 결정된다.

[0052] 이때, 상기 제1 및 제2 전하량(Q1, Q2)이 같게 되면, 상기 박막트랜지스터(TFT)의 누설전류로 인해 상기 제1 화소영역(P1)의 화소전극(128)에 충전된 비디오 신호의 변동이 상기 화소전극(128)에 충전된 비디오 신호와 반대극성의 비디오 신호가 공급되는 제2 데이터라인(DL2)과의 커플링 현상으로 상쇄된다. 따라서, 제1 화소영역(P1)의 화소전극(128)에 충전된 비디오 신호를 누설전류의 영향을 최소화할 수 있다.

[0053] 이로인해, 상기 제1 및 제2 전하량(Q1, Q2)이 같아지는 제1 및 제2 기생 캐패시터(Cdp1, Cdp2)를 설계하는 것이다. 상기 제1 및 제2 기생 캐패시터(Cdp1, Cdp2)는 상기 제1 데이터라인(DL1)과 상기 화소전극(128) 사이의 간격인 제1 간격(d1)과 상기 제2 데이터라인(DL2)과 상기 화소전극(128) 사이의 간격인 제2 간격(d2)에 의해 결정된다.

[0054] 상기 제1 기생 캐패시터(Cdp1)의 용량이 상기 제2 기생 캐패시터(Cdp2)의 용량보다 작게 되도록 상기 제1 및 제2 간격(d1, d2)을 비대칭으로 형성한다.

[0055] 상기 제2 기생 캐패시터(Cd2)의 용량이 상기 제1 기생 캐패시터(Cdp1)의 용량보다 크도록 하기 위해서는 상기 제2 간격(d2)이 상기 제1 간격(d1) 보다 좁게 형성되도록 한다.

[0056] 상기 제2 기생 캐패시터(Cdp2)의 용량이 상기 제1 기생 캐패시터(Cdp1) 보다 크도록 상기 제1 및 제2 간격(d1, d2)을 비대칭으로 설계하게 되면, 박막트랜지스터(TFT)의 누설전류에 의한 전하량(Q1) 만큼 제2 기생 캐패시터(Cdp2)에 의한 전하량(Q2)이 동일해지게 되어 상기 박막트랜지스터(TFT)의 누설전류를 최소화할 수 있다.

[0057] 즉, 상기 제1 데이터라인(DL1)과 접속된 박막트랜지스터(TFT)의 누설전류에 의한 전하량(Q1)과 상기 제1 데이터라인(DL1)과 상이한 극성의 비디오 신호가 공급되는 상기 제2 데이터라인(DL2)과 상기 화소전극(128) 간에 발생하는 제2 기생 캐패시터(Cdp2)에 의한 전하량(Q2)이 동일해져서 상기 박막트랜지스터(TFT)의 누설전류가 최소화된다.

[0058] 각 화소영역(P)에 형성된 박막트랜지스터(TFT)의 누설전류를 최소화할 수 있기 때문에 종래의 Z 인버젼 방식으로 구동되는 경우에 각 영역별로 누설전류의 차이로 인해 발생된 수직 크로스 토크 현상을 방지할 수 있다.

[0059] 한편, 이렇게 제1 데이터라인(DL1)과 화소전극(128) 사이의 간격인 제1 간견(d1)과 상기 화소전극(128)과 상기 제2 데이터라인(DL2) 사이의 간격인 제2 간격(d2)을 비대칭으로 설계함에 따라 설계편차에 따른 제조공정상에 문제가 발생할 수 있다.

[0060] 도 6은 도 2에 도시된 화소영역의 일부분의 다른 실시예를 나타낸 회로도이고 도 7은 도 6에 도시된 화소영역을 상세히 나타낸 도면이다.

[0061] 도 6 및 도 7에 도시된 바와 같이, 제1 내지 제 4 화소영역(P1 ~ P4) 각각에 형성된 화소전극(228)이 박막트랜지스터(TFT)와 접속되지 않은 데이터라인(DL)과 일정부분 중첩되는 것을 제외하고는 도 2에 도시된 구성요소들

과 동일한 명칭, 기능 및 작용효과를 가지는 도 6 및 도 7의 구성요소들은 도 2와 동일한 부호로 인용될 것이며 또한 그것들에 대한 동작 및 작용효과는 도 2의 설명으로부터 쉽게 알 수 있으므로 생략될 것이다.

[0062] 제1 내지 제 4 화소영역(P1 ~ P4)에는 화소전극(228)이 형성되는데, 상기 화소전극(128)은 상기 제1 내지 제 4 화소영역(P1 ~ P4)에 형성된 박막트랜지스터(TFT)와 접속되지 않은 데이터라인(DL)과 일정부분 중첩된다.

[0063] 제1 화소영역(P1)의 화소전극(228)은 제2 데이터라인(DL2)과 일정부분 중첩되고, 제2 화소영역(P2)의 화소전극(228)은 제3 데이터라인(DL3)과 일정부분 중첩되고, 제3 화소영역(P3)의 화소전극(228)은 제1 데이터라인(DL1)과 일정부분 중첩되며 제4 화소영역(P4)의 화소전극(228)은 제2 데이터라인(DL2)과 일정부분 중첩된다.

[0064] 편의를 위해 제1 화소영역(P1)을 대표로 예를 들어 설명하기로 한다.

[0065] 상기 제1 화소영역(P1)에 형성된 화소전극(228)은 좌측에 형성된 제1 데이터라인(DL1)과 제1 간격(d1) 차이를 두고 이격되어 있으며, 우측에 형성된 제2 데이터라인(DL2)과 일정부분 중첩된 것을 제외하고는 제2 간격(d2)의 차이를 두고 이격되어 있다. 상기 제1 및 제2 간격(d1, d2)은 동일하게 형성된다.

[0066] 상기 화소전극(228)은 박막트랜지스터(TFT)와 전기적으로 접속되지 않은 제2 데이터라인(DL2)과 일정부분 중첩된다. 상기 화소전극(228)과 상기 제2 데이터라인(DL2)이 일정부분 중첩됨에 따라 상기 화소전극(228)과 상기 제1 데이터라인(DL1) 사이에서 발생되는 제1 기생 캐패시터(Cdp1)와 상기 화소전극(228)과 상기 제2 데이터라인(DL2) 사이에서 발생되는 제2 기생 캐패시터(Cdp2)의 용량차가 발생한다.

[0067] 도 8은 도 7의 C ~ C'를 따라 절단한 단면도이다.

[0068] 도 7 및 도 8에 도시된 바와같이, 제1 데이터라인(DL1)과 화소전극(228)은 제1 간격(d1) 차이로 이격되어 있고 제2 데이터라인(DL2)과 화소전극(228)은 제2 간격(d2) 차이로 이격되어 있다. 상기 제1 및 제2 간격(d1, d2)는 서로 동일하다.

[0069] 이와 같이, 상기 화소전극(228)의 좌측에 형성된 제1 데이터라인(DL1)과 상기 화소전극(228)의 우측에 형성된 제2 데이터라인(DL2)은 동일한 간격을 갖고 대칭적으로 설계된다. 이로인해, 상기 제1 데이터라인(DL1)과 화소전극(228) 사이에서 발생되는 제1 기생 캐패시터(Cdp1)와 상기 제2 데이터라인(DL2)과 화소전극(228) 사이에 발생되는 제2 기생 캐패시터(Cdp2)의 용량은 동일해진다.

[0070] 도 9는 도 7의 D ~ D'을 따라 절단한 단면도이다.

[0071] 도 7 및 도 9에 도시된 바와 같이, 제1 데이터라인(DL1)과 화소전극(228)은 제1 간격(d1) 차이로 이격되어 있다. 상기 화소전극(228)은 상기 제2 데이터라인(DL2)의 일정부분에까지 연장되게 형성되어 상기 제2 데이터라인(DL2)과 일정부분 중첩된다.

[0072] 상기 화소전극(228)이 상기 제2 데이터라인(DL2)과 일정부분 중첩됨에 따라 상기 제1 데이터라인(DL1)과 상기 화소전극(228) 사이에서 발생되는 제1 기생 캐패시터(Cdp1)와 상기 제2 데이터라인(DL2)과 상기 화소전극(228) 사이에서 발생되는 제2 기생 캐패시터(Cdp2)의 용량 차가 발생하게 된다.

[0073] 이처럼, 상기 화소전극(228)이 상기 제2 데이터라인(DL2)과 일정부분 중첩되는 것을 제외하고는 상기 화소전극(228)은 상기 제1 및 제2 데이터라인(DL1, DL2) 각각과 동일한 간격 차이가 난다. 즉, 상기 제1 데이터라인(DL1)과 상기 화소전극(228) 간의 간격(d1)과 상기 제2 데이터라인(DL2)과 상기 화소전극(228) 간의 간격(d2)이 동일하도록 상기 제1 및 제2 데이터라인(DL1, DL2)과 화소전극(228)은 대칭적으로 설계된다.

[0074] 결과적으로, 상기 제2 데이터라인(DL2)과 상기 화소전극(228)의 일부분이 중첩되므로 상기 제2 데이터라인(DL2)과 상기 화소전극(228) 사이에서 발생되는 제2 기생 캐패시터(Cdp2)의 용량이 상기 제1 데이터라인(DL1)과 상기 화소전극(228) 사이에서 발생되는 제1 기생 캐패시터(Cdp1)의 용량 보다 더 커지게 된다.

[0075] 상기 제2 기생 캐패시터(Cdp2)의 용량이 상기 제1 기생 캐패시터(Cdp1) 보다 크도록 상기 화소전극(228)과 상기 제2 데이터라인(DL2)을 일정부분 중첩시켜 설계하게 되면, 박막트랜지스터(TFT)의 누설전류에 의한 전하량(Q1)만큼 제2 기생 캐패시터(Cdp2)에 의한 전하량(Q2)이 동일해지게 되어 상기 박막트랜지스터(TFT)의 누설전류를 최소화할 수 있다.

[0076] 즉, 상기 제1 데이터라인(DL1)과 접속된 박막트랜지스터(TFT)의 누설전류에 의한 전하량(Q1)과 상기 제1 데이터라인(DL1)과 상이한 극성의 비디오 신호가 공급되는 상기 제2 데이터라인(DL2)과 상기 화소전극(228) 간에 발생하는 제2 기생 캐패시터(Cdp2)에 의한 전하량(Q2)이 동일해져서 상기 박막트랜지스터(TFT)의 누설전류가 최소화

된다.

[0077] 각 화소영역(P)에 형성된 박막트랜지스터(TFT)의 누설전류를 최소화할 수 있기 때문에 종래의 Z 인버젼 방식으로 구동되는 경우에 각 영역별로 누설전류의 차이로 인해 발생된 수직 크로스 토크 현상을 방지할 수 있다.

[0078] 박막트랜지스터(TFT)가 접속되지 않는 데이터라인과 화소전극(228)이 일정부분 중첩되도록 설계된 다수의 화소영역을 포함한 액정패널에 도 10에 도시된 바와 같이, 중앙부에 블랙이, 상기 중앙부를 제외한 외곽부에 회색이 표시되도록 한다.

[0079] 상기 액정패널(102)의 외곽부에 형성된 데이터라인(DL)에 회색의 비디오 신호가 공급되고, 상기 액정패널(102)의 중앙부에 형성된 데이터라인(DL)에는 블랙의 비디오 신호가 공급된다.

[0080] 상기 액정패널(102)에 배열된 게이트라인(GL)에 도 11에 도시된 바와 같이, 스캔신호(SP)가 공급되면, 상기 게이트라인(GL)과 접속된 박막트랜지스터(TFT)가 구동되고 이와 동시에 액정패널(102)의 제1 영역(①)에 배열된 데이터라인(DL)에는 회색에 대응되는 비디오 신호가 공급된다.

[0081] 또한, 액정패널(102)의 제2 영역(②)에 배열된 데이터라인(DL)에는 해당 게이트라인(GL)에 스캔신호(SP)가 공급될 때 회색 및 블랙에 대응되는 비디오 신호가 공급되어 액정패널(102)의 중앙부에 블랙이, 액정패널(102)의 중앙부를 제외한 외곽부에 회색이 표시되도록 한다.

[0082] 종래의 경우에는 상기 블랙의 비디오 신호가 공급되는 데이터라인(DL)과 접속된 박막트랜지스터의 누설전류와 회색의 비디오 신호가 공급되는 데이터라인(DL)과 접속된 박막트랜지스터의 누설전류 차가 발생하여 블랙의 비디오 신호가 공급되는 영역에 수직 크로스 토크 현상이 발생했다.

[0083] 본 발명은 한 화소영역 내에서 화소전극 좌우측에 각각 형성된 데이터라인(DL)과 화소전극 사이에 발생한 기생 캐패시터의 용량 차가 발생하도록 상기 화소전극과 상기 화소전극의 좌우측에 형성된 데이터라인(DL) 간의 간격을 비대칭으로 형성한다.

[0084] 이렇게 형성된 화소영역을 포함한 액정패널의 경우에는 한 화소영역 내의 박막트랜지스터의 누설전류의 전하량이 박막트랜지스터와 접속되지 않는 데이터라인과 화소전극 사이에서 발생된 기생 캐패시터의 전하량과 동일해져서 상기 박막트랜지스터의 누설전류를 최소화시킬 수 있다.

[0085] 따라서, 본 발명은 액정패널(102)의 중앙부에 블랙의 비디오 신호가 공급되더라도 상기 액정패널(102)의 제1 및 제2 영역(①, ②) 간의 누설전류 차가 거의 발생하지 않게 되어 수직 크로스 토크와 같은 화질이상을 방지할 수 있다.

[0086] 도 12은 화소전극과 박막트랜지스터가 접속되지 않는 데이터라인 사이의 간격에 따른 수직 크로스 토크(C/T)의 발생 빈도를 나타낸 실험 파형도이다.

[0087] 도 12에 도시된 바와 같이, 파형도에는 화소전극과 데이터라인 사이의 간격을 증가시키거나 또는 감소시킬 때의 수직 크로스 토크(C/T)의 발생빈도가 나타나 있다.

[0088] 한 화소영역내에서 박막트랜지스터(TFT)가 접속되지 않는 데이터라인과 화소전극 사이의 간격을 증가시키게 되면 수직 크로스 토크(C/T)가 증가하게 되고, 상기 간격을 감소시키게 되면 수직 크로스 토크(C/T)가 감소하게 되는데 대략 1.4㎛ 보다 더 좁게되면 다시 수직 크로스 토크(C/T)가 증가하게 된다.

[0089] 따라서, 본 발명은 앞에서 언급한 수학식1과 위의 실험 파형도를 통해서 박막트랜지스터(TFT)가 접속되지 않는 데이터라인(DL)과 화소전극 간의 간격을 결정하여 한 화소영역 내의 화소전극과 상기 화소전극의 좌우측에 형성되는 데이터라인(DL)들을 비대칭으로 설계함으로써 각 화소영역간의 누설전류를 최소화하여 수직 크로스 토크 현상을 최소화할 수 있다.

도면의 간단한 설명

[0090] 도 1은 본 발명의 실시예에 따른 액정표시장치는 나타낸 도면.

[0091] 도 2는 도 1의 A 부분의 회로도.

[0092] 도 3은 도 1의 A 부분의 상세도.

[0093] 도 4a 및 도 4b는 도 1의 액정표시장치의 컬럼 스페이서를 도시한 도면.

[0094] 도 5는 도 3의 B ~ B'을 따라 절단한 단면도.

[0095] 도 6은 도 2에 도시된 화소영역의 일부분의 다른 실시예를 나타낸 회로도.

[0096] 도 7은 도 6에 도시된 화소영역을 상세히 나타낸 도면.

[0097] 도 8은 도 7의 C ~ C'를 따라 절단한 단면도.

[0098] 도 9는 도 7의 D ~ D'을 따라 절단한 단면도.

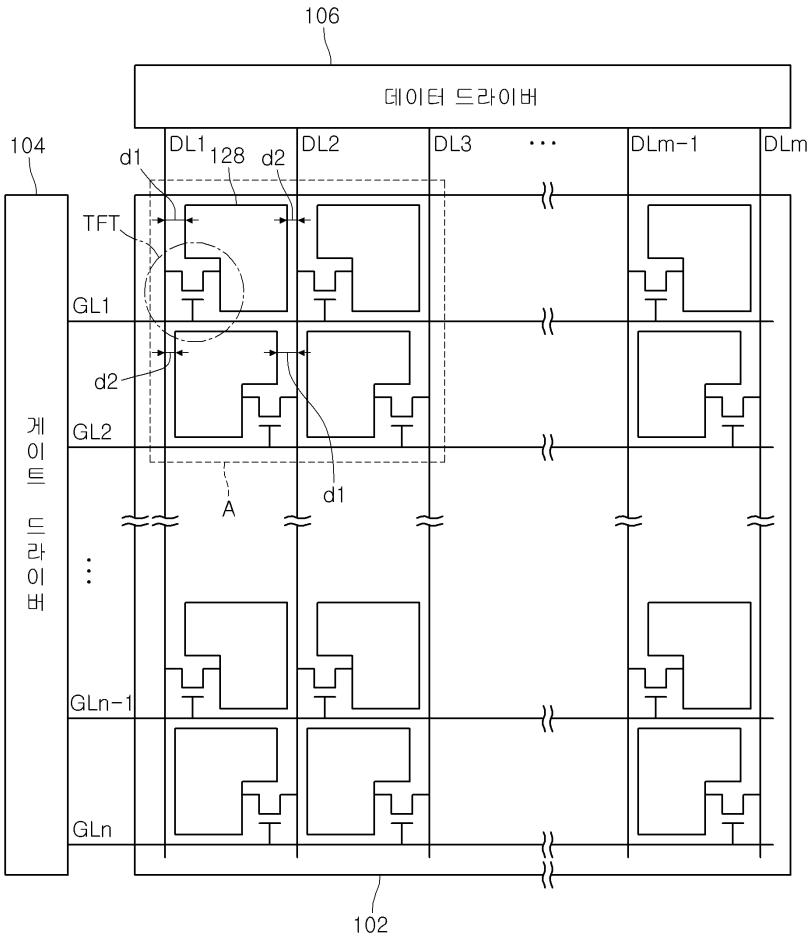
[0099] 도 10은 수직 크로스 토크를 검사하기 위한 패턴을 표시한 액정패널을 나타낸 도면.

[0100] 도 11은 도 10의 액정패널을 구동하기 위한 구동전압을 나타낸 파형도.

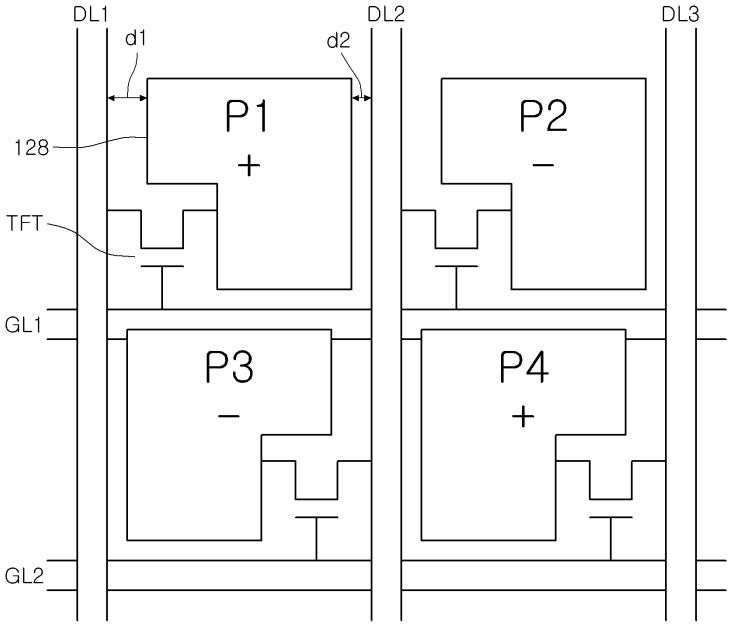
[0101] 도 12은 화소전극과 박막트랜지스터가 접속되지 않는 데이터라인 사이의 간격에 따른 수직 크로스 토크(C/T)의 발생 빈도를 나타낸 실험 파형도.

도면

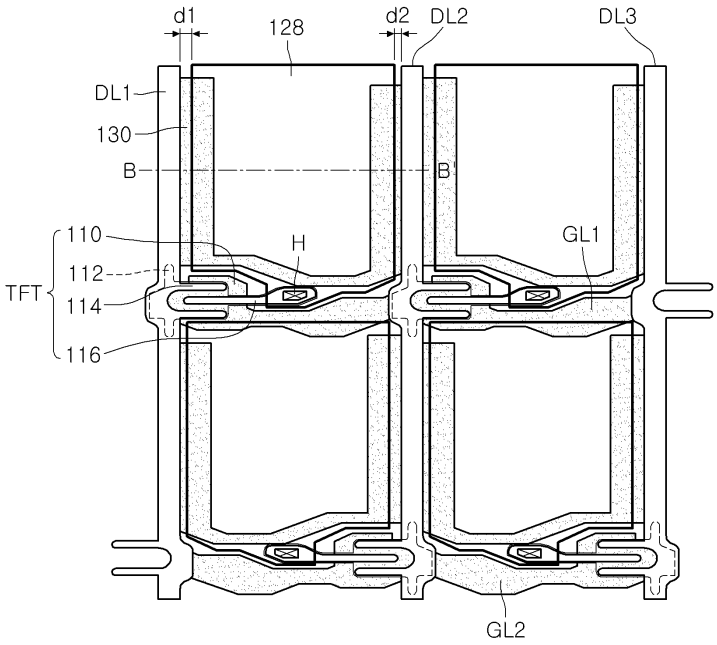
도면1



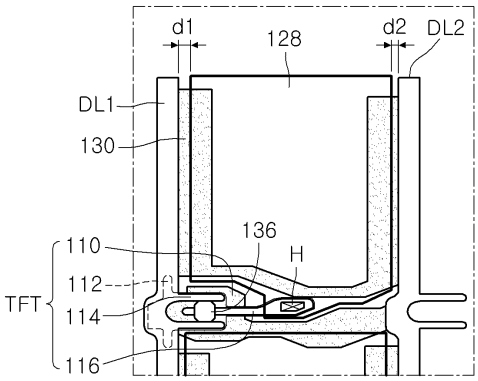
도면2


DL1
d1
DL2
d2
DL3
P1
+
P2
−
128
TFT
GL1
P3
−
P4
+
GL2

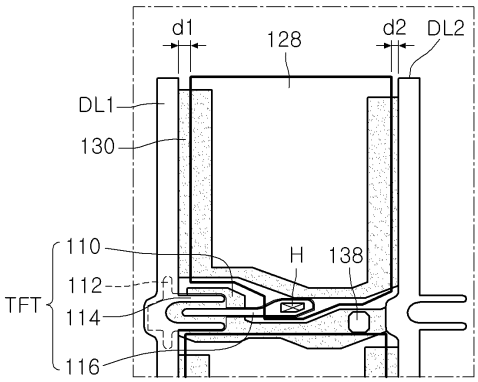
도면3


d1
128
d2
DL2
DL3
DL1
130
B
B
110
H
GL1
TFT
112
114
116
GL2

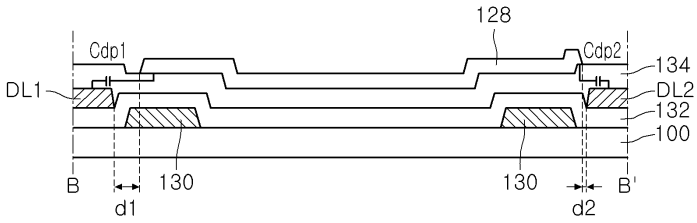
도면4a



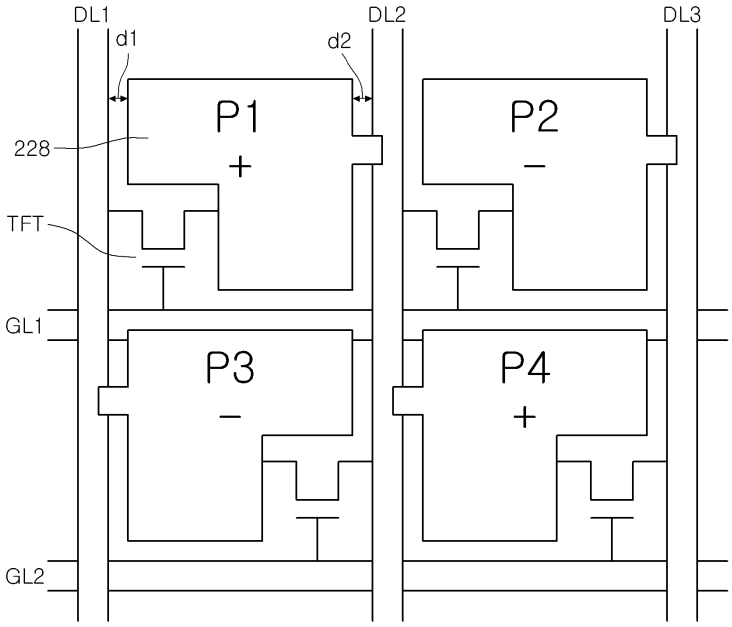
도면4b



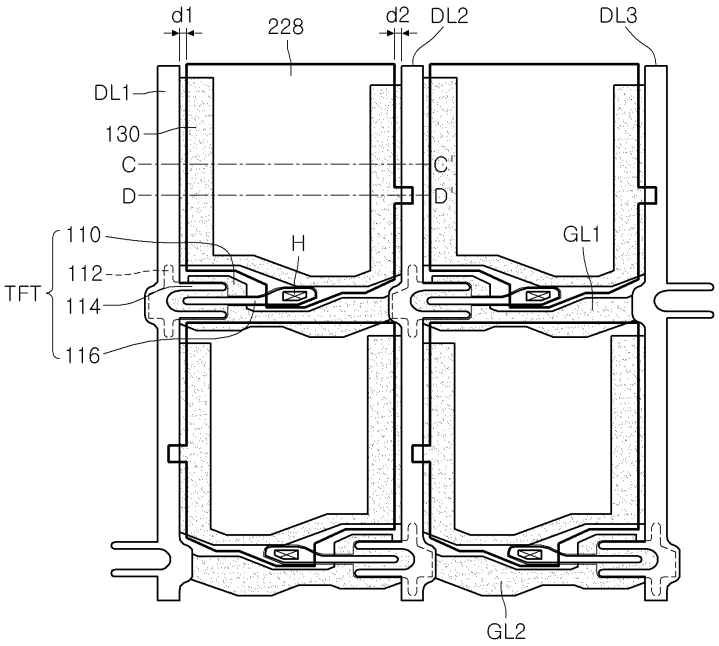
도면5



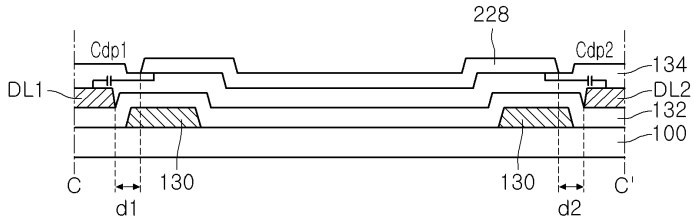
도면6


DL1
d1
d2
DL2
DL3
P1
+
P2
−
228
TFT
GL1
P3
−
P4
+
GL2

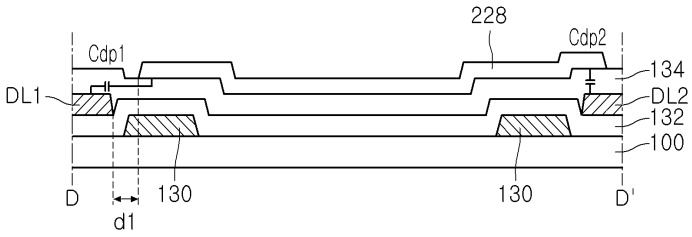
도면7


d1
228
d2
DL2
DL3
DL1
130
C
C'
D
D'
110
H
GL1
TFT
112
114
116
GL2

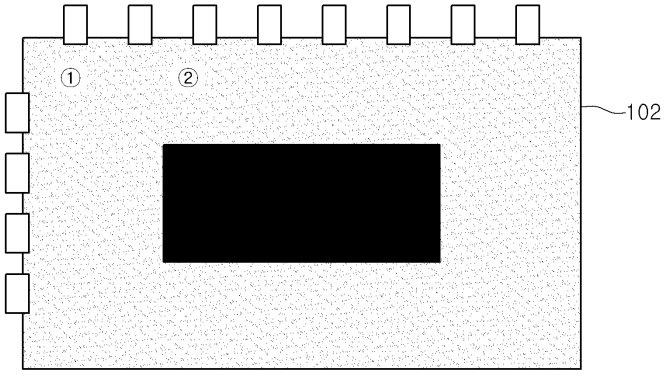
도면8



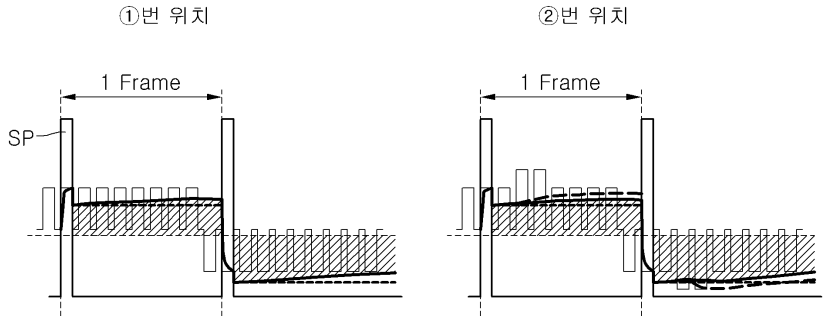
도면9



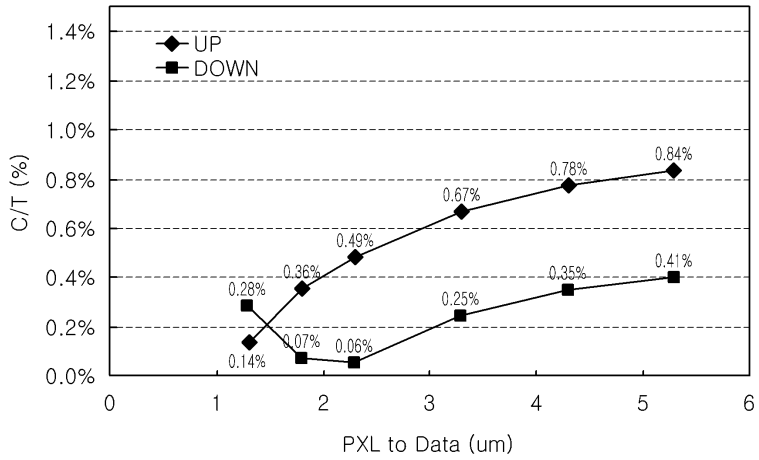
도면10



도면11

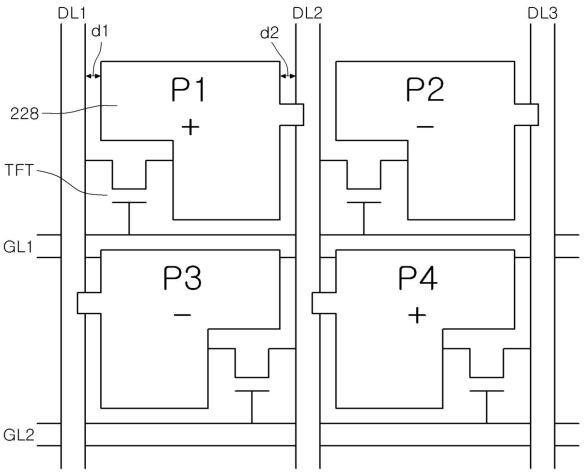


도면12


1.4%
1.2%
1.0%
0.8%
0.6%
0.4%
0.2%
0.0%
C/T (%)
UP
DOWN
0.14%
0.28%
0.36%
0.49%
0.67%
0.78%
0.84%
0.07%
0.06%
0.25%
0.35%
0.41%
0
1
2
3
4
5
6
PXL to Data (um)

专利名称(译)	液晶面板和具有该液晶面板的液晶显示装置		
公开(公告)号	KR1020100034160A	公开(公告)日	2010-04-01
申请号	KR1020080093152	申请日	2008-09-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HEO SEUNG HO 허승호 NAM CHUL 남철		
发明人	허승호 남철		
IPC分类号	G02F1/1343 G02F1/133 G02F1/136		
CPC分类号	G02F1/136286		
其他公开文献	KR101308164B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶面板和包括该液晶面板的液晶显示装置，以通过不对称地形成第一数据线，第二数据线和像素电极之间的间隔来最小化数据之间泄漏电流的差异。结构：第一数据线通过多条栅极线的交叉定义像素区域。第一数据线电连接到像素区域内的薄膜晶体管（TFT）。第二条数据线与第一条数据线相邻。第二数据线不与像素区域的薄膜晶体管电连接。像素电极（228）电连接到薄膜晶体管的漏电极.

COPYRIGHT KIPO 2010