



특허청구의 범위

청구항 1

기관상에 일방향으로 연장하는 제 1 및 제 2 게이트 배선과;

상기 제 1 및 제 2 게이트 배선과 게이트 절연막을 개재하여 형성되며 상기 제 1 및 제 2 게이트 배선과 교차하여 화소영역을 정의하는 제 1 및 제 2 데이터 배선과;

상기 게이트 절연막 위로 상기 제 2 데이터 배선에서 각각 분기하며 형성된 제 1 연장부 및 제 2 연장부와;

상기 제 2 게이트 배선 및 상기 제 1 데이터 배선과 연결되며 형성된 박막트랜지스터와;

상기 제 1 및 제 2 데이터 배선과 상기 박막트랜지스터 위에 형성되며, 상기 박막트랜지스터의 드레인 전극을 노출시키는 제 1 콘택홀과 상기 제 2 연장부를 노출시키는 제 2 콘택홀을 갖는 보호층과;

상기 화소영역 내부에 상기 보호층 상부로 상기 제 1 콘택홀을 통해 상기 드레인 전극과 접촉하며 상기 제 1 연장부와 중첩하며 형성된 제 1 패턴과, 상기 제 1 패턴에서 분기하여 상기 제 1 및 제 2 데이터 배선과 나란하게 형성된 다수의 제 1 전극과;

상기 화소영역 내부에 상기 보호층 상부로 상기 제 2 콘택홀을 통해 상기 제 2 연장부와 접촉하며 상기 제 1 게이트 배선과 나란하게 이격하며 형성된 제 2 패턴과, 상기 제 2 패턴에서 분기하며 상기 다수의 제 1 전극과 교대하는 다수의 제 2 전극

을 포함하며, 상기 제 1 및 제 2 데이터 배선과 각각 인접해서 상기 제 1 전극이 각각 위치하며, 상기 제 1 데이터 배선과 인접하여 형성되는 제 1 전극은 상기 제 1 데이터 배선과 제 1 간격을 가지며 최외각 제 1 전극을 이루고, 상기 제 2 데이터 배선은 그 자체로서 최외각 제 2 전극을 이루어 이와 인접한 상기 제 1 전극과 더불어 횡전계를 형성하는 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 2

제 1 항에 있어서,

상기 다수의 제 1 전극과, 상기 다수의 제 2 전극과, 상기 제 1 및 제 2 패턴과, 상기 최외각 제 1 전극은 동일한 층에 동일한 금속물질로 형성된 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 3

제 1 항에 있어서,

상기 보호층을 사이에 두고 서로 중첩하는 상기 제 1 패턴과 상기 제 1 연장부는 상기 보호층과 더불어 스토리지 커패시터를 이루는 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 4

기관상에 일방향으로 연장하는 제 1 및 제 2 게이트 배선과;

상기 제 1 및 제 2 게이트 배선과 게이트 절연막을 개재하여 형성되며 상기 게이트 배선과 교차하여 화소영역을 정의하는 제 1 및 제 2 데이터 배선과;

상기 게이트 절연막 위로 상기 제 2 데이터 배선에서 분기하며 상기 제 2 게이트 배선과 나란하게 이격하며 형성된 제 2 데이터 배선 연장부와;

상기 제 2 게이트 배선과 상기 제 1 데이터 배선과 연결되며 형성된 박막트랜지스터와;

상기 제 1 및 제 2 데이터 배선과 상기 박막트랜지스터 위에 형성되며, 상기 박막트랜지스터의 드레인 전극을 노출시키는 제 1 콘택홀과 상기 제 2 데이터 배선 연장부를 노출시키는 제 2 콘택홀을 갖는 보호층과;

상기 화소영역 내부에 상기 보호층 상부로 상기 제 1 콘택홀을 통해 상기 드레인 전극과 접촉하며 상기 제 2 데이터 배선 연장부와 중첩하며 형성된 제 1 패턴과, 상기 제 1 패턴에서 분기하여 상기 제 1 및 제 2 데이터 배선과 나란하게 형성된 다수의 제 1 전극과;

상기 화소영역 내부에 상기 보호층 상부로 상기 제 2 콘택홀을 통해 상기 제 2 데이터 배선 연장부와 접촉하며, 상기 제 2 데이터 배선과 중첩하며 형성된 최외각 제 2 전극과, 상기 최외각 제 2 전극 끝단과 연결되며 상기 제 1 게이트 배선과 나란하게 이격하며 형성된 제 2 패턴과, 상기 제 2 패턴에서 분기하며 상기 다수의 제 1 전극과 교대하는 다수의 제 2 전극

을 포함하며, 상기 제 1 데이터 배선과 인접하여 형성되는 제 1 전극은 상기 제 1 데이터 배선과 제 1 간격을 가지며 최외각 제 1 전극을 이루는 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 5

제 4 항에 있어서,

상기 다수의 제 1 전극과, 상기 다수의 제 2 전극과, 상기 제 1 및 제 2 패턴과, 상기 최외각 제 1 전극 및 상기 최외각 제 2 전극은 동일한 층에 동일한 금속물질로 형성된 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 6

기판상에 일방향으로 연장하는 제 1 및 제 2 게이트 배선과;

상기 제 1 및 제 2 게이트 배선과 게이트 절연막을 개재하여 형성되며 상기 게이트 배선과 교차하여 화소영역을 정의하는 제 1 및 제 2 데이터 배선과;

상기 게이트 절연막 위로 상기 제 2 데이터 배선에서 분기하며 상기 제 2 게이트 배선과 나란하게 이격하며 형성된 제 2 데이터 배선 연장부와;

상기 제 2 게이트 배선과 상기 제 1 데이터 배선과 연결되며 형성된 박막트랜지스터와;

상기 제 1 및 제 2 데이터 배선과 상기 박막트랜지스터 위에 형성되며, 상기 박막트랜지스터의 드레인 전극을 노출시키는 제 1 콘택홀과 상기 제 2 데이터 배선 연장부를 노출시키는 제 2 콘택홀을 갖는 보호층과;

상기 화소영역 내부에 상기 보호층 상부로 상기 제 1 콘택홀을 통해 상기 드레인 전극과 접촉하며 상기 제 2 데이터 배선 연장부와 중첩하며 형성된 제 1 패턴과, 상기 제 1 패턴에서 분기하여 상기 제 1 및 제 2 데이터 배선과 나란하게 형성된 다수의 제 1 전극과;

상기 화소영역 내부에 상기 보호층 상부로 상기 제 2 콘택홀을 통해 상기 제 2 데이터 배선 연장부와 접촉하며, 상기 제 2 데이터 배선과 중첩하며 형성된 제 1 최외각 제 2 전극과, 상기 제 1 최외각 제 2 전극 끝단과 연결되며 상기 제 1 게이트 배선과 나란하게 이격하며 형성된 제 2 패턴과, 상기 제 2 패턴과 연결되며 상기 제 1 데이터 배선과 제 1 간격 이격하며 나란하게 형성된 제 2 최외각 제 2 전극과, 상기 제 2 패턴에서 분기하며 상기 다수의 제 1 전극과 교대하는 다수의 제 2 전극

을 포함하는 횡전계형 액정표시장치용 어레이 기판.

청구항 7

제 6 항에 있어서,

상기 다수의 제 1 전극과, 상기 다수의 제 2 전극과, 상기 제 1 및 제 2 패턴과, 상기 제 1 최외각 제 2 전극 및 상기 제 2 최외각 제 2 전극은 동일한 층에 동일한 금속물질로 형성된 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 8

제 4 항 또는 제 6 항에 있어서,

상기 보호층을 사이에 두고 서로 중첩하는 상기 제 1 패턴과 상기 제 2 데이터 배선 연장부는 상기 보호층과 더불어 스토리지 커패시터를 이루는 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 9

제 1 항, 제 4 항 및 제 6 항 중 어느 하나의 항에 있어서,

상기 제 1 간격은 $0\mu\text{m}$ 보다는 크고, $5\mu\text{m}$ 보다는 작은 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 액정표시장치(Liquid Crystal Display Device)에 관한 것으로 특히, 개구율이 향상된 횡전계형 액정표시장치(In-plane switching mode liquid crystal display device)용 어레이 기판에 관한 것이다.

배경 기술

<2> 일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

<3> 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

<4> 현재에는 박막 트랜지스터와 상기 박막 트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 액티브 매트릭스 액정표시장치(AM-LCD : Active Matrix LCD 이하, 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

<5> 상기 액정표시장치는 공통전극이 형성된 컬러필터 기판과 화소전극이 형성된 어레이 기판과, 상기 두 기판 사이에 개재된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극 사이에서 상하로 걸리는 전기장에 의해 액정을 구동하는 방식으로 투과율과 개구율 등의 특성이 우수하다.

<6> 그러나, 상하로 걸리는 전기장에 의한 액정구동은 시야각 특성이 우수하지 못한 단점을 가지고 있다.

<7> 따라서, 이러한 단점을 극복하기 위해 시야각 특성이 우수한 횡전계형 액정표시장치가 제안되었다.

<8> 이하, 도 1을 참조하여 일반적인 횡전계형 액정표시장치에 관해 상세히 설명한다.

<9> 도 1은 일반적인 횡전계형 액정표시장치의 단면을 도시한 도면이다.

<10> 도시한 바와 같이, 컬러필터 기판인 상부기판(9)과 어레이 기판인 하부기판(10)이 서로 이격되어 대향하고 있으며, 이 상부 및 하부기판(9, 10)사이에는 액정층(11)이 개재되어 있다.

<11> 상기 하부기판(10)상에는 공통전극(17)과 화소전극(30)이 동일 평면상에 형성되어 있으며, 이때, 상기 액정층(11)은 상기 공통전극(17)과 화소전극(30)에 의한 수평전계(L)에 의해 작동된다.

<12> 도 2a와 2b는 일반적인 횡전계형 액정표시장치의 온(on), 오프(off) 상태의 동작을 각각 도시한 단면도이다.

<13> 우선, 전압이 인가된 온(on)상태에서의 액정의 배열상태를 도시한 도 2a를 참조하면, 상기 공통전극(17) 및 화소전극(30)과 대응하는 위치의 액정(11a)의 상변이는 없지만 공통전극(17)과 화소전극(30)사이 구간에 위치한 액정(11b)은 이 공통전극(17)과 화소전극(30)사이에서 전압이 인가됨으로써 형성되는 수평전계(L)에 의하여, 상기 수평전계(L)와 같은 방향으로 배열하게 된다. 즉, 상기 횡전계형 액정표시장치는 액정이 수평전계에 의해 이동하므로, 시야각이 넓어지는 특성을 띠게 된다.

<14> 그러므로, 상기 횡전계형 액정표시장치를 정면에서 보았을 때, 상/하/좌/우방향으로 약 $80\sim 85^\circ$ 방향에서도 반전현상 없이 가시할 수 있다.

<15> 다음, 도 2b를 참조하면, 상기 액정표시장치에 전압이 인가되지 않은 오프(off)상태에서는 상기 공통전극과 화소전극 간에 수평전계가 형성되지 않으므로 액정층(11)의 배열 상태가 변하지 않는다.

<16> 도 3은 종래의 일반적인 횡전계형 액정표시장치용 어레이 기판의 일부를 개략적으로 구성한 평면도이다.

<17> 도시한 바와 같이, 종래의 일반적인 횡전계형 액정표시장치용 어레이 기판(40)은 소정간격 이격되어 평행하게 가로방향 방향으로 구성된 다수의 게이트 배선(43)과, 상기 게이트 배선(43)에 근접하여 상기 게이트 배선(43)과 평행하게 구성된 공통배선(47)과, 상기 두 배선(43, 47)과 교차하며 특히, 게이트 배선(43)과는 교차하여 화

소영역(P)을 정의하는 데이터 배선(60)이 구성되어 있다.

- <18> 상기 게이트 배선(43)과 데이터 배선(60)의 교차지점에는 게이트 전극(45)과 반도체층(50)과 소스 드레인 전극(53, 55)으로 구성되는 박막트랜지스터(Tr)가 형성되어 있다. 이때, 상기 소스 전극(53)은 상기 데이터 배선(60)에서 분기하고 있으며, 상기 게이트 전극(45)은 상기 게이트 배선(43)에서 분기하여 이루어지고 있다.
- <19> 또한, 상기 화소영역(P) 내에는 상기 드레인 전극(55)과 드레인 콘택홀(67)을 통해 상기 드레인 전극(55)과 전기적으로 연결되는 다수의 화소전극(70)과, 상기 화소전극(70)과 평행하게 서로 엇갈리며 구성되고, 상기 공통 배선(47)으로부터 분기한 다수의 공통전극(49a, 49b)이 형성되어 있다.
- <20> 하지만, 전술한 일반적인 횡전계형 액정표시장치용 어레이 기관(40)을 살펴보면, 상기 화소영역(P)의 최외각에는 데이터 배선(60)과 소정간격 이격하며 최외각 공통전극(49a)이 구성되고 있음을 알 수 있다.
- <21> 이러한 구조를 갖는 종래의 횡전계형 액정표시장치용 어레이 기관(40)에 있어 기준 전압이 되는 공통전압은 상기 공통배선(47)을 통해 가로 방향으로 인가되며 정전압 인가로 인해 차징(charging)시 발생하는 전압차에 대한 보상 및 별도의 튜닝을 필요로 하고 있다. 또한, 데이터 배선(60)에 의한 영향을 최소화하기 위해 최외각 공통전극(49a)을 이와 인접하여 이격하며 구성하고 그 내측으로 화소전극(70) 및 중앙부 공통전극(49b)을 교대하도록 형성해야 하므로 개구율이 저하되는 문제가 발생하고 있다.

발명의 내용

해결 하고자하는 과제

- <22> 본 발명은 전술한 바와 같은 문제를 해결하기 위해 안출된 것으로, 정전압이 인가되는 공통배선 및 공통전극 없이 횡전계를 형성할 수 있는 횡전계형 액정표시장치용 어레이 기관을 제공하는 것을 그 목적으로 한다.
- <23> 또한, 최외각 공통전극을 제거함으로써 개구율을 향상시키는 것을 또 다른 목적으로 한다.

과제 해결수단

- <24> 전술한 바와 같은 목적을 달성하기 위한 본 발명의 일실시예에 따른 횡전계형 액정표시장치용 어레이 기관은, 기관상에 일방향으로 연장하는 제 1 및 제 2 게이트 배선과; 상기 제 1 및 제 2 게이트 배선과 게이트 절연막을 개재하여 형성되며 상기 제 1 및 제 2 게이트 배선과 교차하여 화소영역을 정의하는 제 1 및 제 2 데이터 배선과; 상기 게이트 절연막 위로 상기 제 2 데이터 배선에서 각각 분기하며 형성된 제 1 연장부 및 제 2 연장부와; 상기 제 2 게이트 배선 및 상기 제 1 데이터 배선과 연결되며 형성된 박막트랜지스터와; 상기 제 1 및 제 2 데이터 배선과 상기 박막트랜지스터 위에 형성되며, 상기 박막트랜지스터의 드레인 전극을 노출시키는 제 1 콘택홀과 상기 제 2 연장부를 노출시키는 제 2 콘택홀을 갖는 보호층과; 상기 화소영역 내부에 상기 보호층 상부로 상기 제 1 콘택홀을 통해 상기 드레인 전극과 접촉하며 상기 제 1 연장부와 중첩하며 형성된 제 1 패턴과, 상기 제 1 패턴에서 분기하여 상기 제 1 및 제 2 데이터 배선과 나란하게 형성된 다수의 제 1 전극과; 상기 화소영역 내부에 상기 보호층 상부로 상기 제 2 콘택홀을 통해 상기 제 2 연장부와 접촉하며 상기 제 1 게이트 배선과 나란하게 이격하며 형성된 제 2 패턴과, 상기 제 2 패턴에서 분기하며 상기 다수의 제 1 전극과 교대하는 다수의 제 2 전극을 포함하며, 상기 제 1 및 제 2 데이터 배선과 각각 인접해서 상기 제 1 전극이 각각 위치하며, 상기 제 1 데이터 배선과 인접하여 형성되는 제 1 전극은 상기 제 1 데이터 배선과 제 1 간격을 가지며 최외각 제 1 전극을 이루고, 상기 제 2 데이터 배선은 그 자체로서 최외각 제 2 전극을 이루어 이와 인접한 상기 제 1 전극과 더불어 횡전계를 형성하는 것이 특징이다.
- <25> 이때, 상기 다수의 제 1 전극과, 상기 다수의 제 2 전극과, 상기 제 1 및 제 2 패턴과, 상기 최외각 제 1 전극은 동일한 층에 동일한 금속물질로 형성된 것이 특징이며, 상기 보호층을 사이에 두고 서로 중첩하는 상기 제 1 패턴과 상기 제 1 연장부는 상기 보호층과 더불어 스토리지 커패시터를 이루는 것이 특징이다.
- <26> 본 발명의 또 다른 실시예에 따른 횡전계형 액정표시장치용 어레이 기관은, 기관상에 일방향으로 연장하는 제 1 및 제 2 게이트 배선과; 상기 제 1 및 제 2 게이트 배선과 게이트 절연막을 개재하여 형성되며 상기 게이트 배선과 교차하여 화소영역을 정의하는 제 1 및 제 2 데이터 배선과; 상기 게이트 절연막 위로 상기 제 2 데이터 배선에서 분기하며 상기 제 2 게이트 배선과 나란하게 이격하며 형성된 제 2 데이터 배선 연장부와; 상기 제 2 게이트 배선과 상기 제 1 데이터 배선과 연결되며 형성된 박막트랜지스터와; 상기 제 1 및 제 2 데이터 배선과 상기 박막트랜지스터 위에 형성되며, 상기 박막트랜지스터의 드레인 전극을 노출시키는 제 1 콘택홀과 상기 제 2 데이터 배선 연장부를 노출시키는 제 2 콘택홀을 갖는 보호층과; 상기 화소영역 내부에 상기 보호층 상부로

상기 제 1 콘택홀을 통해 상기 드레인 전극과 접촉하며 상기 제 2 데이터 배선 연장부와 중첩하며 형성된 제 1 패턴과, 상기 제 1 패턴에서 분기하여 상기 제 1 및 제 2 데이터 배선과 나란하게 형성된 다수의 제 1 전극과; 상기 화소영역 내부에 상기 보호층 상부로 상기 제 2 콘택홀을 통해 상기 제 2 데이터 배선 연장부와 접촉하며, 상기 제 2 데이터 배선과 중첩하며 형성된 최외각 제 2 전극과, 상기 최외각 제 2 전극 끝단과 연결되며 상기 제 1 게이트 배선과 나란하게 이격하며 형성된 제 2 패턴과, 상기 제 2 패턴에서 분기하며 상기 다수의 제 1 전극과 교대하는 다수의 제 2 전극을 포함하며, 상기 제 1 데이터 배선과 인접하여 형성되는 제 1 전극은 상기 제 1 데이터 배선과 제 1 간격을 가지며 최외각 제 1 전극을 이루는 것이 특징이다.

<27> 이때, 상기 다수의 제 1 전극과, 상기 다수의 제 2 전극과, 상기 제 1 및 제 2 패턴과, 상기 최외각 제 1 전극 및 상기 최외각 제 2 전극은 동일한 층에 동일한 금속물질로 형성된 것이 특징이다.

<28> 본 발명의 또 다른 실시예에 따른 횡전계형 액정표시장치용 어레이 기판은, 기판상에 일방향으로 연장하는 제 1 및 제 2 게이트 배선과; 상기 제 1 및 제 2 게이트 배선과 게이트 절연막을 개재하여 형성되며 상기 게이트 배선과 교차하여 화소영역을 정의하는 제 1 및 제 2 데이터 배선과; 상기 게이트 절연막 위로 상기 제 2 데이터 배선에서 분기하며 상기 제 2 게이트 배선과 나란하게 이격하며 형성된 제 2 데이터 배선 연장부와; 상기 제 2 게이트 배선과 상기 제 1 데이터 배선과 연결되며 형성된 박막트랜지스터와; 상기 제 1 및 제 2 데이터 배선과 상기 박막트랜지스터 위에 형성되며, 상기 박막트랜지스터의 드레인 전극을 노출시키는 제 1 콘택홀과 상기 제 2 데이터 배선 연장부를 노출시키는 제 2 콘택홀을 갖는 보호층과; 상기 화소영역 내부에 상기 보호층 상부로 상기 제 1 콘택홀을 통해 상기 드레인 전극과 접촉하며 상기 제 2 데이터 배선 연장부와 중첩하며 형성된 제 1 패턴과, 상기 제 1 패턴에서 분기하여 상기 제 1 및 제 2 데이터 배선과 나란하게 형성된 다수의 제 1 전극과; 상기 화소영역 내부에 상기 보호층 상부로 상기 제 2 콘택홀을 통해 상기 제 2 데이터 배선 연장부와 접촉하며, 상기 제 2 데이터 배선과 중첩하며 형성된 제 1 최외각 제 2 전극과, 상기 제 1 최외각 제 2 전극 끝단과 연결되며 상기 제 1 게이트 배선과 나란하게 이격하며 형성된 제 2 패턴과, 상기 제 2 패턴과 연결되며 상기 제 1 데이터 배선과 제 1 간격 이격하며 나란하게 형성된 제 2 최외각 제 2 전극과, 상기 제 2 패턴에서 분기하며 상기 다수의 제 1 전극과 교대하는 다수의 제 2 전극을 포함한다.

<29> 이때, 상기 다수의 제 1 전극과, 상기 다수의 제 2 전극과, 상기 제 1 및 제 2 패턴과, 상기 제 1 최외각 제 2 전극 및 상기 제 2 최외각 제 2 전극은 동일한 층에 동일한 금속물질로 형성된 것이 특징이다.

<30> 또한, 상기 보호층을 사이에 두고 서로 중첩하는 상기 제 1 패턴과 상기 제 2 데이터 배선 연장부는 상기 보호층과 더불어 스토리지 커패시터를 이루는 것이 특징이다.

<31> 또한, 상기 제 1 간격은 $0\mu\text{m}$ 보다는 크고, $5\mu\text{m}$ 보다는 작은 것이 특징이다.

효 과

<32> 본 발명에 따른 횡전계형 액정표시장치용 어레이 기판은 공통배선과 공통전극이 없이 제 1 데이터 배선과 접촉하는 박막트랜지스터와 연결된 제 1 전극과, 제 2 데이터 배선과 연결된 제 2 전극을 통해 횡전계를 구현함으로써 차징 시 발생하는 전압차에 대한 보상 및 별도의 튜닝을 필요로 하지 않으므로 비용을 저감시키는 효과가 있으며, 나아가 데이터 배선과 인접하여 이와 이격하며 형성하는 최외각 공통전극의 폭 만큼에 해당하는 부분만큼의 개구율 향상의 효과가 있다.

<33> 또한, 기준전압을 펄스 형태로 인가함에 따라 시그널 변동에 따른 전압차 및 플리커와 같은 화상 품질 저하 요소의 발생을 효과적으로 방지하는 장점이 있다.

<34> 또한, 제 1 및 제 2 데이터 배선과 이와 인접하는 최외각 전극을 이원화하여 서로 다른층에 형성함으로써 상기 제 1 및 제 2 데이터 배선과 최외각 전극간의 쇼트 방지와 그 이격간격을 $5\mu\text{m}$ 미만이 되도록 구성하며, 상기 최외각 전극 중 하나를 데이터 배선과 일부 중첩하도록 함으로써 더욱 개구율을 향상시키는 효과가 있다.
또한, 나아가 하나의 박막트랜지스터를 형성하고, 상기 제 1 또는 제 2 데이터 배선을 최외각 전극으로 이용함으로써 더욱 개구율을 극대화하는 장점이 있다. 또한, 제 2 전극을 데이터 배선과 전기적으로 연결되도록 형성함으로써 데이터 배선에 인가되는 데이터 신호전압의 강하를 방지 할 수 있으며, 이로인해 박막트랜지스터의 게이트 오프 전압보다 낮은 전압이 형성되지 않으므로 누설전류가 발생하지 않으므로 화소영역 내의 신호 전압을 다음 신호 전압 인가시까지 일정하게 유지시키는 능력이 향상되는 효과가 있다.

<35> 또한, 화소영역 내에 2개의 박막트랜지스터를 형성하는 제 1 실시예에 있어서는 스토리지 커패시터에 2개의 박막트랜지스터에 의해 차징이 이루어지는데 반해 제 2 실시예 및 그 변형예의 경우 상기 스토리지 커패시터에 1

개의 박막트랜지스터에 의해 차징되고 나머지 한쪽은 데이터 배선으로 직접 전압을 인가받는 구조가 되므로 스토리지 차징 능력이 향상되는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- <36> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.
- <37> 도 4는 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치용 어레이 기관의 하나의 화소영역을 개략적으로 도시한 평면도이다.
- <38> 도시한 바와 같이, 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치용 어레이 기관(101)에는, 일 방향으로 일정간격 이격하며 제 1 및 제 2 게이트 배선(105a, 105b)이 형성되어 있으며, 상기 제 1 및 제 2 게이트 배선(105a, 105b)과 교차하여 화소영역(P)을 정의하며 제 1 및 제 2 데이터 배선(133a, 133b)이 일정간격 이격하며 형성되어 있다.
- <39> 또한, 상기 화소영역(P) 내에는 상기 제 2 게이트 배선(105b)과 제 1 데이터 배선(133a)이 교차하는 부근에 상기 제 2 게이트 배선(105b)과 제 1 데이터 배선(133a)과 각각 연결되며 제 1 박막트랜지스터(Tr1)가 형성되어 있으며, 상기 제 2 게이트 배선(105b)과 제 2 데이터 배선(133b)이 교차하는 부근에 상기 제 2 게이트 배선(105b)과 제 2 데이터 배선(133b)과 각각 연결되며 제 2 박막트랜지스터(Tr2)가 형성되어 있다.
- <40> 이때 도면에 나타나지 않았지만, 상기 화소영역(P)과 이웃한 화소영역(미도시)에는 상기 제 1 게이트 배선(105a)과 상기 제 1 및 제 2 데이터 배선(133a, 133b)이 연결되며 각각 제 1 박막트랜지스터(Tr1)와 제 2 박막트랜지스터(Tr2)를 이루고 있다. 따라서, 상기 화소영역(P)은 실질적으로 교대하는 형태로 제 1 및 제 2 화소영역(미도시, P2)으로 이루어진다. 이때, 상기 제 1 화소영역(미도시)은 제 1 게이트 배선(105a)과 연결된 제 1 및 제 2 박막트랜지스터(Tr1, Tr2)가 형성되며, 제 2 화소영역(P2)에는 상기 제 2 게이트 배선(105b)과 연결된 제 1 및 제 2 박막트랜지스터(Tr1, Tr2)가 형성된다. 도면에 있어서는 제 2 화소영역(P2)에 대해서 도시한 것이다. 이후에는 제 1 및 제 2 화소영역(미도시, P2)의 구분없이 통칭하여 화소영역(P)이라 칭하며, 상기 제 1 및 제 2 게이트 배선(105a, 105b) 또한 구분없이 게이트 배선(105)이라 칭한다.
- <41> 한편, 제 1 박막트랜지스터(Tr1)는 제 1 게이트 전극(108a)과, 게이트 절연막(미도시)과, 순수 비정질 실리콘의 제 1 액티브층(미도시)과 불순물 비정질 실리콘의 제 1 오믹콘택층(미도시)을 포함하는 제 1 반도체층(미도시)과, 서로 이격하는 제 1 소스 전극(136a) 및 제 1 드레인 전극(139a)으로 구성되고 있다. 또한 제 2 박막트랜지스터(Tr2)는 제 2 게이트 전극(108b)과, 게이트 절연막(미도시)과, 순수 비정질 실리콘의 제 2 액티브층(미도시)과 불순물 비정질 실리콘의 제 2 오믹콘택층(미도시)을 포함하는 제 2 반도체층(미도시)과, 서로 이격하는 제 2 소스 전극(136b) 및 제 2 드레인 전극(139b)으로 구성되고 있다.
- <42> 이때 상기 제 1 박막트랜지스터(Tr1)의 제 1 소스 전극(136a)은 상기 제 1 데이터 배선(133a)과 연결되고 있으며, 상기 제 2 박막트랜지스터(Tr2)의 제 2 소스 전극(136b)은 상기 제 2 데이터 배선(133b)과 연결되고 있다.
- <43> 또한, 화소영역(P)에는 상기 제 1 박막트랜지스터(Tr1)의 제 1 드레인 전극(139a)과 연결되며 상기 제 1 데이터 배선(133a)과 인접하여 이와 나란하게 최외각 제 1 전극(141)이 형성되어 있으며, 그 끝단은 절곡되어 형성되고 있다. 또한, 제 2 박막트랜지스터(Tr2)의 제 2 드레인 전극(139b)과 연결되며 상기 제 2 데이터 배선(133b)과 인접하여 이와 나란하게 최외각 제 2 전극(147)이 형성되어 있으며, 상기 최외각 제 2 전극(147)의 끝단은 절곡되어 형성되고 있다.
- <44> 한편, 화소영역(P)에는 상기 게이트 배선(105)과 나란하게 이와 각각 이격하여 제 1 패턴(160) 및 제 2 패턴(165)이 형성되어 있다. 이때, 상기 제 1 패턴(160)은 제 1 콘택홀(153)을 통해 상기 최외각 제 1 전극(141)과 연결되고 있으며, 상기 제 2 패턴(165)은 제 2 콘택홀(155)을 통해 상기 최외각 제 2 전극(147)과 연결되고 있다.
- <45> 또한, 상기 화소영역(P)에는 상기 제 1 패턴(160)에서 분기하여 다수의 제 1 전극(162)이 일정간격 이격하며 형성되어 있으며, 상기 제 2 패턴(165)에서 분기하여 상기 다수의 제 1 전극(162)과 교대하며 다수의 제 2 전극(168)이 형성되어 있다.
- <46> 한편, 상기 제 1 패턴(160)에 대해서는 이와 중첩하며 상기 제 2 박막트랜지스터(Tr2)의 제 2 드레인 전극(169b)과 연결된 최외각 제 2 전극(147)이 연장 형성됨으로써, 상기 중첩된 제 1 패턴(160)과 최외각 제 2 전극의 연장부(145)가 제 1 스토리지 커패시터(StgC1)를 형성하고 있다. 또한, 상기 제 2 패턴(165)에 대해서는 상

기 최외각 제 1 전극(141)이 절곡되어 연장 형성됨으로써 상기 중첩된 제 2 패턴(165)과 최외각 제 1 전극의 연장부(143)가 제 2 스토리지 커패시터(StgC2)를 형성하고 있다.

<47> 이러한 구성을 갖는 화소영역(P)을 구비한 횡전계형 액정표시장치용 어레이 기판(101)의 경우, 상기 제 1 데이터 배선(133a)으로는 하이(특정 기준 전압을 기준으로 이보다 큰 전압을 인가하는 상태) 신호 전압이, 상기 제 2 데이터 배선(133b)으로는 로우(특정 기준 전압을 기준으로 이보다 작은 전압을 인가하는 상태) 신호전압이 펄스형태로 인가됨으로써 이들 로우와 하이의 펄스 형태의 신호전압에 의한 전압차를 이용하여 상기 다수의 제 1 및 제 2 전극(162, 168) 간에 횡전계를 형성하게 되며, 이러한 횡전계가 발현된 상태가 상기 제 1 및 제 2 박막 트랜지스터(Tr1, Tr2)가 스위칭되어 오픈 상태가 될 때까지는 상기 제 1 및 제 2 스토리지 커패시터(StgC1, StgC2)에 의해 지속된다.

<48> 전술한 바와 같은 구조를 갖는 제 1 실시예에 따른 횡전계형 어레이 기판(101)은 최외각에 반드시 공통전극이 위치하도록 형성하는 종래의 횡전계형 어레이 기판(도 3의 40) 대비 차징(charging) 시 발생하는 전압차에 대한 보상 및 튜닝을 필요치 않으므로 구동회로 설계에 있어 훨씬 마진이 많으며 이에 의해 제조 비용이 절감되는 효과가 있다. 또한, 기준전압을 펄스 형태로 인가함에 따라 시그널 변동에 따른 전압차 및 플리커와 같은 화상 품질 저하의 요소의 발생을 효과적으로 방지하는 장점이 있다.

<49> 이후에는 전술한 바와 같은 평면구조를 갖는 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 단면구조에 대해 설명한다.

<50> 도 5는 도 4를 절단선 V-V를 따라 절단한 부분에 대한 단면도이며, 도 6은 도 4를 절단선 VI-VI를 따라 절단한 부분에 대한 단면도이며, 도 7은 도 4를 절단선 VII-VII를 따라 절단한 부분에 대한 단면도이다. 이때 설명의 편의를 위해 제 1 및 제 2 박막트랜지스터(Tr1, Tr2)가 형성되는 부분을 스위칭 영역(TrA)이라 정의하고, 제 1 및 제 2 스토리지 커패시터(StgC1, StgC2)가 형성되는 영역을 스토리지 영역(StgA)이라 정의한다.

<51> 도 4, 5, 6 및 7에 도시한 바와 같이, 기판(101) 상에 제 1 금속물질로써 게이트 배선(미도시)과, 이와 연결되어 각각 제 1 및 제 2 게이트 전극(108a, 108b)이 형성되어 있다.

<52> 또한, 상기 게이트 배선과 제 1 및 제 2 게이트 전극(108a, 108b) 상부에는 전면에 게이트 절연막(113)이 형성되어 있다. 상기 게이트 절연막(113) 상부에는 상기 게이트 배선(미도시)과 교차하여 화소영역(P)을 정의하며 제 2 금속물질로써 제 1 및 제 2 데이터 배선(133a, 133b)이 형성되어 있다. 스위칭 영역(TrA)에 있어서는 상기 제 1 및 제 2 게이트 전극(108a, 108b)에 각각 대응하여 각각 액티브층(120a, 120b)과 오믹콘택층(123a, 123b)으로 이루어진 제 1 및 제 2 반도체층(126a, 126b)이 형성되어 있으며, 상기 제 1 반도체층(126a) 상부에는 서로 이격하여 제 1 소스 및 제 1 드레인 전극(136a, 139a)이, 상기 제 2 반도체층(126b) 상부에는 서로 이격하여 제 2 소스 및 제 2 드레인 전극(136b, 139b)이 형성되어 있다. 이때 상기 제 1 소스 전극(136a)은 상기 제 1 데이터 배선(133a)과 연결되고 있으며, 상기 제 2 소스 전극(136b)은 상기 제 2 데이터 배선(133b)과 연결되고 있다. 상기 제 1 게이트 전극(108a)과 게이트 절연막(113)과 제 1 반도체층(126a)과 제 1 소스 및 제 1 드레인 전극(136a, 139a)은 제 1 박막트랜지스터(Tr1)를 이루고, 상기 제 2 게이트 전극(108b)과 게이트 절연막(113)과 제 2 반도체층(126b)과 제 2 소스 및 제 2 드레인 전극(136b, 139b)은 제 2 박막트랜지스터(Tr2)를 이룬다.

<53> 또한, 상기 게이트 절연막(113) 위로 상기 제 1 데이터 배선(133a)과 이격하여 동일한 물질로 상기 제 1 드레인 전극(139a)과 연결되며 최외각 제 1 전극(141)이 형성되어 있으며, 상기 제 2 데이터 배선(133b)과 이격하며 동일한 물질로 상기 제 2 드레인 전극(139b)과 연결되며 최외각 제 2 전극(147)이 형성되어 있다. 이때 스토리지 영역(StgA)에 있어서는 상기 최외각 제 1 및 2 전극(141, 147)의 일 끝단이 각각 절곡되어 연장함으로써 상기 최외각 제 1 및 2 전극 연장부(143, 145)는 각각 제 2 스토리지 전극 및 제 1 스토리지 전극을 이룬다.

<54> 한편, 도면에 있어서는 상기 제 1 및 제 2 데이터 배선(133a, 133b)과 상기 최외각 제 1 전극(141)과 최외각 제 2 전극(147) 하부에는 각각 상기 오믹콘택층(123a, 123b)과 상기 액티브층(120a, 120b)을 이루는 동일한 물질로 이루어진 제 1 및 제 2 반도체 패턴층(124, 121)의 이중층 구조의 반도체 패턴(127)이 형성되고 있음을 보이고 있지만, 이는 제조 방법에 의해 부수적으로 제조된 것이며, 제조 방법을 달리함으로써 상기 이중층 구조의 반도체 패턴(127)은 생략될 수 있다.

<55> 다음, 상기 제 1 및 제 2 데이터 배선(133a, 133b)과, 제 1 및 제 2 박막트랜지스터(Tr1, Tr2)와 최외각 제 1, 2 전극(141, 147) 위로는 상기 제 1 드레인 전극(139a)과 상기 최외각 2 전극(147)의 끝단을 각각 노출시키는 제 1 및 제 2 콘택홀(153, 155)을 갖는 보호층(150)이 형성되어 있다.

<56> 다음, 상기 보호층(150) 위로는 제 3 금속물질로서 상기 스위칭 영역(TrA)에 인접하여 상기 제 1 콘택홀(153)을

통해 상기 제 1 드레인 전극(139a)과 접촉하며 동시에 상기 최외각 제 2 전극 연장부(145)와 중첩하는 제 1 패턴(160)이 형성되어 있으며, 상기 제 1 패턴(160)에서 분기하여 다수의 제 1 전극(162)이 일정간격 이격하며 형성되어 있다. 또한, 상기 제 1 패턴(160)과 이격하여 나란하게 상기 제 2 콘택홀(155)을 통해 상기 최외각 제 2 전극(147)과 접촉하며 동시에 상기 최외각 제 1 전극 연장부(143)와 중첩하며 제 2 패턴(165)이 형성되어 있으며, 상기 제 2 패턴(165)에서 분기하여 다수의 제 2 전극(168)이 일정간격 이격하며 상기 다수의 제 1 전극(162)과 교대하며 형성되어 있다. 이때 상기 제 1 및 제 2 패턴(160, 165)은 각각 제 3 및 제 4 스토리지 전극을 이루며, 상기 보호층(150)을 사이에 두고 서로 중첩하는 상기 최외각 제 2 전극 연장부(145)와 제 1 패턴(160)은 제 1 스토리지 커패시터(StgC1)를, 상기 보호층(150)을 사이에 두고 서로 중첩하는 상기 최외각 제 1 전극(143)과 제 2 패턴(165)은 제 2 스토리지 커패시터(StgC2)를 이룬다.

<57> 하지만, 전술한 구조를 갖는 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치용 어레이 기관(101)은 상기 제 1 및 제 2 데이터 배선(133a, 133b)과, 이와 인접하여 형성되는 최외각 제 1 및 제 2 전극(141, 147)이 동일한 층에 동일한 물질로 형성되고 있다. 따라서, 서로 인접하여 형성된 상기 제 1 데이터 배선(133a)과 상기 최외각 제 1 전극(141), 그리고 상기 제 2 데이터 배선(133b)과 최외각 제 2 전극(147)은 서로 접촉하여 쇼트가 발생하지 않도록 5 μ m 내지 7 μ m 정도의 이격간격(d1)을 갖도록 충분히 이격하여 형성해야 한다. 따라서, 이러한 구조적 제한으로 비록 반드시 2개의 최외각 공통전극을 형성하는 종래의 횡전계형 액정표시장치용 어레이 기관의 보다는 큰 개구율을 갖지만, 여전히 개구율을 향상시킬 수 있는 여지가 남아있다.

<58> <제 2 실시예>

<59> 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치용 어레이 기관은 전술한 제 1 실시예에 따른 횡전계형 액정표시장치용 어레이 기관 대비 그 개구율을 더욱 향상시킨 것을 특징으로 한다.

<60> 도 8은 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치용 어레이 기관의 하나의 화소영역을 개략적으로 도시한 평면도이다.

<61> 도시한 바와 같이, 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치용 어레이 기관(201)에는, 일 방향으로 일정간격 이격하며 제 1 및 제 2 게이트 배선(205a, 205b)이 형성되어 있으며, 상기 제 1 및 제 2 게이트 배선(205a, 205b)과 교차하여 화소영역(P)을 정의하며 제 1 및 제 2 데이터 배선(233a, 233b)이 일정간격 이격하며 형성되어 있다.

<62> 또한, 상기 화소영역(P) 내에는 제 1 실시예와 구별되는 가장 특징적인 것으로, 상기 제 2 게이트 배선(205b)과 제 1 데이터 배선(233a)이 교차하는 부근에 상기 제 2 게이트 배선(205b) 및 제 1 데이터 배선(233a)과 연결되며 박막트랜지스터(Tr)가 형성되어 있으며, 제 2 데이터 배선(233b)과 상기 제 2 게이트 배선(205b)이 교차하는 부근에는 제 1 실시예와는 달리 박막트랜지스터가 생략된 것이 특징이다. 따라서 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치용 어레이 기관(201)에 있어 하나의 화소영역(P) 내에는 하나의 박막트랜지스터(Tr)가 형성된 것이 특징이다.

<63> 한편, 상기 박막트랜지스터(Tr)는 게이트 전극(208)과, 게이트 절연막(미도시)과, 순수 비정질 실리콘의 액티브층(미도시)과 불순물 비정질 실리콘의 오믹콘택층(미도시)을 포함하는 반도체층(미도시)과, 서로 이격하는 소스 전극(236) 및 드레인 전극(239)으로 구성되고 있다. 이때, 상기 박막트랜지스터(Tr)의 소스 전극(236)은 제 1 데이터 배선(233a)과 연결되고 있다.

<64> 또한, 또 다른 본 발명의 제 2 실시예의 특징적인 부분으로써 상기 제 2 데이터 배선(233b)에서 상기 화소영역(P) 내측으로 분기하여 상기 화소영역(P) 하단에 위치한 상기 제 2 게이트 배선(205b)과 인접하여 이와 나란하게 제 1 연장부(234)가 형성되어 있으며, 상기 화소영역(P)의 상단에 위치한 상기 제 1 게이트 배선(205a)과 인접하여 제 2 연장부(235)가 형성되어 있다.

<65> 또한, 화소영역(P)에는 제 1 콘택홀(253)을 통해 상기 박막트랜지스터(Tr)의 드레인 전극(239)과 접촉하며, 동시에 상기 제 1 연장부(234)와 중첩하는 제 1 패턴(260)이 형성되어 있으며, 상기 제 1 패턴(260)에서 분기하여 상기 제 1 및 제 2 데이터 배선(233a, 233b)과 나란한 다수의 제 1 전극(262)이 일정간격 이격하며 형성되어 있다. 이때 상기 서로 중첩하는 상기 제 1 연장부(234)와 상기 제 1 패턴(260)은 스토리지 커패시터(StgC)를 이룬다. 한편, 상기 제 1 패턴(260)에서 분기한 다수의 제 1 전극(262) 중 상기 제 1 데이터 배선(233a)과 가장 인접하여 위치한 전극은 최외각 제 1 전극(263)을 이루고 있다.

<66> 또한, 상기 화소영역(P)에는 상기 제 2 연장부(235)와 제 2 콘택홀(255)을 통해 접촉하며 상기 제 1 게이트 배선(205a)과 인접하여 나란하게 제 2 패턴(265)이 형성되고 있으며, 상기 제 2 패턴(265)에서 분기하여 상기 다

수의 제 1 전극(262)과 나란하게 교대하며 일정간격 이격된 다수의 제 2 전극(268)이 형성되어 있다. 이때 본 발명의 제 2 실시예의 또 다른 특징으로써 상기 제 2 데이터 배선(233b)이 그 자체로서 하나의 제 2 전극을 이루며, 최외각 제 2 전극(237)을 이루고 있다는 것이다. 따라서 이러한 구조에 의해 개구율을 극대화 할 수 있다.

<67> 한편, 도면에 있어서는 화소영역(P)에 있어서는 상기 제 1 데이터 배선(233a)과 제 2 게이트 배선(205b)이 연결되어 상기 화소영역(P) 내에서 좌하의 위치에 박막트랜지스터(Tr)를 이루는 것을 일례로 보이고 있지만, 상기 박막트랜지스터(Tr)는 제 1 데이터 배선(233a)과 제 1 게이트 배선(205a)이 교차하는 부근 즉 좌상 위치에 이들 두 배선(233a, 205a)과 각각 연결되며 형성될 수도 있다. 이 경우 상기 스토리지 커패시터(StgC)도 그 위치가 바뀌어 상기 제 1 게이트 배선(205a)과 인접하여 형성되게 된다.

<68> 전술한 평면 구조를 갖는 제 2 실시예에 있어, 제 1 실시예와 차별점은, 우선, 스토리지 커패시터(StgC)이 일원화되어 박막트랜지스터(Tr)와 인접하여 형성되고 있다는 것과, 화소영역(P) 내의 최외각 전극으로서 상기 박막트랜지스터(Tr)의 드레인 전극(239)과 연결되며 상기 제 1 데이터 배선(233a)에 인접하여 최외각 제 1 전극(263)이 형성되고, 상기 제 2 데이터 배선(233b)이 그 자체로서 최외각 제 2 전극(237)을 형성하고 있다는 것이다. 이때, 상기 서로 이웃하는 다수의 제 1 및 제 2 전극(262, 268)의 제 1 이격간격(d1)은 모두 일정하며, 상기 최외각 제 2 전극(237)과 이와 이웃한 제 1 전극(262)의 간격도 상기 제 1 이격간격(d1)이 되는 것이 특징이다.

<69> 이러한 제 2 실시예에 따른 어레이 기관(201)의 구성은 제 1 실시예 대비 하나의 스토리지 커패시터(도 4의 StgC2)가 삭제됨으로써 상기 생략된 스토리지 커패시터(도 4의 StgC2) 형성을 위해 이중의 금속물질을 보호층(미도시) 상하에 형성하지 않아도 되므로 상기 최외각 제 1 전극(263)을 반드시 제 1 및 제 2 데이터 배선(233a, 233b)을 형성하는 단계에서 이와 동일물질로 동일한 층에 형성할 필요가 없다. 따라서 상기 제 2 데이터 배선(233b) 그 자체인 최외각 제 2 전극(237)을 제외하고는 상기 최외각 제 1 전극(263)을 포함하여 상기 다수의 제 1 및 제 2 전극(262, 268)을 모두 상기 동일한 층에 동일한 물질로 상기 제 1 및 제 2 데이터 배선(233a, 233b)과 다른 층에 형성하는 것이 가능하다. 이 경우, 상기 제 1 데이터 배선(233a)에 인접하여 형성되는 최외각 제 1 전극(263)은 상기 제 1 데이터 배선(233a)과 동일한 층에 형성되지 않는 바, 쇼트 발생의 여지가 없으므로 그 이격간격(d2)을 5 μ m 이하로 중첩되지 않도록 형성할 수 있다. 따라서 화소영역(P)의 개구율을 향상시킬 수 있다.

<70> 나아가, 상기 제 2 데이터 배선(233b)이 그 자체로 최외각 제 2 전극(237)을 이루게 되므로, 제 1 실시예 대비 상기 제 2 데이터 배선(233b)과 인접하여 형성하던 최외각 제 2 전극(도 4의 147)을 하나 생략할 수 있는 바, 더욱더 개구율을 향상시킬 수 있다.

<71> 또한, 하나의 화소영역(P) 내에 2개의 박막트랜지스터가 형성되는 제 1 실시예 대비 하나의 박막트랜지스터를 생략할 수 있으므로 개구율이 더욱 향상시키게 됨을 알 수 있다.

<72> 도 9와 도 10은 각각 본 발명의 제 2 실시예의 제 1 및 제 2 변형예에 따른 횡전계형 액정표시장치용 어레이 기관의 하나의 화소영역에 대한 평면도이다. 이러한 제 2 실시예의 제 1 및 제 2 변형예에 대해서는 그 구성이 전술한 제 2 실시예와 유사하므로 차별점이 있는 부분을 위주로 설명한다. 이때 설명의 편의를 위해 제 2 실시예와 동일한 구성요소에 대해서는 모두 동일한 도면부호를 부여하였다.

<73> 우선, 도 9를 참조하여 제 2 실시예의 제 1 변형예에 대해 설명한다.

<74> 제 2 변형예의 경우, 제 2 데이터 배선(도 8의 233b)의 제 1 및 제 2 연장부(도 8의 234, 235)를 갖는 제 1 실시예 대비 제 2 데이터 배선 제 2 연장부(도 8의 235)가 생략되어 제 2 데이터 배선(233b)과 연결되며 한 개의 제 2 데이터 배선 연장부(234)만이 형성되고 있는 것이 특징이다. 이때, 상기 제 2 데이터 배선의 연장부(234)는 박막트랜지스터(Tr)의 드레인 전극(239)과 제 1 콘택홀(253)을 통해 접촉하는 제 1 패턴(260)과 중첩함으로써 스토리지 커패시터(StgC)를 형성하고 있다.

<75> 또한 상기 제 2 데이터 배선 연장부(234) 상에 제 2 콘택홀(256)이 위치하며, 상기 제 2 콘택홀(256)을 통해 상기 제 2 데이터 배선 연장부(234)와 접촉하며 다수의 제 1 전극(262)과 동일한 층에 동일한 물질로써 상기 제 2 데이터 배선(233b)과 일부 중첩하며 최외각 제 2 전극(264)이 형성되어 있다. 이때 다수의 제 2 전극(268)이 분기하는 제 2 패턴(265)은 상기 최외각 제 2 전극(264)과 그 끝단이 연결되도록 형성되고 있는 것이 특징이다.

<76> 이러한 제 2 실시예의 제 1 변형예에 따른 구성은 비록 제 2 실시예 대비 개구율이 상기 최외각 제 2 전극(26

4)이 상기 제 2 데이터 배선(233b)과 중첩하며 형성됨으로써 상기 최외각 제 2 전극(264)의 폭 중 상기 제 2 데이터 배선(233b)과 중첩되는 영역을 제외한 폭 만큼 줄어드는 경향이 있지만, 상기 최외각 제 1 및 제 2 전극(263, 264) 사이에서 서로 교대하며 형성된 상기 다수의 제 1 전극(262)과 제 2 전극(268) 간의 이격간격을 일정하게 형성하는데 유리하기 때문이다. 횡전계는 서로 다른 신호전압이 인가되는 다수의 제 1 및 제 2 전극(262, 268) 사이의 이격영역에 형성되며, 하나의 화소영역(P) 내에서는 이들 제 1 및 제 2 전극(262, 268)의 이격간격이 일정하게 형성되어야 한다.

<77> 제 2 실시예의 경우, 도 8을 참조하면 제 2 데이터 배선(233b) 그 자체가 최외각 제 2 전극(237)을 이루고 있으며, 이와는 다른층에 다른 금속물질로 다수의 제 1 및 제 2 전극(262, 268)과 최외각 제 1 전극(263)이 형성되므로 패터닝 오차 발생에 의해 상기 제 2 데이터 배선(233b)으로 이루어진 최외각 제 2 전극(237)과 이와 인접하여 최 외측에 형성된 제 1 전극(262)간의 이격간격이 다른 제 1 전극(262)과 제 2 전극(268)간의 이격간격 대비 넓어지거나 또는 좁아질 가능성이 있다.

<78> 하지만, 도 9에 도시한 바와 같이, 본 발명의 제 2 실시예의 제 1 변형예의 경우, 하나의 화소영역(P)에서 최외각 제 1 전극(263) 및 최외각 제 2 전극(264)을 포함하여 다수의 제 1 및 제 2 전극(262, 268)이 모두 동일한층에 동일 물질로 형성되는 구조가 되므로 이들 전극 사이에서 발생하는 횡전계의 균일한 형성이 가능한 구조가 됨을 알 수 있다. 그 외의 구성요소는 전술한 제 2 실시예와 동일하므로 그 설명은 생략한다.

<79> 다음, 도 10을 참조하여 본 발명의 제 2 실시예의 제 2 변형예에 대해 설명한다.

<80> 본 발명의 제 2 실시예에 따른 제 2 변형예의 경우, 전술한 제 1 변형예와 유사한 구조를 갖는다. 이때, 차별점은 제 1 데이터 배선(233a)과 인접하는 최외각 전극이 상기 제 2 데이터 배선(233b)과 연결되며 구성되고 있는 것이다. 즉, 제 2 데이터 배선(233b)과 인접하는 제 1 최외각 제 2 전극(264)과 연결되며 형성된 상기 제 2 패턴(265)의 일끝단이 더욱 연장하며 절곡 구성되어 상기 제 1 데이터 배선(233a)과 인접하여 중첩하지 않는 범위 내에서 5 μ m미만의 이격간격을 가지며 제 2 최외각 제 2 전극(266)을 이루고 있는 것이 특징이다. 그 외의 구성요소는 전술한 제 1 변형예와 동일하므로 그 설명은 생략한다.

<81> 이후에는 이러한 평면 구조를 갖는 본 발명의 제 2 실시예 및 그 제 1 및 제 2 변형예에 따른 횡전계형 액정표시장치용 어레이 기관의 단면 구조에 대해 설명한다.

<82> 우선, 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치용 어레이 기관의 단면 구조에 대해 설명한다. 도 11은 도 8을 절단선 ?-?를 따라 절단한 부분에 대한 단면도이며, 도 12는 도 8을 절단선 ?-?를 따라 절단한 부분에 대한 단면도이며, 도 13은 도 8을 절단선 XIII-XIII를 따라 절단한 부분에 대한 단면도이다. 이때 설명의 편의를 위해 박막트랜지스터(Tr)가 형성되는 부분을 스위칭 영역(TrA)이라 정의하고, 스토리지 커패시터(StgC)가 형성되는 영역을 스토리지 영역(StgA)이라 정의한다.

<83> 도 8, 11, 12 및 13에 도시한 바와 같이, 기관(201) 상에 제 1 금속물질로써 제 1 및 제 2 게이트 배선(205a, 205b)과, 이와 연결되어 스위칭 영역(TrA)에 게이트 전극(208)이 형성되어 있다. 또한, 상기 제 1 및 제 2 게이트 배선(205a, 205b)과 게이트 전극(208) 상부로 전면에 게이트 절연막(213)이 형성되어 있다.

<84> 상기 게이트 절연막(213) 상부에는 상기 제 1 및 제 2 게이트 배선(205a, 205b)과 교차하여 화소영역(P)을 정의하며 제 2 금속물질로써 제 1 및 제 2 데이터 배선(233a, 233b)이 형성되어 있으며, 상기 제 2 데이터 배선(233b)에서 분기하여 제 1 연장부(234)와 제 2 연장부(235)가 형성되어 있다. 이때, 상기 제 2 데이터 배선(233b)의 제 1 연장부(234)는 상기 제 2 게이트 배선(205b)과 나란하게 이와 소정간격 이격하여 스토리지 영역(StgA)까지 연장함으로써 제 1 스토리지 전극을 이루고 있다.

<85> 스위칭 영역(TrA)에 있어서는 상기 게이트 전극(208)에 대응하여 액티브층(220)과 서로 이격하는 오믹콘택층(223)으로 이루어진 반도체층(226)이 형성되어 있으며, 상기 반도체층(226) 상부에는 서로 이격하여 소스 및 드레인 전극(236, 239)이 형성됨으로써 박막트랜지스터(Tr)를 이루고 있다. 이때, 상기 소스 전극(236)은 상기 제 1 데이터 배선(233a)과 연결되고 있다.

<86> 한편, 도면에 있어서는 상기 제 1 및 제 2 데이터 배선(233a, 233b)과 상기 제 2 데이터 배선 제 1 연장부(234)와 상기 제 2 데이터 배선 제 2 연장부(235) 각각의 하부에는 상기 오믹콘택층(223)과 상기 액티브층(220)을 이루는 동일한 물질로 이루어진 제 1 및 제 2 반도체 패턴층(224, 221)의 이중층 구조의 반도체 패턴(227)이 형성되고 있음을 보이고 있다. 하지만, 이는 제조 방법에 의해 부수적으로 제조된 것이며, 제조 방법을 달리함으로써 상기 이중층 구조의 반도체 패턴(227)은 생략될 수 있다.

- <87> 또한, 상기 제 1 및 제 2 데이터 배선(233a, 233b)과, 상기 박막트랜지스터(Tr)와 상기 제 1 및 제 2 연장부(234, 235) 위로 무기절연물질 또는 유기절연물질로 이루어지며, 상기 드레인 전극(239)과 상기 제 2 연장부(235)를 각각 노출시키는 제 1 콘택홀(253) 및 제 2 콘택홀(255)을 갖는 보호층(250)이 형성되어 있다.
- <88> 다음, 상기 제 1 및 제 2 콘택홀(253, 255)을 갖는 보호층(250) 위로는 제 3 금속물질로써 상기 제 1 콘택홀(253)을 통해 상기 드레인 전극(239)과 접촉하며 상기 제 2 데이터 배선 제 1 연장부(234)와 중첩하여 스토리지 커패시터(StgC)를 이루는 제 1 패턴(260)이 형성되어 있으며, 상기 제 1 패턴(260)에서 분기하여 일정간격 이격하며 최외각 제 1 전극(263)과 다수의 제 1 전극(262)이 형성되어 있다.
- <89> 또한, 상기 다수의 제 1 전극(262)과 동일한 물질로써 동일한 층에 상기 제 2 콘택홀(255)을 통해 상기 제 2 데이터 배선 제 2 연장부(235)와 접촉하며 상기 제 1 게이트 배선(205a)과 나란하게 이격하며 제 2 패턴(265)이 형성되어 있으며, 상기 제 2 패턴(265)에서 분기하여 상기 최외각 제 1 전극(263)을 포함하는 다수의 제 1 전극(262)과 교대하며 다수의 제 2 전극(268)이 형성되고 있다. 이때, 상기 제 2 데이터 배선(233b)과 인접하여서는 상기 서로 이웃하는 제 1 전극(262)과 제 2 전극(268)이 이격한 간격(d1)만큼 이격하며 하나의 제 1 전극(262)이 위치하고 있으며, 상기 제 2 데이터 배선(233b)이 그 자체로 최외각 제 2 전극(237)을 이루는 것이 특징이다.
- <90> 전술한 바와 같은 구성에 의해, 제 2 데이터 배선(233b)이 그 자체로 최외각 제 2 전극(237)을 이루며, 상기 제 1 데이터 배선(233a)과 인접하여 형성되는 최외각 제 1 전극(263)이 상기 제 1 데이터 배선(233a)이 형성된 동일한 층이 아닌 상기 보호층(250) 상에 형성되는 구조를 갖는다. 이 경우, 상기 제 1 데이터 배선(233a)과 상기 최외각 제 1 전극(263) 사이에는 쇼트 방지를 위한 패터닝 마진인 5 μ m 내지 7 μ m 정도의 이격간격이 요구되지 않으므로, 단지 상기 제 1 데이터 배선(233a)과 중첩되지 않는 범위내에서, 예를들어 5 μ m미만의 이격간격(d2)으로, 상기 최외각 제 1 전극(263)을 형성할 수 있다. 또한, 화소영역(P) 내에 한 개의 박막트랜지스터만(Tr)이 형성되는 바, 제 1 실시예 대비 개구율이 향상되게 된다.
- <91>
- <92> 이후에는, 본 발명의 제 2 실시예의 제 1 및 제 2 변형예에 따른 횡전계형 액정표시장치용 어레이 기판의 하나의 화소영역에 대한 단면구조에 대해 그 차별점이 있는 부분에 대해서 설명한다.
- <93> 우선, 본 발명의 제 2 실시예의 제 1 변형예에 따른 횡전계형 액정표시장치용 어레이 기판의 단면구조에 대해 도면을 참조하여 설명한다.
- <94> 도 14는 도 9를 절단선 XIV-XIV를 따라 절단한 부분에 대한 단면도이며, 도 15는 도 9를 절단선 XV-XV를 따라 절단한 부분에 대한 단면도이다. 스위칭 영역의 구조는 전술한 제 2 실시예와 동일하므로 도면은 생략하였다.
- <95> 도 9, 14 및 15에 도시한 바와 같이, 제 2 실시예의 제 1 변형예는 제 2 데이터 배선(233b)과 중첩하여 보호층(250) 위로 최외각 제 2 전극(264)이 형성된 것과, 제 2 데이터 배선(233b)으로부터 분기하는 연장부가 2부분에서 1부분이 되어 제 2 게이트 배선(205b)과 인접하여 이와 나란하게 이격하며 1개의 제 2 데이터 배선 연장부(234)만을 형성하고 있다는 것, 그리고 제 2 콘택홀(256)이 상기 제 2 데이터 배선 연장부(234) 상에 형성되고 있다는 것을 제외하면 그 외의 구조는 전술한 제 2 실시예와 동일함을 알 수 있다.
- <96> 이때 상기 최외각 제 2 전극(264)은 상기 보호층(250) 상부로 상기 다수의 제 1 전극(262) 및 제 2 전극(268)을 이루는 동일한 물질로 상기 제 2 데이터 배선(233b)과 중첩하며 형성되고 있는 것이 특징이다. 따라서 최외각 제 1 전극(263), 다수의 제 1 및 제 2 전극(262, 268) 그리고 최외각 제 2 전극(264)이 모두 동일한 물질로 동일한 층에 구성되므로 이와 다른 층에 구성되는 제 2 데이터 배선(233b) 자체를 최외각 제 2 전극(도 13의 236)으로 하는 제 2 실시예 대비 패터닝 오차에 의한 각 제 1 및 제 2 전극(262, 268)간 이격간격(d1)과 최외각 제 2 전극(264)과 이와 이웃한 제 1 전극(262)간의 이격간격(d1)의 차이를 최소화 할 수 있는 특징을 갖는다.
- <97> 도 16은 본 발명의 제 2 실시예의 제 2 변형예에 따른 횡전계형 액정표시장치용 어레이 기판의 하나의 화소영역에 대한 단면도로서, 도 10을 절단선 XVI-XVI를 따라 절단한 부분에 대한 단면도이다. 이때 스위칭 영역과, 스토리지 영역에 대한 단면구조는 제 1 변형예와 동일하므로 도면은 생략하였다.
- <98> 본 발명의 제 2 실시예에 따른 제 2 변형예는 보호층(250)을 포함하여 그 하부에 위치한 구성요소는 전술한 제 1 변형예와 동일하다. 상기 보호층(250) 상부에는 제 1 데이터 배선(233a)과 5 μ m미만으로 이격하며 제 2 패턴(265)과 연결되는 제 2 최외각 제 2 전극(266)이 형성되어 있으며, 상기 제 2 데이터 배선(233b)과 중첩하며 상

기 제 2 패턴(265)과 연결되는 제 1 최외각 제 2 전극(264)이 형성되고 있다.

- <99> 또한, 상기 제 2 패턴(265)에서 분기하여 상기 제 1 및 제 2 최외각 제 2 전극(264, 266) 사이로 다수의 제 2 전극(268)이 일정간격 이격하며 형성되어 있다. 또한, 상기 보호층(250) 위로 상기 제 1 및 제 2 최외각 제 2 전극(264, 266) 사이로 상기 다수의 제 2 전극(268)과 교대하며 상기 박막트랜지스터(Tr)의 드레인 전극(239)과 제 1 콘택홀(253)을 통해 연결된 제 1 패턴(260)에서 분기하며 다수의 제 1 전극(262)이 형성되어 있다.
- <100> 이후에는 도 8, 11, 12 및 13을 참조하여 간단히 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 제조 방법에 대해 설명한다. 제 2 실시예의 제 1 및 제 2 변형예의 경우, 제 2 실시예와 유사하므로 차별점이 있는 부분만을 간단히 언급한다.
- <101> 우선, 투명한 절연 기판(201) 상에 제 1 금속물질을 전면 증착하고 포토레지스트의 도포, 포토레지스트의 마스크를 이용한 노광, 노광된 포토레지스트의 현상, 현상 후 남아있는 포토레지스트 외부로 노출된 금속물질의 식각 등 일련의 단계를 포함하는 마스크 공정을 진행하여 일방향으로 연장하며 이격하는 제 1 및 제 2 게이트 배선(205a, 205b)을 형성하고, 스위칭 영역(TrA)에 있어 상기 제 2 게이트 배선(205b)과 연결된 게이트 전극(208)을 형성한다. 상기 제 1 및 제 2 게이트 배선(205a, 205b)은 하나의 화소영역(P)에 있어 상층에 위치한 게이트 배선과 하층에 위치한 게이트 배선을 정의한 것이므로 다른 화소영역(P)에 대해서는 상기 제 2 게이트 배선(205b)이 제 1 게이트 배선(205a)이 될 수도 있다.
- <102> 다음, 상기 제 1 및 제 2 게이트 배선(205a, 205b)과 게이트 전극(208) 위로 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)을 증착하여 게이트 절연막(213)을 전면 형성한다.
- <103> 다음, 상기 게이트 절연막(213) 위로 순수 비정질 실리콘층(미도시)과 불순물 비정질 실리콘층(미도시)과 제 2 금속물질층(미도시)을 형성하고, 이들을 회절노광 또는 하프톤 노광을 포함하는 1회의 마스크 공정을 통해 동시에 패터닝하거나 또는 2회의 마스크 공정을 실시하여 상기 제 2 금속물질층(미도시)과, 불순물 및 순수 비정질 실리콘층(미도시)을 각각 패터닝함으로써 상기 화소영역(P) 내에 게이트 전극(208)에 대응하여 순수 비정질 실리콘의 액티브층(220)과, 상기 액티브층(220) 위로 서로 소정간격 이격하는 불순물 비정질 실리콘의 오믹콘택층(223)과, 오믹콘택층(223) 위로 서로 이격하는 소스 전극(236)과 드레인 전극(239)을 형성한다.
- <104> 그리고 동시에 상기 제 1 및 제 2 게이트 배선(205a, 205b)과 교차하여 화소영역(P)을 정의하는 제 1 및 제 2 데이터 배선(233a, 233b)을 형성한다. 이때, 상기 제 1 데이터 배선(233a)과 상기 소스 전극(236)은 서로 연결되도록 형성한다. 또한, 상기 제 2 데이터 배선(233b)에서 분기한 형태로서 상기 제 2 게이트 배선(205b)에 인접하여 나란하게 이격하며 제 2 데이터 배선 제 1 연장부(234)를 스토리지 영역(StgA)에 형성하고, 동시에 상기 제 1 게이트 배선(205a)에 인접하여 나란하게 이격하며 제 2 데이터 배선 제 2 연장부(235)를 형성한다. 이때 제 1 및 제 2 변형예의 경우 상기 제 2 데이터 배선 제 2 연장부는 생략된다.
- <105> 한편, 전술한 바와같이, 1회의 마스크 공정을 통해 상기 반도체층(226)과, 상기 제 1 및 제 2 데이터 배선(233a, 233b)과, 소스 전극(236) 및 드레인 전극(239)을 형성하였기에 상기 제 1 및 제 2 데이터 배선(233a, 233b)과 제 2 데이터 배선 제 1 및 제 2 연장부(234, 235) 하부에도 불순물 비정질 실리콘 패턴(224) 및 순수 비정질 실리콘 패턴(221)의 이중층 구조의 반도체 패턴(227)이 형성된다. 도면에 나타내지 않았지만, 2회의 마스크 공정을 통해 패터닝 하였을 경우에는 섬형상으로 상기 게이트 전극(208)에 대응하는 부분에만 액티브층(220)과 오믹콘택층(223)의 반도체층(226)이 형성되고, 상기 제 1 및 제 2 데이터 배선(233a, 233b)과 상기 제 2 데이터 배선 제 1 및 제 2 연장부(234, 235)에 대응해서는 그 하부에 불순물 및 순수 비정질 실리콘의 반도체 패턴은 형성되지 않는다.
- <106> 한편, 이 단계에서 상기 스위칭 영역(TrA)에 순차 적층된 상기 게이트 전극(208)과 게이트 절연막(213)과 액티브층(220)과 오믹콘택층(223)과 서로 이격하는 소스 및 드레인 전극(236, 239)은 박막트랜지스터(Tr)를 이룬다.
- <107> 다음, 상기 제 1 및 제 2 데이터 배선(233a, 233b)과 제 2 데이터 배선 제 1 및 제 2 연장부(234, 235)와 박막트랜지스터(Tr) 위로 전면 무기절연물질인 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)을 증착하여 보호층(250)을 형성하고, 연속하여 마스크 공정을 실시함으로써 상기 드레인 전극(239)을 노출시키는 제 1 콘택홀(253)과, 상기 제 2 데이터 배선 제 2 연장부(235)를 노출시키는 제 2 콘택홀(255)을 형성한다. 한편 제 1 및 제 2 변형예의 경우 상기 제 2 콘택홀(도 9 및 도 10의 256)은 제 2 데이터 배선 제 1 연장부(도 9 및 도 10의 234)에 형

성된다.

<108> 다음, 상기 제 1 및 제 2 콘택홀(253, 255)을 갖는 보호층(250) 위로 전면에서 제 3 금속물질 예를들면 투명도전성 물질인 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 증착하고, 이를 마스크 공정을 진행하여 패터닝함으로써 상기 제 1 콘택홀(253)을 통해 상기 드레인 전극(239)과 접촉하며, 스토리지 영역(StgA)까지 연장하여 상기 제 2 데이터 배선 제 1 연장부(234)와 중첩하여 제 2 스토리지 전극을 이루는 제 1 패턴(260)을 형성하고, 동시에 상기 제 1 패턴(260)에서 분기하여 일정간격 이격하는 다수의 제 1 전극(262)과 상기 제 1 데이터 배선(233a)과 인접하여 최외각 제 1 전극(266)을 형성한다. 제 2 변형예의 경우 상기 최외각 제 1 전극은 생략된다.

<109> 동시에, 상기 제 2 콘택홀(255)을 통해 상기 제 2 데이터 배선(233b)의 제 2 연장부(235)와 접촉하며 상기 제 1 게이트 배선(205a)과 나란하게 이격하는 제 2 패턴(265)과, 상기 제 2 패턴(265)에서 분기하여 상기 다수의 제 1 전극(262)과 교대하는 다수의 제 2 전극(268)을 형성함으로써 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치용 어레이 기판(201)을 완성한다.

<110> 한편, 제 1 및 제 2 변형예의 경우, 도 9, 10, 14, 15, 16을 참조하면, 상기 제 2 패턴(265) 및 상기 제 2 데이터 배선 연장부(234)와 제 2 콘택홀(256)을 통해 연결되며 상기 제 2 데이터 배선(233b)과 일부 중첩하는 제 1 최외각 제 2 전극(264)을 형성한다. 그리고 나아가 제 2 변형예의 경우, 상기 제 2 패턴(265)의 끝단과 연결되며 상기 제 1 데이터 배선(233a)과 인접하여 나란하게 5 μ m 미만으로 이격하는 제 2 최외각 제 2 전극(266)을 형성함으로써 제 2 실시예의 제 1 및 제 2 변형예에 따른 횡전계형 액정표시장치용 어레이 기판(201)을 완성한다.

도면의 간단한 설명

<111> 도 1은 일반적인 횡전계형 액정표시장치의 일부를 개략적으로 도시한 단면도.

<112> 도 2a, 2b는 일반적인 횡전계형 액정표시장치의 오프(off), 온(on)상태의 동작을 각각 도시한 단면도.

<113> 도 3은 종래의 일반적인 횡전계형 액정표시장치용 어레이 기판의 일부를 도시한 평면도.

<114> 도 4는 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 하나의 화소영역을 개략적으로 도시한 평면도.

<115> 도 5는 도 4를 절단선 V-V를 따라 절단한 부분에 대한 단면도.

<116> 도 6은 도 4를 절단선 VI-VI를 따라 절단한 부분에 대한 단면도.

<117> 도 7은 도 4를 절단선 VII-VII를 따라 절단한 부분에 대한 단면도.

<118> 도 8은 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 하나의 화소영역을 개략적으로 도시한 평면도.

<119> 도 9는 본 발명의 제 2 실시예의 제 1 변형예에 따른 횡전계형 액정표시장치용 어레이 기판의 하나의 화소영역에 대한 평면도.

<120> 도 10은 본 발명의 제 2 실시예의 제 2 변형예에 따른 횡전계형 액정표시장치용 어레이 기판의 하나의 화소영역에 대한 평면도.

<121> 도 11은 도 8을 절단선 XI-XI를 따라 절단한 부분에 대한 단면도.

<122> 도 12는 도 8을 절단선 XII-XII를 따라 절단한 부분에 대한 단면도.

<123> 도 13은 도 8을 절단선 XIII-XIII를 따라 절단한 부분에 대한 단면도.

<124> 도 14는 도 9를 절단선 XIV-XIV를 따라 절단한 부분에 대한 단면도.

<125> 도 15는 도 9를 절단선 XV-XV를 따라 절단한 부분에 대한 단면도.

<126> 도 16은 도 10을 절단선 XVI-XVI를 따라 절단한 부분에 대한 단면도.

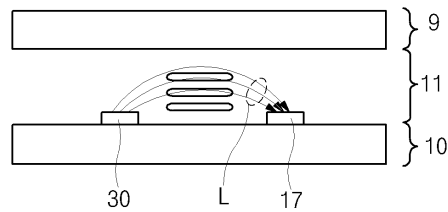
<127> <도면의 주요부분에 대한 간단한 설명>

<128> 201 : 어레이 기판

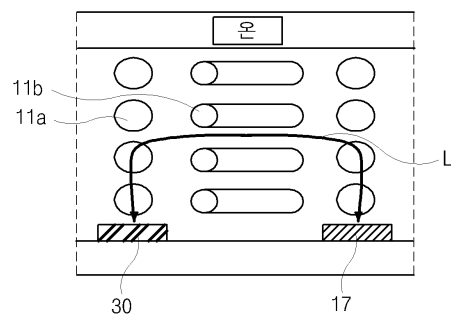
- <129> 205a, 205b : 제 1 및 제 2 게이트 배선
- <130> 208 : 게이트 전극
- <131> 233a, 233b : 제 1 및 제 2 데이터 배선
- <132> 234 : 제 2 드레인 전극 제 1 연장부
- <133> 235 : 제 2 드레인 전극 제 2 연장부
- <134> 236 : 소스 전극
- <135> 237 : 최외각 제 2 전극
- <136> 239 : 드레인 전극
- <137> 253, 255 : 제 1 및 제 2 콘택홀
- <138> 260, 265 : 제 1 및 제 2 패턴
- <139> 262 : 제 1 전극
- <140> 263 : 최외각 제 1 전극
- <141> 268 : 제 2 전극
- <142> StgC : 스토리지 커패시터
- <143> Tr : 박막트랜지스터

도면

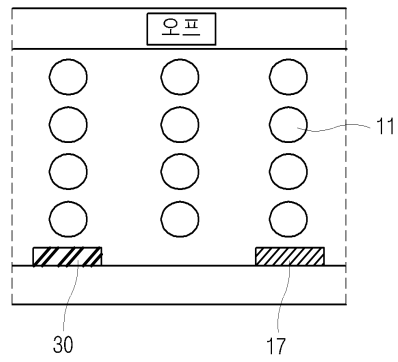
도면1



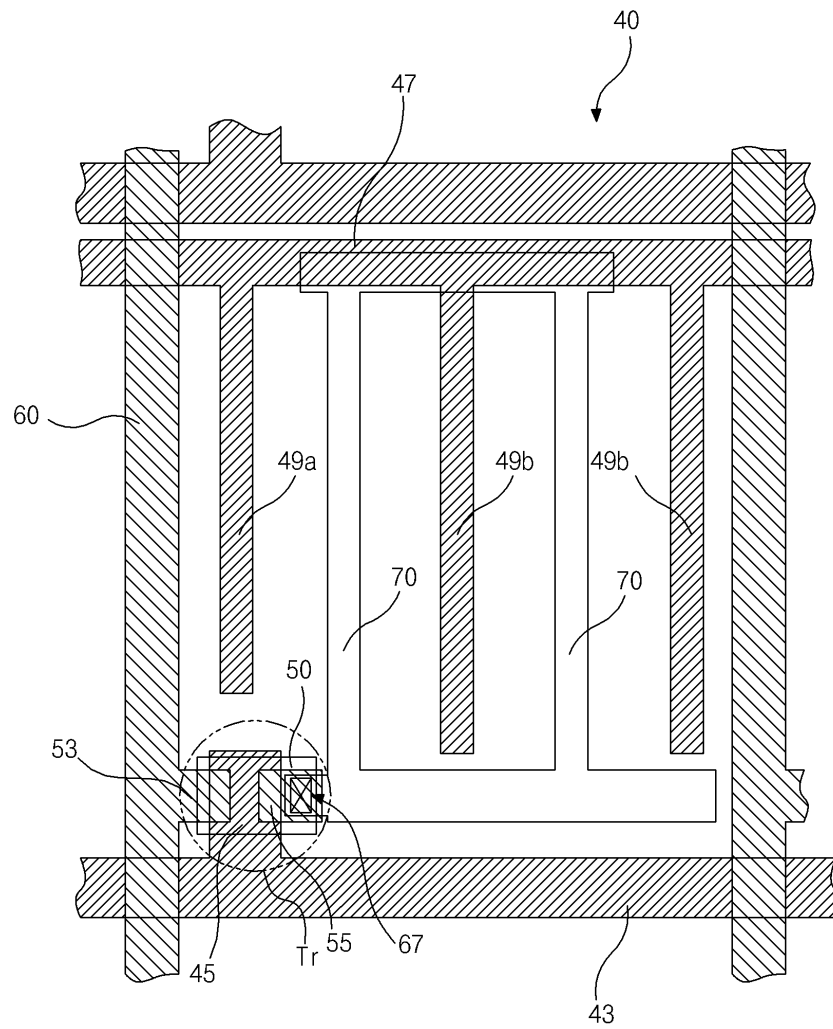
도면2a



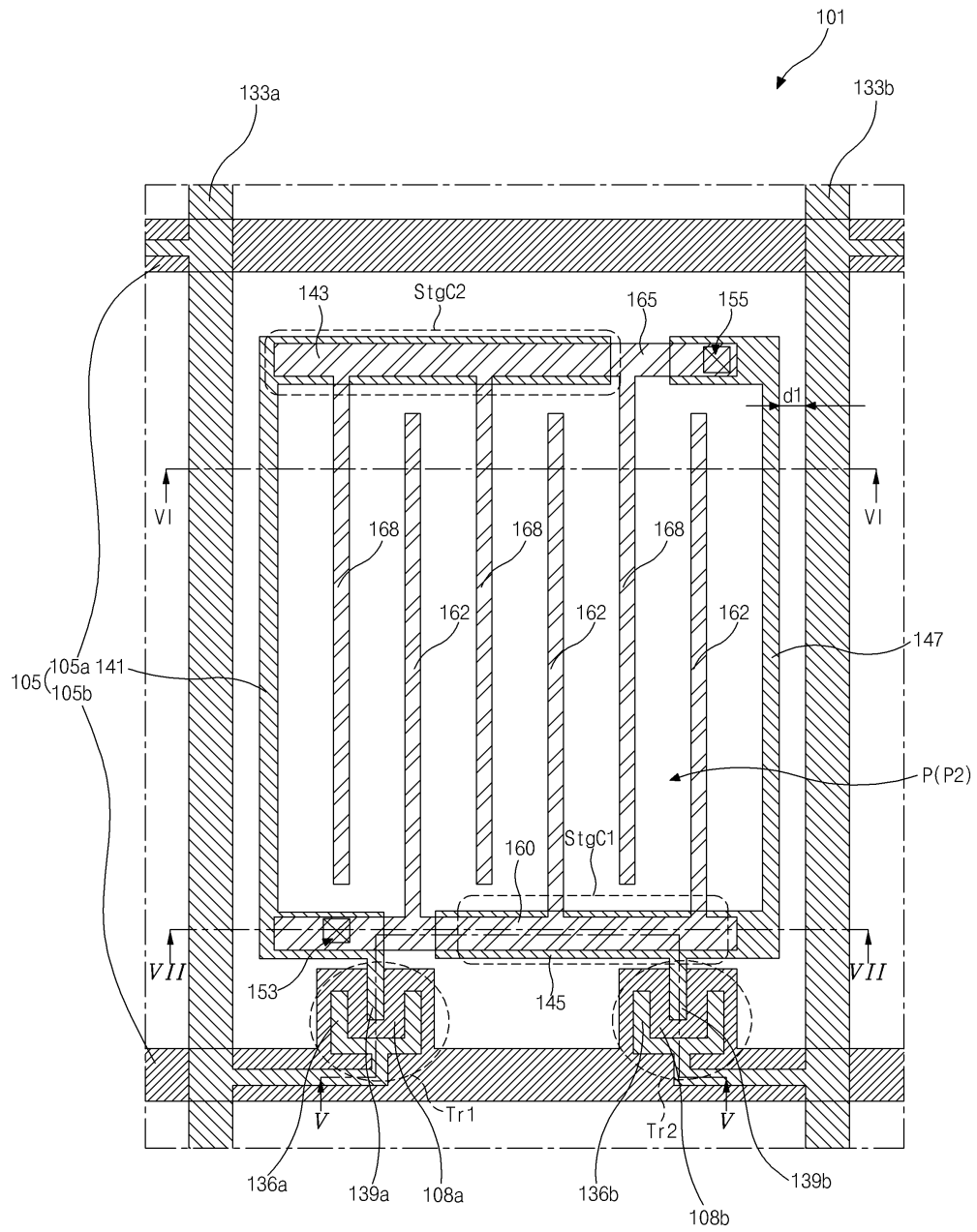
도면2b



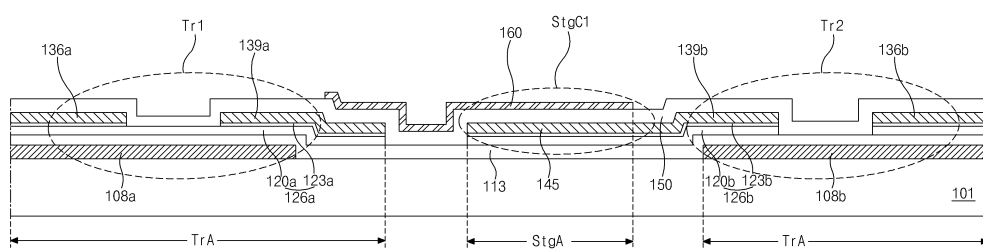
도면3



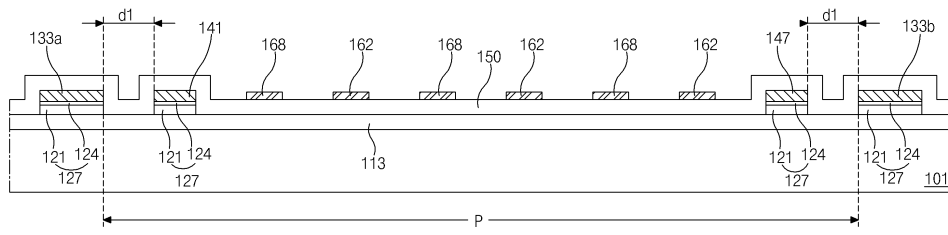
도면4



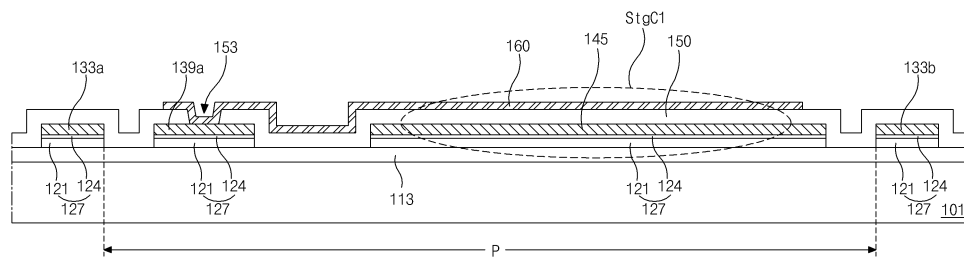
도면5



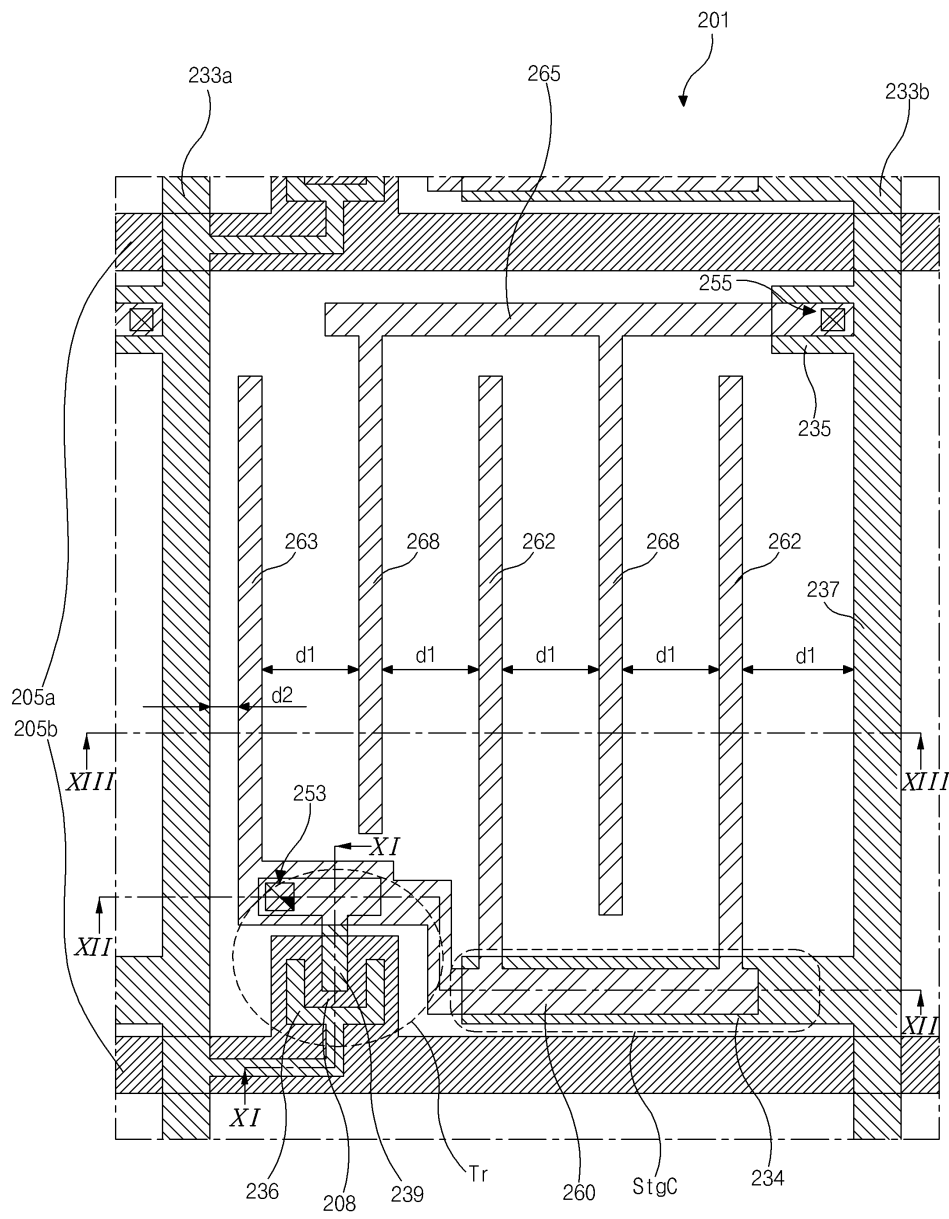
도면6



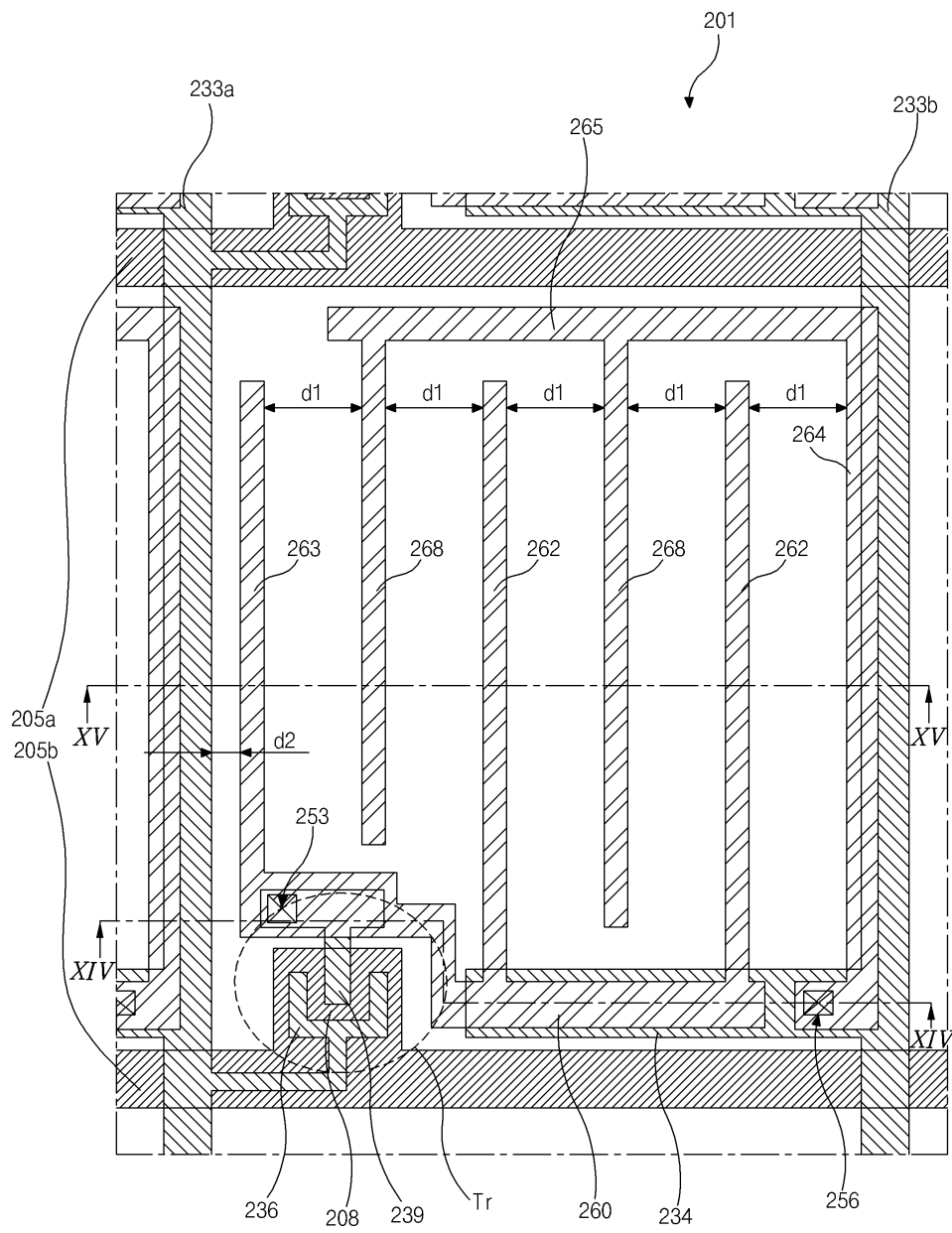
도면7



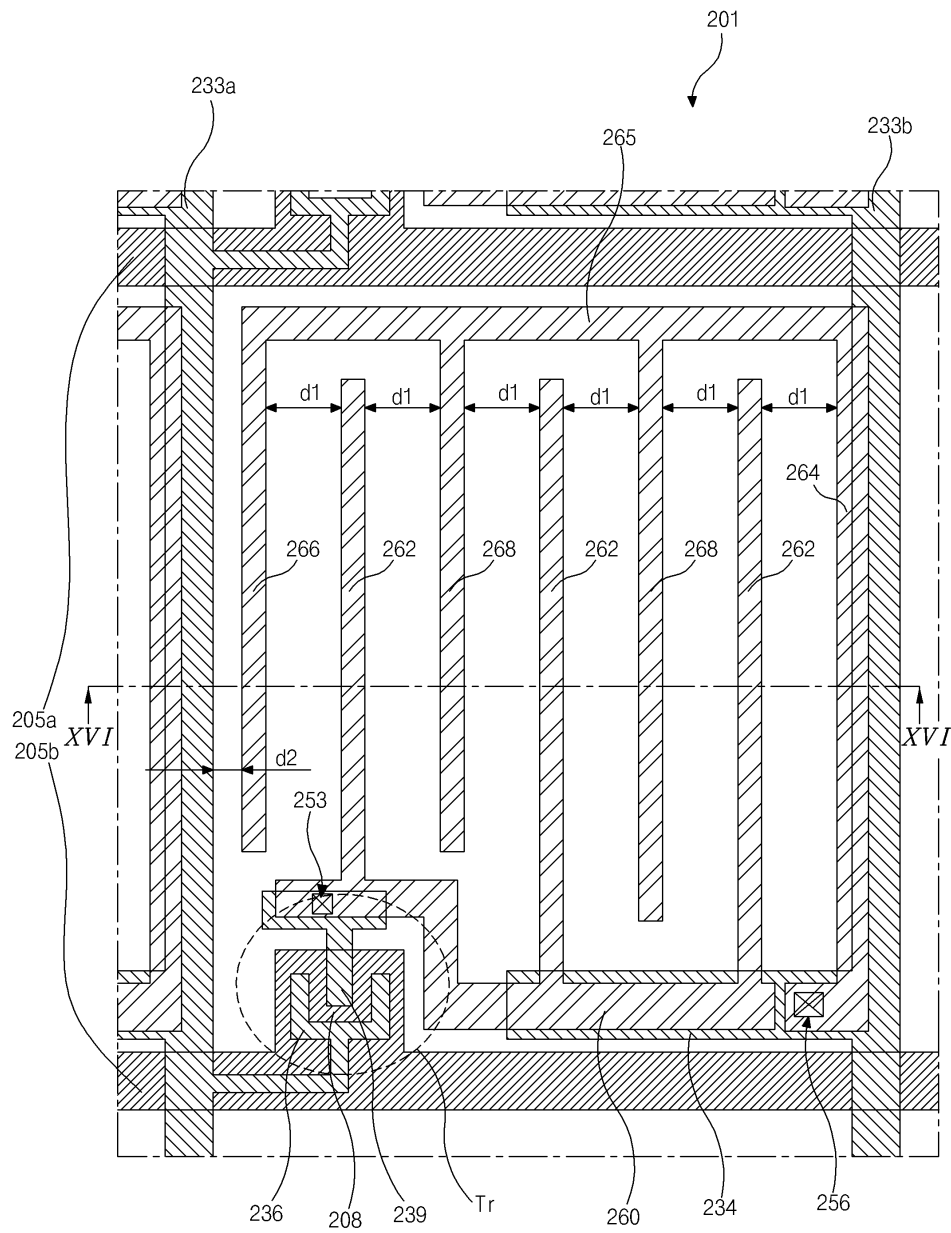
도면8



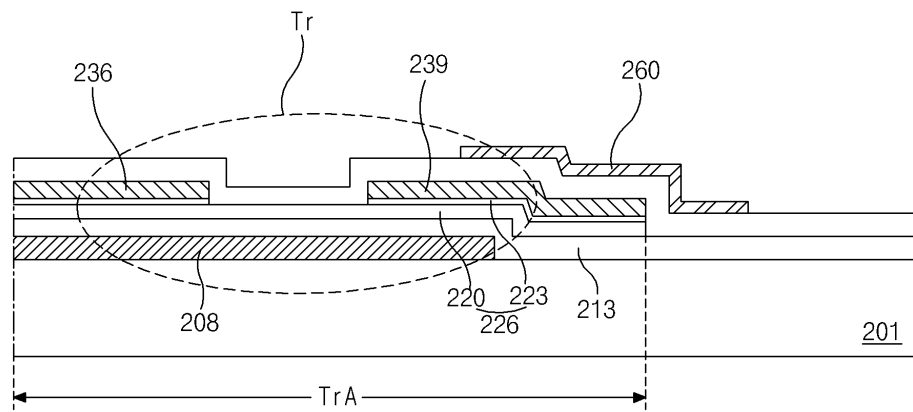
도면9



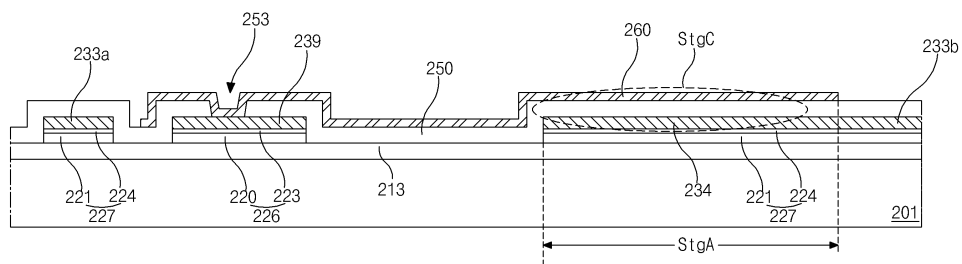
도면10



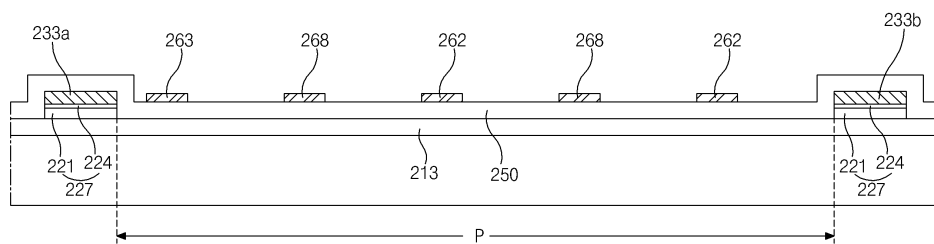
도면11



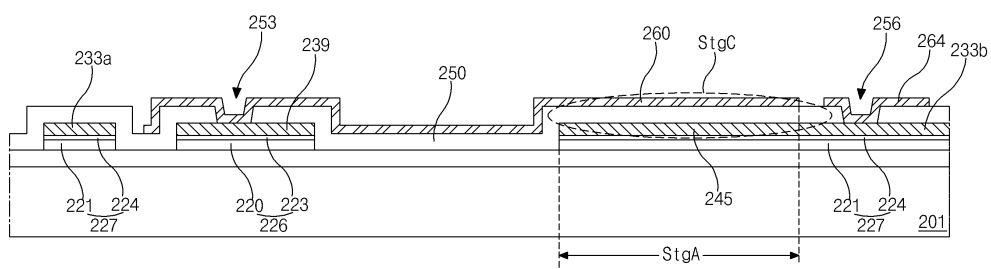
도면12



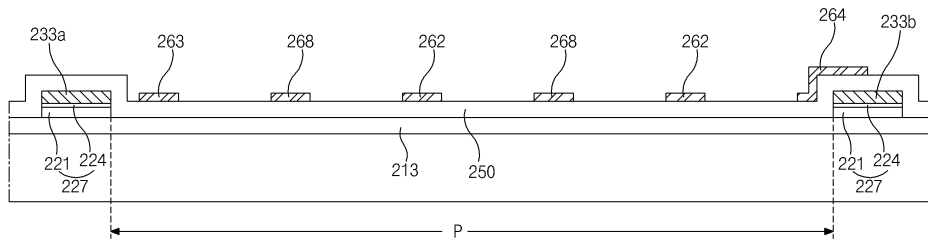
도면13



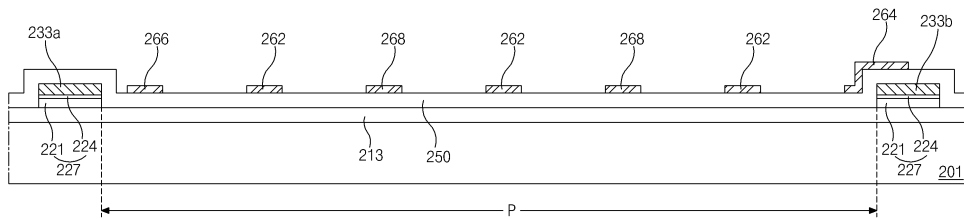
도면14



도면15



도면16



专利名称(译)	一种用于横向电场型液晶显示器件的阵列基板		
公开(公告)号	KR1020090129804A	公开(公告)日	2009-12-17
申请号	KR1020080055902	申请日	2008-06-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JEONG YOUNG MIN 정영민 LEE SU WOONG 이수웅		
发明人	정영민 이수웅		
IPC分类号	G02F1/1343		
CPC分类号	G02F2201/40 G02F1/134363 G02F2201/122		
其他公开文献	KR101237790B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种半导体器件，包括在基板上沿一个方向延伸的第一和第二栅极布线；第一和第二数据线通过第一和第二栅极布线和栅极绝缘膜形成并与第一和第二栅极布线交叉以限定像素区域；第一延伸部分和第二延伸部分分别形成在栅极绝缘层上并从第二数据线分支；薄膜晶体管，连接到第二栅极线和第一数据线；保护层，形成在第一和第二数据线和薄膜晶体管上，并具有暴露薄膜晶体管的漏电极的第一接触孔和暴露第二延伸的第二接触孔；形成在像素区域中的第一图案，以便通过第一接触孔与漏电极接触到保护层上部并与第一延伸部分重叠，多个第一电极与数据线平行形成；形成在像素区域中的第二图案通过第二接触孔与第二延伸部分接触到保护层上部并与第一栅极布线平行间隔开，并且多个第二电极与第一数据线的电极交替，第一电极分别与第一和第二数据线相邻，它是形成与第一数据线的电极的横向电场，并且具有第一间隙形成第一电极的最外层，所述第二数据线是由第二电极的最外此相邻本身本发明提供一种横向电场型液晶显示装置的阵列基板。

