



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0129225
(43) 공개일자 2009년12월16일

(51) Int. Cl.

G02F 1/136 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2008-0055370

(22) 출원일자 2008년06월12일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

신동욱

서울 노원구 상계2동 184-26 삼우빌라 2동 404호

박경태

부산광역시 북구 화명동 2264(3/3) 롯데 낙천대 아파트 113동702호

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 8 항

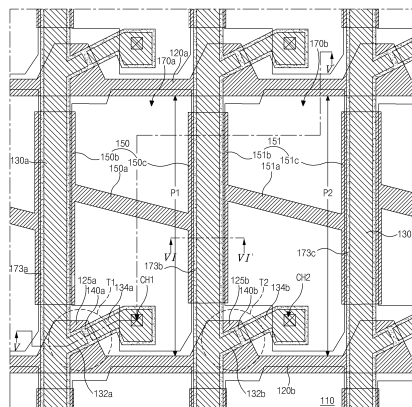
(54) 액정표시장치용 어레이 기판 및 그 제조방법

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 보다 자세하게는 고개구율의 액정표시장치용 어레이 기판 및 그 제조방법에 관한 것이다.

본 발명에 따른 액정표시장치용 어레이 기판은 기판과; 상기 기판 상의 일 방향으로 서로 인접한 위치에서 이격 구성된 제 1 및 제 2 게이트 배선과; 상기 제 1 및 제 2 게이트 배선과 매트릭스 형태로 수직 교차하여 제 1 및 제 2 화소 영역을 정의하는 제 1, 제 2, 제 3 데이터 배선과; 상기 제 2 게이트 배선과 제 1 데이터 배선의 교차 지점과, 상기 제 2 게이트 배선과 제 2 데이터 배선의 교차 지점에 각각 대응된 제 1 박막트랜지스터 및 제 2 박막트랜지스터와; 상기 제 1 및 제 2 박막트랜지스터를 각각 노출하는 제 1 및 제 2 콘택홀을 통해 상기 제 1 및 제 2 박막트랜지스터와 각각 연결된 제 1 및 제 2 화소 전극과; 상기 제 1, 제 2, 제 3 데이터 배선과 중첩된 하부에서 상기 제 1 및 제 2 게이트 배선과 평행하게 이격되고, 상기 제 1 및 제 2 게이트 배선과 제 1, 제 2, 제 3 데이터 배선의 각각이 교차되는 부분을 제외한 상기 제 1, 제 2, 제 3 데이터 배선의 전 면적을 가리는 제 1 및 제 2 공통 배선을 포함하는 것을 특징으로 한다.

대표도 - 도4



특허청구의 범위

청구항 1

기관과;

상기 기관 상의 일 방향으로 서로 인접한 위치에서 이격 구성된 제 1 및 제 2 게이트 배선과;

상기 제 1 및 제 2 게이트 배선과 매트릭스 형태로 수직 교차하여 제 1 및 제 2 화소 영역을 정의하는 제 1, 제 2, 제 3 데이터 배선과;

상기 제 2 게이트 배선과 제 1 데이터 배선의 교차지점과, 상기 제 2 게이트 배선과 제 2 데이터 배선의 교차지점에 각각 대응된 제 1 박막트랜지스터 및 제 2 박막트랜지스터와;

상기 제 1 및 제 2 박막트랜지스터를 각각 노출하는 제 1 및 제 2 콘택홀을 통해 상기 제 1 및 제 2 박막트랜지스터와 각각 연결된 제 1 및 제 2 화소 전극과;

상기 제 1, 제 2, 제 3 데이터 배선과 중첩된 하부에서 상기 제 1 및 제 2 게이트 배선과 평행하게 이격되고, 상기 제 1 및 제 2 게이트 배선과 제 1, 제 2, 제 3 데이터 배선의 각각이 교차되는 부분을 제외한 상기 제 1, 제 2, 제 3 데이터 배선의 전 면적을 가리는 제 1 및 제 2 공통 배선

을 포함하는 액정표시장치용 어레이 기관.

청구항 2

제 1 항에 있어서,

상기 제 1 공통 배선은 상기 제 1 및 제 2 게이트 배선의 이격된 사이 구간으로 평행하게 이격된 수평부와, 상기 수평부에서 상기 제 1 및 제 2 데이터 배선과 평행한 수직 방향으로 분기된 제 1 및 제 2 수직부를 포함하고, 상기 제 2 공통 배선은 상기 제 1 및 제 2 게이트 배선의 이격된 사이 구간으로 평행하게 이격된 수평부와, 상기 수평부에서 상기 제 2 및 제 3 데이터 배선과 평행한 수직 방향으로 분기된 제 1 및 제 2 수직부를 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기관.

청구항 3

제 2 항에 있어서,

상기 제 1 공통 배선의 수평부와 제 1 및 제 2 수직부를 제 1 전극으로 하고, 상기 제 1 전극과 중첩된 제 1 화소 전극을 제 2 전극으로 하며, 상기 제 1 전극과 제 2 전극의 중첩된 사이 공간에 개재된 절연막을 유전체층으로 하는 제 1 스토리지 커패시터가 구성된 것을 특징으로 하는 액정표시장치용 어레이 기관.

청구항 4

제 2 항에 있어서,

상기 제 2 공통 배선의 수평부와 제 1 및 제 2 수직부를 제 1 전극으로 하고, 상기 제 1 전극과 중첩된 제 2 화소 전극을 제 2 전극으로 하며, 상기 제 1 전극과 제 2 전극의 중첩된 사이 공간에 개재된 절연막을 유전체층으로 하는 제 2 스토리지 커패시터가 구성된 것을 특징으로 하는 액정표시장치용 어레이 기관.

청구항 5

기관 상에 제 1, 제 2 스위칭 영역과 제 1, 제 2 화소 영역과 제 1, 제 2 공통 영역과 제 1, 제 2, 제 3 데이터 영역을 정의하는 단계와;

상기 다수의 영역이 정의된 기관 상의 일 방향으로 서로 인접한 위치에서 이격 구성된 제 1 및 제 2 게이트 배선과, 상기 제 1 및 제 2 게이트 배선에서 각각 연장된 제 1 및 제 2 게이트 전극과, 상기 제 1 및 제 2 공통 영역에 대응하여 상기 제 1 및 제 2 게이트 배선과 제 1, 제 2, 제 3 데이터 영역이 각각 교차되는 부분을 제외한 상기 제 1, 제 2, 제 3 데이터 영역의 전면을 가리는 제 1 및 제 2 공통 배선을 형성하는 단계와;

상기 제 1 및 제 2 게이트 배선, 제 1 및 제 2 게이트 전극과 제 1 및 제 2 공통 배선이 형성된 기관 상에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상에 상기 제 1 및 제 2 게이트 배선과 매트릭스 형태로 수직 교차하여 제 1 및 제 2 화소 영역을 정의하는 제 1, 제 2, 제 3 데이터 배선과, 상기 제 2 게이트 배선과 제 1 게이트 배선의 교차지점과, 상기 제 2 게이트 배선과 제 2 데이터 배선의 교차지점에 제 1 박막트랜지스터와 제 2 박막트랜지스터를 각각 형성하는 단계와;

상기 제 1, 제 2, 제 3 데이터 배선과, 제 1 및 제 2 박막트랜지스터가 형성된 기판 상에 상기 제 1 및 제 2 박막트랜지스터를 노출하는 제 1 및 제 2 콘택홀을 포함하는 보호막을 형성하는 단계와;

상기 제 1 및 제 2 콘택홀을 포함하는 보호막 상에 상기 제 1 및 제 2 박막트랜지스터와 각각 연결된 제 1 및 제 2 화소 전극을 형성하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조방법.

청구항 6

제 5 항에 있어서,

상기 제 1 공통 배선은 상기 제 1 및 제 2 게이트 배선의 이격된 사이 구간으로 평행하게 이격된 수평부와, 상기 수평부에서 상기 제 1 및 제 2 데이터 배선과 평행한 수직 방향으로 분기된 제 1 및 제 2 수직부를 포함하고, 상기 제 2 공통 배선은 상기 제 1 및 제 2 게이트 배선의 이격된 사이 구간으로 평행하게 이격된 수평부와, 상기 수평부에서 상기 제 2 및 제 3 데이터 배선과 평행한 수직 방향으로 분기된 제 1 및 제 2 수직부를 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

청구항 7

제 5 항에 있어서,

상기 제 1 공통 배선의 수평부와 제 1 및 제 2 수직부를 제 1 전극으로 하고, 상기 제 1 전극과 중첩된 제 1 화소 전극을 제 2 전극으로 하며, 상기 제 1 전극과 제 2 전극의 중첩된 사이 공간에 개재된 게이트 절연막과 보호막을 유전체층으로 하는 제 1 스토리지 커패시터가 형성된 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

청구항 8

제 5 항에 있어서,

상기 제 2 공통 배선의 수평부와 제 1 및 제 2 수직부를 제 1 전극으로 하고, 상기 제 1 전극과 중첩된 제 2 화소 전극을 제 2 전극으로 하며, 상기 제 1 전극과 제 2 전극의 중첩된 사이 공간에 개재된 게이트 절연막과 보호막을 유전체층으로 하는 제 2 스토리지 커패시터가 형성된 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 액정표시장치에 관한 것으로, 보다 자세하게는 고개구율의 액정표시장치용 어레이 기판 및 그 제조방법에 관한 것이다.

배경 기술

<2> 일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 지니고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

<3> 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

<4> 또한, 액정표시장치는 공통 전극이 형성된 컬러필터 기판과 화소 전극이 형성된 어레이 기판과, 두 기판 사이에

충진된 액정으로 이루어지며, 이러한 액정표시장치는 공통 전극과 화소 전극 간에 상하로 걸리는 수직전기장에 의해 구동시키는 방식이며 투과율과 개구율 등의 특성이 우수하다.

- <5> 일반적으로 어레이 기관의 화소 전극은 컬러필터 기관의 공통 전극과 함께 액정 커패시터를 이루는데, 상기 액정 커패시터에 인가된 전압은 다음 신호가 들어올 때까지 유지하지 못하고 누설되어 사라진다. 따라서, 인가된 전압을 유지하기 위해서는 스토리지 커패시터를 액정 커패시터에 연결해서 사용해야 한다.
- <6> 통상, 스토리지 커패시터는 두 가지 방법으로 형성될 수 있는데, 스토리지 커패시터용 전극을 별도로 형성하여 공통 전극과 연결하여 사용하는 방식과 $n-1$ 번째 게이트 배선의 일부를 n 번째 화소의 스토리지 커패시터의 전극으로 사용하는 방식이 있다.
- <7> 전자를 스토리지 온 커먼(storage on common) 방식 또는 독립 스토리지 커패시터 방식이라 하고, 후자를 스토리지 온 게이트(storage on gate) 또는 전단 게이트(previous gate) 방식이라 한다.
- <8> 상기 스토리지 온 게이트 방식은 게이트 배선을 이용하여 스토리지 신호를 인가받게 되므로 외부 스토리지 배선이 필요 없게 되는 장점이 있으나, 게이트 신호와의 커플링(coupling)에 의한 간섭을 받게되는 단점이 있다.
- <9> 이에 반해, 스토리지 온 커먼 방식(storage on common type: 이하 SOC 방식이라 약칭함)은 게이트 신호에 대한 간섭이 없으며 충분한 스토리지 용량을 확보할 수 있는 장점이 있으나, 스토리지 배선을 추가로 형성하게 되며, 이에 따른 빔샘에 의한 영향으로 개구율을 감소시키는 단점이 있다.
- <10> 이하, 첨부한 도면을 참조하여 종래의 SOC 방식 액정표시장치에 대해 설명하도록 한다.
- <11> 도 1은 종래에 따른 SOC 방식 액정표시장치용 어레이 기관을 나타낸 평면도이다.
- <12> 도시한 바와 같이, 기관(10)의 상부 면에는 스캔 신호를 인가받는 제 1 및 제 2 게이트 배선(20a, 20b)과, 상기 제 1 및 제 2 게이트 배선(20a, 20b)과 수직 교차하여 제 1 및 제 2 화소 영역(P1, P2)을 정의하며, 데이터 신호를 인가받는 제 1, 제 2, 제 3 데이터 배선(30a, 30b, 30c)이 매트릭스 형태로 구성된다.
- <13> 또한, 상기 제 1 게이트 배선(20a) 및 제 2 게이트 배선(20b)과 평행하게 이격된 사이 공간으로 "H"자 형상의 제 1 및 제 2 공통 배선(50, 51)이 구성된다.
- <14> 상기 제 1 공통 배선(50)은 제 1 및 제 2 게이트 배선(20a, 20b)과 평행하게 이격된 제 1 화소 영역(P1)의 사이 공간에 대응된 수평부(50a)와, 상기 수평부(50a)에서 제 1 및 제 2 데이터 배선(30a, 30b)으로 각각 수직 분기된 제 1 및 제 2 수직부(50b, 50c)를 포함한다.
- <15> 상기 제 2 공통 배선(51)은 제 1 및 제 2 게이트 배선(20a, 20b)과 평행하게 이격된 제 2 화소 영역(P2)의 사이 공간에 대응된 수평부(51a)와, 상기 수평부(51a)에서 제 2 및 제 3 데이터 배선(30b, 30c)으로 각각 수직 분기된 제 1 및 제 2 수직부(51b, 51c)를 포함한다.
- <16> 상기 제 1 공통 배선(50)의 제 2 수직부(50c)와 상기 제 2 공통 배선(51)의 제 1 수직부(51b)는 제 1 및 제 2 공통 브리지 라인(53, 54)을 통해 연결된다. 이러한 제 1 및 제 2 공통 브리지 라인(53, 54)은 이웃한 화소 영역으로 반복 설계된다. 다시 말해, 제 1 및 제 2 화소 영역(P1, P2)에 대해서만 언급하였으나, 기관(10)의 모든 화소 영역으로 확장하여 설명한다면, 이러한 제 1 및 제 2 공통 브리지 라인(53, 54)은 이웃한 화소 영역 간의 모든 공통 배선들을 도통시키는 기능을 할 수 있는 바, 기관(10) 내의 모든 공통 배선으로 도시하지 않은 공통 전압 발생부로부터의 공통 신호를 인가받을 수 있게 된다.
- <17> 상기 제 2 게이트 배선(20b)과 제 1 데이터 배선(30a)의 교차지점에는 제 1 박막트랜지스터(T1)가, 상기 제 2 게이트 배선(20b)과 제 2 데이터 배선(30b)의 교차지점에는 제 2 박막트랜지스터(T2)가 각각 구성된다.
- <18> 상기 제 1 박막트랜지스터(T1)는 제 2 게이트 배선(20b)에서 제 1 화소 영역(P1) 방향으로 연장된 제 1 게이트 전극(25a)과, 상기 제 1 게이트 전극(25a)과 중첩된 상부에 위치하는 제 1 반도체층(미도시)과, 상기 제 1 데이터 배선(30a)에서 연장되고 제 1 반도체층과 접촉된 상부에 위치하는 제 1 소스 전극(32a)과, 상기 제 1 소스 전극(32a)과 이격된 제 1 드레인 전극(34a)을 포함한다.
- <19> 또한, 상기 제 2 박막트랜지스터(T2)는 제 2 게이트 배선(20b)에서 제 2 화소 영역(P2) 방향으로 연장된 제 2 게이트 전극(25b)과, 상기 제 2 게이트 전극(25b)과 중첩된 상부에 위치하는 제 2 반도체층(미도시)과, 상기 제 2 데이터 배선(30b)에서 연장되고 제 2 반도체층과 접촉된 상부에 위치하는 제 2 소스 전극(32b)과, 상기 제 2 소스 전극(32b)과 이격된 제 2 드레인 전극(34b)을 포함한다.

- <20> 상기 제 1 및 제 2 반도체층(미도시)은 순수 비정질 실리콘(a-Si:H)으로 이루어진 제 1 및 제 2 액티브층(40a, 40b)과, 불순물을 포함하는 비정질 실리콘(n+ a-Si:H)으로 이루어진 제 1 및 제 2 오믹 콘택층(미도시)을 각각 포함한다.
- <21> 상기 제 1 및 제 2 드레인 전극(34a, 34b)을 각각 노출하는 제 1 및 제 2 드레인 콘택홀(CH1, CH2)을 통해 제 1 및 제 2 드레인 전극(34a, 34b)과 접촉된 제 1 및 제 2 화소 전극(70a, 70b)이 제 1 및 제 2 화소 영역(P1, P2)에 각각 대응 구성된다. 상기 제 1 및 제 2 화소 전극(70a, 70b)은 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 물질 그룹 중 선택된 하나로 구성된다.
- <22> 이하, 첨부한 도면을 참조하여 종래에 따른 SOC 방식 액정표시장치에 대해 보다 상세히 설명하도록 한다.
- <23> 도 2는 도 1의 II-II'선을 따라 절단하여 나타낸 단면도이다.
- <24> 도시한 바와 같이, 기판(10) 상에는 제 1 및 제 2 화소 영역(P1, P2), 제 1 스위칭 영역(S1), 제 1 및 제 2 공통 영역(C1, C2), 제 2 데이터 영역(D2)이 각각 정의된다. 상기 다수의 영역(P1, P2, S1, C1, C2, D2)이 정의된 기판(10) 상부 면에는 제 2 게이트 배선(도 1의 20b)에서 연장된 제 1 게이트 전극(25a)이 구성된다.
- <25> 또한, 상기 제 1 및 제 2 공통 영역(C1, C2)에 각각 대응하여 제 1 공통 배선(50)의 제 2 수직부(50c)와 제 2 공통 배선(51)의 제 1 수직부(51b)가 구성된다. 상기 제 1 공통 배선(50)의 제 2 수직부(50c)와 제 2 공통 배선(51)의 제 1 수직부(51b)의 사이로 상기 제 1 공통 배선(50)의 제 2 수직부(50c)와 제 2 공통 배선(51)의 제 1 수직부(51b)를 전기적으로 도통시키는 제 2 공통 브리지 라인(54)이 구성된다.
- <26> 상기 제 1 게이트 전극(25a), 제 1 공통 배선(50)의 제 2 수직부(50c), 제 2 공통 배선(51)의 제 1 수직부(51b) 및 제 2 공통 브리지 라인(54)의 상부 전면에는 산화 실리콘(SiO₂)과 질화 실리콘(SiNx)을 포함하는 무기 절연물질 그룹 중 선택된 하나로 게이트 절연막(45)이 구성된다.
- <27> 상기 제 1 게이트 전극(25a)과 중첩된 게이트 절연막(45) 상부 면에는 순수 비정질 실리콘(a-Si:H)과 불순물을 포함하는 비정질 실리콘(n+ a-Si:H)으로 이루어진 제 1 액티브층(40a)과 제 1 오믹 콘택층(41a)이 아일랜드 형태로 적층 구성된다. 상기 제 1 액티브층(40a)과 제 1 오믹 콘택층(41a)을 포함하여 제 1 반도체층(42a)을 이룬다.
- <28> 상기 제 1 반도체층(42a) 상부 면에는 제 1 데이터 배선(도 1의 30a)에서 연장된 제 1 소스 전극(32a)과, 상기 제 1 소스 전극(32a)과 이격된 제 1 드레인 전극(34a)이 구성된다. 또한, 상기 제 2 데이터 영역(D2)에 대응하여 제 1 공통 배선(50)의 제 2 수직부(50c), 제 2 공통 배선(51)의 제 1 수직부(51c) 및 제 2 공통 브리지 라인(54)과 중첩된 상부로 제 2 데이터 배선(30b)이 구성된다.
- <29> 상기 제 1 소스 및 드레인 전극(32a, 34a)과 제 2 데이터 배선(30b)의 상부 전면에는 제 1 드레인 전극(34a)을 노출하는 제 1 드레인 콘택홀(CH1)을 포함하는 보호막(55)이 구성된다.
- <30> 상기 보호막(55) 상에는 제 1 드레인 콘택홀(CH1)을 통해 제 1 드레인 전극(34a)과 연결된 제 1 화소 전극(70a)이 제 1 화소 영역(P1)에 대응 구성되고, 제 2 드레인 콘택홀(도 1의 CH2)을 통해 제 2 드레인 전극(도 1의 34b)과 연결된 제 2 화소 전극(70b)이 제 2 화소 영역(P2)에 대응 구성된다.
- <31> 진술한 구성에서, 제 1 공통 배선(50)의 제 2 수직부(50c) 및 제 2 공통 배선(51)의 제 1 수직부(51b)를 제 2 데이터 배선(30b)과 최대한 밀착 구성하고, 제 2 공통 브리지 라인(54)으로 이웃한 화소 영역 간에 위치하는 제 1 공통 배선(50)의 제 2 수직부(50c)와 제 2 공통 배선(51)의 제 1 수직부(51b)를 서로 연결한다. 이러한 제 1 및 제 2 화소 영역(P1, P2)에 각각 대응된 전면으로 제 1 화소 전극(70a)과 제 2 화소 전극(70b)을 구성하게 된다.
- <32> 이때, 상기 제 1 공통 배선(50)의 제 2 수직부(50c) 및 제 2 공통 배선(51)의 제 1 수직부(51b)와 중첩된 상부로 제 1 화소 전극(70a)과 제 2 화소 전극(70b)을 중첩 설계하고 있으나, 이러한 화소 설계에서는 개구율을 향상시키는 데 한계에 다다른 상황이다.
- <33> 도 3은 도 1의 III-III'선을 따라 절단하여 나타낸 단면도로, 어레이 기판과 컬러필터 기판이 대향 합착된 상태를 나타낸 것으로, 이를 참조하여 상세히 설명하도록 한다.
- <34> 도시한 바와 같이, 표시 영역(AA)과 비표시 영역(NAA)으로 각각 구분된 컬러필터 기판(5)과 어레이 기판(10)이 대향 합착하고 있으며, 상기 컬러필터 기판(5)과 어레이 기판(10)의 이격된 사이 공간에 액정층(15)이 일정한

셀갭(g)을 갖고 개재된다. 상기 컬러필터 기관(5) 및 어레이 기관(10)과 액정층(15)을 포함하여 액정 패널(30)을 이룬다. 상기 어레이 기관(10)의 배면에는 광원의 역할을 하는 백라이트 유닛(90)이 위치한다.

- <35> 도면으로 상세히 제시하지는 않았지만, 상기 컬러필터 기관(5)과 어레이 기관(10)은 최외곽 가장자리를 따라 열경화성 수지로 이루어진 셀 패턴(미도시)에 의해 봉합된다.
- <36> 상기 컬러필터 기관(5)의 투명 기관(1) 하부 면에는 비표시 영역(NAA)으로 입사되는 빛을 차단하기 위한 블랙 매트릭스(12)와, 상기 블랙 매트릭스(12)의 하부 면에 색상을 구현하기 위해 순차적으로 패턴된 적(R), 녹(G), 청(B) 서브 컬러필터(16a, 16b, 미도시)를 포함하는 컬러필터층(16)과, 상기 컬러필터층(16) 하부의 오버 코트층(14)과, 상기 오버 코트층(14) 하부의 투명 도전성 물질로 이루어진 공통 전극(80)이 차례로 위치한다.
- <37> 한편, 상기 어레이 기관(10)의 투명 기관(2) 상부 면에는 제 2 데이터 영역(D2)을 사이에 두고 양측으로 이격 구성된 제 1 공통 배선(50)의 제 2 수직부(50c) 및 제 2 공통 배선(51)의 제 1 수직부(51b)와, 상기 제 1 공통 배선(50)의 제 2 수직부(50c) 및 제 2 공통 배선(51)의 제 1 수직부(51b)의 상부를 덮는 게이트 절연막(45)과, 상기 게이트 절연막(45) 상의 제 2 데이터 영역(D2)에 대응된 제 2 데이터 배선(30b)과, 상기 제 2 데이터 배선(30b)을 덮는 보호막(55)과, 상기 보호막(55) 상의 제 2 데이터 배선(30b)을 사이에 두고, 제 1 및 제 2 화소 영역(P1, P2)에 각각 구성된 제 1 및 제 2 화소 전극(70a, 70b)이 차례로 위치한다.
- <38> 이때, 상기 제 2 데이터 배선(30b)의 하부에 위치하는 제 1 공통 배선(50)의 제 2 수직부(50c)와 제 2 공통 배선(51)의 제 1 수직부(51b)를 설계하는 것을 통해 제 1 화소 전극(70a)과 제 2 화소 전극(70b)을 제 2 데이터 배선(30b)과 밀착 설계하더라도 제 1 및 제 2 화소 전극(70a, 70b)과 제 2 데이터 배선(30b) 간의 기생 커패시턴스에 의한 데이터 신호의 왜곡 문제에 따른 크로스 토크와 같은 화질 불량 문제가 발생하지 않는다는 장점이 있으나, 제 1 공통 배선(50)의 제 2 수직부(50c)와 제 2 공통 배선(51)의 제 1 수직부(51b)를 이격 설계하는 데 따른 개구율 저하 문제가 대두되고 있다.
- <39> 특히, 상기 컬러필터 기관(5)의 투명 기관(1) 하부 면의 비표시 영역(NAA)에 대응 구성되는 블랙 매트릭스(12)는 컬러필터 기관(5)과 어레이 기관(10)의 합착 공정시 합착 오차를 감안하여 좌우 양측으로 2 μ m 정도의 합착 마진을 두고 제 1 공통 배선(50)의 제 2 수직부(50c)와 제 2 공통 배선(51)의 제 1 수직부(51b)를 차폐하도록 설계해야 하는바, 그 만큼 개구율은 더욱 감소하게 된다.
- <40> 특히, 10인치 이하의 소형 모델로 양산 중인 SOC 구조 액정표시장치에서는 액정 패널(30)의 개구율을 높여 백라이트 유닛(90)의 광학 시트를 제거함으로써 전체적인 단가를 낮추려는 시도가 진행 중에 있다.
- <41> 그러나, 상기 제 1 공통 배선(50)의 제 2 수직부(50c)와 제 2 공통 배선(51)의 제 1 수직부(51b)의 경우 제 2 데이터 배선(30b)과 중첩된 상부에 대응된 제 1 및 제 2 공통 브리지 라인(도 1의 53, 54)을 통해 서로 연결하고 있다. 이때, 상기 제 1 및 제 2 공통 브리지 라인을 제외한 부분에서는 제 1 공통 배선(50)의 제 2 수직부(50c)와 제 2 공통 배선(51)의 제 1 수직부(51b)를 패턴하여 양측으로 분리 형성하고 있으나, 노광 장비의 해상도의 한계로 제 1 공통 배선(50)의 제 2 수직부(50c)와 제 2 공통 배선(51)의 제 1 수직부(51b) 간의 이격 거리를 축소 설계하는 데 한계에 다다른 상황으로, 그 만큼 개구율을 증대시키는 데 어려움이 따르고 있다.

발명의 내용

해결 하고자하는 과제

- <42> 본 발명은 전술한 문제를 해결하기 위해 안출된 것으로, 화소 설계의 변경을 통해 고개구율의 액정표시장치용 어레이 기관을 제공하는 것을 목적으로 한다.

과제 해결수단

- <43> 전술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이 기관은 기관과; 상기 기관 상의 일 방향으로 서로 인접한 위치에서 이격 구성된 제 1 및 제 2 게이트 배선과;
- <44> 상기 제 1 및 제 2 게이트 배선과 매트릭스 형태로 수직 교차하여 제 1 및 제 2 화소 영역을 정의하는 제 1, 제 2, 제 3 데이터 배선과; 상기 제 2 게이트 배선과 제 1 데이터 배선의 교차지점과, 상기 제 2 게이트 배선과 제 2 데이터 배선의 교차지점에 각각 대응된 제 1 박막트랜지스터 및 제 2 박막트랜지스터와; 상기 제 1 및 제 2 박막트랜지스터를 각각 노출하는 제 1 및 제 2 콘택홀을 통해 상기 제 1 및 제 2 박막트랜지스터와 각각 연결된 제 1 및 제 2 화소 전극과; 상기 제 1, 제 2, 제 3 데이터 배선과 중첩된 하부에서 상기 제 1 및 제 2 게이트

배선과 평행하게 이격되고, 상기 제 1 및 제 2 게이트 배선과 제 1, 제 2, 제 3 데이터 배선의 각각이 교차되는 부분을 제외한 상기 제 1, 제 2, 제 3 데이터 배선의 전 면적을 가리는 제 1 및 제 2 공통 배선을 포함하는 것을 특징으로 한다.

<45> 이때, 상기 제 1 공통 배선은 상기 제 1 및 제 2 게이트 배선의 이격된 사이 구간으로 평행하게 이격된 수평부와, 상기 수평부에서 상기 제 1 및 제 2 데이터 배선과 평행한 수직 방향으로 분기된 제 1 및 제 2 수직부를 포함하고, 상기 제 2 공통 배선은 상기 제 1 및 제 2 게이트 배선의 이격된 사이 구간으로 평행하게 이격된 수평부와, 상기 수평부에서 상기 제 2 및 제 3 데이터 배선과 평행한 수직 방향으로 분기된 제 1 및 제 2 수직부를 포함한다.

<46> 상기 제 1 공통 배선의 수평부와 제 1 및 제 2 수직부를 제 1 전극으로 하고, 상기 제 1 전극과 중첩된 제 1 화소 전극을 제 2 전극으로 하며, 상기 제 1 전극과 제 2 전극의 중첩된 사이 공간에 개재된 절연막을 유전체층으로 하는 제 1 스토리지 커패시터가 구성된다.

<47> 또한, 상기 제 2 공통 배선의 수평부와 제 1 및 제 2 수직부를 제 1 전극으로 하고, 상기 제 1 전극과 중첩된 제 2 화소 전극을 제 2 전극으로 하며, 상기 제 1 전극과 제 2 전극의 중첩된 사이 공간에 개재된 절연막을 유전체층으로 하는 제 2 스토리지 커패시터가 구성된다.

<48> 전술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이 기판의 제조방법은 기판 상에 제 1, 제 2 스위칭 영역과 제 1, 제 2 화소 영역과 제 1, 제 2 공통 영역과 제 1, 제 2, 제 3 데이터 영역을 정의하는 단계와; 상기 다수의 영역이 정의된 기판 상의 일 방향으로 서로 인접한 위치에서 이격 구성된 제 1 및 제 2 게이트 배선과, 상기 제 1 및 제 2 게이트 배선에서 각각 연장된 제 1 및 제 2 게이트 전극과, 상기 제 1 및 제 2 공통 영역에 대응하여 상기 제 1 및 제 2 게이트 배선과 제 1, 제 2, 제 3 데이터 영역이 각각 교차되는 부분을 제외한 상기 제 1, 제 2, 제 3 데이터 영역의 전면을 가리는 제 1 및 제 2 공통 배선을 형성하는 단계와; 상기 제 1 및 제 2 게이트 배선, 제 1 및 제 2 게이트 전극과 제 1 및 제 2 공통 배선이 형성된 기판 상에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 상에 상기 제 1 및 제 2 게이트 배선과 매트릭스 형태로 수직 교차하여 제 1 및 제 2 화소 영역을 정의하는 제 1, 제 2, 제 3 데이터 배선과, 상기 제 2 게이트 배선과 제 1 게이트 배선의 교차지점과, 상기 제 2 게이트 배선과 제 2 데이터 배선의 교차지점에 제 1 박막트랜지스터와 제 2 박막트랜지스터를 각각 형성하는 단계와; 상기 제 1, 제 2, 제 3 데이터 배선과, 제 1 및 제 2 박막트랜지스터가 형성된 기판 상에 상기 제 1 및 제 2 박막트랜지스터를 노출하는 제 1 및 제 2 콘택홀을 포함하는 보호막을 형성하는 단계와; 상기 제 1 및 제 2 콘택홀을 포함하는 보호막 상에 상기 제 1 및 제 2 박막트랜지스터와 각각 연결된 제 1 및 제 2 화소 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

<49> 이때, 상기 제 1 공통 배선은 상기 제 1 및 제 2 게이트 배선의 이격된 사이 구간으로 평행하게 이격된 수평부와, 상기 수평부에서 상기 제 1 및 제 2 데이터 배선과 평행한 수직 방향으로 분기된 제 1 및 제 2 수직부를 포함하고, 상기 제 2 공통 배선은 상기 제 1 및 제 2 게이트 배선의 이격된 사이 구간으로 평행하게 이격된 수평부와, 상기 수평부에서 상기 제 2 및 제 3 데이터 배선과 평행한 수직 방향으로 분기된 제 1 및 제 2 수직부를 포함한다.

<50> 상기 제 1 공통 배선의 수평부와 제 1 및 제 2 수직부를 제 1 전극으로 하고, 상기 제 1 전극과 중첩된 제 1 화소 전극을 제 2 전극으로 하며, 상기 제 1 전극과 제 2 전극의 중첩된 사이 공간에 개재된 게이트 절연막과 보호막을 유전체층으로 하는 제 1 스토리지 커패시터가 형성된다.

<51> 또한, 상기 제 2 공통 배선의 수평부와 제 1 및 제 2 수직부를 제 1 전극으로 하고, 상기 제 1 전극과 중첩된 제 2 화소 전극을 제 2 전극으로 하며, 상기 제 1 전극과 제 2 전극의 중첩된 사이 공간에 개재된 게이트 절연막과 보호막을 유전체층으로 하는 제 2 스토리지 커패시터가 형성된다.

효 과

<52> 본 발명에서는 데이터 배선을 사이에 두고 이웃한 화소 영역에 각각 대응된 다수의 공통 배선을 데이터 배선과 중첩된 부분을 패틴 없이 서로 연결 구성하는 것을 통해 개구율을 향상시킬 수 있는 장점이 있다.

발명의 실시를 위한 구체적인 내용

<53> --- 실시예 ---

<54> 본 발명에서는 게이트 배선 및 데이터 배선의 교차지점과 박막트랜지스터를 제외하고 데이터 배선과 중첩된 하

부로, 상기 데이터 배선을 모두 가리도록 공통 배선을 설계한 것을 특징으로 한다.

- <55> 이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시장치에 대해 설명하도록 한다.
- <56> 도 4는 본 발명에 따른 SOC 방식 액정표시장치용 어레이 기판을 나타낸 평면도이다.
- <57> 도시한 바와 같이, 기판(110)의 상부 면에는 스캔 신호를 인가받는 제 1 및 제 2 게이트 배선(120a, 120b)과, 상기 제 1 및 제 2 게이트 배선(120a, 120b)과 수직 교차하여 제 1 및 제 2 화소 영역(P1, P2)을 정의하며, 데이터 신호를 인가받는 제 1, 제 2, 제 3 데이터 배선(130a, 130b, 130c)이 매트릭스 형태로 구성된다.
- <58> 또한, 상기 제 1 게이트 배선(120a) 및 제 2 게이트 배선(120b)과 평행하게 이격된 사이 공간으로 "H"자 형상의 제 1 및 제 2 공통 배선(150, 151)을 구성한다.
- <59> 상기 제 1 공통 배선(150)은 제 1 및 제 2 게이트 배선(120a, 120b)과 평행하게 이격된 제 1 화소 영역(P1)의 사이 공간에 대응된 수평부(150a)와, 상기 수평부(150a)에서 제 1 및 제 2 데이터 배선(130a, 130b)으로 각각 수직 분기된 제 1 및 제 2 수직부(150b, 150c)를 포함한다.
- <60> 상기 제 2 공통 배선(151)은 제 1 및 제 2 게이트 배선(120a, 120b)과 평행하게 이격된 제 2 화소 영역(P2)의 사이 공간에 대응된 수평부(151a)와, 상기 수평부(151a)에서 제 2 및 제 3 데이터 배선(130b, 130c)으로 각각 수직 분기된 제 1 및 제 2 수직부(151b, 151c)를 포함한다.
- <61> 이때, 상기 제 1 공통 배선(150)의 제 2 수직부(150c)와 제 2 공통 배선(151)의 제 1 수직부(151b)는 제 2 데이터 배선(130b)과 중첩된 하부, 즉 제 1 게이트 배선(120a) 및 제 2 데이터 배선(130b)과 교차되는 부분과 제 2 게이트 배선(120b) 및 제 2 데이터 배선(130b)의 교차되는 부분을 제외한 제 2 데이터 배선(130b)의 전 부분을 가리도록 패턴된 것을 특징으로 한다.
- <62> 다시 말해, 상기 제 1 및 제 2 화소 영역(P1, P2)에 대해서만 언급하였으나, 기판(110)의 모든 화소 영역으로 확장하여 설명한다면, 이러한 제 1 및 제 2 공통 배선(150, 151)은 종래와 달리 이웃한 화소 영역 간 공통 배선을 연결하는 공통 브리지 라인을 구성할 필요 없이, 각 화소 영역의 박막트랜지스터가 위치하는 부분을 제외한 제 1, 제 2, 제 3 데이터 배선(130a, 130b, 130c)의 전면을 가리도록 설계하는 것을 통해 도시하지 않은 공통 전압 발생부로부터의 공통 신호를 안정적으로 인가받을 수 있게 된다.
- <63> 상기 제 2 게이트 배선(120b)과 제 1 데이터 배선(130a)의 교차지점에는 제 1 박막트랜지스터(T1)가, 상기 제 2 게이트 배선(120b)과 제 2 데이터 배선(130b)의 교차지점에는 제 2 박막트랜지스터(T2)가 각각 구성된다.
- <64> 상기 제 1 박막트랜지스터(T1)는 제 2 게이트 배선(120b)에서 제 1 화소 영역(P1) 방향으로 연장된 제 1 게이트 전극(125a)과, 상기 제 1 게이트 전극(125a)과 중첩된 상부에 위치하는 제 1 반도체층(미도시)과, 상기 제 1 데이터 배선(130a)에서 연장되고 제 1 반도체층과 접촉된 상부에 위치하는 제 1 소스 전극(132a)과, 상기 제 1 소스 전극(132a)과 이격된 제 1 드레인 전극(134a)을 포함한다.
- <65> 또한, 상기 제 2 박막트랜지스터(T2)는 제 2 게이트 배선(120b)에서 제 2 화소 영역(P2) 방향으로 연장된 제 2 게이트 전극(125b)과, 상기 제 2 게이트 전극(125b)과 중첩된 상부에 위치하는 제 2 반도체층(미도시)과, 상기 제 2 데이터 배선(130b)에서 연장되고 제 2 반도체층과 접촉된 상부에 위치하는 제 2 소스 전극(132b)과, 상기 제 2 소스 전극(132b)과 이격된 제 2 드레인 전극(134b)을 포함한다.
- <66> 상기 제 1 및 제 2 반도체층(미도시)은 순수 비정질 실리콘(a-Si:H)으로 이루어진 제 1 및 제 2 액티브층(140a, 140b)과, 불순물을 포함하는 비정질 실리콘(n+ a-Si:H)으로 이루어진 제 1 및 제 2 오믹 콘택층(미도시)을 각각 포함한다. 상기 제 1 및 제 2 액티브층(140a, 140b)과 제 1 및 제 2 오믹 콘택층과 동일 패턴으로 제 1, 제 2, 제 3 순수 비정질 패턴(171a, 171b, 171c)과 제 1, 제 2, 제 3 불순물 비정질 패턴(미도시)이 구성된다.
- <67> 상기 제 1, 제 2, 제 3 순수 비정질 패턴(171a, 171b, 171c)은 제 1, 제 2, 제 3 데이터 배선(130a, 130b, 130c) 보다 넓은 폭으로 구성되는 바, 그 일부가 외부로 각각 노출된다.
- <68> 상기 제 1 및 제 2 드레인 전극(134a, 134b)을 각각 노출하는 제 1 및 제 2 드레인 콘택홀(CH1, CH2)을 통해 제 1 및 제 2 드레인 전극(134a, 134b)과 접촉된 제 1 및 제 2 화소 전극(170a, 170b)이 제 1 및 제 2 화소 영역(P1, P2)에 각각 대응 구성된다. 상기 제 1 및 제 2 화소 전극(170a, 170b)은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 물질 그룹 중 선택된 하나로 구성된다.
- <69> 이때, 상기 제 1 공통 배선(150)의 수평부(150a)와 제 1 및 제 2 수직부(150b, 150c)를 제 1 전극으로 하고,

상기 제 1 전극과 중첩된 제 1 화소 전극(170a)을 제 2 전극으로 하며, 상기 제 1 전극과 제 2 전극의 중첩된 사이 공간에 개재된 절연막(미도시)을 유전체층으로 하는 제 1 스토리지 커패시터(Cst1)가 형성된다.

<70> 또한, 상기 제 2 공통 배선(151)의 수평부(151a)와 제 1 및 제 2 수직부(151b, 151c)를 제 1 전극으로 하고, 상기 제 1 전극과 중첩된 제 2 화소 전극(170b)을 제 2 전극으로 하며, 상기 제 1 전극과 제 2 전극의 중첩된 사이 공간에 개재된 절연막을 유전체층으로 하는 제 2 스토리지 커패시터(Cst2)가 형성된다.

<71> 이하, 첨부한 도면을 참조하여 본 발명에 따른 SOC 방식 액정표시장치용 어레이 기판의 제조방법에 대해 설명하도록 한다.

<72> 도 5a 내지 도 5h는 도 4의 V-V'선을 따라 절단하여 공정 순서에 의해 나타낸 공정 단면도이다.

<73> 도 5a는 제 1 마스크 공정 단계를 나타낸 공정 단면도이다.

<74> 도 5a에 도시한 바와 같이, 기판(110) 상에 제 1 스위칭 영역(S1), 제 1 및 제 2 화소 영역(P1, P2), 제 1 및 제 2 공통 영역(C1, C2), 제 1 게이트 영역(G1)과 제 2 데이터 영역(D2)을 정의하는 단계를 진행한다. 상기 다수의 영역(S1, P1, P2, C1, C2, G1, D2)이 정의된 기판(110) 상에 구리(Cu), 몰리브덴(Mo), 몰리브덴 합금(MoNd), 알루미늄(Al) 및 알루미늄 합금(AlNd)을 포함하는 도전성 금속물질 그룹 중 선택된 하나로 게이트 금속층(미도시)을 형성하고 이를 패터닝하여, 일 방향으로 평행하게 이격된 제 1 게이트 배선(120a) 및 제 2 게이트 배선(120b)과, 상기 제 1 게이트 배선(120a)과 제 2 게이트 배선(120b)에서 각각 연장된 제 1 게이트 전극(125a)과 제 2 게이트 전극(125b)을 형성한다. 또한, 상기 제 1 및 제 2 공통 영역(C1, C2)에 각각 대응하여 제 1 공통 배선(150)과 제 2 공통 배선(151)을 형성한다.

<75> 상기 제 1 공통 배선(150)은 제 1 및 제 2 게이트 배선(120a, 120b)과 평행하게 이격된 제 1 화소 영역(P1)의 사이 공간에 대응된 수평부(150a)와, 상기 수평부(150a)에서 제 1 데이터 영역(미도시) 및 제 2 데이터 영역(D2)으로 각각 수직 분기된 제 1 수직부(도 4의 150b) 및 제 2 수직부(150c)를 포함한다.

<76> 상기 제 2 공통 배선(151)은 제 1 및 제 2 게이트 배선(120a, 120b)과 평행하게 이격된 제 2 화소 영역(P2)의 사이 공간에 대응된 수평부(도 4의 151a)와, 상기 수평부에서 제 2 데이터 영역(D2) 및 제 3 데이터 영역(미도시)으로 각각 수직 분기된 제 1 수직부(150b) 및 제 2 수직부(도 4의 151c)를 포함한다.

<77> 이러한 제 1 공통 배선(150)의 제 2 수직부(150c)와 제 2 공통 배선(151)의 제 1 수직부(151b)는 제 1 게이트 배선(120a)과 제 2 데이터 배선(130b)이 교차되는 부분과 제 2 게이트 배선(120b)과 제 2 데이터 배선(130b)이 교차되는 부분, 즉 상기 제 1 스위칭 영역(S1) 및 제 2 스위칭 영역(미도시)을 제외한 제 2 데이터 영역(D2)의 전면을 가리도록 형성한다. 즉, 상기 제 1 공통 배선(150)의 제 2 수직부(150c)와 제 2 공통 배선(151)의 제 1 수직부(151b)를 제 2 데이터 영역(D2)과 중첩된 하부에서 서로 맞닿도록 설계한 것을 특징으로 한다.

<78> 따라서, 상기 제 1 및 제 2 공통 배선(150, 151)과, 상기 제 1 및 제 2 공통 배선(150, 151)과 이웃한 화소 영역으로 연장된 공통 배선들은 모두 전기적으로 연결되는 바, 도시하지 않은 공통 전압 발생부로부터의 공통 신호를 안정적으로 인가받을 수 있게 된다.

<79> 다음으로, 상기 제 1 게이트 배선(120a) 및 제 2 게이트 배선(120b), 제 1 게이트 전극(125a) 및 제 2 게이트 전극(125b)과 제 1 공통 배선(150) 및 제 2 공통 배선(151)이 형성된 기판(110) 상부 전면에 질화 실리콘(SiNx)과 산화 실리콘(SiO₂)을 포함하는 무기절연물질 그룹 중 선택된 하나로 게이트 절연막(145)을 형성한다.

<80> 도 5b 내지 도 5h는 제 2 마스크 공정 단계를 나타낸 공정 단면도이다.

<81> 도 5b에 도시한 바와 같이, 게이트 절연막(145)이 형성된 기판(110) 상에 순수 비정질 실리콘(a-Si:H)으로 이루어진 순수 비정질 실리콘층(140a)과, 불순물을 포함하는 비정질 실리콘(n+ a-Si:H)으로 이루어진 불순물 비정질 실리콘층(141a)을 차례로 적층 형성한다.

<82> 상기 순수 및 불순물 비정질 실리콘층(140a, 141a)이 형성된 기판(110) 상에 구리(Cu), 몰리브덴(Mo), 몰리브덴 합금(MoNd), 알루미늄(Al) 및 알루미늄 합금(AlNd)을 포함하는 도전성 금속물질 그룹 중 선택된 하나를 증착하여 소스 및 드레인 금속층(175)을 형성한다. 전술한 증착 공정을 통해, 상기 게이트 절연막(145) 상에는 순수 및 불순물 비정질 실리콘층(140a, 141a)과 소스 및 드레인 금속층(175)이 연속적으로 적층 형성된 상태이다.

<83> 다음으로, 순수 및 불순물 비정질 실리콘층(140a, 141a)과 소스 및 드레인 금속층(175)이 형성된 기판(110) 상에 포토레지스트를 도포하여 감광층(190)을 형성한 후, 상기 감광층(190)과 이격된 상부에 투과부(T1), 반투과

부(T2) 및 차단부(T3)로 구성된 하프톤 마스크(HTM)를 정렬하는 단계를 진행한다.

- <84> 상기 하프톤 마스크(HTM)는 반투과부(T2)에 반투명막을 형성하여 빛의 강도를 낮추거나 빛의 투과량을 낮추어 감광층(190)이 불완전 노광될 수 있도록 하는 기능을 한다. 상기 하프톤 마스크(HTM) 이외에 반투과부(T2)에 슬릿 형상을 두어 빛의 투과량을 조절하는 슬릿 마스크가 이용될 수 있다.
- <85> 또한, 상기 차단부(T3)는 빛을 완전히 차단하는 기능을 하고, 상기 투과부(T1)는 빛을 투과시켜 빛에 노출된 감광층(190)이 화학적 변화를 일으켜 완전 노광될 수 있도록 하는 기능을 한다.
- <86> 이때, 상기 제 1 스위칭 영역(S1)에는 양측의 차단부(T3) 사이에 반투과부(T2), 상기 제 2 데이터 영역(D2)에는 차단부(T3), 그리고 이를 제외한 전 영역은 투과부(T1)가 위치하도록 한다. 상기 제 2 스위칭 영역(미도시)에는 제 1 스위칭 영역(S1)과, 제 1, 제 3 데이터 영역(미도시)에는 제 2 데이터 영역(D2)과 동일한 방식으로 하프톤 마스크(HTM)가 위치하게 된다. 이러한 제 2 스위칭 영역 및 제 1, 제 3 데이터 영역에 대한 설명은 생략하도록 한다.
- <87> 도 5c에 도시한 바와 같이, 전술한 하프톤 마스크(도 5b의 HTM)와 이격된 상부에서 노광 및 현상하는 공정을 진행하면, 상기 제 1 스위칭 영역(S1)의 양 차단부(도 5b의 T3)에서는 높이 변화가 없는 제 1 및 제 2 감광 패턴(191, 192), 상기 양 차단부 사이의 반투과부(도 5b의 T2)에서는 높이가 절반 정도로 낮아진 제 3 감광 패턴(193)이 각각 형성된다. 또한, 상기 제 2 데이터 영역(D2)에서는 높이 변화가 없는 제 4 감광 패턴(194)이 형성되고, 이를 제외한 전 영역의 감광층(도 5b의 190)은 모두 제거되어 그 하부의 소스 및 드레인 금속층(175)이 외부로 노출된다.
- <88> 도 5d에 도시한 바와 같이, 상기 제 1, 제 2, 제 3, 제 4 감광 패턴(191, 192, 193, 194)을 마스크로 이용하고 상기 노출된 소스 및 드레인 금속층(도 5c의 175)을 패턴하게 되면, 상기 제 1 스위칭 영역(S1)에는 제 1 소스 및 드레인 금속패턴(174a), 상기 제 2 데이터 영역(D2)에는 제 2 게이트 배선(120a)과 수직 교차하는 방향으로 제 2 데이터 배선(130b)이 형성된다.
- <89> 이때, 상기 제 1 소스 및 드레인 금속패턴(174a) 및 제 2 데이터 배선(130b)을 제외한 전 영역의 소스 및 드레인 금속층이 모두 제거되어 불순물 비정질 실리콘층(도 5c의 141a)이 외부로 노출된다.
- <90> 다음으로, 상기 노출된 불순물 비정질 실리콘층과 그 하부의 순수 비정질 실리콘층(도 5c의 140a)을 건식식각으로 순차적으로 패턴하면, 상기 제 1 스위칭 영역(S1)에 대응된 제 1 소스 및 드레인 금속패턴(174a)과 동일한 폭으로 제 1 액티브층(140a) 및 제 1 오믹 콘택층(141a)이 형성되고, 상기 제 2 데이터 영역(D2)에 대응된 제 2 데이터 배선(130b)과 동일한 폭으로 제 1 순수 비정질 패턴(171a)과 제 2 불순물 비정질 패턴(172a)이 각각 형성된다.
- <91> 상기 제 1 액티브층(140a)과 제 1 오믹 콘택층(141a)을 포함하여 제 1 반도체층(142a)이라 하고, 상기 제 2 데이터 배선(130b)의 하부로 각각 연장된 제 2 순수 비정질 패턴(171b)과 제 2 불순물 비정질 패턴(172b)을 포함하여 제 2 반도체 패턴(173b)이라 한다. 도 4에 도시한 제 1 데이터 배선(130a)과 제 3 데이터 배선(130c)의 하부로 제 1 반도체 패턴(173a)과 제 3 반도체 패턴(173c)이 각각 형성된다. 이때, 상기 제 1 반도체층(142a)과 제 2 반도체 패턴(173b)을 제외한 전 영역의 순수 및 불순물 비정질 실리콘층(도 5c의 140a, 141a)은 모두 제거된다.
- <92> 도 5e에 도시한 바와 같이, 상기 제 1, 제 2, 제 3, 제 4 감광 패턴(도 5d의 191, 192, 193, 194)을 애싱(ashing)하는 단계를 진행하면, 상기 제 1, 제 2, 제 4 감광 패턴(191, 192, 194)의 두께는 절반 정도로 낮아지고, 상기 제 3 감광 패턴(도 5d의 193)은 모두 제거되어 제 1 및 제 2 감광 패턴(191, 192)의 이격된 사이에 위치하는 제 1 소스 및 드레인 금속패턴(174a)이 외부로 노출된다.
- <93> 전술한 애싱 공정을 진행하는 과정에서, 상기 제 2 데이터 배선(130b)과 제 1 소스 및 드레인 금속패턴(174a)의 양측 끝단(F)을 덮는 제 1, 제 2, 제 4 감광 패턴(191, 192, 194)과, 상기 제 1 및 제 2 감광 패턴(191, 192)의 마주보는 양측 끝단(G)의 제 1 및 제 2 감광 패턴(191, 192)의 일부가 함께 제거된다.
- <94> 도 5f에 도시한 바와 같이, 상기 제 1, 제 2, 제 4 감광 패턴(도 5e의 191, 192, 194)을 마스크로 이용하여, 상기 제 1 소스 및 드레인 금속 패턴(도 5e의 174a)을 습식식각으로 패턴하여, 양측으로 분리된 제 1 소스 전극(132a)과 제 1 드레인 전극(134a)을 형성한다.
- <95> 다음으로, 상기 제 1 소스 전극(132a) 및 제 1 드레인 전극(134a)을 마스크로 이용하고 건식식각으로 제 1 소스 전극(132a) 및 제 1 드레인 전극(134a)의 이격된 사이 공간에 위치하는 제 1 오믹 콘택층(141a)을 패턴하여 양

측으로 분리하고, 분리된 제 1 오믹 콘택층(141a)의 사이로 노출된 제 1 액티브층(140a)을 과식각하여 이 부분을 제 1 채널(ch1)로 활용하게 된다.

<96> 이때, 도 5e의 F와 G 부분에 대응된 제 1 오믹 콘택층(141a)과 제 1 불순물 비정질 패턴(172a)이 같이 제거되어 그 하부의 제 1 액티브층(140a)과 제 1 순수 비정질 패턴(171a)이 제 1 소스 전극(132a) 및 제 1 드레인 전극(134a)과 제 2 데이터 배선(130b)의 외부로 각각 노출된다. 상기 제 1 게이트 전극(125a)과 제 1 반도체층(142a)과 제 1 소스 전극(132a) 및 제 1 드레인 전극(134a)을 포함하여 제 1 박막트랜지스터(T1)라 한다.

<97> 다음으로, 상기 남겨진 제 1, 제 2, 제 4 감광 패턴(도 5e의 191, 192, 194)을 스트립 공정으로 제거하는 것을 통해 제 2 마스크 공정 단계가 최종적으로 완료된다.

<98> 도 5g는 제 3 마스크 공정 단계를 나타낸 공정 단면도이다.

<99> 도 5g에 도시한 바와 같이, 상기 제 2 데이터 배선(130b) 및 제 1 박막트랜지스터(T1) 등이 형성된 기판(110) 상부 전면에 질화 실리콘(SiNx)과 산화 실리콘(SiO₂)을 포함하는 무기절연물질 그룹이나 벤조사이클로부텐(benzocyclobutene: BCB)과 포토 아크릴(photo acryl)을 포함하는 유기절연물질 그룹 중 선택된 하나로 보호막(155)을 형성한다.

<100> 다음으로, 상기 제 1 드레인 전극(134a)과 제 2 드레인 전극(도 4의 130b)에 대응된 보호막(155)을 선택적으로 패터닝하여, 상기 제 1 드레인 전극(134a)과 제 2 드레인 전극을 각각 노출하는 제 1 드레인 콘택홀(CH1)과 제 2 드레인 콘택홀(도 4의 CH2)을 형성한다.

<101> 도 5h는 제 4 마스크 공정 단계를 나타낸 공정 단면도이다.

<102> 도 5h에 도시한 바와 같이, 상기 제 1 드레인 콘택홀(CH1)과 제 2 드레인 콘택홀을 포함하는 보호막(155) 상에 인듐-틴-옥사이드(Indium-Tin-Oxide: ITO)와 인듐-징크-옥사이드(Indium-Zinc-Oxide: IZO)를 포함하는 투명한 도전성 금속물질 그룹 중 선택된 하나로 투명 금속층(미도시)을 형성하고 이를 패터닝하여, 상기 제 1 드레인 전극(134a)과 연결된 제 1 화소 전극(170a)과, 상기 제 2 드레인 전극과 연결된 제 2 화소 전극(170b)을 제 1 및 제 2 화소 영역(P1, P2)에 각각 대응 형성한다.

<103> 이때, 도 4와 도 5h에 도시한 바와 같이, 상기 제 1 공통 배선(150)의 수평부(150a)와 제 1 및 제 2 수직부(150b, 150c)를 제 1 전극으로 하고, 상기 제 1 전극과 중첩된 제 1 화소 전극(170a)을 제 2 전극으로 하며, 상기 제 1 전극과 제 2 전극의 중첩된 사이 공간에 개재된 게이트 절연막(145)과 보호막(155)을 유전체층으로 하는 제 1 스토리지 커패시터(Cst1)가 형성된다.

<104> 또한, 상기 제 2 공통 배선(151)의 수평부(151a)와 제 1 및 제 2 수직부(151b, 151c)를 제 1 전극으로 하고, 상기 제 1 전극과 중첩된 제 2 화소 전극(170b)을 제 2 전극으로 하며, 상기 제 1 전극과 제 2 전극의 중첩된 사이 공간에 개재된 게이트 절연막(145)과 보호막(155)을 유전체층으로 하는 제 2 스토리지 커패시터(Cst2)가 형성된다.

<105> 이상으로, 본 발명에 따른 SOC 방식 액정표시장치용 어레이 기판을 4 마스크 공정으로 제작할 수 있다.

<106> 도 6은 도 4의 VI-VI'선을 따라 절단하여 나타낸 단면도로, 어레이 기판과 컬러필터 기판이 대향 합착된 상태를 나타낸 것으로, 이를 참조하여 상세히 설명하도록 한다.

<107> 도시한 바와 같이, 표시 영역(AA)과 비표시 영역(NAA)으로 각각 구분된 컬러필터 기판(105)과 어레이 기판(110)이 대향 합착하고 있으며, 상기 컬러필터 기판(105)과 어레이 기판(110)의 이격된 사이 공간에 액정층(115)이 일정한 셀갭(g)을 갖고 개재된다. 상기 컬러필터 기판(105) 및 어레이 기판(110)과 액정층(115)을 포함하여 액정 패널(130)을 이룬다. 상기 어레이 기판(110)의 배면에는 광원의 역할을 하는 백라이트 유닛(190)이 위치한다.

<108> 도면으로 상세히 제시하지는 않았지만, 상기 컬러필터 기판(105)과 어레이 기판(110)은 최외곽 가장자리를 따라 열경화성 수지로 이루어진 쉘 패턴(미도시)에 의해 봉합된다.

<109> 상기 컬러필터 기판(105)의 투명 기판(101) 하부 면에는 비표시 영역(NAA)으로 입사되는 빛을 차단하기 위한 블랙 매트릭스(112)와, 상기 블랙 매트릭스(112)의 하부 면에 색상을 구현하기 위해 순차적으로 패터닝된 적(R), 녹(G), 청(B) 서브 컬러필터(116a, 116b, 미도시)를 포함하는 컬러필터층(116)과, 상기 컬러필터층(116) 하부의 오버 코트층(114)과, 상기 오버 코트층(114) 하부의 투명 도전성 물질로 이루어진 공통 전극(180)이 차례로 위

치한다.

<110> 한편, 상기 어레이 기관(110)의 투명 기관(102) 상부 면에는 제 2 데이터 영역(D2)의 전면에 대응하여 서로 맞닿도록 구성된 제 1 공통 배선(150)의 제 2 수직부(150c) 및 제 2 공통 배선(151)의 제 1 수직부(151b)와, 상기 제 1 공통 배선(150)의 제 2 수직부(150c) 및 제 2 공통 배선(151)의 제 1 수직부(151b)의 상부를 덮는 게이트 절연막(145)과, 상기 게이트 절연막(145) 상의 제 2 데이터 영역(D2)에 대응된 제 2 데이터 배선(130b)과, 상기 제 2 데이터 배선(130b)을 덮는 보호막(155)과, 상기 보호막(155) 상의 제 2 데이터 배선(130b)을 사이에 두고, 제 1 및 제 2 화소 영역(P1, P2)에 각각 구성된 제 1 및 제 2 화소 전극(170a, 170b)이 차례로 위치한다.

<111> 이때, 본 발명에서는 제 2 데이터 배선(130b)의 하부 전면으로 제 1 공통 배선(150)의 제 2 수직부(150c)와 제 2 공통 배선(151)의 제 1 수직부(151b)를 서로 맞닿도록 설계하는 것을 통해 기존의 공통 브리지 라인을 형성할 필요가 없어진다.

<112> 즉, 도 3에 설명한 바와 같이, 종래에는 제 1 공통 배선(50)의 제 2 수직부(50c), 제 2 공통 배선(51)의 제 1 수직부(51b) 및 제 2 데이터 배선(30b) 간 중첩되는 면적을 최소화하기 위해 제 2 데이터 배선(30b)과 중첩된 부분을 패터하여 양측으로 이격되도록 설계하였으나, 본 발명에서와 같이 제 2 데이터 배선(130b)과 중첩된 하부로 제 1 공통 배선(150)의 제 2 수직부(150c)와 제 2 공통 배선(151)의 제 1 수직부(151b)를 패터하지 않고 서로 맞닿도록 설계하는 것을 통해 제 1 공통 배선(도 4의 150)과 제 2 공통 배선(도 4의 151)이 제 1 및 제 2 화소 영역(P1, P2)에서 차지하는 면적을 축소 설계할 수 있다.

<113> 따라서, 종래와 달리 본 발명에서는 제 1 화소 전극(170a)과 제 2 화소 전극(170b)을 제 2 데이터 배선(130b)과 인접한 위치로 밀착 설계할 수 있게 되고 결론적으로 제 1 및 제 2 화소 영역(P1, P2)에서 투명한 도전성 물질로 이루어진 제 1 및 제 2 화소 전극(170a, 170b)이 차지하는 면적이 증가되기 때문에, 합착 마진을 고려하더라도 블랙매트릭스(112)의 선풍은 종래에 비해 확연히 축소 설계되는 바, 그 만큼 개구율이 향상됨을 알 수 있다.

<114> 특히, 이러한 본 발명에 따른 SOC 방식 액정표시장치의 경우 10인치 이상의 모델에서는 제 2 데이터 배선(130b) 폭이 상승하는 문제로 제 1 공통 배선(150)의 제 2 수직부(150c)와 제 2 공통 배선(151)의 제 1 수직부(151b) 간의 기생 커패시턴스의 상승으로 데이터 신호를 왜곡시킬 가능성을 내포하고는 있으나, 10인치 이하의 소형 모델에 적용할 경우 탁월한 효과를 발휘할 수 있다.

<115> 표 1은 종래와 본 발명에 따른 SOC 방식 액정표시장치의 개구율과 투과율을 각각 측정한 결과를 나타낸 것으로, 측정 시료로 7인치 모델을 이용하였다.

<116> <표 1>

	종래	본 발명
I	42.5%	60.9%
II	42.5%	58.9%
III	6.04%	8.36%

<118> 표 1에 도시한 바와 같이, 종래와 본 발명에 따른 SOC 방식 액정표시장치의 개구율을 각각 측정한 값을 나타내고 있다. 이때, I과 II는 액정 패널 자체에 백라이트 유닛으로부터 입사되는 내부광을 각각 조사했을 때의 개구율을 백분율로 나타낸 것으로, I의 경우에는 종래와 본 발명의 개구율 편차의 최대치를 나타낸 것으로 본 발명의 개구율이 18.5% 상승한 것을 알 수 있다. 또한, II에서는 종래와 본 발명에 따른 개구율의 평균값을 나타낸 것으로, 본 발명의 개구율이 16.4% 상승한 것을 알 수 있다.

<119> 또한, III은 액정 패널을 광학 부재와 편광판을 부착한 액정표시장치 모듈 상태에서의 투과율의 평균값을 백분율로 나타낸 것으로, 본 발명의 투과율이 2.32% 상승한 것을 알 수 있다.

<120> 따라서, 본 발명에서는 데이터 배선과 중첩된 하부로 패터 없이 제 1 공통 배선과 제 2 공통 배선을 서로 맞닿도록 설계하는 것을 통해 SOC 방식 액정표시장치에서 개구율을 극대화할 수 있는 장점이 있다.

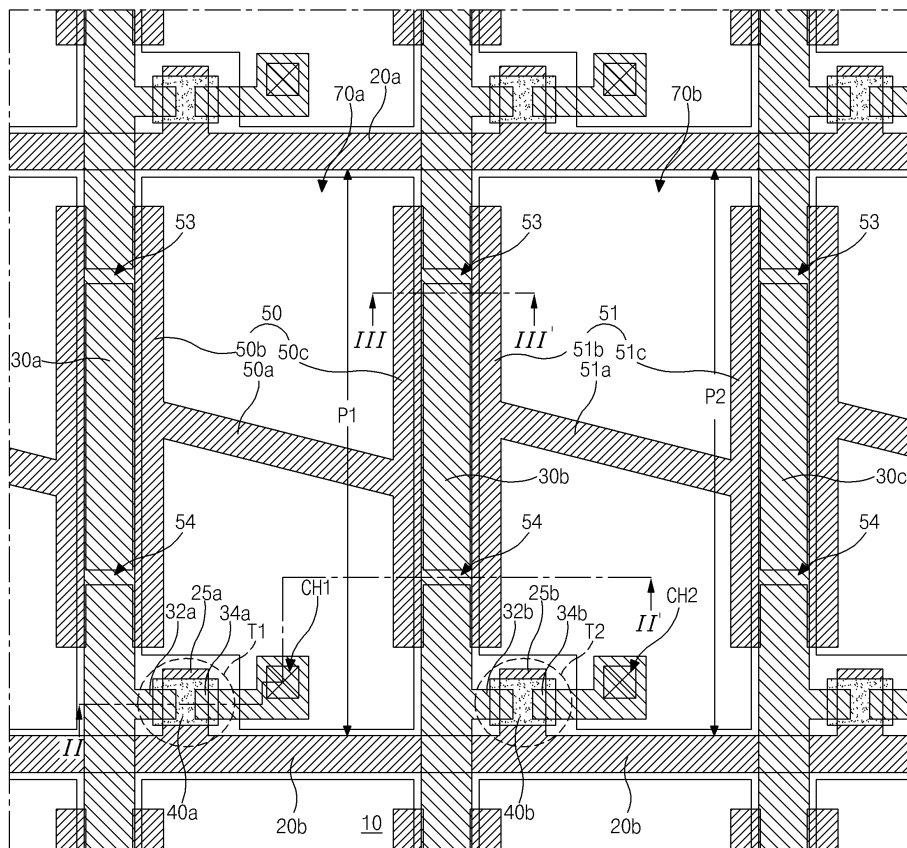
<121> 그러나, 본 발명은 상기 실시예에 한정되는 것은 아니며, 본 발명의 정신 및 사상을 벗어나지 않는 한도 내에서 다양하게 변경 및 변형할 수 있다는 것은 자명한 사실일 것이다.

도면의 간단한 설명

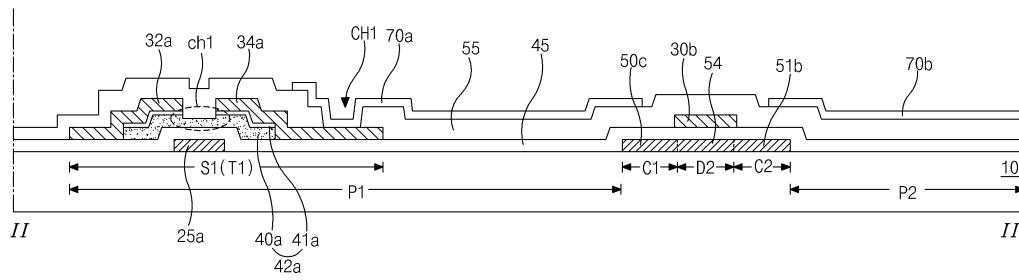
<122>	도 1은 종래에 따른 SOC 방식 액정표시장치용 어레이 기판의 단위 화소를 나타낸 평면도.
<123>	도 2는 도 1의 II-II'선을 따라 절단하여 나타낸 단면도.
<124>	도 3은 도 1의 III-III'선을 따라 절단하여 나타낸 단면도.
<125>	도 4는 본 발명에 따른 SOC 방식 액정표시장치용 어레이 기판을 나타낸 평면도.
<126>	도 5a 내지 도 5h는 도 4의 V-V'선을 따라 절단하여 공정 순서에 의해 나타낸 공정 단면도.
<127>	도 6은 도 5의 VI-VI'선을 따라 절단하여 나타낸 단면도.
<128>	* 도면의 주요부분에 대한 부호의 설명*
<129>	110 : 기판 120a, 120b : 제 1, 제 게이트 배선
<130>	125a, 125b : 제 1, 제 2 게이트 전극
<131>	130a, 130b, 130c : 제 1, 제 2, 제 3 데이터 배선
<132>	132a, 132b : 제 1, 제 2 소스 전극 134a, 134b : 제 1, 제 2 드레인 전극
<133>	140a, 140b : 제 1, 제 2 액티브층 150, 151 : 제 1, 제 2 공통 배선
<134>	170a, 170b : 제 1, 제 2 화소 전극
<135>	171, 172 : 제 1, 제 2 순수 비정질 패턴
<136>	T1, T2 : 제 1, 제 2 박막트랜지스터 CH1, CH2 : 제 1, 제 2 드레인 콘택홀
<137>	P1, P2 : 제 1, 제 2 화소 영역

도면

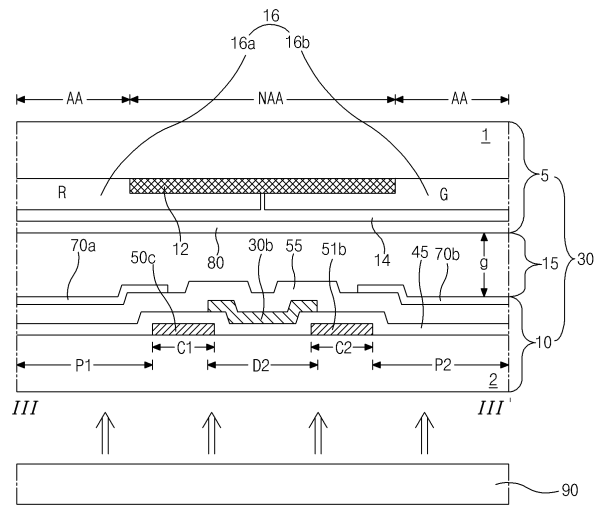
도면1



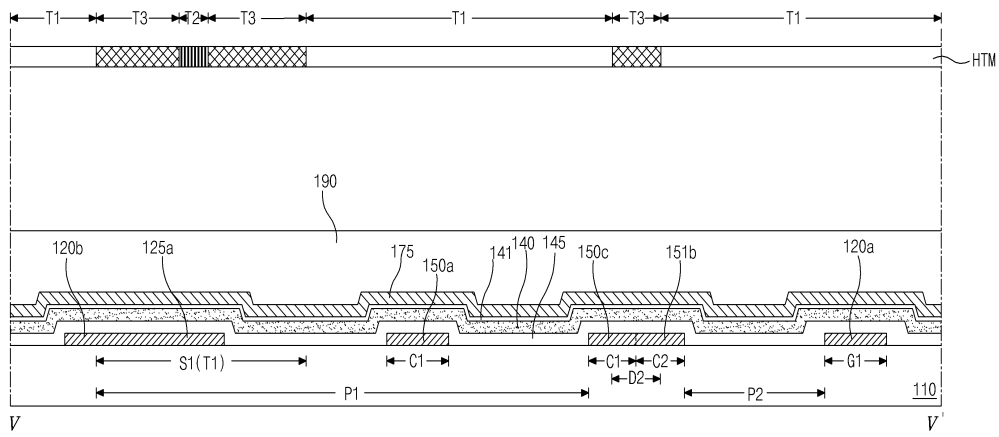
도면2



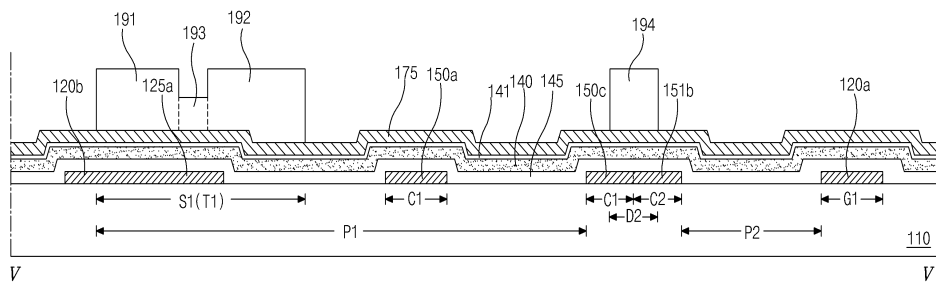
도면3



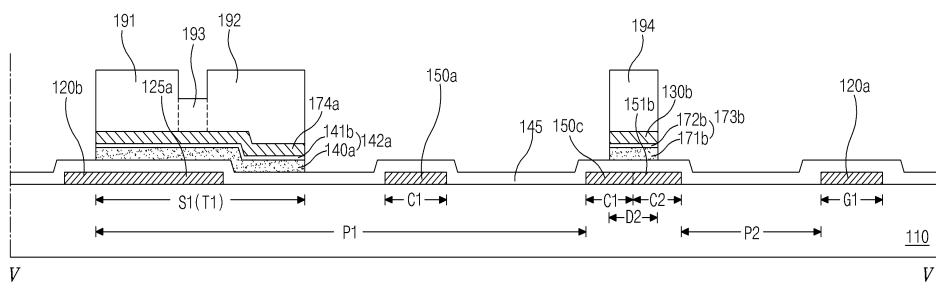
도면5b



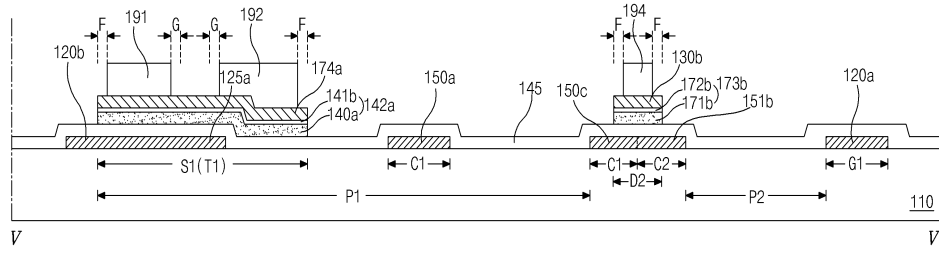
도면5c



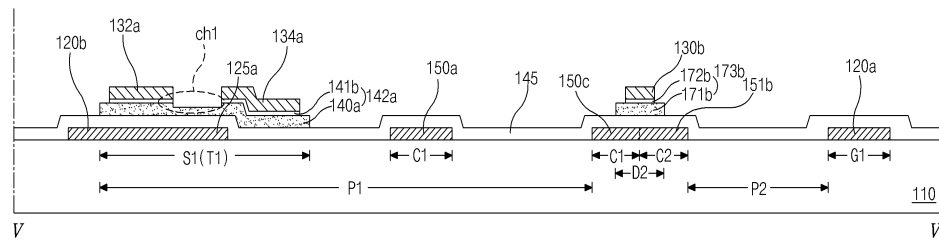
도면5d



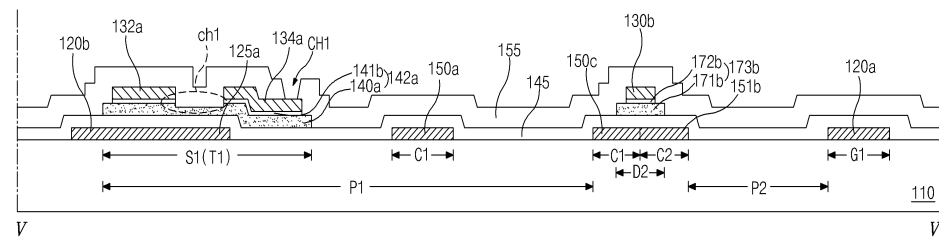
도면5e



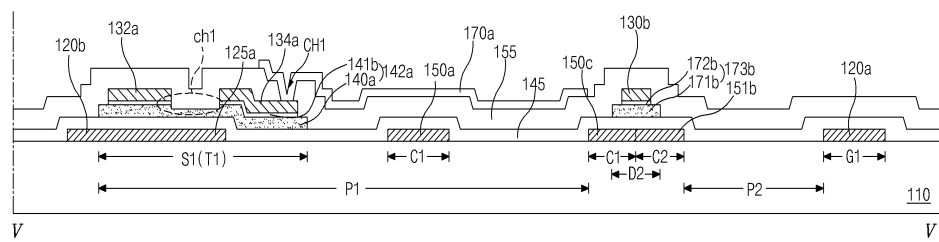
도면5f



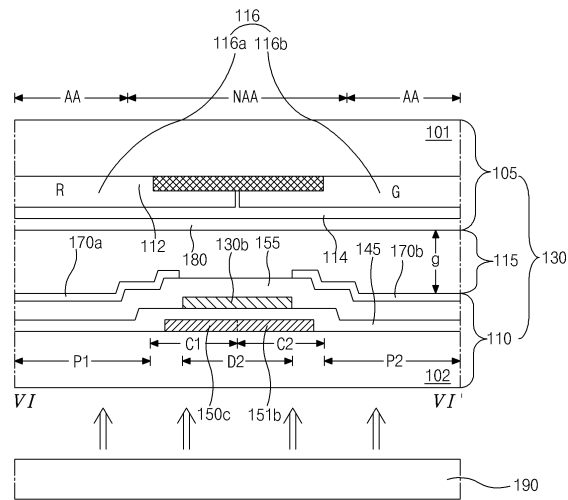
도면5g



도면5h



도면6



专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR1020090129225A	公开(公告)日	2009-12-16
申请号	KR1020080055370	申请日	2008-06-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SHIN DONG UK 신동욱 PARK KYUNG TAE 박경태		
发明人	신동욱 박경태		
IPC分类号	G02F1/136 H01L29/786		
CPC分类号	G02F1/136286 G02F1/134309 G02F1/134363		
其他公开文献	KR101273632B1		
外部链接	Espacenet		

摘要(译)

本发明涉及的是，更具体地涉及一种阵列基板和液晶显示装置和用于液晶显示装置的开口率的制造方法。根据本发明的用于液晶显示器的阵列基板包括：基板；第一和第二栅极布线在基板上沿一个方向彼此相邻的位置处彼此隔开；第一，第二和第三数据线，用于以矩阵形式定义与第一和第二栅极线垂直相交的第一和第二像素区域；第一薄膜晶体管和第二薄膜晶体管分别对应于第二栅极线和第一数据线的交叉点以及第二栅极线和第二数据线的交叉点；第一和第二像素电极通过分别暴露第一和第二薄膜晶体管的第一和第二接触孔连接到第一和第二薄膜晶体管；它所述第一，第二，和第三数据线在下部重叠和隔开平行于第一和第二栅极布线，其中所述第一和第二栅极线和所述第一，第二和第三数据线，覆盖所述第一，第二，第三，除了在每个交叉的第一和特征在于包括一个第二公共布线的部分的所述数据线的区域之前。

