

특허청구의 범위

청구항 1

기관 상에 일 방향으로 형성된 다수의 게이트 배선과;

상기 다수의 게이트 배선과 교차하여 다수의 화소영역을 정의하는 다수의 데이터 배선과;

상기 다수의 각 게이트 배선과 제 1 간격 이격하며 나란하게 형성되고, 상기 다수의 각 데이터 배선과 교차하며 형성된 섬형상의 다수의 리페어 패턴과;

상기 다수의 각 화소영역에 상기 다수의 게이트 배선 및 데이터 배선과 연결되며 구성된 박막트랜지스터와;

상기 다수의 각 화소영역 내에 상기 박막트랜지스터의 드레인 전극과 전기적으로 연결되며 형성된 화소전극을 포함하는 액정표시장치용 어레이 기관.

청구항 2

제 1 항에 있어서,

상기 다수의 각 리페어 패턴은 상기 게이트 배선을 형성한 동일한 물질로써 동일한 층에 형성된 액정표시장치용 어레이 기관.

청구항 3

제 2 항에 있어서,

상기 다수의 게이트 배선이 형성된 동일한 층에 상기 다수의 각 게이트 배선과 나란하게 연장하는 다수의 스토리지 배선과, 상기 다수의 각 스토리지 배선에서 상기 다수의 각 화소영역의 내측으로 상기 각 데이터 배선을 따라 이와 인접하여 분기하는 스토리지 패턴을 포함하는 액정표시장치용 어레이 기관.

청구항 4

제 1 항 또는 제 3 항에 있어서,

상기 다수의 게이트 및 데이터 배선이 교차하는 중첩 부분 중 상기 게이트 배선과 데이터 배선의 단락이 발생한 부분 외측으로 상기 게이트 배선이 절단된 것이 특징인 액정표시장치용 어레이 기관.

청구항 5

제 4 항에 있어서,

상기 절단된 게이트 배선 양 끝단을 노출시키는 제 1 홈과, 상기 단락발생 영역에서 가장 인접한 상기 리페어 패턴의 양끝단을 노출시키는 제 2 홈과, 상기 제 1 및 제 2 홈을 각각 채우며 형성된 금속재질의 제 1 및 제 2 콘택패턴과, 상기 제 1 콘택패턴과 제 2 콘택패턴을 배선형태로 연결시키는 금속재질의 연결패턴을 포함하는 액정표시장치용 어레이 기관.

청구항 6

제 5 항에 있어서,

상기 연결패턴과 중첩되는 화소전극은 상기 연결패턴의 외주를 따라 절단된 것이 특징인 액정표시장치용 어레이 기관.

청구항 7

제 5 항에 있어서,

상기 게이트 및 데이터 배선이 단락된 부분과 인접한 박막트랜지스터의 드레인 전극은 절단된 것이 특징인 액정표시장치용 어레이 기관.

청구항 8

제 1 항 또는 제 3 항에 있어서,

상기 다수의 각 리페어 패턴은 그 양끝단이 이와 인접한 게이트 배선과 연결된 것이 특징인 액정표시장치용 어레이 기판.

청구항 9

제 8 항에 있어서,

상기 다수의 게이트 및 데이터 배선이 교차하는 중첩 부분 중 상기 게이트 배선과 데이터 배선의 단락이 발생한 부분 외측으로 이와 연결된 상기 게이트 배선이 절단된 것이 특징인 액정표시장치용 어레이 기판.

청구항 10

제 1 항에 있어서,

상기 제 1 간격은 3 μ m 내지 5 μ m인 것이 특징인 액정표시장치용 어레이 기판.

청구항 11

다수의 화소영역이 정의된 기판 상에 일 방향으로 다수의 게이트 배선과, 상기 다수의 각 게이트 배선과 이격하며 나란하게, 바(bar) 형태의 다수의 리페어 패턴을 형성하는 단계와;

게이트 절연막을 개재하여 상기 다수의 게이트 배선과 교차하여 상기 다수의 화소영역 각각을 정의하며 동시에 상기 다수의 리페어 패턴과 교차하는 다수의 데이터 배선을 형성하는 단계와;

상기 다수의 각 화소영역에 상기 다수의 게이트 배선 및 데이터 배선과 연결되며 구성된 박막트랜지스터를 형성하는 단계와;

상기 다수의 각 화소영역 내에 상기 박막트랜지스터의 드레인 전극과 전기적으로 연결되며 형성된 화소전극을 형성하는 단계와;

상기 서로 교차하는 다수의 게이트 배선과 데이터 배선의 중첩영역 중 단락이 발생된 부분 양 외측의 상기 게이트 배선에 레이저를 조사하여 단선시키는 단계와;

레이저를 조사하여 상기 단선된 게이트 배선의 상기 단락 부분과 마주하는 양 끝단을 노출시키는 제 1 홈과, 상기 단락된 부분과 가장 인접하여 위치한 상기 리페어 패턴의 양 끝단을 노출시키는 제 2 홈을 형성하는 단계와;

레이저 CVD 리페어 장치를 이용하여 상기 제 1 홈에 제 1 콘택패턴을, 상기 제 2 홈에 제 2 콘택패턴을 형성하는 단계와;

상기 레이저 CVD 리페어 장치를 이용하여 상기 각각의 제 1 콘택패턴과 제 2 콘택패턴을 연결시키는 연결패턴을 형성하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 12

다수의 화소영역이 정의된 절연 기판 상에 일 방향으로 다수의 게이트 배선을 형성하는 단계와;

게이트 절연막을 개재하여 상기 다수의 게이트 배선과 교차하여 상기 각 다수의 화소영역을 정의하는 다수의 데이터 배선을 형성하는 단계와;

상기 다수의 각 화소영역에 상기 다수의 게이트 배선 및 데이터 배선과 연결되며 구성된 박막트랜지스터를 형성하는 단계와;

상기 다수의 각 화소영역 내에 상기 박막트랜지스터의 드레인 전극과 전기적으로 연결되며 형성된 화소전극을 형성하는 단계와;

상기 서로 교차하는 다수의 게이트 배선과 데이터 배선의 중첩영역 중 단락이 발생된 부분을 기준으로 이의 연

결된 상기 게이트 배선에 레이저를 조사하여 상기 단락부분 외측으로 레이저를 조사하여 단선시키는 단계
를 포함하며, 상기 다수의 각 게이트 배선은 하나의 화소영역에 대해 이를 정의하는 데이터 배선과 2부분에서
교차하며 그 교차영역에 홀을 갖도록 형성하는 것이 특징인 액정표시장치용 어레이 기관의 제조 방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 액정표시장치용 어레이 기관에 관한 것으로 특히, 리페어 패턴을 포함한 액정표시장치용 어레이 기관
과 그 제조방법에 관한 것이다.

배경기술

<2> 일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가
늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방
향을 제어할 수 있다.

<3> 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해
상기 액정의 분자배열 방향으로 빛이 굴절하여 화상을 표현하게 된다.

<4> 상기 액정표시장치는 공통전극이 형성된 컬러필터 기관(상부기관)과 화소전극이 형성된 어레이 기관(하부기관)
과, 상부 및 하부기관 사이에 충전된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극
이 상-하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하다.

<5> 현재는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장
치(AM-LCD device : Active Matrix LCD device)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.
이하, 도 1을 참조하여 액정표시장치를 개략적으로 설명한다.

<6> 도 1은 종래의 액정표시장치를 개략적으로 도시한 분해사시도이다.

<7> 도시한 바와 같이, 일반적인 액정표시장치는 액정층(30)을 사이에 두고 어레이 기관(10)과 컬러필터 기관(20)이
대면 합착된 구성을 갖는데, 이중 하부의 어레이 기관(10)은 투명한 기관(12)의 상면으로 종횡 교차 배열되어
다수의 화소영역(P)을 정의하는 복수개의 게이트 배선(14)과 데이터 배선(16)을 포함하며, 이들 두 배선(14,
16)의 교차지점에는 박막트랜지스터(Tr)가 구비되어 각 화소영역(P)에 마련된 화소전극(18)과 일대일 대응 접속
되어 있다.

<8> 또한, 상기 어레이 기관(10)과 마주보는 상부의 컬러필터 기관(20)은 투명기관(22)의 배면으로 상기 게이트 배
선(14)과 데이터 배선(16) 그리고 박막트랜지스터(Tr) 등의 비표시영역을 가리도록 각 화소영역(P)을 테두리하
는 격자 형상의 블랙매트릭스(25)가 형성되어 있으며, 이들 격자 내부에서 각 화소영역(P)에 대응되게 순차적으
로 반복 배열된 적(R), 녹(G), 청(B)색의 컬러필터 패턴(26a, 26b, 26c)을 포함하는 컬러필터층(26)이 형성되어
있으며, 상기 블랙매트릭스(25)와 컬러필터층(26)의 전면에 걸쳐 투명한 공통전극(28)이 구비되어 있다.

<9> 그리고, 도면상에 도시되지는 않았지만, 이들 두 기관(10, 20)은 그 사이로 개재된 액정층(30)의 누설을 방지하
기 위하여 가장자리 따라 실링제(sealant) 등으로 봉합된 상태에서 각 기관(10, 20)과 액정층(30)의 경계부분에
는 액정의 분자배열 방향에 신뢰성을 부여하는 상, 하부 배향막이 개재되며, 각 기관(10, 20)의 적어도 하나의
외측면에는 편광판이 구비되어 있다.

<10> 또한, 어레이 기관의 외측면으로는 백라이트(back-light)가 구비되어 빛을 공급하는 바, 게이트 배선(14)으로
박막트랜지스터(Tr)의 온(on)/오프(off) 신호가 순차적으로 스캔 인가되어 선택된 화소영역(P)의 화소전극(18)
에 데이터배선(16)의 화상신호가 전달되면 이들 화소전극(18)과 공통전극(28) 사이의 수직전계에 의해 그 사이
의 액정분자가 구동되고, 이에 따른 빛의 투과율 변화로 여러 가지 화상을 표시할 수 있다.

<11> 도 2는 종래의 액정표시장치용 어레이 기관의 일부를 개략적으로 도시한 평면도이다.

<12> 도시한 바와 같이, 액정표시장치용 어레이 기관(10)에는 서로 소정 간격 이격하며 일방향으로 연장하는 다수의
게이트 배선(14)이 형성되어 있으며, 도면에 나타나지 않았지만, 상기 게이트 배선(14)의 일끝단에는 외부의 구

동회로기관(미도시)과 연결하기 위한 게이트 패드(미도시)가 형성되어 있다.

- <13> 또한, 상기 게이트 배선(14)과 교차하여 화소영역(P)을 정의하는 다수의 데이터 배선(16)이 타방향으로 연장 형성되고 있으며, 이때, 상기 각 데이터 배선(16)의 일 끝단에도 외부의 구동회로기관(미도시)과 연결하기 위한 데이터 패드(미도시)가 형성되어 있다.
- <14> 또한, 상기 각각의 게이트 배선(14)과 데이터 배선(16)의 교차지점에는 게이트 전극(15), 반도체층(40), 소스 전극(43) 및 드레인 전극(47)을 포함하는 박막트랜지스터(Tr)가 구성되어 있으며, 상기 화소전극(18)이 상기 각 게이트 배선(14)과 중첩함으로써 상기 화소전극(18)에 다음 신호가 인가될 때까지 현재 인가된 전압을 유지시키기 위한 스토리지 캐패시터(StgC)가 형성되어 있다.
- <15> 전술한 구성을 갖는 액정표시장치용 어레이 기관(10)은 매우 많은 공정 단계예를들어 1회의 마스크 공정의 경우, 포토레지스트 도포, 노광, 현상, 식각, 스트립 등의 단계를 포함하며, 통상적으로 4회 내지 5회의 마스크 공정을 진행해야 완성하게 되므로 최소 25개 이상의 단계를 거쳐야 된다. 이렇게 많은 단계의 공정을 진행하는 도중 정전기 등이 발생하거나 또는 금속이물이 상기 게이트 및 데이터 배선(14, 16) 또는 박막트랜지스터(Tr)에 부착됨으로써 단락(short) 또는 단선(open)이 발생하여 각 화소전극(18)에 계속 신호전압이 입력되거나 또는 신호전압이 인가되지 않는 상태 즉, 화소영역의 온(on)/오프(off)가 조절되지 않는 상태가 된다. 따라서 계속적으로 하나의 화소영역(P) 또는 그 화소영역(P)이 위치한 가로라인 또는 세로라인에 속한 모든 화소영역(P)이 휘점인 상태를 유지하거나 또는 계속 암점인 상태를 유지하는 불량 발생한다.
- <16> 통상적으로 액정표시장치에는 그 크기별, 해상도별로 적게는 수 만개에서 많게는 수 천 만개의 화소가 형성되고 있으며, 이러한 수만 내지 수천만의 화소 전체가 모두 정상 동작을 하도록 어레이 기관을 제조하는 데에는 실패 비용이 너무 커지게 되어 제조비용이 상승하게 되므로 어느 한도 내에서는 불량 화소가 발생하더라도 양품으로 제공하고 있다. 하지만, 게이트 배선과 데이터 배선이 중첩되는 부분에서 단락이 발생하는 경우, 상기 두 배선에 연결된 화소영역 모두가 암점 또는 휘점을 유지하게 되어 라인 단위 불량 발생하므로 이러한 경우는 모두 불량 처리 되고 있다.
- <17> 최근에는 표시품질 향상이라는 고객의 요구가 가중되어 조금이라도 더 우수한 표시품질을 갖는 액정표시장치를 제공하고자, 상기 불량화소에 대한 리페어 공정을 진행하고 있다.
- <18> 조금 더 상세히 설명하면, 전압을 인가하지 않았을 때 화이트인 상태를 유지하고, 전압인 인가되었을 때, 인가된 전압의 크기에 따라 투과되는 빛량을 조절함으로써 적정 레벨의 화이트 휘도를 갖도록 작동하며 전압이 최대로 인가되었을 경우 빛을 완전히 차단하여 블랙 상태를 나타내는 특성을 갖는 노말리 화이트 모드로 동작하는 액정표시장치인 경우, 만약 휘점인 상태를 계속 유지하게 되는 화소불량이 발생하게 되면 시각적으로 확연히 인식되므로, 상기 불량화소를 암점 상태로 유지시키기 위한 리페어 공정을 진행하고 있다.
- <19> 이는 사람의 눈의 인지도에 있어서, 통상적으로 블랙 바탕에 흰색 점이 보여지는 것이 흰색 바탕에 검은색 점이 보여지는 것보다는 훨씬 쉽게 인식되어 지기 때문에, 인식도를 낮추기 위해 화소불량이 발생하면 암점화하는 것이 일반적인 것이 되고 있다.
- <20> 따라서, 액정표시장치용 어레이 기관 제조 시, 암점화 불량화소는 그대로 두고, 휘점화된 불량화소를 암점화되도록 리페어 함으로써 불량화소에 대한 인식도를 낮춘 액정표시장치를 제공하고 있다.
- <21> 종래의 액정표시장치용 어레이 기관에 있어서, 불량이 발생한 화소를 암점화 시키는 것은 통상적으로 노말리 화이트 모드로 동작하는 액정표시장치용 어레이 기관인 경우 계속적으로 전압이 인가되도록 하면 되므로 불량화소를 암점화 하는 것을 간략히 도시한 도 3에 도시한 바와 같이, 박막트랜지스터(Tr)와 상기 화소전극(18)간의 연결을 끊고 즉, 화소전극(18)과 연결된 드레인 전극(47)을 레이저를 조사하여 절단하고, 상기 화소전극(18)이 게이트 배선(14)과 중첩하는 부분에 레이저를 조사하여 상기 게이트 배선(14)과 상기 화소전극(18)을 전기적으로 연결되도록 도통시킴으로써 불량화소를 암점화하고 있으며, 노말리 블랙 모드로 동작하는 액정표시장치용 어레이 기관인 경우, 화소전극(18)에 전압이 인가되지 않도록 하면 되므로 상기 화소전극(18)과 연결된 드레인 전극(47) 레이저로써 절단함으로써 암점화 하였다.
- <22> 하지만 전술한 리페어 공정의 경우, 화소단위의 불량이 발생한 경우에 적용되고 있으며, 게이트 배선과 데이터 배선이 단락되어 라인 불량이 발생한 경우는 적용할 수 없으므로 여전히 실패비용이 높아 제품의 제조 비용을 상승시키는 요인이 되고 있다.

발명의 내용

해결 하고자하는 과제

<23> 상술한 문제를 해결하고자 본 발명에 따른 액정표시장치용 어레이 기판은 화소영역 내에 데이터 배선과 교차하는 바(bar) 형태의 리페어 패턴을 구비함으로써 이러한 리페어 패턴을 통해 게이트 및 데이터 배선의 교차지점에서 단락에 의해 발생하는 라인불량을 하나의 화소영역만을 암점화 하는 점불량으로 변환하여 불량률을 저감시킬 수 있는 것이 가능한 액정표시장치용 어레이 기판을 제공하는 것을 그 목적으로 한다.

과제 해결수단

<24> 기술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이 기판은, 기판 상에 일 방향으로 형성된 다수의 게이트 배선과; 상기 다수의 게이트 배선과 교차하여 다수의 화소영역을 정의하는 다수의 데이터 배선과; 상기 다수의 각 게이트 배선과 제 1 간격 이격하며 나란하게 형성되고, 상기 다수의 각 데이터 배선과 교차하며 형성된 십형상의 다수의 리페어 패턴과; 상기 다수의 각 화소영역에 상기 다수의 게이트 배선 및 데이터 배선과 연결되며 구성된 박막트랜지스터와; 상기 다수의 각 화소영역 내에 상기 박막트랜지스터의 드레인 전극과 전기적으로 연결되며 형성된 화소전극을 포함한다.

<25> 상기 다수의 각 리페어 패턴은 상기 게이트 배선을 형성한 동일한 물질로써 동일한 층에 형성되며, 상기 다수의 게이트 배선이 형성된 동일한 층에 상기 다수의 각 게이트 배선과 나란하게 연장하는 다수의 스토리지 배선과, 상기 다수의 각 스토리지 배선에서 상기 다수의 각 화소영역의 내측으로 상기 각 데이터 배선을 따라 이와 인접하여 분기하는 스토리지 패턴을 포함한다.

<26> 상기 다수의 게이트 및 데이터 배선이 교차하는 중첩 부분 중 상기 게이트 배선과 데이터 배선의 단락이 발생한 부분 외측으로 상기 게이트 배선이 절단된 것이 특징이며, 상기 절단된 게이트 배선 양 끝단을 노출시키는 제 1 홈과, 상기 단락발생 영역에서 가장 인접한 상기 리페어 패턴의 양끝단을 노출시키는 제 2 홈과, 상기 제 1 및 제 2 홈을 각각 채우며 형성된 금속재질의 제 1 및 제 2 콘택패턴과, 상기 제 1 콘택패턴과 제 2 콘택패턴을 배선형태로 연결시키는 금속재질의 연결패턴을 포함한다. 또한, 상기 연결패턴과 중첩되는 화소전극은 상기 연결패턴의 외주를 따라 절단된 것이 특징이며, 상기 게이트 및 데이터 배선이 단락된 부분과 인접한 박막트랜지스터의 드레인 전극은 절단된 것이 특징이다.

<27> 상기 다수의 각 리페어 패턴은 그 양끝단이 이와 인접한 게이트 배선과 연결된 것이 특징이며, 상기 다수의 게이트 및 데이터 배선이 교차하는 중첩 부분 중 상기 게이트 배선과 데이터 배선의 단락이 발생한 부분 외측으로 이와 연결된 상기 게이트 배선이 절단된 것이 특징이다.

<28> 상기 제 1 간격은 3 μ m 내지 5 μ m인 것이 특징이다.

<29> 본 발명에 따른 액정표시장치용 어레이 기판의 제조 방법은, 다수의 화소영역이 정의된 기판 상에 일 방향으로 다수의 게이트 배선과, 상기 다수의 각 게이트 배선과 이격하며 나란하게, 바(bar) 형태의 다수의 리페어 패턴을 형성하는 단계와; 게이트 절연막을 개재하여 상기 다수의 게이트 배선과 교차하여 상기 다수의 화소영역 각각을 정의하며 동시에 상기 다수의 리페어 패턴과 교차하는 다수의 데이터 배선을 형성하는 단계와; 상기 다수의 각 화소영역에 상기 다수의 게이트 배선 및 데이터 배선과 연결되며 구성된 박막트랜지스터를 형성하는 단계와; 상기 다수의 각 화소영역 내에 상기 박막트랜지스터의 드레인 전극과 전기적으로 연결되며 형성된 화소전극을 형성하는 단계와; 상기 서로 교차하는 다수의 게이트 배선과 데이터 배선의 중첩영역 중 단락이 발생된 부분 양 외측의 상기 게이트 배선에 레이저를 조사하여 단선시키는 단계와; 레이저를 조사하여 상기 단선된 게이트 배선의 상기 단락 부분과 마주하는 양 끝단을 노출시키는 제 1 홈과, 상기 단락된 부분과 가장 인접하여 위치한 상기 리페어 패턴의 양 끝단을 노출시키는 제 2 홈을 형성하는 단계와; 레이저 CVD 리페어 장치를 이용하여 상기 제 1 홈에 제 1 콘택패턴을, 상기 제 2 홈에 제 2 콘택패턴을 형성하는 단계와; 상기 레이저 CVD 리페어 장치를 이용하여 상기 각각의 제 1 콘택패턴과 제 2 콘택패턴을 연결시키는 연결패턴을 형성하는 단계를 포함한다.

<30> 본 발명에 따른 또 다른 액정표시장치용 어레이 기판의 제조 방법은, 다수의 화소영역이 정의된 절연 기판 상에 일 방향으로 다수의 게이트 배선을 형성하는 단계와; 게이트 절연막을 개재하여 상기 다수의 게이트 배선과 교차하여 상기 각 다수의 화소영역을 정의하는 다수의 데이터 배선을 형성하는 단계와; 상기 다수의 각 화소영역에 상기 다수의 게이트 배선 및 데이터 배선과 연결되며 구성된 박막트랜지스터를 형성하는 단계와; 상기 다수의 각 화소영역 내에 상기 박막트랜지스터의 드레인 전극과 전기적으로 연결되며 형성된 화소전극을 형성하는 단계와; 상기 서로 교차하는 다수의 게이트 배선과 데이터 배선의 중첩영역 중 단락이 발생된 부분

을 기준으로 이의 연결된 상기 게이트 배선에 레이저를 조사하여 상기 단락부분 외측으로 레이저를 조사하여 단선시키는 단계를 포함하며, 상기 다수의 각 게이트 배선은 하나의 화소영역에 대해 이를 정의하는 데이터 배선과 2부분에서 교차하며 그 교차영역에 홀을 갖도록 형성하는 것이 특징이다.

효 과

<31> 본 발명의 제 1 실시예 및 그 변형예에 따른 액정표시장치용 어레이 기판은 특히 게이트 배선과 데이터 배선의 단락에 의한 라인 불량 발생 시, 단락된 부분 외측의 게이트 배선을 단선시키고, 상기 단선된 게이트 배선의 끝단을 리페어 패턴과 레이저를 이용한 CVD 리페어 공정을 진행하여 연결패턴을 통해 전기적으로 연결시킴으로써 하나의 화소영역에 대해서만 암점화된 점불량으로 변환시킴으로써 불량률을 낮추는 효과가 있다.

<32>

발명의 실시를 위한 구체적인 내용

<33> 이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명한다.

<34> <제 1 실시예>

<35> 도 4는 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이 기판에 있어 하나의 화소영역을 개략적으로 도시한 평면도이다.

<36> 도시한 바와 같이, 본 발명에 따른 액정표시장치용 어레이 기판(101)에는 일방향으로 연장하는 다수의 게이트 배선(104)과, 상기 다수의 게이트 배선(104)과 교차하여 다수의 화소영역(P)을 정의하는 다수의 데이터 배선(140)이 형성되어 있으며, 이들 서로 교차하는 다수의 게이트 및 데이터 배선(104, 140) 각각의 끝단에는 외부에서 신호전압 등을 인가 받기 위한 게이트 및 데이터 패드전극(미도시)이 형성되어 있다.

<37> 또한, 상기 다수의 게이트 배선(104)과 데이터 배선(140)에 의해 둘러싸인 영역으로 정의되는 다수의 각 화소영역(P)에는 이를 정의하는 상기 게이트 및 데이터 배선(104, 140)과 연결된 박막트랜지스터(Tr)가 형성되어 있다. 상기 박막트랜지스터(Tr)는 구체적으로 순차 적층된 형태로, 상기 게이트 배선(104)과 전기적으로 연결되며 형성된 게이트 전극(107)과, 게이트 절연막(미도시)과, 액티브층(미도시)과 서로 이격하는 오믹콘택층(미도시)으로 구성된 반도체층(130)과, 상기 오믹콘택층(미도시)과 각각 접촉하며 서로 이격하는 소스 및 드레인 전극(143, 146)으로 구성되고 있다. 이때 상기 소스 전극(143)은 상기 데이터 배선(140)과 전기적으로 연결되고 있다.

<38> 또한, 상기 각 화소영역(P)에는 상기 박막트랜지스터(Tr)의 드레인 전극(146)과 전기적으로 연결된 화소전극(160)이 형성되어 있다.

<39> 또한, 상기 각 화소영역(P)에는 상기 게이트 배선(104)이 제 1 스토리지 전극을 이루며, 이와 중첩하며 형성된 상기 화소전극(160)이 제 2 스토리지 전극을 이루며, 이들 제 1 및 제 2 스토리지 전극 사이에 형성된 상기 게이트 절연막과 보호층을 유전체층으로 하여 구성된 제 1 스토리지 커패시터(StgC1)가 형성되어 있다.

<40> 또한, 본 발명의 가장 특징적인 것으로서, 상기 게이트 배선(104)의 길이방향으로 서로 이웃한 2개의 화소영역(P)에 걸쳐 상기 게이트 배선(104)과 인접하여 나란하게 형성되어 있다. 또한 상기 두 화소영역(P)의 경계를 이루는 데이터 배선(140)과 교차하는 형태로 리페어 패턴(120)이 형성되어 있다. 이때 상기 데이터 배선(140)과 교차하는 상기 리페어 패턴(120)은 상기 데이터 배선(140) 외부로 그 양끝단이 노출된다. 상기 노출된 양끝단은 추후 불량 발생 시 리페어가 가능한 최소한의 정도로 노출되는 것이 특징이다. 일례로 상기 리페어 패턴(120)이 상기 데이터 배선(140) 외부로 노출되는 부분의 길이 방향 폭은 8 μ m 내지 15 μ m 정도가 되도록 형성되고 있는 것이 특징이다.

<41> 또한, 상기 리페어 패턴(120)은 상기 게이트 배선(104)과 동일한 층에 동일한 물질로 그 길이 방향이 상기 게이트 배선(104)의 길이방향과 나란하게 바(bar) 형태로 형성되고 있는 것이 특징이다. 상기 리페어 패턴은 이와 가장 인접한 게이트 배선(104)에 대해 이를 패터닝 노광장비의 해상도가 뒷받침되는 최소한의 이격간격, 일례로 3 μ m 내지 5 μ m 정도의 이격간격(d1)을 가지어 가지는 것이 특징이다.

<42> 진술한 바와같이 상기 리페어 패턴(120)을 최소의 면적을 갖도록 형성하는 이유는 화소영역 내의 개구율 저하를 최소화하며, 상기 데이터 배선(140)과 중첩됨으로써 발생하는 기생용량을 최소화하기 위함이다. 이러한 형태를 갖는 리페어 패턴(120)을 이용한 라인 불량 발생 시의 리페어 방법은 추후 설명한다.

- <43> 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이 기관(101)의 경우, 도면에 있어서는 박막트랜지스터(Tr)의 구조를 단순화하여 간략히 도시하였지만, 상기 박막트랜지스터(Tr)의 평면 구조는 다양한 형태로 변경될 수 있다. 본 발명의 제 1 실시예에 따른 제 1 변형예로서 소스 및 드레인 전극 사이로 노출된 액티브층이 "U"자 형태 또는 "C"형태를 갖도록 상기 데이터 배선과 연결된 소스 전극의 중앙부가 패인 형태를 갖고, 상기 패인 부분으로 드레인 전극이 삽입된 구조를 이룰 수도 있으며, 나아가 상기 게이트 전극은 상기 게이트 배선에서 분기한 형태를 갖도록 할 수도 있고, 또한 게이트 배선 자체로 그 일부가 게이트 전극을 이루도록 형성될 수도 있다.
- <44> 한편, 본 발명의 제 1 실시예의 제 2 변형예에 따른 액정표시장치용 어레이 기관에 있어, 하나의 화소영역(P)을 개략적으로 도시한 평면도(박막트랜지스터(Tr)의 경우 그 채널 형태가 평면적으로 "C"형태를 갖는 것을 일례로 도시하였으며, 제 1 실시예와 동일한 구성요소에 대해서는 제 1 실시예에 부여된 도면부호와 동일한 도면부호를 부여함)인 도 5를 참조하면, 본 발명의 제 1 실시예의 제 2 변형예에 따른 액정표시장치용 어레이 기관(101)의 경우, 전술한 제 1 실시예에 따른 어레이 기관의 평면 구조에 부가하여 상기 게이트 배선(104)과 나란하게 이와 소정간격 이격하여 형성된 스토리지 배선(113)과, 상기 스토리지 배선(113)에서 각 화소영역(P) 내부로 상기 화소영역(P)을 정의하는 좌측 및 우측 데이터 배선(140)과 나란하게 그 내측으로 이격하여 분기한 2개의 스토리지 패턴(117(117a, 117b))을 더욱 포함하여 구성되고 있다. 이러한 구성의 경우 상기 2개의 스토리지 패턴(117)과 이를 연결하는 스토리지 배선(113)이 제 3 스토리지 전극이 되며, 이와 중첩하는 화소전극(160)이 제 4 스토리지 전극을 이루어 이들이 제 2 스토리지 커패시터(StgC2)를 이룬다. 따라서, 본 발명의 제 1 실시예의 제 2 변형예의 경우, 제 1 실시예 대비 제 2 스토리지 커패시터(StgC2)를 더 구성하게 됨으로써 더 큰 스토리지 용량을 갖는 어레이 기관을 제공하는 것이 특징이다.
- <45> 이러한 제 1 실시예의 제 2 변형예의 경우, 상기 리페어 패턴(120)은 상기 스토리지 패턴(117)의 끝단과도 3 μ m 내지 5 μ m 정도의 이격간격(d2)을 가지며, 동시에 상기 게이트 배선(104)과도 3 μ m 내지 5 μ m 정도 이격간격(d1)을 가지며 형성되고 있다. 즉, 상기 리페어 패턴(120)은 게이트 배선(104)과 상기 스토리지 패턴(117)의 끝단 사이의 영역에 이들 두 구성요소(104, 117)와 각각 3 μ m 내지 5 μ m 정도의 이격간격(d1, d2)을 가지며 위치하고 있는 것이 특징이다. 이때, 상기 리페어 패턴(120)과 게이트 배선(104)간의 이격간격(d1)과, 상기 스토리지 패턴(미도시)과 상기 리페어 패턴(120)의 이격간격(d2)을 3 μ m 내지 5 μ m라 언급하고 있지만, 이는 현재 사용되는 노광장비의 해상도에 기인한 것으로, 기술 개발되어 더 우수한 해상력을 갖는 노광 장비가 개발되고 이를 이용하여 3 μ m 이하의 이격간격을 갖도록 형성할 수 있다면, 이들 구성요소간의 이격간격(d1, d2)은 3 μ m 미만의 크기가 되어도 무방하다.
- <46> 한편, 상기 리페어 패턴(120)은 그 길이가, 이와 교차하는 데이터 배선(140)과 상기 데이터 배선(140) 양측으로 이와 가장 이격하며 형성된 상기 스토리지 패턴(117)의 폭 크기보다 같거나 작게 형성되는 것이 특징이다. 즉, 상기 리페어 패턴(120)의 양끝단은 각각 상기 스토리지 패턴(117)의 최외각 측단보다는 상기 데이터 배선(140)에 더 인접하도록 형성되는 것이 특징이다. 상기 리페어 패턴(120)이 이렇게 데이터 배선(140)을 기준으로 상기 스토리지 패턴(117)의 폭방향으로 이의 외측으로 노출되지 않도록 형성하는 것은 개구율 저하를 방지하기 위함이다. 도면에는 나타나지 않았지만, 이러한 구조를 갖는 어레이 기관(101)에 대응하여 컬러필터 기관이 구비되고 이들 두 기관(101, 미도시) 사이에 액정층이 개재됨으로써 액정표시장치를 이루게 되는데, 상기 컬러필터 기관에는 상기 게이트 및 데이터 배선(104, 140)과 스위칭 영역에 대응하여 블랙매트릭스가 형성되고 있으며, 상기 블랙매트릭스는 합착 마진을 고려하여 상기 게이트 및 데이터 배선(104, 140)의 폭보다 넓은 폭을 가지며 형성되고 있다. 이때, 상기 블랙매트릭스에 의해 가려지지 않는 부분이 실질적인 개구영역이 된다. 특히 데이터 배선(140)에 대응해서는 상기 스토리지 패턴(117) 폭 방향의 끝단까지가 통상적으로 블랙매트릭스에 의해 가려지게 된다. 따라서 상기 스토리지 패턴(117)의 끝단 외부로 상기 리페어 패턴(120)이 노출되면 블랙매트릭스에 의해 가려지는 부분보다 화소영역(P)을 더 가리게 되므로 개구율이 저하되게 된다. 그러므로 이를 방지하기 위해 전술한 바와 같이 스토리지 패턴(117) 외부로 노출되지 않는 범위에서 상기 리페어 패턴(120)을 형성하는 것이다.
- <47> 다음, 전술한 제 1 실시예, 제 1 실시예의 제 1 및 제 2 변형예의 구조를 갖는 어레이 기관의 단면도를 참조하여 그 단면 구조에 대해 설명한다. 설명의 편의를 위해 화소영역(P)내 박막트랜지스터(Tr)가 형성되는 영역을 스위칭 영역(TrA), 리페어 패턴(120)을 형성해야 하는 영역을 리페어 영역(RA), 제 1 스토리지 커패시터(StgC1)가 형성될 영역을 스토리지 영역(StgA)이라 정의한다.
- <48> 도 6과 도 7은 도 4를 각각 절단선 VI-VI과 VII-VII를 따라 절단한 부분에 대한 단면도이다.

- <49> 도시한 바와 같이, 기관(101) 상에 게이트 배선(104)이 형성되어 있으며, 각 화소영역(P)의 스위칭 영역(TrA)에는 상기 게이트 배선(104)에서 분기하거나 또는 상기 게이트 배선(104) 그 자체 일부로서 게이트 전극(107)이 형성되어 있으며, 상기 게이트 배선(104)과 인접한 리페어 영역(RA)에 있어서는 상기 게이트 배선(104) 및 게이트 전극(107)과 동일한 물질 및 동일한 층에 바(bar) 형태의 리페어 패턴(120)이 상기 게이트 배선(104)으로부터 3 μ m 내지 5 μ m 정도의 이격간격(도 4의 d1)을 가지며 형성되어 있다. 상기 리페어 패턴(120)은 섬형상을 이룬다. 이때 상기 게이트 배선(104)의 일부는 스토리지 영역(StgA)에 구비됨으로서 제 1 스토리지 전극(110)을 이루게 된다.
- <50> 한편, 제 1 실시예의 제 2 변형예의 경우, 상기 기관(101) 상에 상기 게이트 배선(104)과 게이트 전극(107)과 리페어 패턴(120) 이외에 상기 게이트 배선(104)의 길이방향으로 연장하며 나란하게 스토리지 배선(도 5의 113)이 형성되어 있으며, 상기 각 화소영역(P)에는 상기 스토리지 배선(도 5의 113)에서 분기하여 상기 화소영역(P)의 최외각에 스토리지 패턴(도 5의 117)이 형성되어 있다. 이때 상기 스토리지 패턴(도 5의 117)의 끝단과 상기 리페어 패턴(120)과는 3 μ m 내지 5 μ m 정도의 이격간격을 가지며 형성되고 있는 것이 특징이다.
- <51> 또한, 상기 기관(101) 상에는 상기 게이트 배선(104)의 일끝단과 연결된 게이트 패드전극(미도시)이 형성되어 있다.
- <52> 다음, 상기 게이트 배선(104) 및 게이트 전극(107)과 상기 리페어 패턴(120)과 제 2 변형예의 경우 스토리지 배선(도 5의 113) 및 스토리지 패턴(도 5의 117) 상부로 게이트 절연막(125)이 전면에서 형성되어 있다.
- <53> 또한, 상기 게이트 절연막(125) 위로 상기 스위칭 영역(TrA)에 있어서는 순수 비정질 실리콘으로 이루어진 액티브층(130a)과 그 상부로 서로 이격하며 불순물 비정질 실리콘으로 이루어진 오믹콘택층(130b)으로 구성된 반도체층(130)이 형성되어 있으며, 상기 오믹콘택층(130b) 위로 서로 이격하며 소스 및 드레인 전극(143, 146)이 형성되어 있다.
- <54> 또한, 상기 게이트 절연막(125) 위로 상기 소스 전극(143)과 연결되며 하부의 게이트 배선(104) 및 상기 리페어 패턴(120)과 교차하며 데이터 배선(140)이 형성되어 있으며, 상기 데이터 배선(140)의 일끝단과 연결되며 데이터 패드전극(미도시)이 형성되어 있다. 이때 상기 데이터 배선(140) 하부에는 상기 반도체층(130)과 동일한 물질로 이루어진 제 1 패턴(133a)과 제 2 패턴(133b)의 반도체 패턴(133)이 형성되고 있다. 이때 상기 반도체 패턴(133)은 제조 방법을 달리함으로써 생략될 수 있다.
- <55> 다음, 상기 데이터 배선(140)과 소스 및 드레인 전극(143, 146) 위로 전면에서 보호층(150)이 형성되어 있다. 이때, 상기 보호층(150)은 상기 드레인 전극(146) 일부를 노출시키는 드레인 콘택홀(155)과 상기 데이터 패드전극(미도시)을 노출시키는 데이터 패드 콘택홀(미도시)이 형성되어 있으며, 동시에 상기 보호층(150)과 게이트 절연막(125)에는 상기 게이트 패드전극(미도시)에 대해 이를 노출시키는 게이트 패드 콘택홀(미도시)이 형성되어 있다.
- <56> 다음, 상기 드레인 콘택홀(155)과 게이트 및 데이터 패드 콘택홀(미도시)을 갖는 보호층(150) 위로 투명 도전성 물질로써 각 화소영역(P)별로 화소전극(160)이 형성되어 있다. 이때, 상기 화소전극(160)은 상기 드레인 콘택홀(155)을 통해 상기 드레인 전극(146)과 접촉하며, 동시에 그 일측이 연장하여 전단의 게이트 배선(104)과 중첩하며 형성되어 있으며, 상기 전단의 게이트 배선(104)과 중첩하는 부분이 제 2 스토리지 전극(163)을 이루고 있는 것이 특징이다. 이때, 상기 화소전극(160)과 전단의 게이트 배선(104)의 중첩하는 부분은 제 1 스토리지 커패시터(StgC1)를 이룬다. 상기 화소전극(160)은 상기 리페어 패턴(120)과 일부 중첩하며 형성되고 있는 것을 보이고 있지만, 상기 리페어 패턴(120)과 중첩되지 않으며 형성될 수도 있다.
- <57> 또한, 제 1 실시예의 변형예의 경우, 상기 화소전극(160)은 제 3 스토리지 전극을 이루는 상기 스토리지 배선(도 5의 113) 및 스토리지 패턴(도 5의 117)과도 중첩하며 형성되며, 상기 스토리지 배선(도 5의 113) 및 스토리지 패턴(도 5의 117)과 각각 중첩하는 부분이 제 4 스토리지 전극을 이룸으로써 제 2 스토리지 커패시터(도 5의 StgC2)를 형성하는 것이 특징이다.
- <58> 한편, 상기 화소전극(160)을 이루는 동일한 물질로 상기 게이트 패드전극(미도시)과 상기 게이트 패드 콘택홀(미도시)을 통해 접촉하며 게이트 보조 패드전극(미도시)이 형성되어 있으며, 상기 데이터 패드전극(미도시)과 상기 데이터 패드 콘택홀(미도시)을 통해 접촉하며 데이터 보조 패드전극(미도시)이 형성되어 있다.
- <59> 전술한 바와 같이, 액정표시장치용 어레이 기관(101)을 구성함으로써 게이트 및 데이터 배선(104, 140)의 단락에 의한 라인불량이 발생할 경우, 상기 게이트 배선(104)과 데이터 배선(140)이 중첩되는 영역 외측의 게이트

배선(104)에 대해 레이저를 조사하여 이를 절단하고, 동시에 상기 게이트 배선(104)과 연결되는 리페어 패턴(120)이 속한 화소영역(P)에 있어 상기 리페어 패턴(120)과 중첩하는 화소전극(160)에 대해서 상기 리페어 패턴(120)과 상기 게이트 배선(104)과 추후 레이저를 이용한 CVD 리페어에 의해 형성될 연결배선(미도시)의 외주를 따라 절단한다. 이는 상기 리페어 패턴(120) 및 추후 형성될 연결배선(미도시)과 중첩하는 화소전극 부분이 상기 리페어 패턴(120) 및 연결배선(미도시)과 전기적으로 연결됨으로써 이와 중첩하지 않는 화소전극(160)과 전기적으로 연결되는 것을 방지하기 위함이다.

<60> 이후, 레이저를 이용한 CVD(Chemical Vapor Deposition) 리페어를 실시하여 상기 리페어 패턴(120)의 양끝단과 상기 서로 단락이 발생한 부분을 제외한 절단된 게이트 배선(104)의 양 끝단에 대해 동시에 접촉하는 연결배선(미도시)을 형성하고 상기 게이트 배선(104)과 리페어 패턴(120)을 전기적으로 연결시킴으로써 라인불량을 화소 단위의 점 불량으로 바꿀 수 있다.

<61> 이때, 상기 레이저 조사에 의한 게이트 배선(104)의 절단 공정 진행 시 상기 게이트 배선(104)과 데이터 배선(140)의 단락된 부분을 포함하는 화소영역(P)에 속한 드레인 전극(146)에 대해서도 절단을 실시함으로써 박막트랜지스터(Tr)와 화소전극(160)이 전기적으로 분리되도록 함으로써 암점화 시킬 수 있다. 이러한 드레인 전극(146)의 절단은 생략할 수도 있다.

<62> 본 발명에 이용되는 레이저를 이용한 CVD 리페어 공정에 대해서는 추후 본 발명에 따른 어레이 기판의 제조방법 설명 시 상세히 설명한다.

<63> <제 2 실시예>

<64> 도 8은 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판에 있어 하나의 화소영역(P)을 개략적으로 도시한 평면도이다. 이때 제 1 실시예와 동일한 구성요소에 대해서는 100을 더하여 도면부호를 부여하였다. 대부분의 구성요소는 제 2 실시예와 동일한 구성 및 형태를 가지며, 따라서 차별적인 구성을 갖는 부분 위주로 설명하였다.

<65> 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판(201)에 있어 가장 특징적인 구성은, 게이트 배선(204(204a, 204b))의 형태에 있으며, 나아가 별도의 리페어 패턴을 형성하지 않는다는 것에 있다.

<66> 도시한 바와 같이, 서로 교차하여 다수의 화소영역(P)을 정의하며 다수의 게이트 및 데이터 배선(204(204a, 204b), 240)이 교차하며 형성되어 있으며, 각 화소영역(P)에 있어서는 상기 게이트 및 데이터 배선(204, 240)과 각각 연결되며 스위칭 소자인 박막트랜지스터(Tr)가 형성되어 있다. 이때 상기 박막트랜지스터(Tr)는 도면에 나타난 형태 이외에 제 1 실시예의 제 1 변형예와 같이 그 채널이 "U" 또는 "C" 형태로 구성될 수도 있다.

<67> 또한, 각 화소영역(P)에는 상기 박막트랜지스터(Tr)의 드레인 전극(246)과 드레인 콘택홀(255)을 통해 전기적으로 연결된 화소전극(260)이 전단의 게이트 배선(204)과 일부 중첩하며 형성되어 있다. 각 게이트 배선(204)의 일끝단에는 게이트 패드전극(미도시)이, 각 데이터 배선(240)의 일끝단에는 데이터 패드전극(미도시)이 형성되어 있다. 또한, 상기 전단의 게이트 배선(204)과 상기 화소전극(260)이 중첩하는 부분은 제 1 스토리지 커패시터(StgC1)를 이루고 있다.

<68> 이러한 구조를 갖는 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판(201)에 있어 각 게이트 배선(204(204a, 204b))을 살펴보면, 제 1 실시예의 바(bar) 형태를 갖는 게이트 배선 형태와는 달리, 상기 데이터 배선(240)과 교차하는 부분에 대해서는 그 중앙에 홀(206)을 가져 상기 홀(206)을 우회하는 형태로 하나의 패스에서 2개의 패스로 제 1 배선(204a)과 제 2 배선(204b)으로 분기한 후 상기 데이터 배선(240)을 교차한 다음 다시 하나의 패스(204a)로 합쳐지는 형태를 갖는 것이 특징이다.

<69> 전술한 구성을 갖는 제 2 실시예의 따른 어레이 기판(201)의 변형예로서, 본 발명의 제 2 실시예의 변형예에 따른 액정표시장치용 어레이 기판에 있어 하나의 화소영역(P)을 개략적으로 도시한 평면도인 도 9(동일한 구성요소에 대해서는 제 2 실시예에 부여된 도면부호와 동일한 도면부호 부여함)를 참조하면, 모든 구성요소는 전술한 제 2 실시예와 동일하며, 이에 부가하여 제 1 실시예의 제 2 변형예와 같이 게이트 배선(204(204a, 204b))과 나란하게 연장하는 스토리지 배선(213)과 이에서 각 화소영역별로 분기하는 스토리지 패턴(217)을 더욱 포함하고 있으며, 이들 스토리지 배선(213) 및 스토리지 패턴(217)과 중첩하는 화소전극(260) 부분이 제 2 스토리지 커패시터(StgC2)를 구성하고 있는 것이 특징이다.

<70> 전술한 구성을 갖는 본 발명의 제 2 실시예 및 그 변형예에 따른 액정표시장치용 어레이 기판(201)은 게이트 배선(204)과 데이터 배선(240)이 중첩하는 일 부분에서 단락이 발생한다 하여도 레이저를 이용한 CVD 리페어에 의

한 연결배선 형성없이 단순히 레이저 조사에 의해 단락이 발생한 게이트 배선(204)과 데이터 배선(240)의 일 중첩부분을 절단하여 상기 게이트 배선(204)과 전기적으로 단절시키기만 하면 되므로 제 1 실시예에 따른 어레이 기판 대비 리페어 공정을 단순화하는 장점을 갖는다. 이때, 상기 게이트 배선(204)과 데이터 배선(240)의 중첩되는 부분에서의 단락은 하나의 화소영역(P)에 대해 이를 정의하는 게이트 배선(204) 및 데이터 배선(240)의 중첩하는 2영역 모두에서 발생할 가능성은 매우 희박하므로 2영역 모두 단락이 발생할 경우를 제외하고 단락이 발생한 어느 하나의 중첩된 부분만을 레이저를 사용하여 절단함으로써 전기적으로 단절시켜 라인불량을 방지할 수 있게 된다.

<71> <제조방법>

<72> 이후에는 본 발명의 제 1 및 제 2 실시예와 그 변형예에 따른 액정표시장치용 어레이 기판의 제조 방법에 대해 설명한다. 제조방법에 있어서는 가장 많은 구성요소를 갖는 제 1 실시예의 제 2 변형예에 위주로 설명하며 그 외의 제 1 실시예, 제 1 실시예의 제 1 변형예와, 제 2 실시예 및 그 변형예에 대해서는 차별점이 있는 부분에 대해서만 간단히 부가하여 설명한다. 설명의 편의를 위해 화소영역(P)내 박막트랜지스터(Tr)가 형성되는 영역을 스위칭 영역(TrA), 리페어 패턴(118)을 형성해야 하는 영역을 리페어 영역(RA), 제 1 및 제 2 스토리지 커패시터(StgC)가 형성될 영역을 스토리지 영역(StgA)이라 정의한다.

<73> 도 10a 내지 10d는 본 발명의 제 1 실시예의 제 2 변형예의 하나의 화소영역(P)에 대한 제조 단계별 공정 평면도이며, 도 11a 내지 11d와 도 12a 내지 도 12d는 도 5를 각각 절단선 XI-XI, XII-XII를 따라 절단한 부분에 대한 제조 단계별 공정 단면도이다.

<74> 우선, 도 10a, 11a 및 도 12a에 도시한 바와 같이, 투명한 절연기판(101) 상에 금속물질을 전면 증착하여 금속물질층(미도시)을 형성한 후, 포토레지스트의 도포, 마스크를 이용한 노광, 포토레지스트의 현상, 포토레지스트 사이로 노출된 금속물질층(미도시)의 식각 등을 포함하는 마스크 공정을 진행하여 상기 금속물질층(미도시)을 패터닝함으로써 일방향으로 연장하며 서로 이격한 다수의 게이트 배선(104)을 형성하고, 동시에 스위칭 영역(TrA)에 있어서 상기 게이트 배선(104)과 연결된 게이트 전극(107)을 형성하며, 상기 게이트 배선(104)의 일 끝단에 게이트 패드전극(미도시)을 형성한다.

<75> 또한, 동일한 공정에 의해 상기 게이트 배선(104)과 이격하며 각 리페어 영역(RA)에 상기 게이트 배선(104)과 나란한 방향으로 바(bar) 형태를 갖는 리페어 패턴(120)을 형성하며, 나아가 상기 게이트 배선(104)을 기준으로 상기 리페어 패턴(120)과 대칭되는 부분의 각 화소영역(P) 내에 상기 게이트 배선(104)과 나란하게 스토리지 배선(113)을 형성하고, 동시에 상기 스토리지 배선(113)에서 분기한 형태로 스토리지 패턴(117)을 각 화소영역(P)의 최외측에 형성한다. 이때 상기 리페어 패턴(120)은 각 화소영역(P) 내에서 상기 게이트 배선(104)과 상기 스토리지 패턴(117)의 끝단 사이에 위치하며, 상기 게이트 배선(104) 및 상기 스토리지 패턴(117)의 끝단으로부터 각각 3 μ m 내지 5 μ m 정도의 이격간격(d1, d2)을 갖도록 형성하는 것이 바람직하며, 상기 리페어 패턴(120)의 길이방향의 끝단은 상기 스토리지 패턴(117)의 폭 방향의 양끝단과 일치하거나, 상기 스토리지 패턴(117)의 폭 방향의 양끝단 보다 내측에 위치하도록 형성하는 것이 바람직하다.

<76> 한편, 상기 스토리지 배선(113) 및 스토리지 패턴(117)은 제 1 실시예, 제 1 변형예의 제 1 변형예와 제 2 실시예의 경우 생략되며, 제 1 실시예의 제 2 변형예 및 제 2 실시예의 변형예의 경우에만 형성되게 된다. 또한, 제 2 실시예의 경우, 상기 리페어 패턴 또한 생략되며, 제 2 실시예 및 그 변형예의 경우, 게이트 배선(도 8, 9의 204)이 추후 형성될 데이터 배선(도 8, 9의 240)과 교차되는 부분에 대응해서는 홀(도 8, 9의 206)을 가져 마치 하나의 배선(도 8, 9의 204a)에서 2개의 배선(도 8, 9의 204a, 204b)으로 분기한 후, 다시 하나의 배선(도 8, 9의 204a)으로 합쳐지게 되는 형태로 형성됨으로써 각 화소영역(P) 별로 각 데이터 배선(도 8, 9의 240)과 중첩되는 영역이 2개가 되도록 하는 것이 특징이다.

<77> 다음, 도 10b, 11b 및 도 12b에 도시한 바와 같이, 상기 게이트 배선(104)과 게이트 전극(107)과 상기 리페어 패턴(120)과 스토리지 배선(113) 및 스토리지 패턴(117) 위로 전면 무기절연물질 예를들면 산화실리콘(SiO₂) 또는 질화실리콘(SiNx)을 증착하여 게이트 절연막(125)을 형성한다.

<78> 이후, 상기 게이트 절연막(125) 위로 전면 순수 비정질 실리콘층(미도시)과 불순물 비정질 실리콘층(미도시)과 제 2 금속물질층(미도시)을 형성하고, 이를 회절노광 또는 하프톤 노광을 포함하는 마스크 공정을 진행하여 이를 패터닝함으로써 각 화소영역(P) 내의 스위칭 영역(TrA)에 있어서는 순수 비정질 실리콘의 액티브층(130a)과 그 상부로 서로 이격하는 불순물 비정질 실리콘의 오믹콘택층(130b)과, 상기 오믹콘택층(130b) 위로 서로 이격하는 소스 및 드레인 전극(143, 146)을 형성한다. 동시에, 상기 게이트 배선(104)과 교차하여 화소영역(P)을

정의하며, 상기 리페어 패턴(120)과 교차하는 데이터 배선(140)을 형성한다. 동시에 상기 데이터 배선(140) 끝단에 데이터 패드전극(미도시)을 형성한다. 이때, 상기 데이터 배선(140) 하부에는 상기 액티브층(130a)과 오믹 콘택층(130b)을 이루는 동일한 물질로써 제 1 및 제 2 반도체 패턴(133a, 133b)이 형성된다. 하지만, 상기 데이터 배선(140) 하부에 형성된 상기 제 1 및 제 2 반도체 패턴(133a, 133b)은 제조 방법을 달리함으로써 생략될 수도 있다. 즉, 상기 순수 및 불순물 비정질 실리콘층(미도시)을 형성 후 이를 패터닝하여 섬형상의 반도체층을 형성하고, 이후 상기 반도체층 상부로 상기 제 2 금속물질층(미도시)을 증착하고 패터닝하는 방법으로 진행될 수도 있다.

<79> 다음, 도 10c, 11c 및 도 12c에 도시한 바와 같이, 상기 데이터 배선(140)과 소스 및 드레인 전극(143, 146)이 형성된 기판(101) 상에 무기절연물질인 질화실리콘(SiNx) 또는 산화실리콘(SiO₂)을 전면 증착하여 보호층(150)을 형성하고, 마스크 공정을 진행하여 상기 보호층(150)을 패터닝함으로써 상기 드레인 전극(146)을 노출하는 드레인 콘택홀(155)과 상기 데이터 패드전극(미도시)을 노출시키는 데이터 패드 콘택홀(미도시)을 형성하고, 동시에 상기 보호층(150)과 그 하부의 게이트 절연막(125)까지 함께 패터닝함으로써 상기 게이트 패드전극(미도시)을 노출시키는 게이트 패드 콘택홀(미도시)을 형성한다.

<80> 다음, 도 10d, 11d 및 도 12d에 도시한 바와 같이, 상기 드레인 콘택홀(155) 과 게이트 및 데이터 패드 콘택홀(미도시)을 갖는 보호층(150) 위로 투명 도전성 물질 예를들면, 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 전면 증착하여 투명 도전성 물질층을 형성하고, 마스크 공정을 진행하여 이를 패터닝함으로써 각 화소영역(P)별로 분리된 형태의 화소전극(160)을 형성함으로써 본 발명의 각 실시예에 따른 어레이 기판(101)을 완성한다. 이때, 상기 화소전극(160)은 상기 드레인 콘택홀(155)을 통해 상기 드레인 전극(146)과 접촉하며, 상기 스토리지 배선(113) 및 스토리지 패턴(117)과 전단의 게이트 배선(104)과 중첩하도록 형성하는 것이 특징이다. 따라서, 상기 화소전극(160)과 중첩되는 게이트 배선(104) 부분은 제 1 스토리지 전극(110)을 이루고 이와 중첩하는 화소전극(160) 부분은 제 2 스토리지 전극(163)을 이루므로써 이들 서로 중첩하는 제 1 및 제 2 스토리지 전극(110, 163)과 이들 사이에 위치한 게이트 절연막(125)과 보호층(150)과 더불어 제 1 스토리지 커패시터(StgC1)를 형성하게 된다. 또한, 상기 스토리지 배선(113) 및 스토리지 패턴(117)은 그 자체로 제 3 스토리지 전극을 이루며, 이들과 중첩하는 화소전극(160) 부분은 제 4 스토리지 전극(166)을 이루게 되며, 상기 이들 구성요소 사이에 위치한 게이트 절연막(125) 및 보호층(150)과 더불어 제 2 스토리지 커패시터(StgC2)를 형성하게 된다.

<81> 한편, 제 1 실시예 및 그 제 1 변형예와, 제 2 실시예의 경우 상기 스토리지 배선(113)과 스토리지 전극(117)은 형성되지 않는 바, 상기 제 2 스토리지 커패시터(StgC2)는 형성되지 않는 구조가 된다.

<82> 이후에는 전술한 구조와 제조 방법에 의해 제조된 어레이 기판에 대해 게이트배선과 데이터 배선이 중첩하는 부분에서 단락이 발생하여 라인불량을 이루게 된 것을 화소불량으로 바꿈으로써 양품화하는 리페어 공정에 대해 설명한다.

<83> <리페어 공정>

<84> 우선, 제 1 실시예, 제 1 실시예의 제 1 및 제 2 변형예에 따른 어레이 기판의 리페어 공정에 대해 설명한다.

<85> 도 13은 본 발명의 제 1 실시예에 따른 어레이 기판의 게이트 및 데이터 배선의 단락이 발생한 화소영역(P) 및 그 주변 부분에 대해 리페어 공정을 진행한 상태를 도시한 평면도이다. 도 14a 내지 도 14d는 본 발명의 제 1 실시예에 따른 어레이 기판의 게이트 및 데이터 배선의 단락이 발생한 화소영역(P) 및 그 주변 부분에 대한 리페어 공정 진행에 따른 단계별 평면도이며, 도 15a 내지 도 15d는 도 13의 절단선 XV-XV를 따라 절단한 부분에 대한 리페어 공정 진행 단계별 단면도이며, 도 16a 내지 도 16d는 도 13의 절단선 XVI-XVI를 따라 절단한 부분에 대한 리페어 공정 진행 단계별 단면도다.

<86> 우선, 도 13을 참조하면, 게이트 배선(104)과 데이터 배선(140)의 단락이 발생한 부분에 대해 이를 포함하는 게이트 배선(104)에 대해 상기 데이터 배선(140)과 중첩하는 영역 외측으로 레이저 등의 조사에 의해 단선된 제 1 레이저 조사영역(LCA1)이 형성되고 있으며, 레이저 조사에 의해 단선된 게이트 배선(104)의 끝단과 이와 인접한 리페어 패턴(120)의 양끝단에 대해서는 각각 이들 구성요소를 노출시키는 제 1 및 제 2 홈(hm1, hm2)이 형성되고 있다.

<87> 또한, 상기 각각의 제 1 및 제 2 홈(hm1, hm2)에는 이를 메꾸며 각각 게이트 배선(104)과 접촉하는 제 1 콘택패턴(도 16c의 173)과 상기 리페어 패턴(120)과 접촉하는 제 2 콘택패턴(도 16c의 174)이 형성되고 있으며, 상기 게이트 배선(104)과 접촉하는 상기 제 1 콘택패턴(도 16c의 173)과 상기 리페어 패턴(120)과 접촉하는 상기 제

2 콘택패턴(도 16c의 174)과 동시에 접촉함으로써 상기 게이트 배선(104)과 리페어 패턴(120)을 전기적으로 연결시키는 연결패턴(175)이 형성되고 있다.

- <88> 따라서, 전술한 구조에 의해 게이트 배선(104)과 데이터 배선(140)이 단락되면, 상기 단락된 부분에 인접한 게이트 배선(104)을 단선시킨다. 이후 상기 단선된 게이트 배선(104)은 상기 연결패턴에 의하여 상기 게이트 배선(104)과 데이터 배선(140)의 단락된 부분을 우회하여 전기적으로 연결됨으로써 라인불량을 리페어 하고 있다. 이때, 상기 리페어 패턴(120)과 단선된 게이트 배선(104)을 전기적으로 연결하는 연결패턴(175)은 상기 화소전극(160)과 직접 접촉하며 그 상부에 형성되게 된다. 따라서, 이 경우, 상기 게이트 배선(104)과 상기 화소전극(160) 사이에서 단락이 발생하므로 이를 방지하기 위해, 상기 연결패턴을 형성하기에 앞서 상기 연결패턴(175)이 형성될 부분의 외주를 따라 레이저를 조사함으로써 상기 화소전극(160)을 절단하여 상기 화소영역(P) 내의 주 화소전극(160)과 상기 연결패턴(175)과 중첩하는 영역의 화소전극 부분이 전기적으로 차단되도록 한 것이 또 다른 특징이다. 이때, 상기 레이저를 조사하는 부분을 제 2 레이저 조사영역(LCA2)이라 정의한다.
- <89> 또한, 게이트 배선(104)과 데이터 배선(140)의 단락이 발생한 부분과 가장 인접한 박막트랜지스터(Tr)의 드레인 전극(146) 또한 단선되도록 제 1 레이저 조사영역(LCA1)이 구성되는 바 이와 연결된 화소전극(160)과 드레인 전극(146) 또한 전기적으로 분리됨으로써 하나의 화소영역(P)에 대해 화상 신호가 인가되지 않도록 하여 암점화시키고 있다. 따라서 이러한 공정에 의해 라인불량을 하나의 화소영역(P)만이 암점화되는 점 불량으로 개선되고 있음을 알 수 있다.
- <90> 이후에는 조금 더 상세히 라인불량을 점 불량으로 변환시키는 레이저를 이용한 CVD 리페어 공정에 대해 설명한다.
- <91> 우선, 도 14a, 15a 및 16a에 도시한 바와 같이, 게이트 배선(104)과 데이터 배선(140)의 단락이 발생한 기관(101)에 있어, 상기 단락이 발생한 게이트 및 데이터 배선(104, 140)이 중첩된 부분을 기준으로 그 외측의 게이트 배선(104) 부분을 레이저 장치를 통해 레이저를 조사함으로써 상기 단락이 발생한 부분을 상기 게이트 배선으로부터 단선되도록 한다. 동시에 상기 단락이 발생한 부분과 가장 인접하여 위치한 박막트랜지스터(Tr)의 드레인 전극(146)에 대해서도 레이저를 조사하여 단선시킴으로써 상기 박막트랜지스터(Tr)와 이와 연결된 화소전극(160)이 전기적으로 도통되지 않도록 한다. 이때, 상기 레이저가 조사되어야 할 게이트 배선(104) 부분 및 드레인 전극(146) 부분이 제 1 레이저 조사영역(LCA1)이 된다.
- <92> 다음, 도 14b, 15b 및 16b에 도시한 바와 같이, 이번에는 상기 게이트 배선(104)과 데이터 배선(140)의 단락이 발생한 부분과 가장 인접하여 위치한 리페어 패턴(120)이 속하는 화소영역(P) 내에 위치한 화소전극(160)에 있어 추후 형성될 연결패턴(미도시)과 중첩되는 부분 외측의 제 2 레이저 조사영역(LCA2)에 대해 레이저 장치를 이용하여 레이저를 조사함으로써 상기 각 화소전극(160)을 각각 부분적으로 단선시킨다.
- <93> 다음, 도 14c, 15c 및 16c에 도시한 바와 같이, 레이저 조사에 의해 단선된 게이트 배선(104)과, 상기 리페어 패턴(120)의 양끝단에 대해 레이저를 조사함으로써 제 1 및 제 2 홈(hm1, hm2)을 형성한다. 이 경우 상기 제 1 및 제 2 홈(hm1, hm2)을 형성하기 위한 레이저 조사는 단선을 위한 레이저 조사와는 레이저 발생을 위한 소스, 초점, 파워, 조사 시간 등에 있어 차이가 있으며, 이를 적절히 조절함으로써 무기(또는 유기)절연물질 또는 금속물질까지 태워 없애거나 또는 선택적으로 무기절연물질 만을 태워 없앨 수 있게 된다.
- <94> 따라서, 전술한 요소가 적절히 조절된 레이저를 기관(101)에 조사함으로써 게이트 배선(104)과 리페어 패턴(120)을 노출시키는 제 1 및 제 2 홈(hm1, hm2)을 형성할 수 있게 된다.
- <95> 이후, 레이저를 이용한 CVD 리페어 장치를 이용하여 상기 게이트 배선(104)을 노출시키는 제 1 홈(hm1)에 대응하여 상기 제 1 홈(hm1)을 채우는 제 1 콘택패턴(173)을 형성하고, 연속하여 상기 리페어 패턴(120) 양끝단을 노출시키는 제 2 홈(hm2)에 대응하여 상기 제 2 홈(hm2)을 채우는 제 2 콘택패턴(174)을 형성한다.
- <96> 다음, 도 14d, 15d 및 16d에 도시한 바와 같이, 상기 단선된 게이트 배선(104)에 형성된 제 1 콘택패턴(173)과, 이와 인접하여 상기 리페어 패턴(120)의 일끝단에 형성된 제 2 콘택패턴(174)을 포함하는 사이의 영역의 표면에 상기 레이저를 이용한 CVD 리페어 장치를 통해 상기 제 1 및 제 2 콘택패턴(173, 174)과 동시에 접촉하는 배선형태의 연결패턴(175)을 형성한다.
- <97> 이러한 연결패턴(175)과 제 1 및 제 2 콘택패턴(173, 174)은 레이저 조사 장치와 기관(101) 사이에 특정 성분을 갖는 가스 분위기를 형성하고, 이러한 가스 분위기를 관통하도록 기관의 표면에 레이저를 조사함으로써 상기 특정 성분을 갖는 가스와 레이저가 반응하여 상기 특정 성분을 갖는 가스가 광분해 됨으로써 기관(101)의 상기 레이저가 지나가는 부분의 표면에 증착됨으로써 형성되게 된다. 이때 상기 특정 성분을 갖는 가스는 일례로 텅스

텐 재질의 핵사 카보닐(W(CO)₆)이 되고 있으며, 이는 광분해에 의해 기관(101)상에 텅스텐 재질의 배선형태의 연결패턴(175)을 형성하게 된다. 전술한 공정에서 제 1 및 제 2 콘택패턴(173, 174)과 상기 연결패턴(175)은 서로 다른 단계에서 형성됨을 보이고 있지만, 이들 패턴(173, 174, 175)은 동일한 공정에서 한 번에 형성될 수도 있다.

<98> 이러한 레이저를 이용한 CVD 리페어에 의해 형성되는 패턴은 그 공정 특성상 레이저 등의 포커싱 등이 예민하게 조절되어야 하며, 레이저 조사의 시간이 매우 짧은 시간 이루어지게 되므로 형성되는 연결패턴(175)의 두께가 비교적 얇으므로 기관(101)의 표면 상태에 따라서 많은 영향을 받는다. 특히 표면의 단차에 의해 큰 영향을 받게 되며, 따라서 비교적 매우 큰 단차를 이루는 게이트 배선(104)과 데이터 배선(140)의 중첩 부분에 대해서는 이를 진행시 끊김 등이 많이 발생하게 되는 바, 이 부분에 대해서는 전술한 CVD 리페어 공정을 진행하면 불량률이 높아 리페어율이 저하된다. 따라서, 본 발명에서는 이러한 문제를 해결하고자 단선 처리된 게이트 배선(104)과 동일한 층에 동일한 물질로 동일한 두께를 갖는 리페어 패턴(120)을 형성하여 이들 두 구성요소를 상기 큰 단차를 갖는 게이트 및 데이터 배선(104, 140)의 중첩된 부분을 우회하여 전기적으로 연결시키고 있는 것이 특징이 되고 있다.

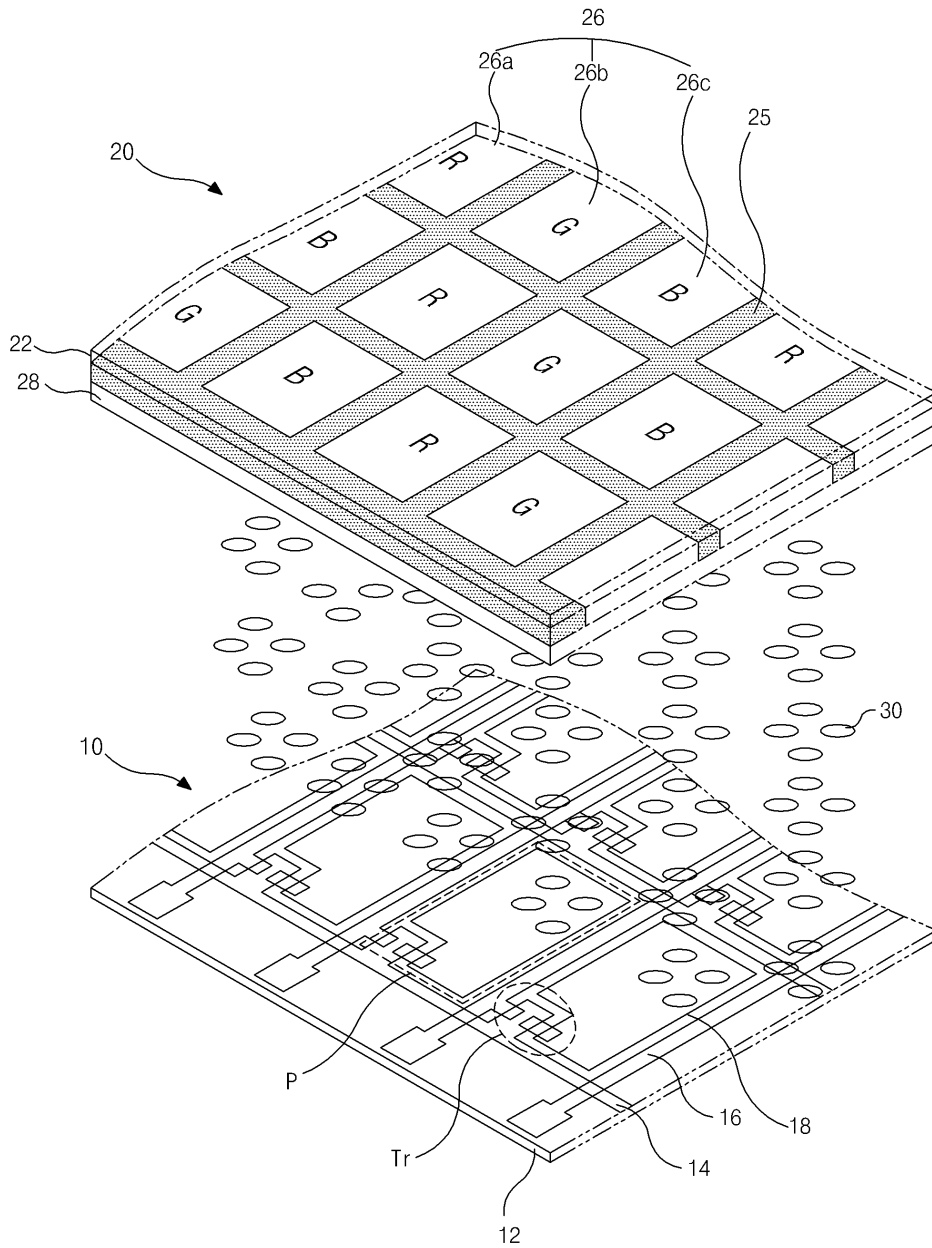
<99> 한편, 제 2 실시예 및 그 제 2 변형예에 따른 어레이 기관의 경우, 게이트 및 데이터 배선의 중첩 부분에서 단락 불량이 발생한 경우 리페어 한 것을 도시한 도 17을 참조하면, 이 경우, 게이트 배선(204)이 데이터 배선(240)과 중첩하는 부분은 하나의 화소영역(P)에 대해 2부분(204a, 204b)이 되도록 구성되고 있는 바, 레이저를 이용한 CVD 리페어는 필요없고, 단순히 레이저를 이용한 단선 공정만을 진행함으로써 간단히 리페어가 가능하다. 이때 게이트 배선(204) 및 드레인 전극(246)의 단선 공정은 전술한 도 14a와 도 14b를 통해 설명한 바와 동일하게 진행되는 바, 그 설명은 생략한다.

도면의 간단한 설명

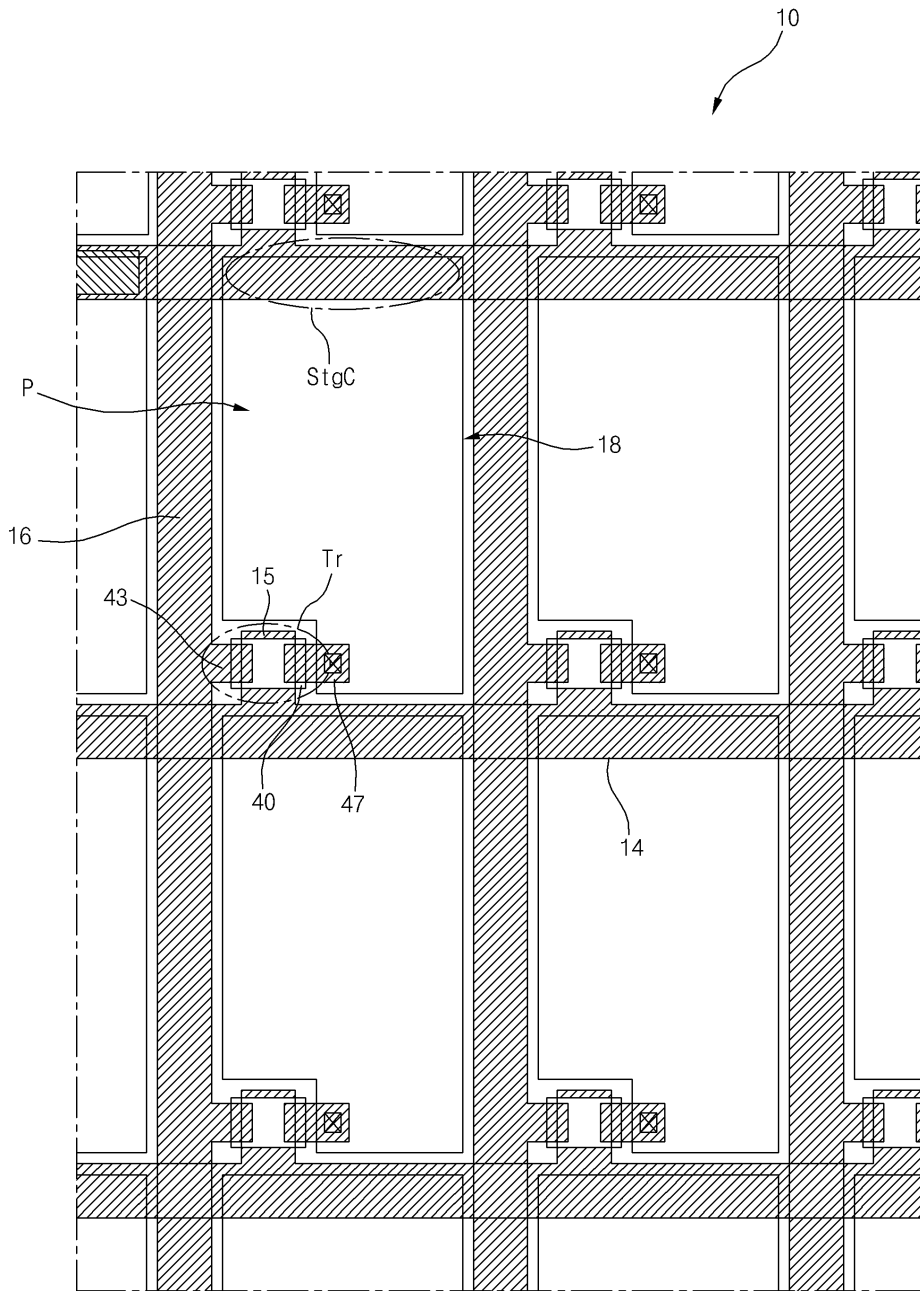
- <100> 도 1은 종래의 액정표시장치를 개략적으로 도시한 분해사시도.
- <101> 도 2는 종래의 액정표시장치용 어레이 기관의 일부를 개략적으로 도시한 평면도.
- <102> 도 3은 종래의 어레이 기관에 있어 불량화소를 암점화 처리하는 것을 간략히 도시한 도면.
- <103> 도 4는 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이 기관에 있어 하나의 화소영역을 개략적으로 도시한 평면도.
- <104> 도 5는 본 발명의 제 1 실시예에의 제 2 변형예에 따른 액정표시장치용 어레이 기관에 있어 하나의 화소영역을 개략적으로 도시한 평면도.
- <105> 도 6은 도 4를 절단선 VI-VI을 따라 절단한 부분에 대한 단면도.
- <106> 도 7은 도 4를 절단선 VII-VII를 따라 절단한 부분에 대한 단면도.
- <107> 도 8은 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기관에 있어 하나의 화소영역을 개략적으로 도시한 평면도.
- <108> 도 9는 본 발명의 제 2 실시예의 변형예에 따른 액정표시장치용 어레이 기관에 있어 하나의 화소영역을 개략적으로 도시한 평면도.
- <109> 도 10a 내지 도 10d는 본 발명의 제 1 실시예의 제 2 변형예의 하나의 화소영역(P)에 대한 제조 단계별 공정 평면도.
- <110> 도 11a 내지 도 11d는 도 5를 절단선 XI-XI를 따라 절단한 부분에 대한 제조 단계별 공정 단면도.
- <111> 도 12a 내지 도 12d는 도 5를 절단선 XII-XII를 따라 절단한 부분에 대한 제조 단계별 공정 단면도.
- <112> 도 13은 본 발명의 제 1 실시예에 따른 어레이 기관의 게이트 및 데이터 배선의 단락이 발생한 화소영역 및 그 주변 부분에 대해 리페어 공정을 진행한 상태를 도시한 평면도.
- <113> 도 14a 내지 도 14d는 본 발명의 제 1 실시예에 따른 어레이 기관의 게이트 및 데이터 배선의 단락이 발생한 화소영역 및 그 주변 부분에 대한 리페어 공정 진행에 따른 단계별 평면도.
- <114> 도 15a 내지 도 15d는 도 13의 절단선 XV-XV를 따라 절단한 부분에 대한 리페어 공정 진행 단계별 단면도.

도면

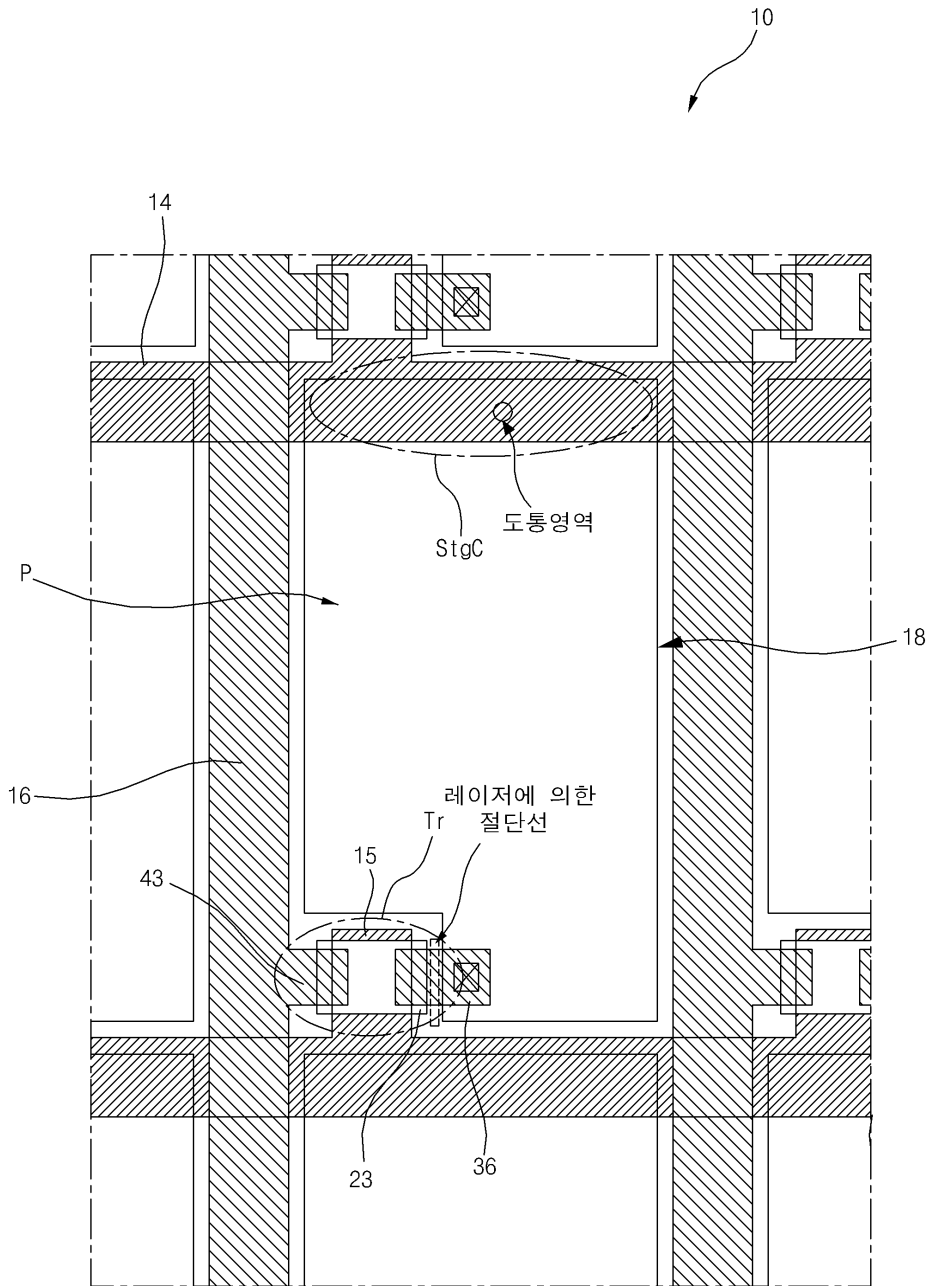
도면1



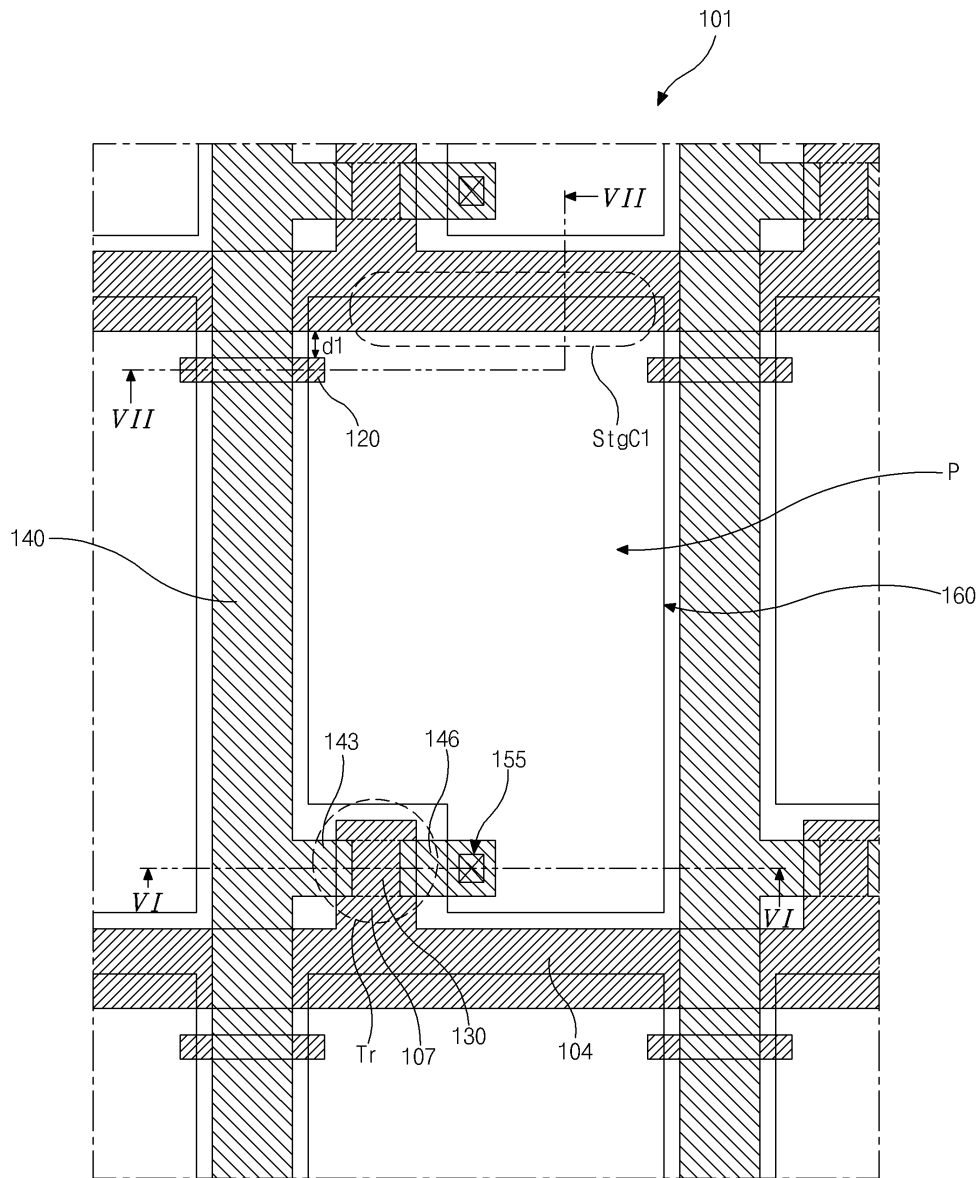
도면2



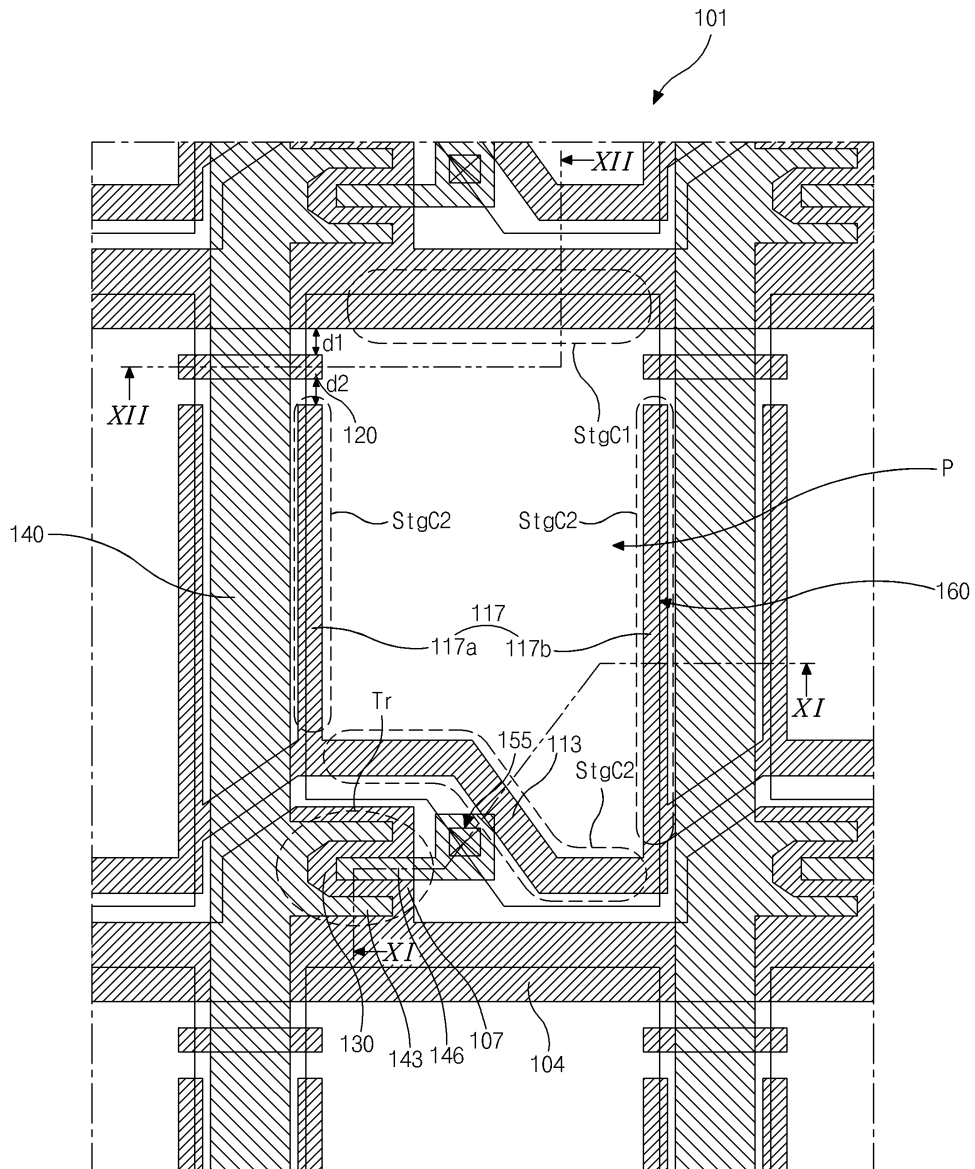
도면3



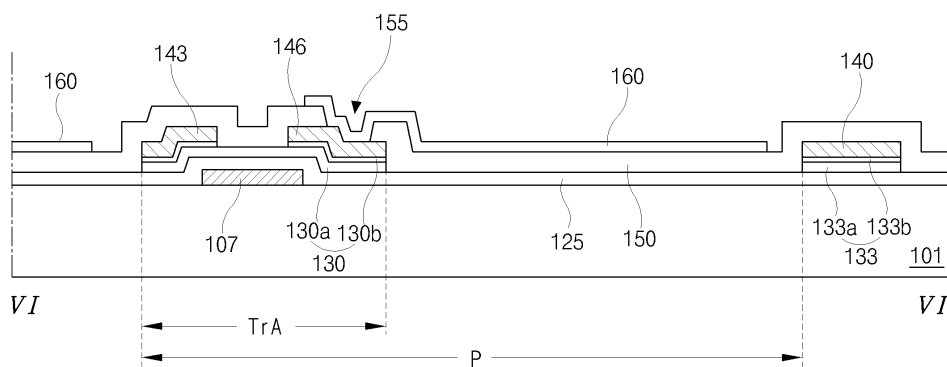
도면4



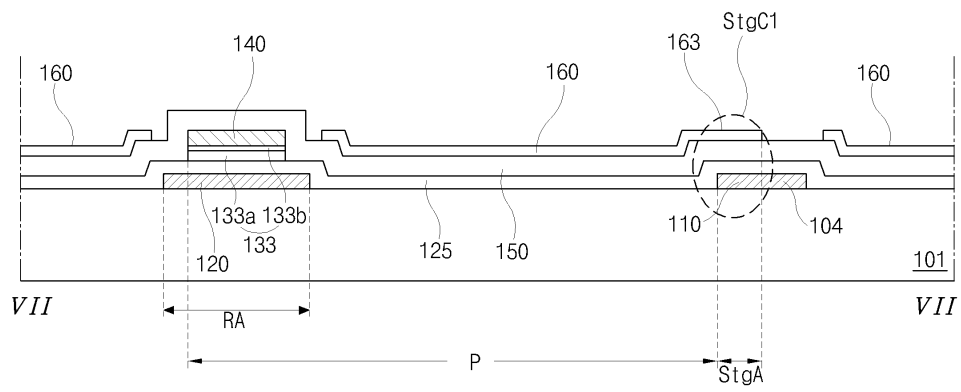
도면5



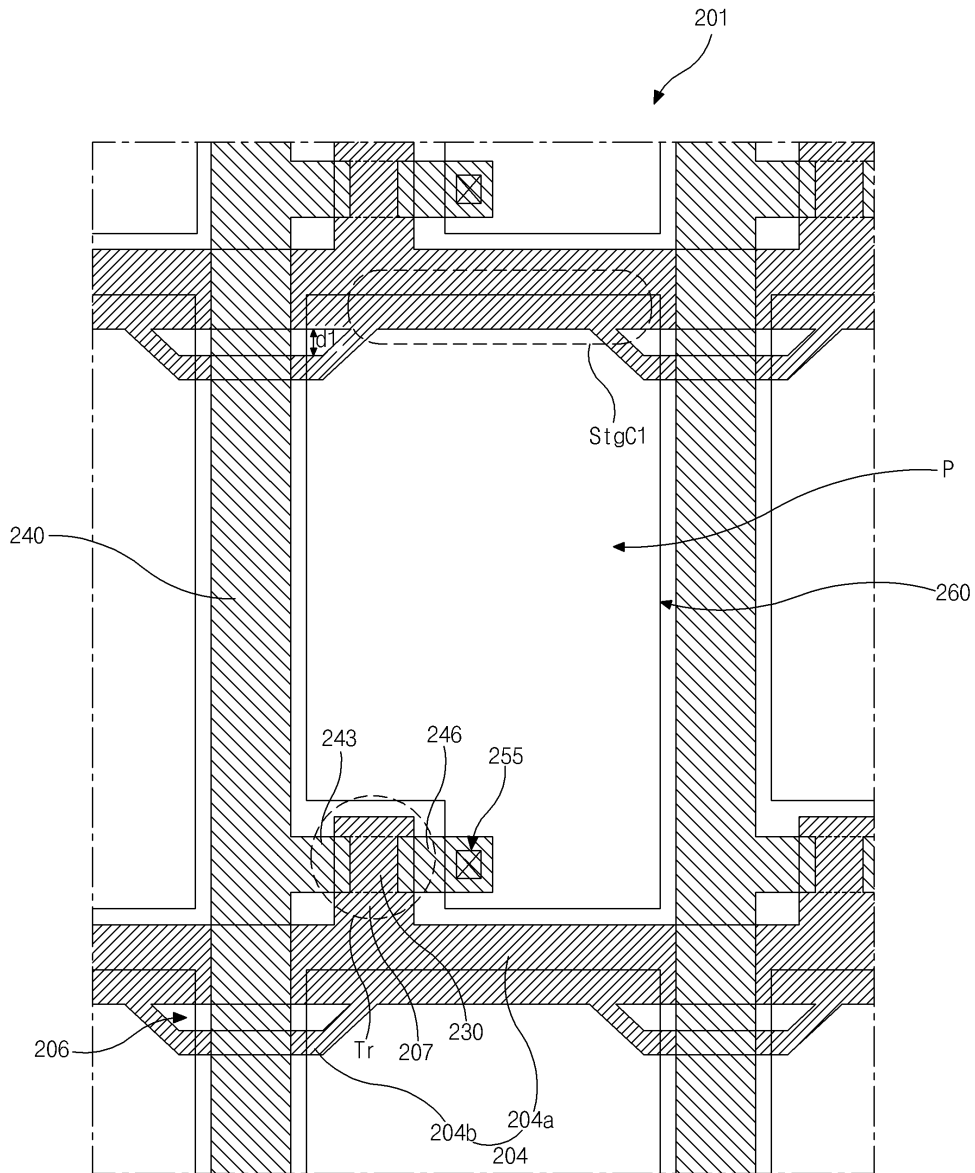
도면6



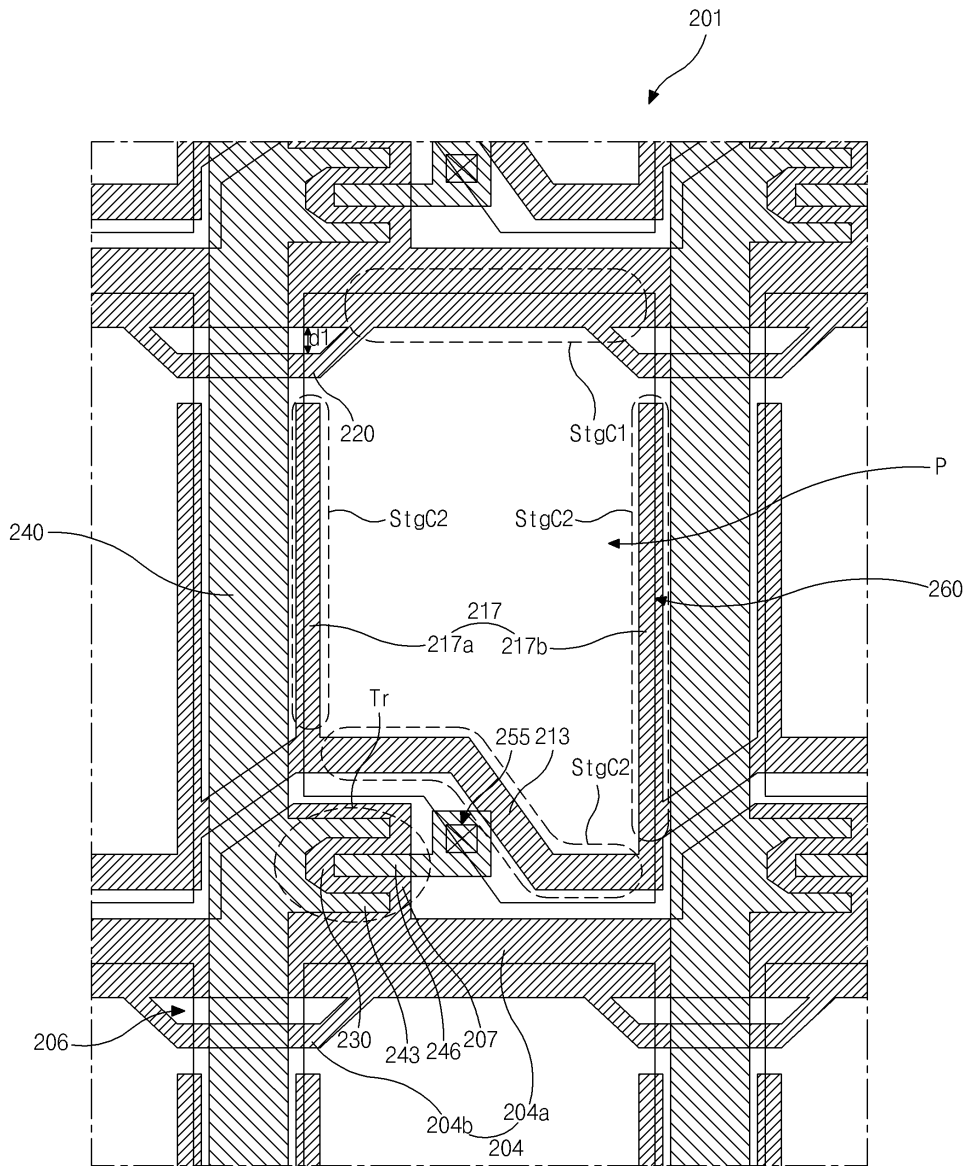
도면7



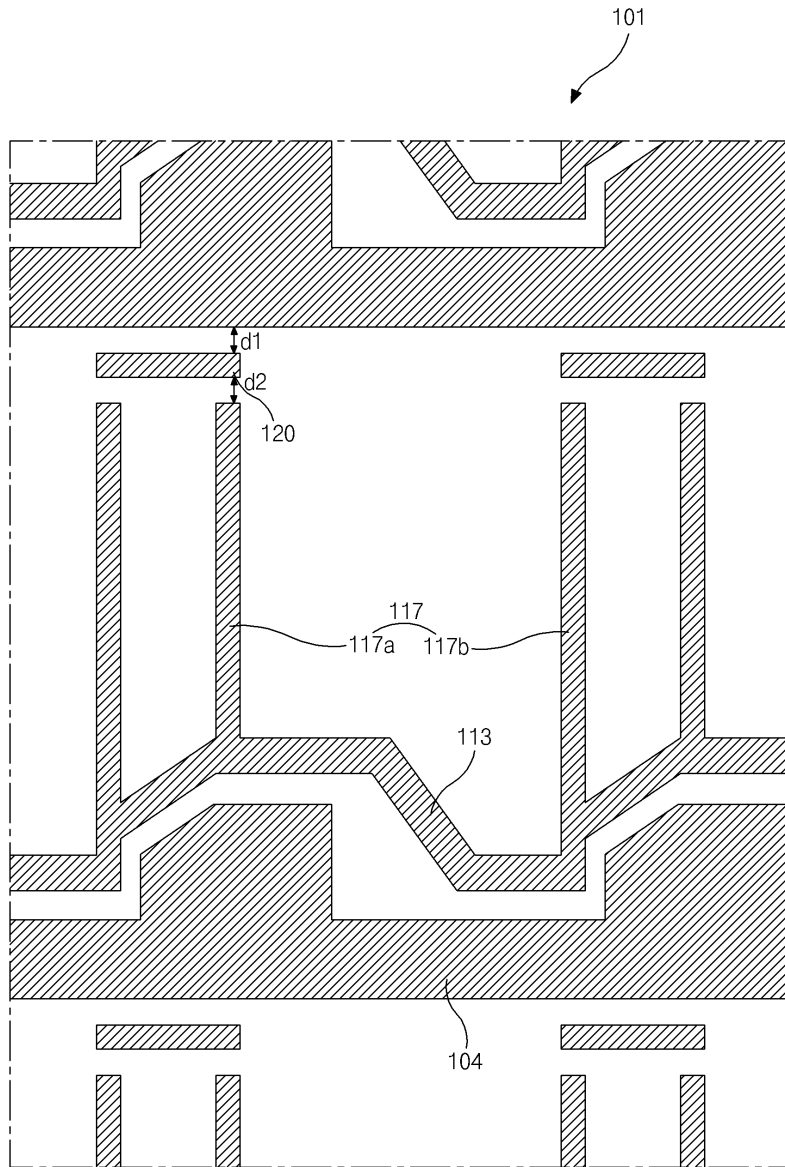
도면8



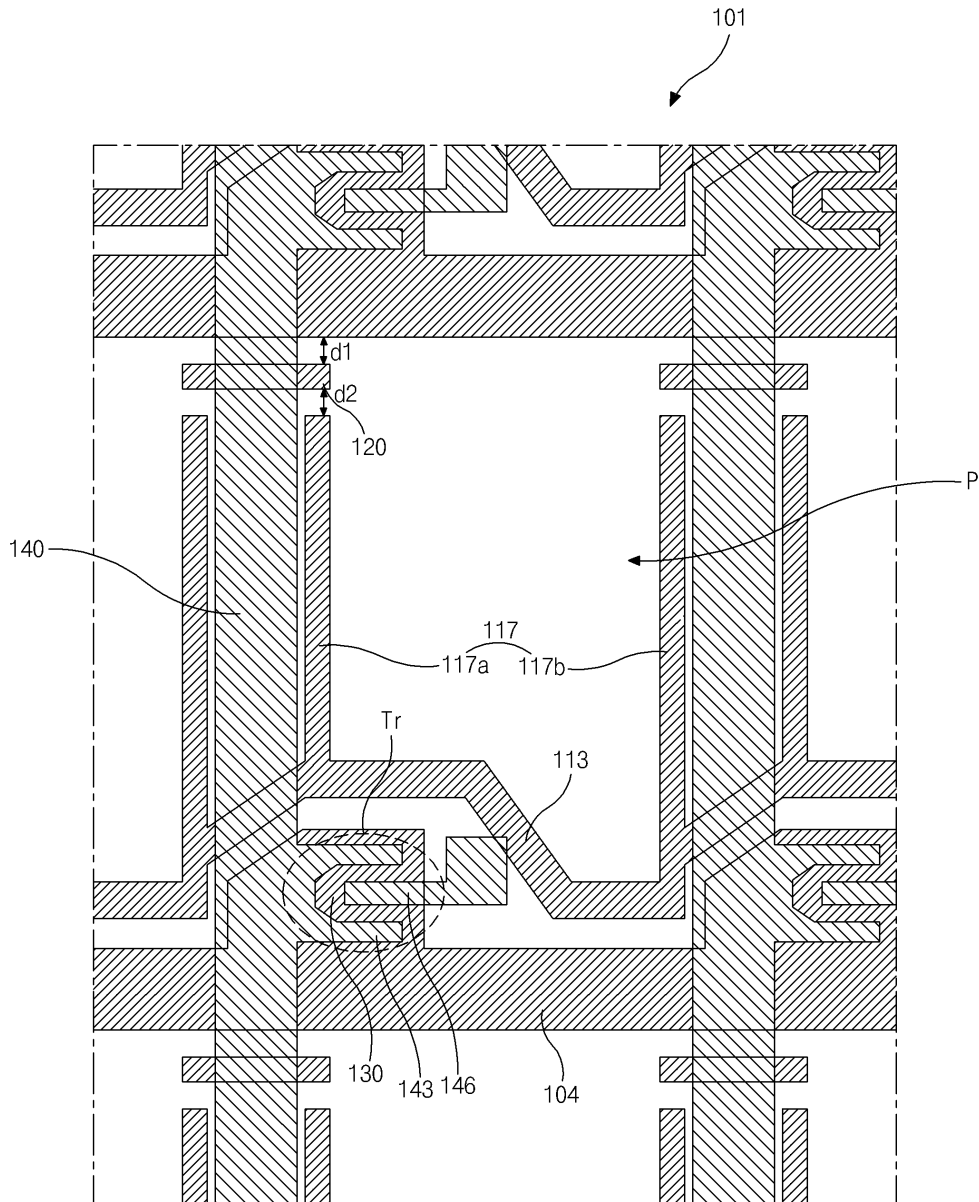
도면9



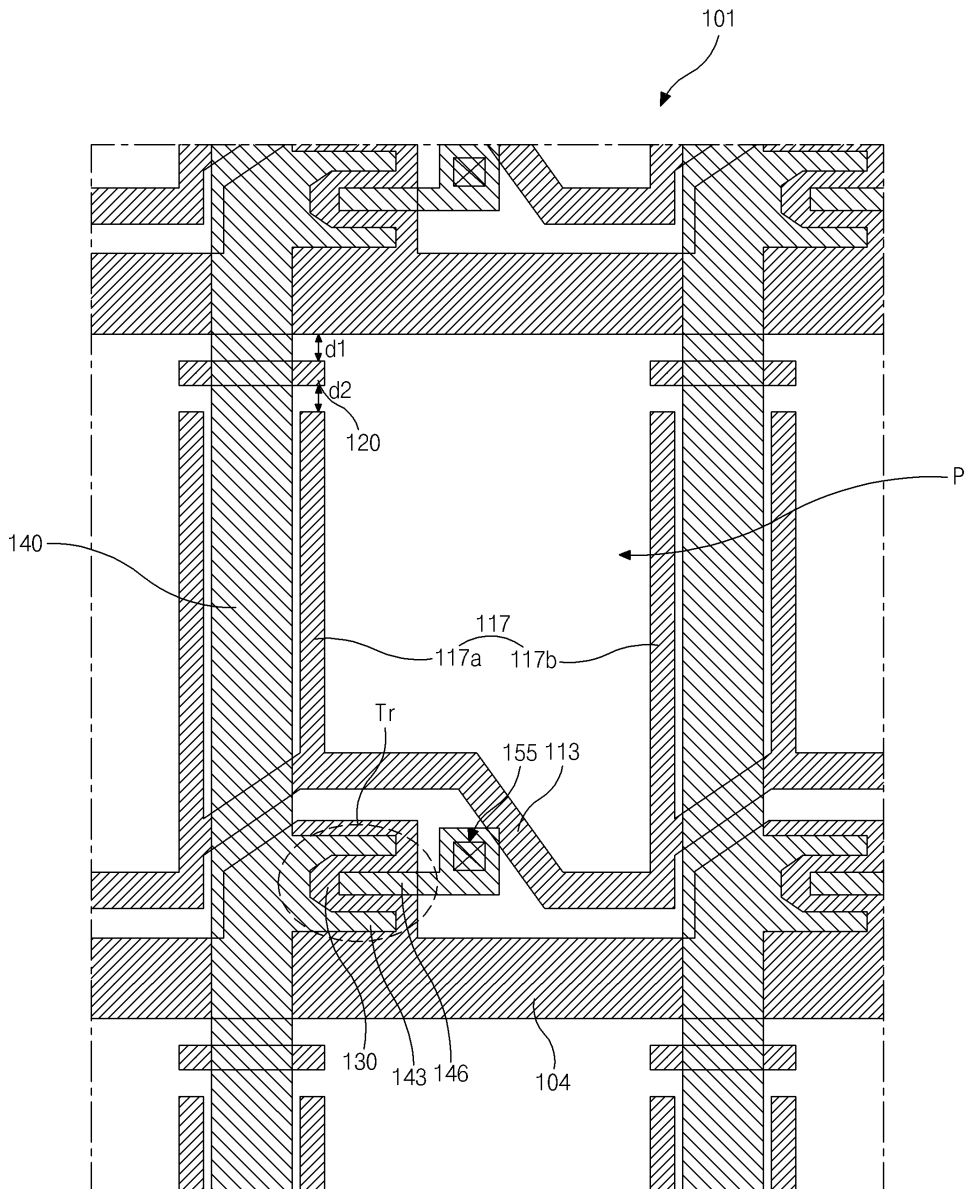
도면10a



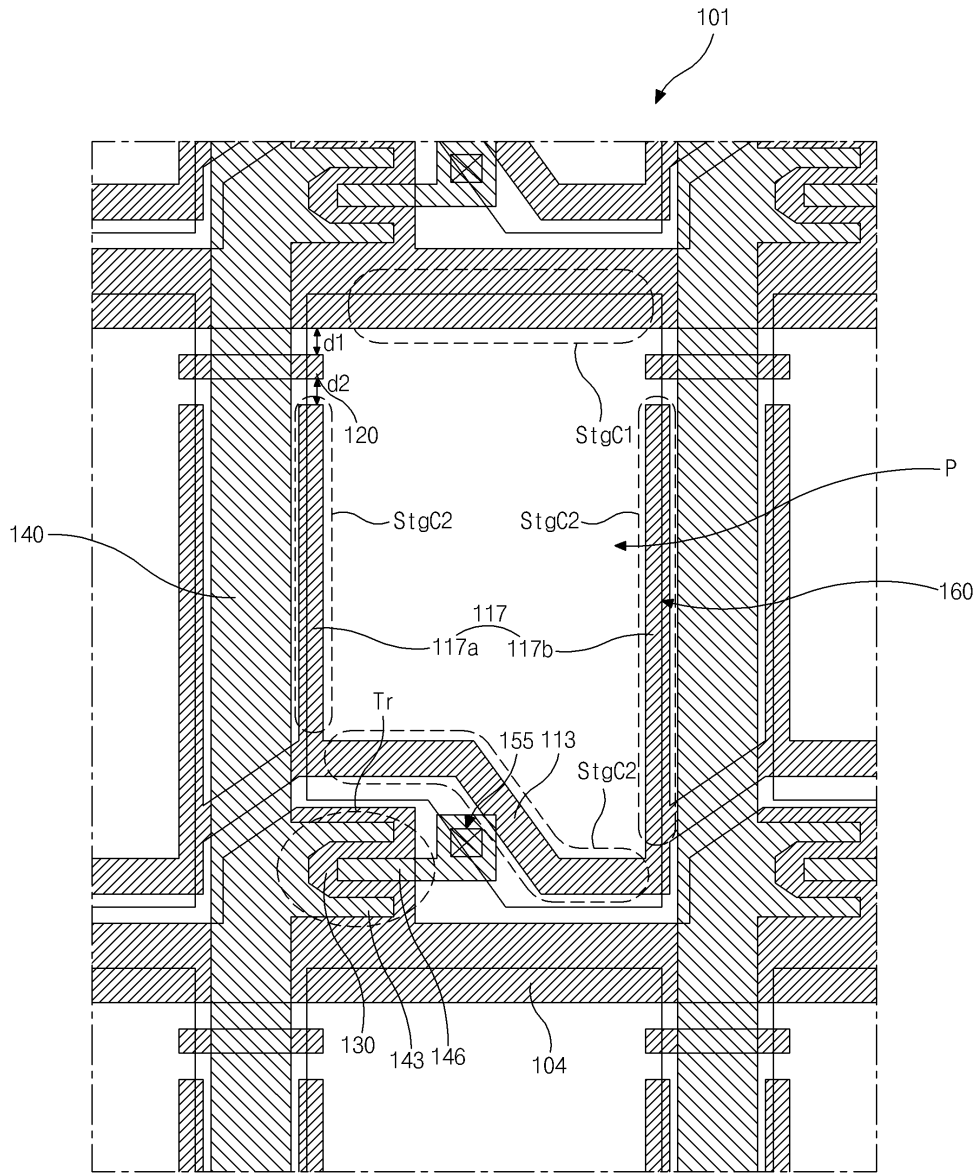
도면10b



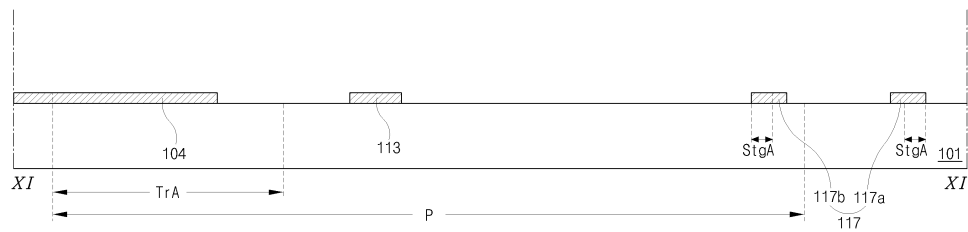
도면10c



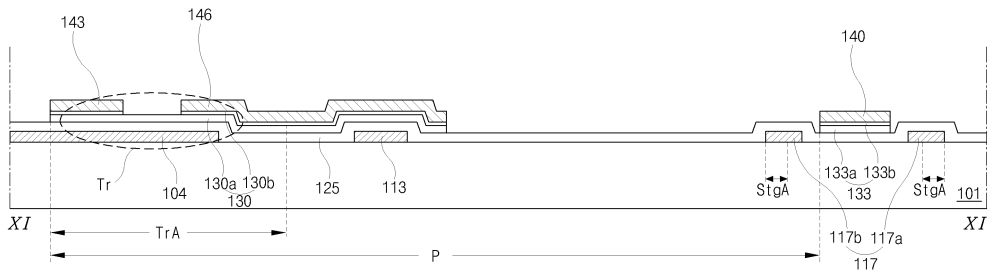
도면10d



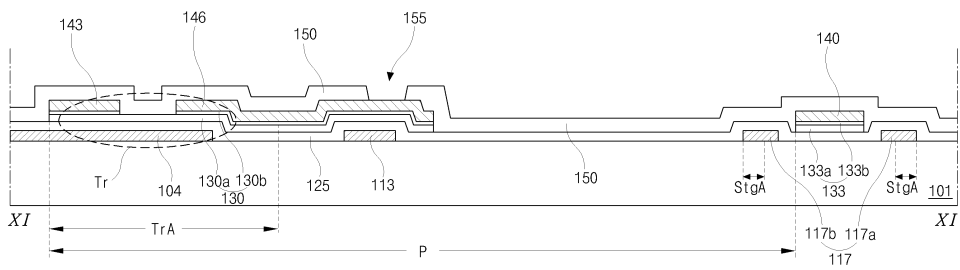
도면11a



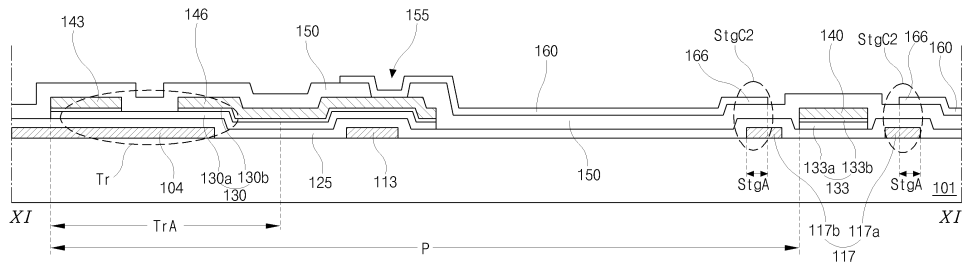
도면11b



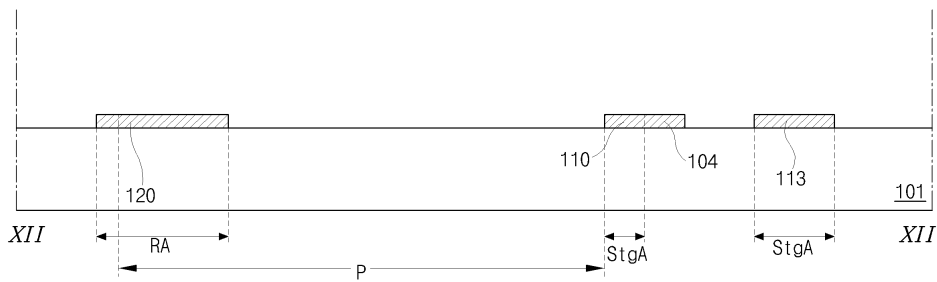
도면11c



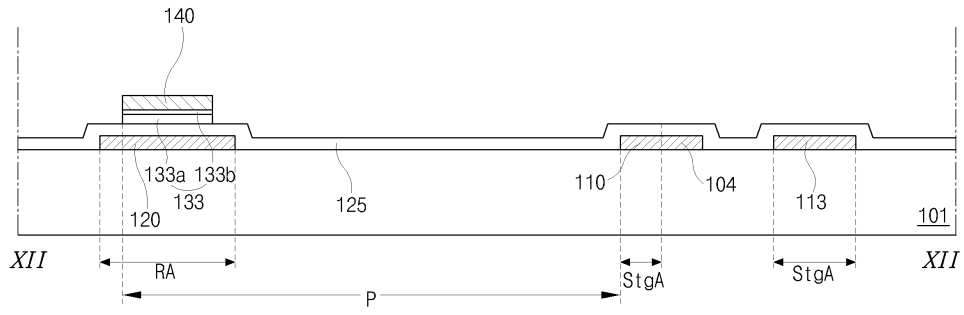
도면11d



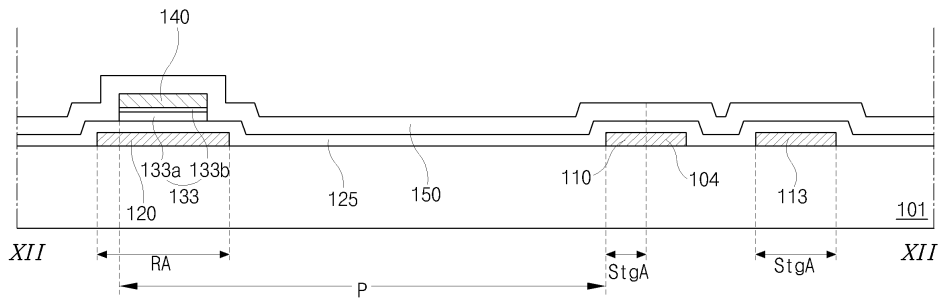
도면12a



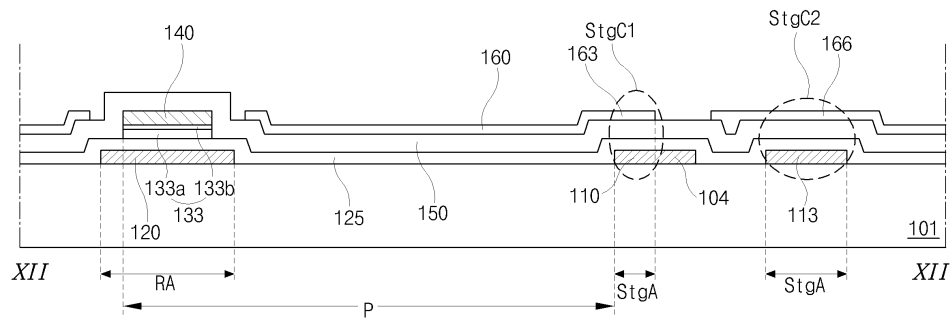
도면12b



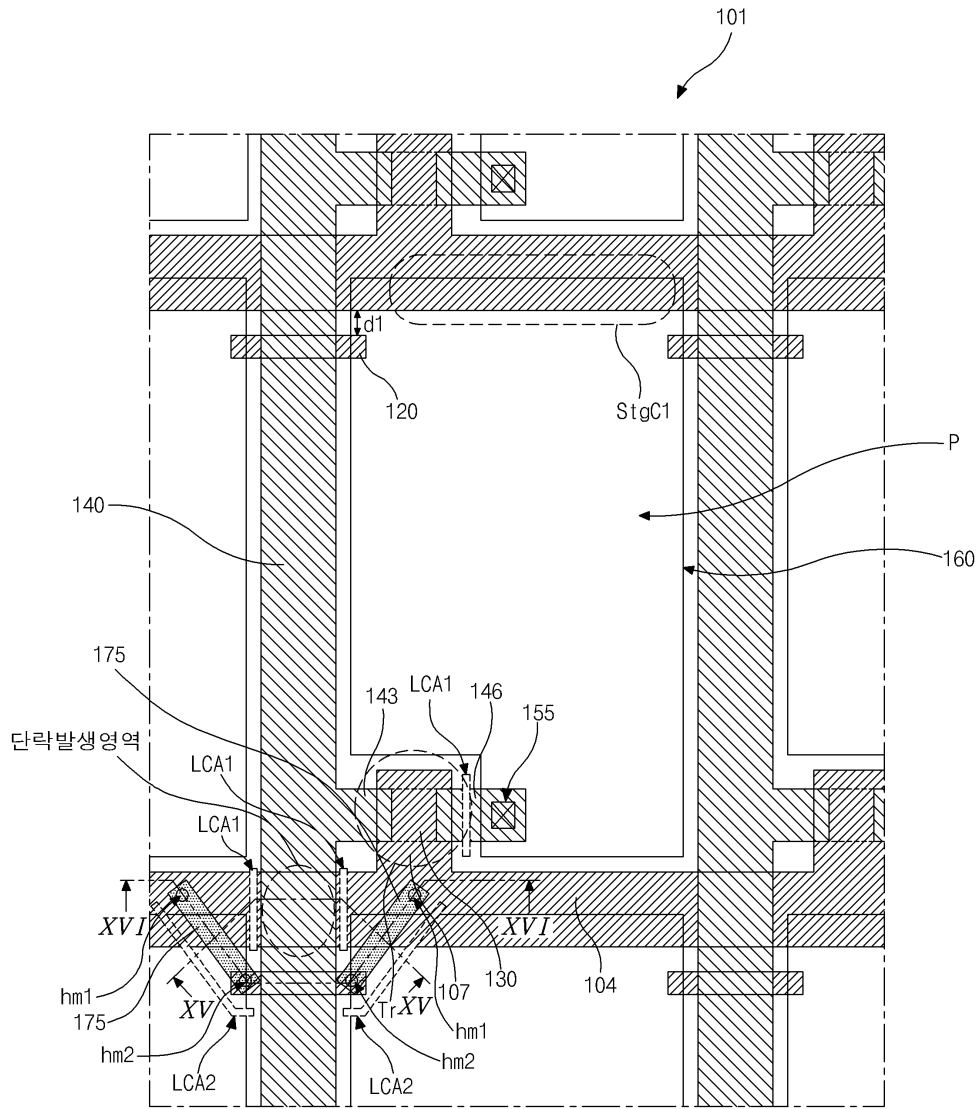
도면12c



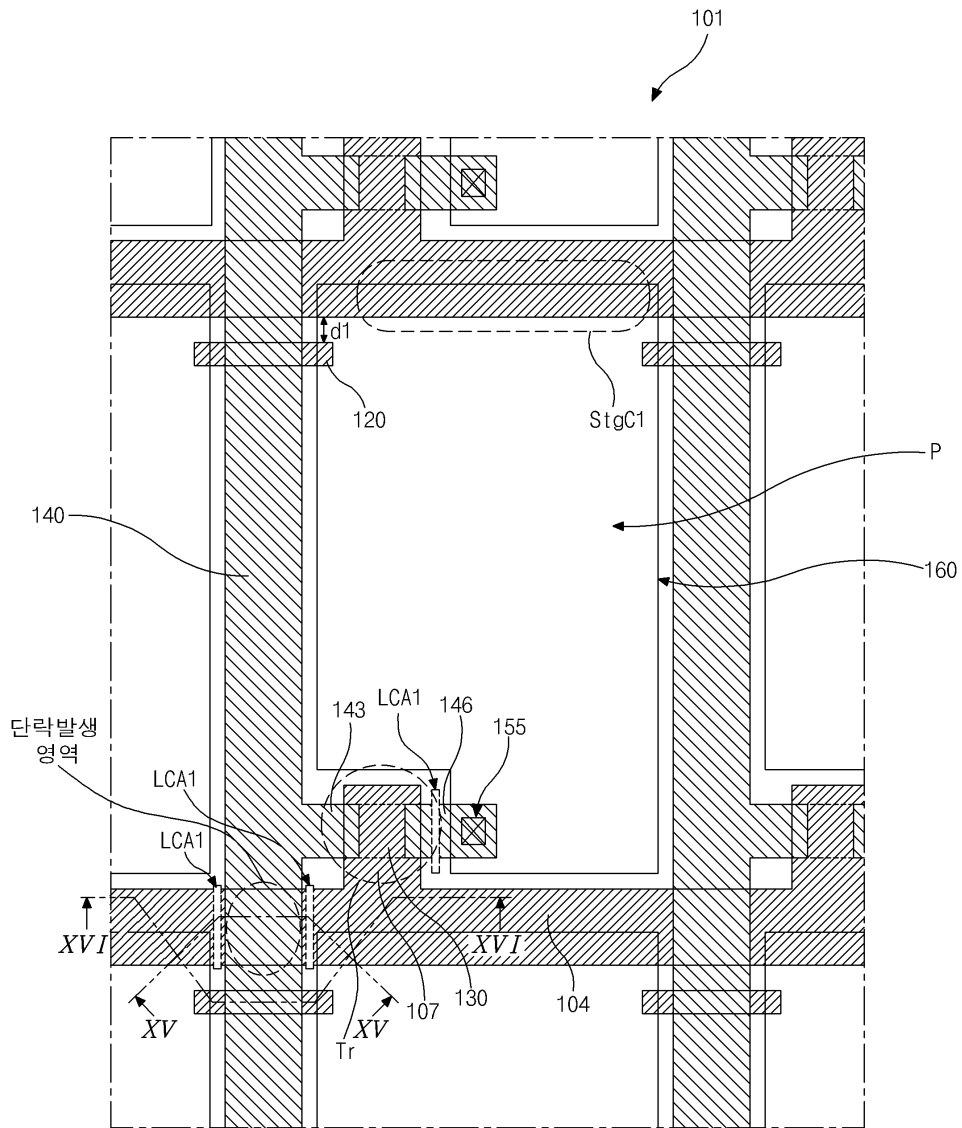
도면12d



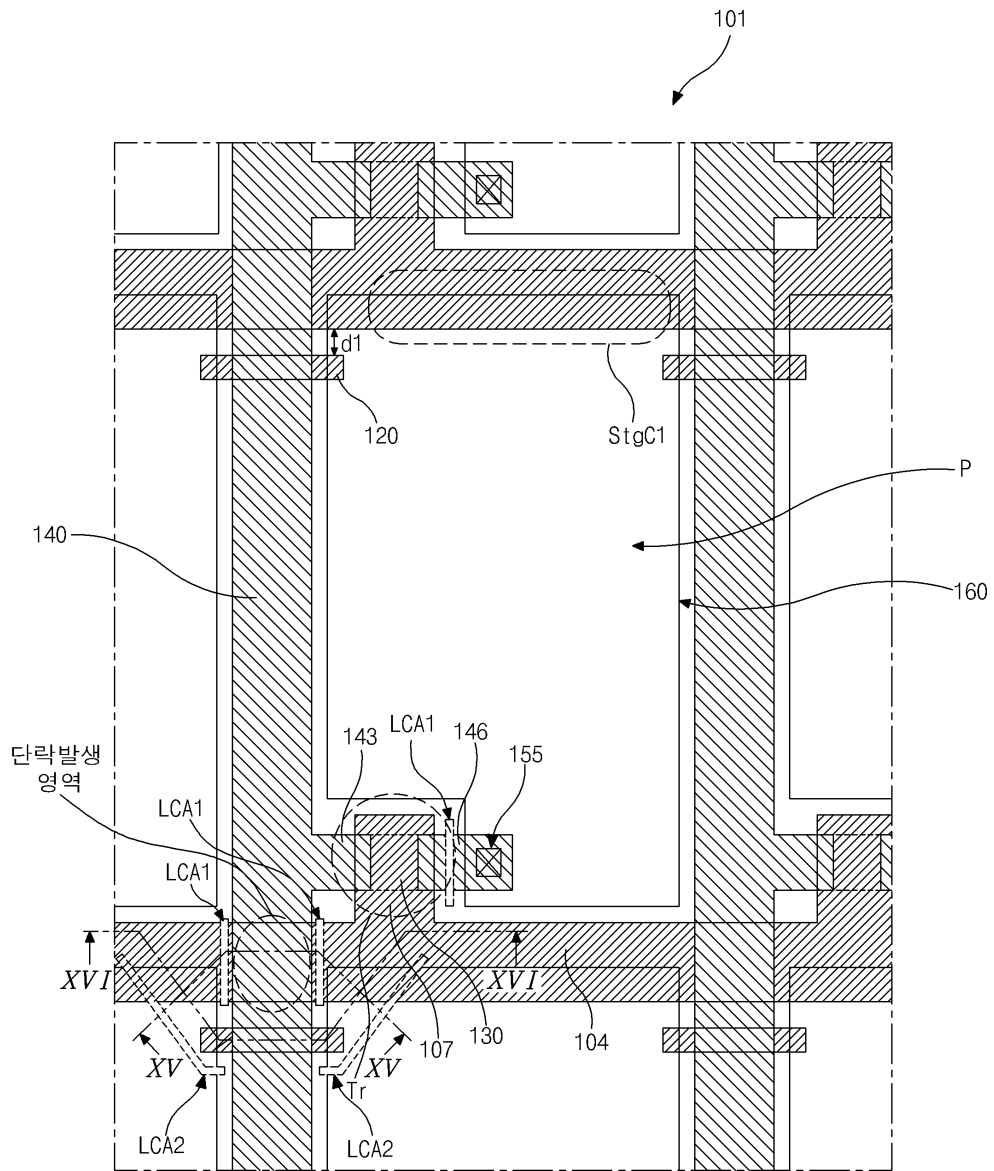
도면13



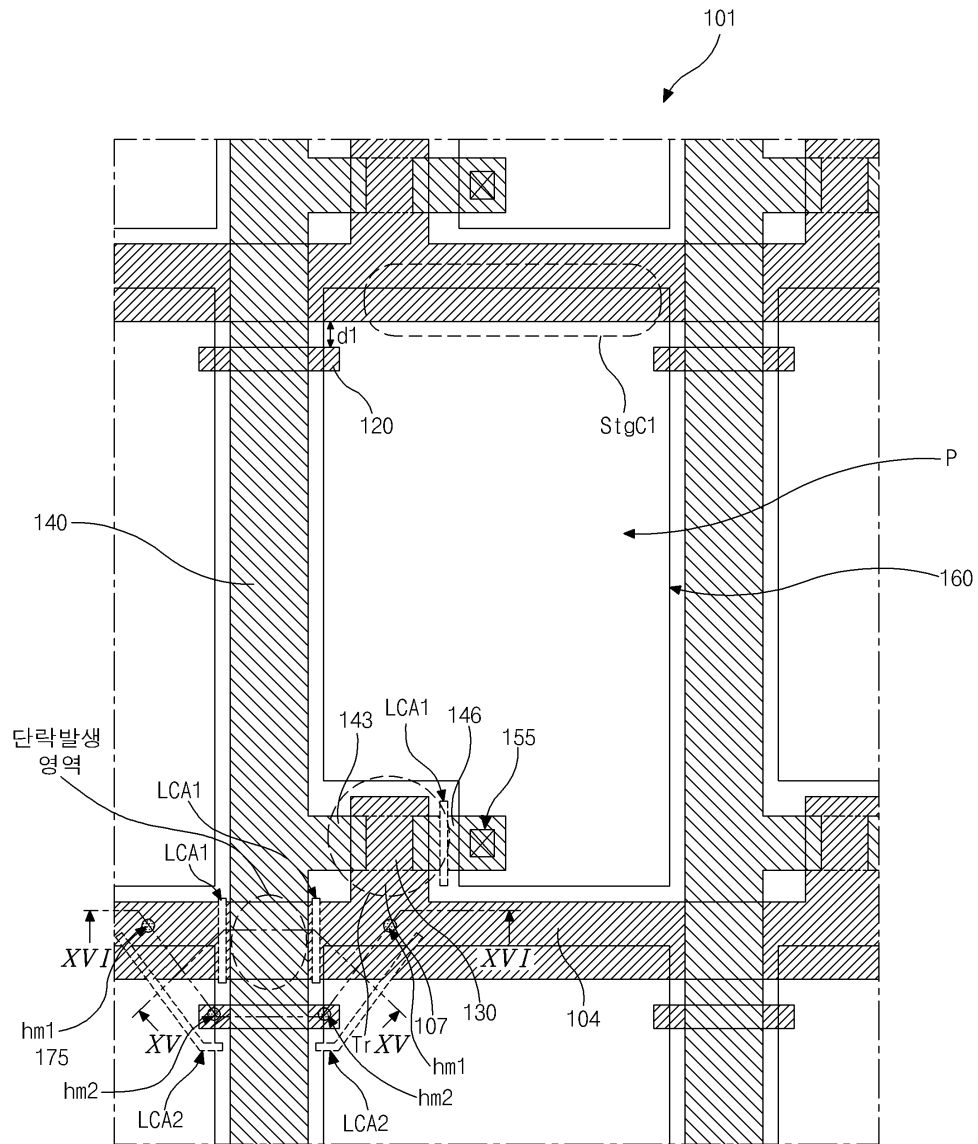
도면14a



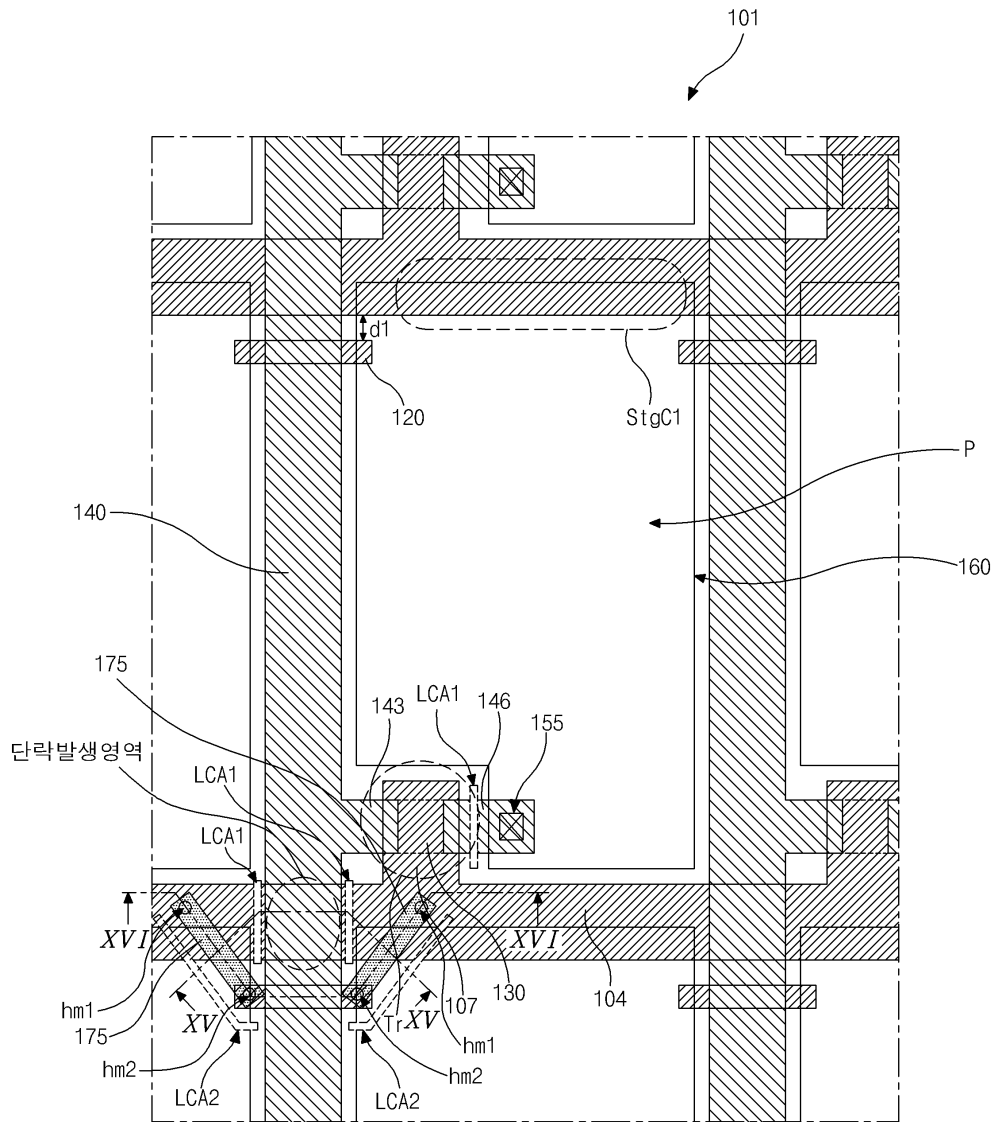
도면14b



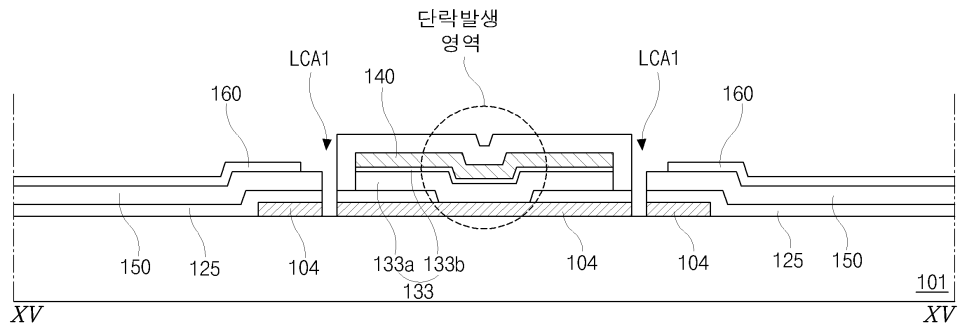
도면14c



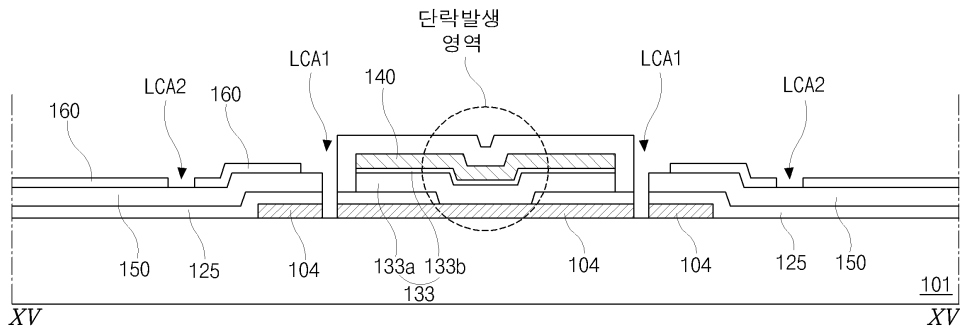
도면14d



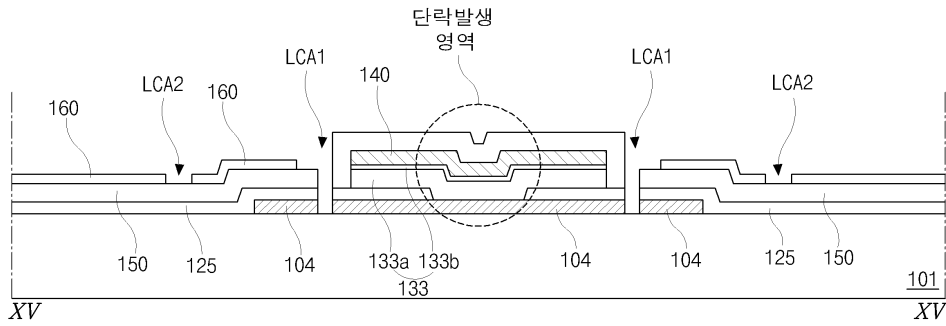
도면15a



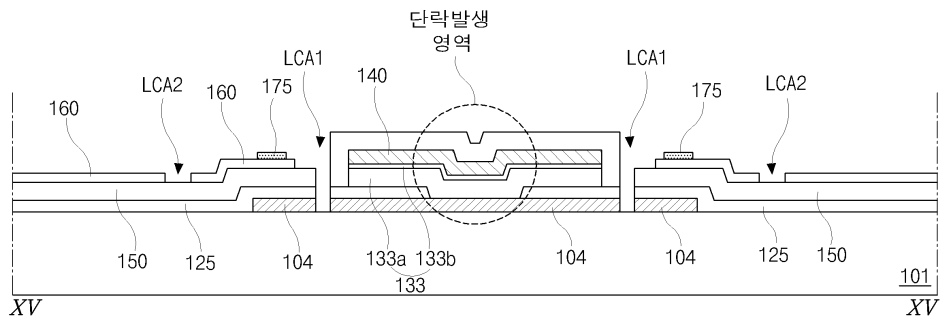
도면15b



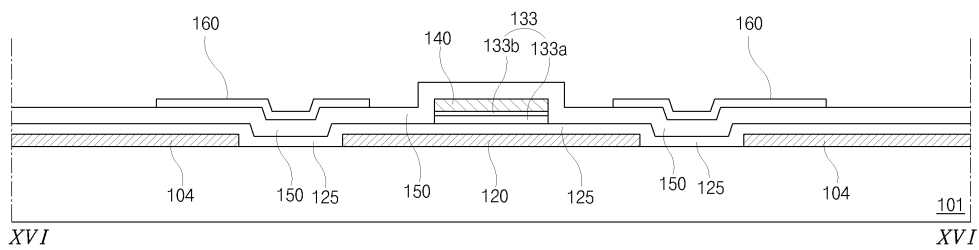
도면15c



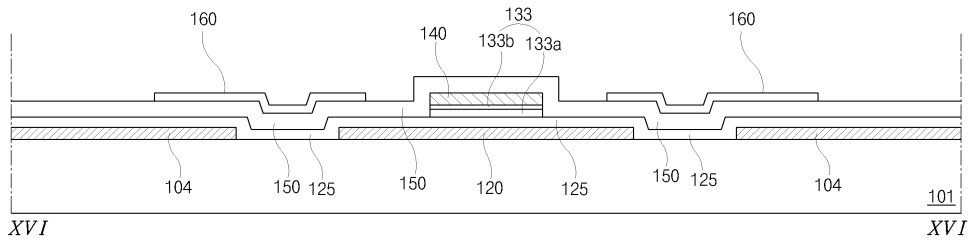
도면15d



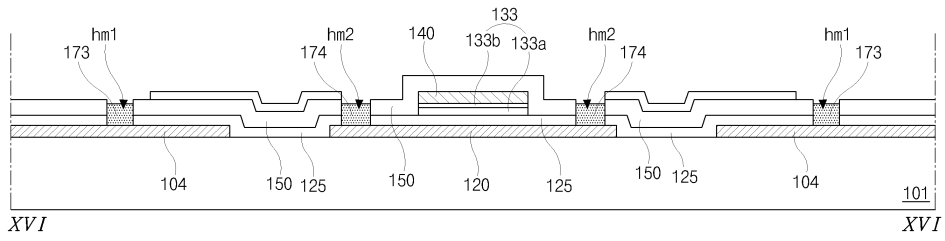
도면16a



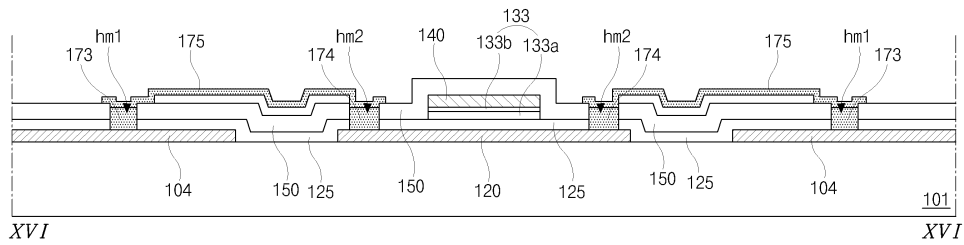
도면16b



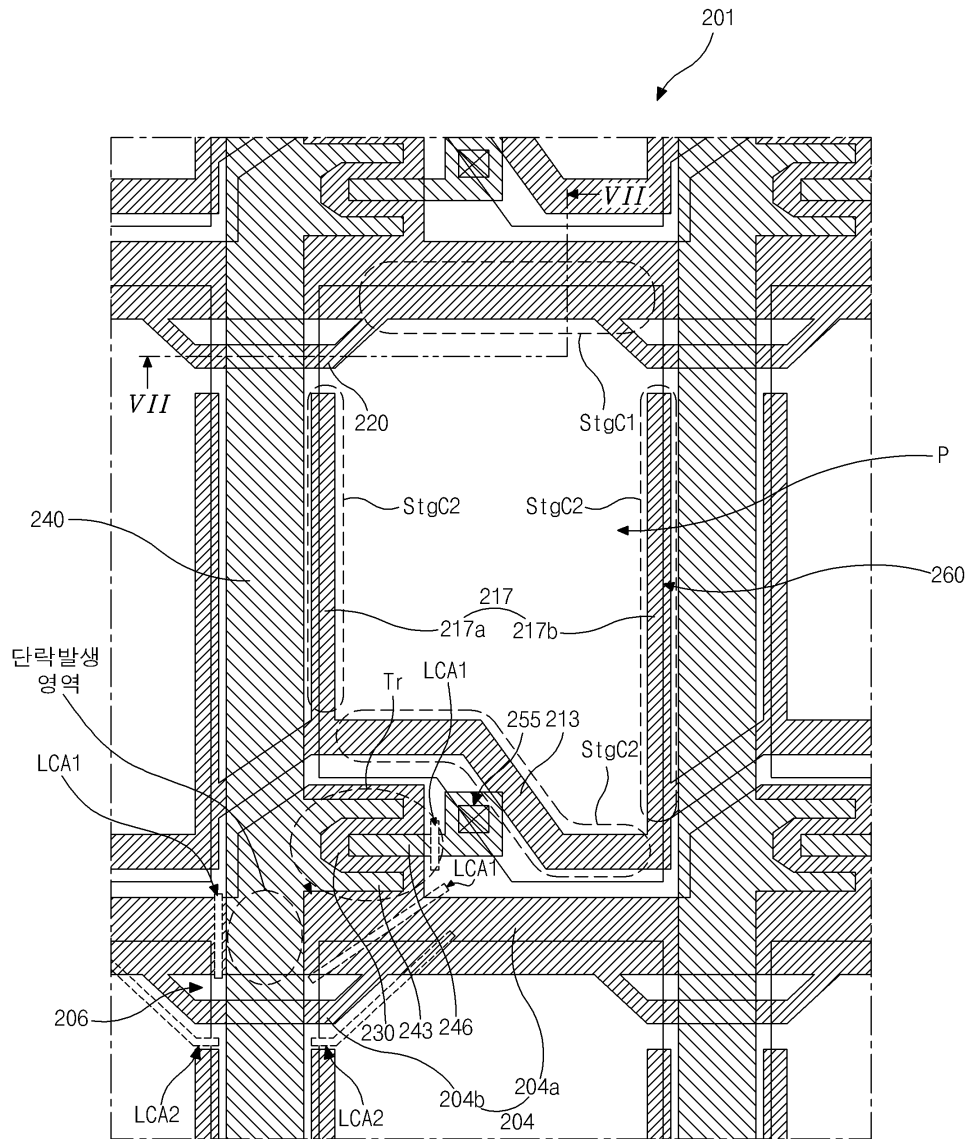
도면16c



도면16d



도면17



专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR1020090112356A	公开(公告)日	2009-10-28
申请号	KR1020080038195	申请日	2008-04-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE SANG HYUP 이상협 LEE JIN SEOK 이진석		
发明人	이상협 이진석		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136259 H01L27/1214 G02F2001/136268 G02F2201/40 G02F2001/13606 G02F2001/136263 G02F2001/13629 H01L27/124 H01L27/1259		
其他公开文献	KR101041618B1		
外部链接	Espacenet		

摘要(译)

多条数据线，用于限定与多条栅极线交叉的多个像素区域;多个岛状修复图案形成为与多个栅极布线隔开第一距离并与多个栅极布线间隔开并与多个相应的数据布线交叉;薄膜晶体管，连接到多个像素区域中的每个像素区域中的多条栅极线和数据线;并且，像素电极在多个像素区域的每一个中电连接到薄膜晶体管的漏电极。

