



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년12월07일
(11) 등록번호 10-1925991
(24) 등록일자 2018년11월30일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01) G02F 1/1343 (2006.01)
G02F 1/1362 (2006.01) G02F 1/1368 (2006.01)
H01L 27/12 (2006.01)
(21) 출원번호 10-2010-0128676
(22) 출원일자 2010년12월15일
심사청구일자 2015년12월15일
(65) 공개번호 10-2012-0067209
(43) 공개일자 2012년06월25일
(56) 선행기술조사문헌
KR1020030077819 A*
(뒷면에 계속)

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김용일
충청남도 당진시 송악읍 여망길 19-4 (청금리)
김정오
서울특별시 강서구 공항대로 382, 우장산 롯데나
천대아파트 306동 902호 (화곡동)
(74) 대리인
특허법인인벤싱크

전체 청구항 수 : 총 15 항

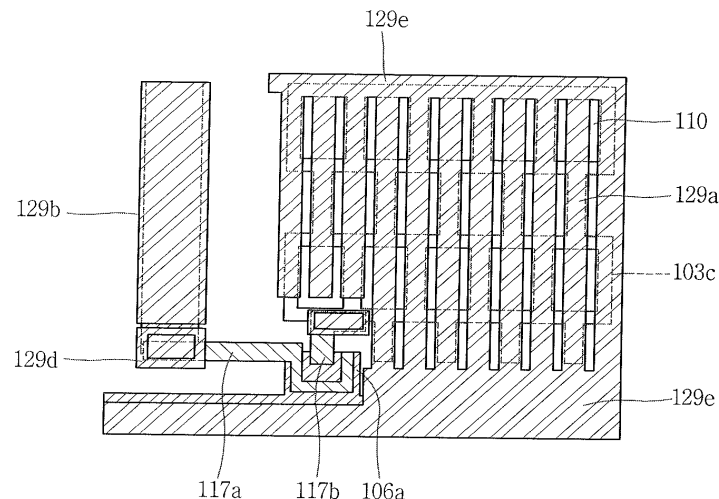
심사관 : 이옥우

(54) 발명의 명칭 **에프 에프 에스 방식 액정표시장치용 어레이 기판 및 그 제조방법**

(57) 요약

본 발명은 에프에프에스 액정표시장치용 어레이 기판 및 그 제조방법에 관한 것으로, 개시된 구성은 기판의 일면에 일 방향으로 형성된 다수의 게이트배선; 상기 다수의 게이트 배선과 교차되게 배열되어 서브 화소영역을 정의하는 다수의 데이터배선; 상기 게이트배선과 데이터배선이 교차되어 이루는 화소영역에 형성되고, 서로 이격된 다수개의 개구부를 구비한 화소전극; 상기 게이트배선과 데이터배선의 교차 지점에 형성된 게이트전극, 게이트절연막, 활성층 및 소스/드레인전극으로 이루어진 박막트랜지스터; 상기 기판 전면에 형성되고, 상기 드레인전극 및 화소전극과, 상기 데이터배선과 소스전극을 노출시키는 보호막; 및 상기 보호막 상에 형성되고, 상기 화소전극 및 데이터배선에 오버랩되는 다수 개의 공통전극들과, 상기 드레인전극과 화소전극을 연결하는 화소전극 연결패턴과 함께 상기 데이터배선과 소스전극을 연결하는 데이터배선 연결패턴을 포함하여 구성된다.

대표도 - 도5



(56) 선행기술조사문헌

KR1020070072204 A*

KR1020010086613 A

KR1020090023185 A

KR1020100021152 A

KR1020080080805 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

기판의 일면에 일 방향으로 형성된 다수의 게이트배선;

상기 다수의 게이트 배선과 교차되게 배열되어 서브 화소영역을 정의하는 다수의 데이터배선;

상기 게이트배선과 데이터배선이 교차되어 이루는 화소영역에 형성되고, 서로 이격된 다수개의 개구부를 구비한 화소전극;

상기 게이트배선과 데이터배선의 교차 지점에 형성된 게이트전극, 게이트절연막, 활성층 및 소스/드레인전극으로 이루어진 박막트랜지스터;

상기 기판 전면에 형성되고, 상기 드레인전극 및 화소전극과, 상기 데이터배선 및 소스전극을 노출시키는 보호막; 및

상기 보호막 상에 형성되고, 상기 화소전극 및 데이터배선에 오버랩되는 다수 개의 공통전극들과, 상기 드레인전극과 화소전극을 연결하는 화소전극 연결패턴과 함께 상기 데이터배선과 소스전극을 연결하는 데이터배선 연결패턴을 포함하여 구성되는 에프에프에스 방식 액정표시장치용 어레이기판.

청구항 2

제1 항에 있어서, 상기 게이트배선과 데이터배선은 동일층 상에 배열되며, 동일 물질로 구성된 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판.

청구항 3

제2 항에 있어서, 상기 게이트배선과 데이터배선은 투명 도전층과 도전 금속층의 적층 구조로 형성된 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판.

청구항 4

제1 항에 있어서, 상기 화소전극의 다수개의 개구부 중에서 상하로 배열되는 개구부들은 서로 엇갈리게 지그재그 형태로 형성되거나, 수직방향 및 수평방향으로 배열된 다수개의 개구부들은 서로 엇갈리게 지그재그 형태로 형성된 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판.

청구항 5

제1 항에 있어서, 상기 드레인전극 및 화소전극과, 상기 데이터배선과 소스전극은 동시에 노출되는 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판.

청구항 6

제1 항에 있어서, 상기 화소전극 및 데이터배선에 오버랩되는 다수 개의 공통전극들과, 상기 드레인전극과 화소전극을 연결하는 화소전극 연결패턴과 함께 상기 데이터배선과 소스전극을 연결하는 데이터배선 연결패턴은 동일 물질로 구성된 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판.

청구항 7

제1 항에 있어서, 상기 공통전극들은 상기 화소전극과 이 화소전극에 구비된 개구부들과 오버랩되어 있는 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판.

청구항 8

기판의 일면에 일 방향으로 다수의 게이트배선과, 상기 다수의 게이트 배선과 교차되게 배열되어 화소영역을 정의하는 다수의 데이터배선 및, 상기 게이트배선과 데이터배선이 이루는 화소영역에 다수개의 개구부를 갖는 화

소전극을 형성하는 단계;

상기 게이트 배선과 데이터배선의 교차 지점에 게이트전극, 게이트절연막, 활성층 및 소스/드레인전극으로 이루어진 박막트랜지스터를 형성하는 단계;

상기 박막트랜지스터를 포함한 기판 전면에 보호막을 형성하는 단계;

상기 보호막에 상기 박막트랜지스터의 드레인전극과 그 아래의 화소전극을 노출시키는 드레인전극 콘택홀과 함께, 상기 박막트랜지스터의 소스전극과 그 아래의 데이터배선을 노출시키는 데이터배선 콘택홀을 형성하는 단계;

상기 보호막 상에 상기 화소전극과 데이터배선에 오버랩되는 다수개의 공통전극들과 함께, 상기 드레인전극 콘택홀을 통해 드레인전극과 화소전극을 연결하는 화소전극 연결패턴 및, 상기 데이터배선 콘택홀을 통해 상기 소스전극과 데이터배선을 연결하는 데이터배선 연결패턴을 형성하는 단계를 포함하여 구성되는 에프에프에스 방식 액정표시장치용 어레이기판 제조방법.

청구항 9

제8 항에 있어서, 상기 게이트배선과 데이터배선은 동일층 상에 배열되며, 동일 물질로 구성된 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판 제조방법.

청구항 10

제9 항에 있어서, 상기 게이트배선과 데이터배선은 투명 도전층과 도전 금속층의 적층 구조로 형성된 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판 제조방법.

청구항 11

제9 항에 있어서, 상기 화소전극의 다수개의 개구부 중에서 상하로 배열되는 개구부들은 서로 엇갈리게 지그재그 형태로 형성되거나, 수직방향 및 수평방향으로 배열된 다수개의 개구부들은 서로 엇갈리게 지그재그 형태로 형성된 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판 제조방법.

청구항 12

제9 항에 있어서, 상기 드레인전극 및 화소전극과, 상기 데이터배선과 소스전극은 동시에 노출되는 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판 제조방법.

청구항 13

제9 항에 있어서, 상기 화소전극 및 데이터배선에 오버랩되는 다수 개의 공통전극들과, 상기 드레인전극과 화소전극을 연결하는 화소전극 연결패턴과 함께 상기 데이터배선과 소스전극을 연결하는 데이터배선 연결패턴은 동일 물질로 구성된 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판 제조방법.

청구항 14

제9 항에 있어서, 상기 공통전극들은 상기 화소전극과 이 화소전극에 구비된 개구부들과 오버랩되어 있는 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판 제조방법.

청구항 15

제9 항에 있어서, 상기 게이트배선, 데이터배선 및 화소전극은 제1 회절마스크를 이용하고, 상기 소스 및 드레인전극은 제2 회절마스크를 이용한 마스크 공정을 통해 형성하는 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판 제조방법.

발명의 설명

기술 분야

본 발명은 액정표시장치(Liquid Crystal Display Device)에 관한 것으로서, 보다 상세하게는 에프 에프 에스

[0001]

(FFS; fringe field switching) 방식의 액정표시장치용 어레이기판 및 그 제조방법에 관한 것이다.

배경 기술

- [0002] 일반적으로 액정표시장치의 구동 원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.
- [0003] 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.
- [0004] 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬 방식으로 배열된 능동 행렬 액정표시장치(AM-LCD: Active Matrix LCD, 이하 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.
- [0005] 상기 액정표시장치는 공통전극이 형성된 컬러필터 기판(즉, 상부기판)과 화소전극이 형성된 어레이기판(즉, 하부기판)과, 상부기판 및 하부기판 사이에 충전된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극이 상,하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하다.
- [0006] 그러나, 상-하로 걸리는 전기장에 의한 액정 구동은 시야각 특성이 우수하지 못한 단점이 있다. 따라서, 상기의 단점을 극복하기 위해 새롭게 제안된 기술이 횡전계에 의한 액정 구동방법인데, 이 횡전계에 의한 액정 구동방법은 시야각 특성이 우수한 장점을 가지고 있다.
- [0007] 이러한 횡 전계 방식 액정표시장치는 컬러필터기판과 어레이기판이 서로 대향하여 구성되며, 컬러필터기판 및 어레이기판 사이에는 액정층이 개재되어 있다.
- [0008] 상기 어레이기판에는 투명한 절연기판에 정의된 다수의 화소마다 박막트랜지스터와 공통전극 및 화소전극으로 구성된다.
- [0009] 또한, 상기 공통전극과 화소전극은 동일 기판 상에 서로 평행하게 이격하여 구성된다.
- [0010] 그리고, 상기 컬러필터기판은 투명한 절연기판 상에 게이트배선과 데이터배선과 박막트랜지스터에 대응하는 부분에 블랙매트릭스가 구성되고, 상기 화소에 대응하여 컬러필터가 구성된다.
- [0011] 상기 액정층은 상기 공통전극과 화소전극의 수평 전계에 의해 구동된다.
- [0012] 상기 구성으로 이루어지는 횡전계 방식 액정표시장치에서, 휘도를 확보하기 위해 상기 공통전극과 화소전극을 투명전극으로 형성하나, 설계상 상기 공통전극과 화소전극 사이의 이격 거리에 의해, 상기 공통전극과 화소전극의 양단 일부만이 휘도 개선에 기여할 뿐, 대부분의 영역은 빛을 차단하는 결과가 된다.
- [0013] 따라서, 이러한 휘도 개선 효과를 극대화시키기 위해 제안된 기술이 FFS (Fringe Field Switching) 기술이다.
- [0014] 상기 FFS 기술은 액정을 정밀하게 제어함으로써 색상 변이(Color shift)가 없고 높은 명암비(Contrast Ratio)를 얻을 수 있는 것이 특징이어서, 일반적인 횡전계 기술과 비교하여 높은 화면품질을 구현할 수 있다.
- [0015] 이러한 종래기술에 따른 에프 에프 에스 방식 액정표시장치용 어레이기판 구조에 대해 도 1 및 2를 참조하여 설명하면 다음과 같다.
- [0016] 도 1은 종래기술에 따른 에프에프에스 방식 액정표시장치용 어레이 기판의 평면도이다.
- [0017] 도 2는 도 1의 II-II선에 따른 에프에프에스 방식 액정표시장치용 어레이 기판의 단면도이다.
- [0018] 종래기술에 따른 에프에프에스 방식 액정표시장치용 어레이기판은, 도 1 및 2에 도시된 바와 같이, 기판(11) 상에 일 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트배선(17)과; 상기 게이트배선(17)과 교차하고, 이 교차하여 이루는 지역에 화소영역을 정의하는 다수의 데이터배선(25a)과; 상기 게이트배선(17)과 데이터배선(25a)이 이루는 공간에 형성된 화소전극(13)과; 상기 게이트배선(17)과 데이터배선(25a)의 교차지점에 마련되고, 게이트전극(17a)과 활성층(21)과 소스전극 (25b) 및 드레인전극(25c)을 포함하며, 상기 화소전극(13)과 전기적으로 연결되는 박막트랜지스터(T); 및 보호막(27)을 사이에 두고 상기 화소전극(13)과 데이터배선(25a)에 오버랩된 다수의 공통전극(33a, 33b)를 포함하여 구성된다.

- [0019] 여기서, 상기 게이트배선(17)은 게이트 드라이버(미도시)로부터의 스캔 신호를, 상기 데이터배선(25a)은 데이터 드라이버(미도시)로부터의 비디오 신호를 공급한다. 이러한 게이트배선(17) 및 데이터배선(25a)은 게이트절연막(19)을 사이에 두고 교차하여 화소 영역을 정의한다.
- [0020] 도 2에 도시된 바와 같이, 상기 박막 트랜지스터(T)는 상기 게이트배선(17)에 공급되는 스캔 신호에 데이터배선(25a)에 공급되는 화소 신호가 화소전극(13)에 충전되어 유지되게 한다. 이를 위해, 상기 박막트랜지스터(T)는 상기 게이트배선(17)에 포함된 게이트전극(17a), 데이터배선(25a)에 접속된 소스전극(25b), 이 소스전극(25b)과 마주하며 이격된 드레인전극(25c), 게이트절연막(19)을 사이에 두고 게이트전극(17a)과 중첩되어 소스전극(25b)과 드레인전극(25c) 사이에 채널을 형성하는 활성층(21)과, 소스전극(25b) 및 드레인전극(25c)과의 오믹 접촉을 위하여 채널을 제외한 활성층(21) 위에 형성된 오믹접촉층(23)을 구비한다.
- [0021] 그리고, 상기 데이터배선(25a)은 데이터패드(미도시)를 통해 데이터 드라이버(미도시)로부터의 화소 신호를 공급받는다.
- [0022] 상기 화소전극(13)은 보호막(27)에 형성된 드레인전극 콘택홀(31)을 통해 화소전극 연결패턴(33d)에 의해 상기 드레인전극(25c)과 전기적으로 연결된다.
- [0023] 또한, 상기 화소영역의 기판 전면에는 상기 게이트배선(17) 및 데이터배선(25a)과 이격된 공간을 두고 투명한 화소전극(13)이 배치되어 있으며, 상기 화소전극(13) 및 데이터배선(25a) 상부에는 보호막(27)을 사이에 두고 다수의 막대 형상의 투명한 제1 공통전극(33a)들과 제2 공통전극(33b)이 각각 배치되어 있다.
- [0024] 이때, 상기 막대 형상의 다수의 투명한 제1 공통전극(33a)들은 상기 화소전극(13)과 오버랩되며, 서로 일정간격만큼 이격되어 있다. 또한, 상기 제2 공통전극(33b)은 상기 데이터배선(25a)과 오버랩되어 있다.
- [0025] 또한, 상기 제1 공통전극(33a) 및 제2 공통전극(33b)의 일측 단은 공통전극 연결배선(33c)에 연결되어 있다.
- [0026] 이렇게 하여 상기 공통전극(33a, 33b)들은 액정 구동을 위한 기준 전압, 즉 공통전압을 각 화소에 공급한다.
- [0027] 상기 화소전극(13)은 각 화소영역에서 보호막(27)을 사이에 두고 상기 다수의 공통전극(33a, 33b)들과 중첩되어 프린지 필드(fringe field)를 형성한다.
- [0028] 이렇게 하여, 박막트랜지스터(T)를 통해 화소전극(13)에 비디오 신호가 공급되면, 공통전압이 공급된 공통전극들(33a, 33b)가 프린지 필드를 형성하여 박막트랜지스터 기판과 칼라필터 기판(미도시) 사이에서 수평 방향으로 배열된 액정분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정분자들이 회전 정도에 따라 화소영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.
- [0029] 상기 구성으로 이루어지는 종래기술에 따른 에프에프에스 방식 액정표시장치용 어레이기판 제조방법에 대해 도 3 및 4를 참조하여 설명하면 다음과 같다.
- [0030] 도 3a 내지 도 3d는 종래기술에 따른 에프에프에스 방식 액정표시장치용 어레이기판 제조방법을 설명하기 위한 평면도이다.
- [0031] 도 4a 내지 도 4d는 종래기술에 따른 에프에프에스 방식 액정표시장치용 어레이기판 제조방법을 설명하기 위한 공정 단면도이다.
- [0032] 도면에는 도시하지 않았지만, 먼저 투명한 기판 상에 스위칭 영역을 포함하는 다수의 화소영역과 함께 비화소영역을 정의하고, 상기 투명한 기판상에 제1 투명 도전물질층과 제1 도전성 금속층을 스퍼터링 방법에 의해 차례로 증착한다.
- [0033] 그 다음, 도면에는 도시하지 않았지만, 상기 제1 도전성 금속층 상부에 투과율이 높은 포토레지스트(photo-resist)를 도포하여 제1 감광막을 형성한다.
- [0034] 이어서, 도면에는 도시하지 않았지만, 회절마스크를 이용한 노광 공정 및 현상공정을 통해 상기 제1 감광막을 패터닝하여 제1 감광막패턴을 형성한다.
- [0035] 그 다음, 도면에는 도시하지 않았지만, 상기 제1 감광막패턴을 마스크로 상기 제1 도전 금속층과 제1 투명 도전 물질층을 패터닝한 후 에칭 공정을 통해 상기 제1 감광막패턴을 식각하여 데이터배선부 및 화소부에 있는 상기 제1 감광막패턴을 제거한다. 이때, 상기 데이터배선부 및 화소부에 있는 제1 도전층패턴이 외부로 노출된다.
- [0036] 이어서, 도 3a 및 도 4a에 도시된 바와 같이, 상기 TFT부에 잔존하는 제1 감광막패턴(미도시)을 마스크로 상기

노출된 제1 도전층패턴을 제거하고, 잔존하는 제1 감광막패턴(미도시)을 제거함으로써 게이트전극(17a)과 화소전극(13)을 형성한다. 이때, 상기 게이트전극(17a)은 제1 투명 도전물질층패턴(103a)과 제1 도전 금속층패턴(105a)의 적층 구조로 이루어지며, 이 게이트전극(17a)은 게이트배선(17)으로부터 연장된다.

[0037] 그 다음, 도 3b 및 도 4b에 도시된 바와 같이, 상기 게이트전극(17a)과 화소전극(13)을 포함한 기판 전면에서 게이트절연막(19), 비정질 실리콘층(미도시), 불순물이 함유된 비정질 실리콘층(미도시) 및 제2 도전 금속층(미도시)을 차례로 증착한 후, 회절마스크를 이용한 포토리소그래피 공정기술 및 패터닝 공정을 통해 선택적으로 제거함으로써 활성층(21), 오믹콘택층(23), 데이터배선(25a), 소스전극(25b) 및 드레인전극(25c)을 형성한다.

[0038] 이어서, 도 3c 및 도 4c에 도시된 바와 같이, 상기 데이터배선(25a), 소스전극(25b) 및 드레인전극(25c)을 포함한 기판 전면에서 보호막(27)을 증착한 후, 마스크를 이용한 포토리소그래피 공정기술 및 패터닝 공정을 통해 상기 보호막(27)을 선택적으로 제거하여, 상기 드레인전극(25c)과 화소전극(13)을 노출시키는 콘택홀(31)을 형성한다.

[0039] 그 다음, 도 3d 및 도 4d에 도시된 바와 같이, 상기 콘택홀(31)을 포함한 보호막(27) 상에 제2 투명 도전물질층(미도시)을 증착한 다음, 마스크를 이용한 포토리소그래피 공정기술 및 패터닝 공정을 통해 상기 제2 투명 도전물질층(미도시)을 선택적으로 패터닝함으로써 상기 화소전극(13) 및 데이터배선(25a)과 오버랩되는 다수개의 공통전극(33a, 33b)과 함께 상기 화소전극(13)과 드레인전극(25c)을 연결해 주는 화소전극 연결패턴(33c)을 형성한다.

[0040] 이렇게 하여, 종래기술에 따른 에프에프에스 방식 액정표시장치용 어레이기판 제조공정을 완료한다.

[0041] 그러나, 종래기술에 따른 에프 에프 에스 박식 액정표시장치용 어레이 기판에 따르면, 드레인 전극 콘택홀을 형성한 다음 이 드레인 전극 콘택홀을 통해 드레인전극과 화소전극을 연결해 주는 화소전극 연결패턴과 함께 다수개의 공통전극들을 동시에 형성하기 때문에, 데이터배선과 상부 공통전극 사이에 기생 캐패시터가 형성되어, RC 딜레이(delay)가 증가하고, 화소전극과 공통전극 사이에서의 캐패시턴스 증가로 인해 대형화 및 고속 응답에 불리하게 된다. 특히, 화소전극이 화소영역 전반에 걸쳐 판 형태로 배치되기 때문에 캐패시턴스가 증가하게 되어 차징 시간(charging time)이 증가하며, TFT 사이즈가 증가되어 고속 응답과 대형화에 매우 불리하다.

발명의 내용

해결하려는 과제

[0042] 이에 본 발명은 상기 문제점들을 개선하기 위해 안출한 것으로서, 본 발명의 목적은 스텝 패턴 형태의 화소전극을 적용함으로써 캐패시턴스를 줄여 투과율을 증가시키며, 응답 속도를 증가시킬 수 있는 에프에프에스 방식 액정표시장치용 어레이 기판 및 그 제조방법을 제공함에 있다.

과제의 해결 수단

[0043] 상기 목적을 달성하기 위한 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이 기판은, 기판의 일면에 일 방향으로 형성된 다수의 게이트배선과, 상기 다수의 게이트 배선과 교차되게 배열되어 서브 화소영역을 정의하는 다수의 데이터배선; 상기 게이트배선과 데이터배선이 교차되어 이루는 화소영역에 형성되고, 서로 이격된 다수개의 개구부를 구비한 화소전극과; 상기 게이트배선과 데이터배선의 교차 지점에 형성된 게이트전극, 활성층 및 소스/드레인전극으로 이루어진 박막트랜지스터; 상기 기판 전면에서 형성되고, 상기 드레인전극 및 화소전극과, 상기 데이터배선과 소스전극을 각각 노출시키는 보호막; 상기 보호막 상에 형성되고, 상기 드레인전극과 화소전극을 연결하는 화소전극 연결패턴과 함께 상기 데이터배선과 소스전극을 연결하는 데이터배선 연결패턴과; 상기 화소전극 및 데이터배선에 오버랩되는 다수 개의 공통전극들을 포함하여 구성되는 것을 특징으로 한다.

[0044] 상기 목적을 달성하기 위한 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이 기판 제조방법은, 기판의 일면에 일 방향으로 다수의 게이트배선과, 상기 다수의 게이트 배선과 교차되게 배열되어 화소영역을 정의하는 다수의 데이터배선 및, 상기 게이트배선과 데이터배선이 이루는 화소영역에 다수개의 개구부를 갖는 화소전극을 형성하는 단계와; 상기 게이트 배선과 데이터배선의 교차 지점에 게이트전극, 게이트절연막, 활성층 및 소스/드레인전극으로 이루어진 박막트랜지스터를 형성하는 단계와; 상기 박막트랜지스터를 포함한 기판 전면에서 보호막을 형성하는 단계와; 상기 보호막에 상기 박막트랜지스터의 드레인전극과 그 아래의 화소전극을 노출시키는 드레인전극 콘택홀과 함께, 상기 박막트랜지스터의 소스전극과 그 아래의 데이터배선을 노출시키는 데이터배선 콘

택홀을 형성하는 단계와; 상기 보호막 상에 상기 화소전극과 데이터배선에 오버랩되는 다수개의 공통전극들과 함께, 상기 드레인전극 콘택홀을 통해 드레인전극과 화소전극을 연결하는 화소전극 연결패턴 및, 상기 데이터배선 콘택홀을 통해 상기 소스전극과 데이터배선을 연결하는 데이터배선 연결패턴을 형성하는 단계를 포함하여 구성되는 것을 특징으로 한다.

발명의 효과

- [0045] 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이 기판 및 제조방법에 따르면 다음과 같은 효과가 있다.
- [0046] 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이 기판 및 제조방법에 따르면, 서로 이격된 다수의 개구부가 형성된 화소전극을 적용함으로써 캐패시턴스(Capacitance)가 감소하고 그로 인해 투과율이 증가한다. 따라서, 이렇게 캐패시턴스가 감소함으로 인해 차징(charging time)의 감소되어 고속 응답이 가능하며, TFT 사이즈를 감소시켜 투과율을 증가시킬 수 있다.
- [0047] 또한, 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이 기판 및 제조방법에 따르면, 양면이 막힌 판 형태 대신에 다수의 개구부가 형성된 화소전극을 적용함으로써 투과율이 증가함은 물론, 지그재그(zigzag) 식으로 형성된 다수의 개구부 패턴으로 인해 공통전극과의 오버랩에 따른 투과율 변동을 감소시킬 수 있다.
- [0048] 그리고, 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이 기판 및 제조방법에 따르면, 게이트배선 형성시에 데이터배선을 동시에 형성해 줌으로써 데이터배선과 상부 공통전극과의 기생 캐패시터 발생을 감소시켜 RC 딜레이를 줄일 수 있으므로 패널 대형화에 유리하다.

도면의 간단한 설명

- [0049] 도 1은 종래기술에 따른 에프에프에스 방식 액정표시장치용 어레이 기판의 평면도이다.
- 도 2는 도 1의 II-II선에 따른 에프에프에스 방식 액정표시장치용 어레이 기판의 단면도이다.
- 도 3a 내지 도 3d는 종래기술에 따른 에프에프에스 방식 액정표시장치용 어레이기판 제조방법을 설명하기 위한 평면도이다.
- 도 4a 내지 도 4d는 종래기술에 따른 에프에프에스 방식 액정표시장치용 어레이기판 제조방법을 설명하기 위한 공정 단면도이다.
- 도 5는 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이 기판의 평면도이다.
- 도 6은 도 5의 VI-VI선에 따른 에프에프에스 방식 액정표시장치용 어레이 기판의 단면도이다.
- 도 7a 내지 도 7d는 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이기판 제조방법을 설명하기 위한 평면도로서, 4 마스크 공정을 통해 제조되는 에프에프에스 방식 액정표시장치용 어레이기판의 평면도이다.
- 도 8a 내지 도 8l은 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이기판 제조방법을 설명하기 위한 공정 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0050] 이하, 본 발명에 따른 액정표시장치용 어레이 기판에 대해 첨부된 도면을 참조하여 상세히 설명한다.
- [0051] 도 5는 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이 기판의 평면도이다.
- [0052] 도 6은 도 5의 VI-VI선에 따른 에프에프에스 방식 액정표시장치용 어레이 기판의 단면도이다.
- [0053] 본 발명에 따른 에프에프에스 방식 액정표시장치는, 도 5 및 6에 도시된 바와 같이, 기판(101)의 일면에 일 방향으로 형성된 다수의 게이트배선(106c)과, 상기 다수의 게이트 배선(106c)과 교차되게 배열되어 화소영역을 정의하는 다수의 데이터배선(106b)과; 상기 게이트배선(106c)과 데이터배선(106b)이 교차되어 이루는 화소영역에 형성되고, 서로 이격된 다수개의 개구부(110)를 구비한 화소전극(103c)과; 상기 게이트배선(106c)과 데이터배선(106b)의 교차 지점에 형성된 게이트전극(106a), 활성층(113a) 및 소스/드레인전극(117a, 117b)으로 이루어진 박막트랜지스터; 상기 기판 전면에 형성되고, 상기 드레인전극(117b) 및 화소전극(103c)과, 상기 데이터배선(106b)과 소스전극(117a)을 각각 노출시키는 보호막(123); 상기 보호막(123) 상에 형성되고, 상기 화소전극(103c) 및 데이터배선(106b)에 오버랩되는 다수 개의 공통전극들(129a, 129b)과 함께, 상기 드레인전극(117b)과

화소전극 (103c)을 연결하는 화소전극 연결패턴(129c) 및 상기 데이터배선(106b)과 소스전극 (117a)을 연결하는 데이터배선 연결패턴(129d)을 포함하여 구성되는 것을 특징으로 한다.

- [0054] 여기서, 상기 게이트배선(106c)은 게이트 드라이버(미도시)로부터의 스캔 신호를, 상기 데이터배선(106b)은 데이터 드라이버(미도시)로부터의 비디오 신호를 공급한다. 이러한 게이트배선(106c) 및 데이터배선(106b)은 게이트절연막(111)을 사이에 두고 교차하여 각 화소 영역, 즉 적색(R), 녹색(G) 및 청색(B) 서브 화소영역을 정의한다. 이때, 상기 적색(R), 녹색(G) 및 청색(B) 서브 화소영역은 하나의 단위 화소를 구성한다.
- [0055] 상기 게이트배선(106c)은 기판(101) 위에 투명 도전층을 포함한 적어도 이중 이상의 복층 구조 또는 단층 구조로 형성된다. 예를 들면, 투명도전층을 이용한 제1 투명 도전물질층(103)과, 불투명한 금속을 이용한 제2 도전 금속층(105)이 적층된 복층 구조 또는 불투명한 금속을 이용한 단층 구조로 형성된다.
- [0056] 이때, 상기 제1 도전물질층으로는 ITO, IZO, 또는 ITZO이 사용되며, 제2 도전 금속층으로는 Cu, Mo, Al, Cu합금, Mo합금, Al합금 등이 사용된다.
- [0057] 또한, 도 6에 도시된 바와 같이, 상기 박막 트랜지스터(T)는 상기 게이트배선(106c)에 공급되는 스캔 신호에 데이터배선(106b)에 공급되는 화소 신호가 화소전극(103c)에 충전되어 유지되게 한다. 이를 위해, 상기 박막트랜지스터(T)는 상기 게이트배선(106c)에 포함된 게이트전극(106a), 데이터배선(106b)으로부터 소스전극 (117a), 이 소스전극(117a)과 마주하며 이격된 드레인전극(117b), 게이트절연막 (111)을 사이에 두고 게이트전극(106a)과 중첩되어 소스전극(117a)과 드레인전극 (117b) 사이에 채널을 형성하는 활성층(113a)과, 소스전극(117a) 및 드레인전극 (117b)과의 오믹 접촉을 위하여 채널을 제외한 활성층(113a) 위에 형성된 오믹접촉층(115a)을 구비한다.
- [0058] 그리고, 상기 활성층(113a)과 오믹 접촉층(115a)은 데이터배선(106b)을 따라 중첩된다.
- [0059] 더욱이, 상기 데이터배선(106b)은 상기 게이트배선(106c)과 동일 층 상에 배열되며, 동일 물질로 형성된다. 이때, 상기 데이터배선(106b)은 제1 투명도전층 (103)과 제1 도전 금속층(105)의 적층 구조로 이루어져 있다.
- [0060] 상기 데이터배선(106b)은 데이터패드(미도시)를 통해 데이터 드라이버(미도시)로부터의 화소 신호를 공급받는다.
- [0061] 또한, 하나의 단위 화소를 구성하는 상기 적색(R), 녹색(G) 및 청색(B) 서브 화소영역의 전면에는 화소전극 (103c)이 형성되어 있으며, 상기 화소전극(103c)의 전면에는 서로 이격된 다수개의 개구부(110)가 형성되어 있다. 이때, 상기 다수개의 개구부(110)는 지그재그(zigzag) 형태로 배열되어 있는데, 수직방향으로 형성된 개구부(110)들은 서로 엇갈리게 배열되며, 수평방향으로 형성된 개구부(110)들은 평행하게 배열되어 있다. 하지만, 상기 다수개의 개구부(110)들은 반드시 위와 같은 형태로 배열되는 것은 아니며, 경우에 따라서는 수평방향 및 수직방향으로 서로 엇갈리게 배열할 수도 있다.
- [0062] 따라서, 상기 화소전극(103c)은 서로 이격된 다수의 개구부(110)가 형성됨으로써 캐패시턴스(Capacitance)가 감소하고 그로 인해 투과율이 증가하게 된다. 더욱이, 이로 인해 캐패시턴스가 감소함으로 인해 충전(charging time)의 감소되어 고속 응답이 가능하며, TFT 사이즈를 감소시켜 투과율을 증가시킬 수 있다.
- [0063] 또한, 상기 화소전극(103c)은 상하 양면이 막힌 판 형태 대신에 지그재그 (zigzag) 형태의 다수의 개구부(110)가 형성됨으로써, 기존에 비해 공통전극(129a)과의 오버랩에 따른 투과율 변동을 감소시킬 수 있다.
- [0064] 그리고, 상기 보호막(123)에는 상기 화소전극(103c)과 드레인전극(117b)을 동시에 노출시키는 드레인전극 콘택홀(127a)과 함께, 상기 데이터배선(106b)과 소스전극(117a)을 동시에 노출시키는 데이터배선 콘택홀(127b)이 형성된다.
- [0065] 또한, 상기 보호막(123) 상에는 상기 화소전극(103c)과 오버랩되는 다수개의 제1 공통전극(129a)과 함께 상기 데이터배선(106b)과 오버랩되는 제2 공통전극 (129b)이 형성되어 있다.
- [0066] 그리고, 상기 보호막(123) 상에는 상기 드레인전극 콘택홀(127a)을 통해 상기 화소전극(103c)과 드레인전극 (117b)을 전기적으로 연결시켜 주는 화소전극 연결패턴(129c)과 함께, 상기 데이터배선 콘택홀(127b)을 통해 상기 데이터배선(106b)과 소스전극(117a)을 전기적으로 연결시켜 주는 데이터배선 연결패턴(129d)이, 상기 제1, 2 공통전극들(129a, 129b)와 동시에 형성된다.
- [0067] 이때, 상기 제1 공통전극(129a)들의 양측 단은 공통전극 연결배선(129e)에 의해 연결되어 있다.

- [0068] 상기 공통전극(129a, 129b)들은 액정 구동을 위한 기준 전압, 즉 공통전압을 각 화소에 공급한다.
- [0069] 따라서, 서로 이웃하는 공통전극(129a)들은 각 화소영역에서 게이트절연막 (111)과 보호막(123)을 사이에 두고 상기 하단의 화소전극(103c)들과 중첩되어 프린지 필드 스위칭(FFS; Fringe Field Switching) 구동을 한다.
- [0070] 이렇게 하여, 박막트랜지스터(T)를 통해 화소전극(103c)에 비디오 신호가 공급되면, 공통전압이 공급된 공통전극(129a)과 프린지 필드(FFS)를 형성하여 박막트랜지스터 기판과 칼라필터기판(미도시) 사이에서 수평 방향으로 배열된 액정분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정분자들이 회전 정도에 따라 화소영역을 통과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.
- [0071] 상기 구성으로 이루어지는 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이기판 제조방법에 대해 및 도 7a 내지 도 7d를 참조하여 간략하게 설명하면 다음과 같다.
- [0072] 도 7a 내지 도 7d는 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이기판 제조방법을 설명하기 위한 평면도로서, 4 마스크 공정을 통해 제조되는 에프에프에스 방식 액정표시장치용 어레이기판의 평면도이다.
- [0073] 도면에는 도시하지 않았지만, 먼저 투명한 기판 상에 스위칭 영역을 포함하는 다수의 화소영역과 함께 비화소영역을 정의하고, 상기 투명한 기판상에 제1 투명 도전물질층과 제1 도전성 금속층을 스퍼터링 방법에 의해 차례로 증착한다.
- [0074] 그 다음, 도면에는 도시하지 않았지만, 상기 제1 도전성 금속층 상부에 투과율이 높은 포토레지스트 (photo-resist)를 도포하여 제1 감광막을 형성한다.
- [0075] 이어서, 도면에는 도시하지 않았지만, 회절마스크를 이용한 노광 공정 및 현상공정을 통해 상기 제1 감광막을 패터닝하여 제1 감광막패턴을 형성한다.
- [0076] 그 다음, 도면에는 도시하지 않았지만, 상기 제1 감광막패턴을 마스크로 상기 제1 도전 금속층과 제1 투명 도전 물질층을 패터닝한 후 에칭 공정을 통해 상기 제1 감광막패턴을 식각하여 화소부에 있는 상기 제1 감광막패턴을 제거한다. 이때, 상기 화소부에 있는 제1 도전층패턴이 외부로 노출된다.
- [0077] 이어서, 도 7a에 도시된 바와 같이, 상기 TFT부에 잔존하는 제1 감광막패턴(미도시)을 마스크로 상기 노출된 제1 도전층패턴을 제거하고, 잔존하는 제1 감광막패턴(미도시)을 제거함으로써 게이트전극(106a), 게이트배선(106c), 데이터배선(106b) 및 화소전극(103c)을 동시에 형성한다. 이때, 상기 게이트전극(106a), 게이트배선(106c) 및 데이터배선(106b)은 제1 투명 도전물질층(103)과 제1 도전 금속층 (105)의 적층 구조로 이루어진다.
- [0078] 또한, 상기 화소전극(103c)의 전면에는 서로 이격된 다수개의 개구부(110)가 형성되어 있다. 이때, 상기 다수개의 개구부(110)는 지그재그(zigzag) 형태로 배열되어 있는데, 수직방향으로 형성된 개구부(110)들은 서로 엇갈리게 배열되며, 수평방향으로 형성된 개구부(110)들은 평행하게 배열되어 있다. 하지만, 상기 다수개의 개구부(110)들은 반드시 위와 같은 형태로 배열되는 것은 아니며, 경우에 따라서는 수평방향 및 수직방향으로 서로 엇갈리게 배열할 수도 있다.
- [0079] 따라서, 상기 화소전극(103c)은 서로 이격된 다수의 개구부(110)가 형성됨으로써 캐패시턴스(Capacitance)가 감소하고 그로 인해 투과율이 증가하게 된다. 더욱이, 이로 인해 캐패시턴스가 감소함으로 인해 충전(charging time)의 감소되어 고속 응답이 가능하며, TFT 사이즈를 감소시켜 투과율을 증가시킬 수 있다.
- [0080] 또한, 상기 화소전극(103c)은 상하 양면이 막힌 판 형태 대신에 지그재그 (zigzag) 형태의 다수의 개구부(110)가 형성됨으로써, 기존에 비해 공통전극(129a)과의 오버랩에 따른 투과율 변동을 감소시킬 수 있다.
- [0081] 그 다음, 도 7b에 도시된 바와 같이, 상기 게이트전극(106a), 게이트배선 (106c), 데이터배선(106b) 및 화소전극(103c)을 포함한 기판 전면에서 게이트절연막 (미도시), 비정질 실리콘층(미도시), 불순물이 함유된 비정질 실리콘층(미도시) 및 제2 도전 금속층(미도시)을 차례로 증착한 후, 회절마스크(미도시)를 이용한 포토리소그라피 공정기술 및 패터닝 공정을 통해 선택적으로 제거함으로써 활성층(미도시), 오믹콘택층(미도시), 소스전극(117a) 및 드레인전극(117b)을 형성한다.
- [0082] 이어서, 도 7c에 도시된 바와 같이, 상기 소스전극(117a) 및 드레인전극 (117b)을 포함한 기판 전면에서 보호막 (123)을 증착한 후, 마스크를 이용한 포토리소그라피 공정기술 및 패터닝 공정을 통해 상기 보호막(123) 및 그 하부의 게이트절연막(111)을 선택적으로 제거하여, 상기 드레인전극(117b)과 화소전극(103c)을 노출시키는 드레인전극 콘택홀(127a)과 함께, 상기 데이터배선(106b)과 소스전극 (117a)을 노출시키는 데이터배선 콘택홀(127

b)을 동시에 형성한다.

[0083] 그 다음, 도 7d에 도시된 바와 같이, 상기 드레인전극 콘택홀(127a) 및 데이터배선 콘택홀(127b)을 포함한 보호막(123) 상에 제2 투명 도전물질층(미도시)을 증착한 다음, 마스크를 이용한 포토리소그래피 공정기술 및 패터닝 공정을 통해 상기 제2 투명 도전물질층(미도시)을 선택적으로 패터닝 함으로써, 상기 화소전극 (103c)과 오버랩되는 다수개의 제1 공통전극(129a)과 함께 상기 데이터배선(106b)과 오버랩되는 제2 공통전극(129b)을 형성한다. 더욱이, 이와 동시에, 상기 드레인전극 콘택홀 (127a)을 통해 상기 화소전극(103c)과 드레인전극(117b)을 전기적으로 연결시켜 주는 화소전극 연결패턴(129c)과 함께, 상기 데이터배선 콘택홀(127b)을 통해 상기 데이터배선(106b)과 소스전극(117a)을 전기적으로 연결시켜 주는 데이터배선 연결패턴(129d)이 형성된다. 이때, 상기 제1 공통전극(129a)들의 양측 단은 공통전극 연결배선(129e)에 의해 연결되어 있다.

[0084] 이렇게 하여, 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이기판 제조공정을 완료한다.

[0085] 한편, 상기 구성으로 이루어지는 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이기판 제조방법에 대해 및 도 8a 내지 도 8l을 참조하여 보다 구체적으로 설명하면 다음과 같다.

[0086] 도 8a 내지 도 8l은 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이기판 제조방법을 설명하기 위한 공정 단면도이다.

[0087] 도 8a에 도시된 바와 같이, 투명한 기판(101) 상에 스위칭 영역을 포함하는 다수의 화소영역과 함께 비화소영역을 정의하고, 상기 투명한 기판(101) 상에 제1 투명 도전물질층(103)과 제1 도전성 금속층(105)을 스퍼터링 방법에 의해 차례로 증착한다. 이때, 상기 제1 투명 도전물질층(103)으로는 ITO(Indium Tin Oxide) 및 IZO(Indium Zinc Oxide) 를 포함한 투명한 도전 물질 그룹 중에서 선택된 어느 하나를 사용한다.

[0088] 또한, 상기 제1 도전성 금속층(105)으로는, 알루미늄(Al), 텅스텐(W), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 몰리브덴 합금, 구리합금, 알루미늄 합금 등과 같이 금속물질이 단일층으로 이용하거나, Al/Cr, Al/Mo, Al(Nd)/Al, Al(Nd)/Cr, Mo/Al(Nd)/Mo, Cu/Mo, Ti/Al(Nd)/Ti, Mo/Al, Mo합금/Al합금, Mo/Al 합금, Cu/Mo합금, Cu/Mo(Ti) 등과 같이 이중층 이상이 적층된 구조를 이용한다.

[0089] 그 다음, 상기 제1 도전성 금속층(105) 상부에 투과율이 높은 포토레지스트 (photo-resist)를 도포하여 제1 감광막(107)을 형성한다.

[0090] 이어서, 광차단부(109a)와 반투과부(109b) 및 투과부(109c)로 이루어진 제1 회절마스크(109)를 이용하여 상기 제1 감광막(107)에 노광공정을 진행한다. 이때, 상기 제1 회절마스크(109)의 광차단부(109a)는 게이트배선 형성 지역 및 데이터배선 형성지역과 대응하는 상기 제1 감광막(107) 상측에 위치하며, 상기 제1 회절마스크(109)의 반투과부(109b)는 화소전극 형성 지역과 대응하는 상기 제1 감광막 (107) 상측에 위치한다. 또한, 상기 제1 회절마스크(109) 이외에 광의 회절 효과를 이용하는 마스크, 예를 들어 하프톤 마스크(Half-ton mask) 또는 기타 다른 마스크를 사용할 수도 있다.

[0091] 그 다음, 도 8b에 도시된 바와 같이, 상기 노광 공정을 진행한 다음 현상공정을 통해 상기 제1 감광막(107)을 패터닝하여 게이트배선 형성지역 및 데이터배선 형성지역의 제1 패턴(107a)과 화소전극 형성지역의 제2 패턴 (107b)을 각각 형성한다. 이때, 상기 게이트배선 형성 지역 및 데이터배선 형성지역의 제1 패턴(107a)은 광이 투과되지 않은 상태이기 때문에 제1 감광막(107) 두께를 그대로 유지하고 있지만, 상기 화소전극 형성지역의 제2 패턴(107b)은 광의 일부가 투과되어 일정 두께만큼 제거된다. 즉, 상기 화소전극 형성지역 의 제2 패턴(107b)은 상기 게이트배선 형성지역 및 데이터배선 형성지역의 제1패턴(107a)보다 얇은 두께를 갖는다.

[0092] 이어서, 상기 제1 감광막의 게이트배선 형성지역 및 데이터배선 형성지역의 제1 패턴(107a)과, 화소전극 형성 지역의 제2 패턴(107b)을 마스크로 상기 제1 도전성 금속층(105) 및 제1 투명 도전물질층(103)을 패터닝하여 게이트배선(미도시, 도 5의 106c 참조), 이 게이트배선(106c)으로부터 돌출된 게이트전극(106a) 및 데이터배선 (106b)을 동시에 형성한다. 이때, 상기 게이트배선(미도시, 도 5의 106c 참조)과 게이트전극(106a)은 제1 도전성 금속층(105a) 및 제1 투명 도전물질층(103a)으로 구성된다.

[0093] 그 다음, 도면에는 도시하지 않았지만, 에싱(ashing) 공정을 통해 상기 게이트전극(106a) 및 상기 데이터배선 (106b) 상의 제1 패턴(107a)의 두께 일부와 상기 화소전극(103c) 상의 제2 도전성 금속층패턴(105c) 상의 제2 패턴(107b) 전부를 식각하여 상기 제2 패턴(107b)을 완전히 제거한다. 이때, 상기 화소전극 형성지역상의 제2 도전성 금속층(105c)은 외부로 노출된다.

[0094] 이어서, 도 8c 및 도 8d에 도시된 바와 같이, 상기 에싱 공정에 의해 두께 일부가 식각된 게이트전극(106a) 및

상기 데이터배선(106b) 상의 제1 패턴(107a)을 차단막으로 상기 노출된 제2 도전성 금속층(105c)을 선택적으로 제거하여, 화소전극(103c)을 형성한 다음, 상기 잔존하는 제1 패턴(107a)을 제거한다. 이때, 상기 화소전극(103c)은, 도 5에 도시된 바와 같이, 화소영역의 전면, 즉 상기 게이트배선(106c)과 데이터배선(미도시, 도 5의 106b 참조)가 교차되어 이루는 공간에 형성된다. 또한, 상기 화소전극(103c)의 전면에는 서로 이격된 다수개의 개구부(110)가 형성되어 있다. 이때, 상기 다수개의 개구부(110)는 지그재그(zigzag) 형태로 배열되어 있는데, 수직방향으로 형성된 개구부(110)들은 서로 엇갈리게 배열되며, 수평방향으로 형성된 개구부(110)들은 평행하게 배열되어 있다. 하지만, 상기 다수개의 개구부(110)들은 반드시 위와 같은 형태로 배열되는 것은 아니며, 경우에 따라서는 수평방향 및 수직방향으로 서로 엇갈리게 배열할 수도 있다.

[0095] 따라서, 상기 화소전극(103c)은 서로 이격된 다수의 개구부(110)가 형성됨으로써 캐패시턴스(Capacitance)가 감소하고 그로 인해 투과율이 증가하게 된다. 더욱이, 이로 인해 캐패시턴스가 감소함으로 인해 충전(charging time)의 감소되어 고속 응답이 가능하며, TFT 사이즈를 감소시켜 투과율을 증가시킬 수 있다.

[0096] 또한, 상기 화소전극(103c)은 상하 양면이 막힌 판 형태 대신에 지그재그(zigzag) 형태의 다수의 개구부(110)가 형성됨으로써, 기존에 비해 공통전극(129a)과의 오버랩에 따른 투과율 변동을 감소시킬 수 있다.

[0097] 그 다음, 도 8e에 도시된 바와 같이, 기판 전면에 질화실리콘(SiNx) 또는 실리콘산화막(SiO₂)으로 이루어진 게이트절연막(111)을 형성한다.

[0098] 이어서, 상기 게이트절연막(111) 상에 다시 비정질실리콘 층(a-Si:H)(113)과 불순물이 포함된 비정질실리콘층(n⁺ 또는 p⁺)(115) 및 제2 도전성 금속층(117)를 차례로 적층한다. 이때, 상기 비정질실리콘층(a-Si:H)(113)과 불순물이 포함된 비정질실리콘층(n⁺ 또는 p⁺)(115)은 화학기상 증착법(CVD; Chemical Vapor Deposition method)으로 증착하고, 상기 제2 도전성 금속층(117)은 스퍼터링 방법으로 증착한다. 여기서는, 상기 증착 방법으로 화학기상 증착법 및 스퍼터링 방법에 대해서만 기재하고 있지만, 경우에 따라서는 기타 다른 증착 방법을 사용할 수도 있다. 이때, 상기 제2 도전성 금속층(117)으로는, 알루미늄(Al), 텅스텐(W), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 몰리브덴 합금, 구리합금, 알루미늄 합금 등과 같이 금속물질이 단일층으로 이용하거나, Al/Cr, Al/Mo, Al(Nd)/Al, Al(Nd)/Cr, Mo/Al(Nd)/Mo, Cu/Mo, Ti/Al(Nd)/Ti, Mo/Al, Mo합금/Al합금, Mo/Al 합금, Cu/Mo합금, Cu/Mo(Ti) 등과 같이 이중층 이상이 적층된 구조를 이용한다.

[0099] 그 다음, 상기 제2 도전성 금속층(117) 상에 투과성이 우수한 제2 감광막(119)을 도포한다.

[0100] 이어서, 광차단부(121a)와 반투과부(121b) 및 투과부(121c)로 이루어진 제2 회절마스크(121)를 이용하여 상기 제2 감광막(119)에 노광 공정을 실시한다. 이때, 상기 제2 회절마스크(121)의 광차단부(121a)는 데이터배선 형성 지역과 소스전극 및 드레인전극 형성 지역과 대응하는 상기 제2 감광막(119) 상측에 위치하며, 상기 제2 회절마스크(121)의 반투과부(121b)는 박막트랜지스터(T)의 채널지역, 즉 게이트전극(106a)과 대응하는 상기 제2 감광막(119) 상측에 위치한다. 또한, 상기 제2 회절마스크(121) 이외에 광의 회절 효과를 이용하는 마스크, 예를 들어 하프톤 마스크(Half-ton mask) 또는 기타 다른 마스크를 사용할 수도 있다.

[0101] 그 다음, 도 8f에 도시된 바와 같이, 상기 노광 공정 이후에 현상공정을 실시한 다음 상기 제2 감광막(119)을 선택적으로 패터닝하여 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역에 제1 패턴(119a)을 형성하고, 상기 박막트랜지스터(T)의 채널지역에 제2 패턴(119b)을 형성한다. 이때, 상기 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역의 제1 패턴(119a)은 광이 투과되지 않은 상태이기 때문에 제2 감광막 두께를 그대로 유지하고 있지만, 상기 박막트랜지스터(T)의 채널지역의 제2 패턴(119b)은 제2 감광막에 광의 일부가 투과되어 일정 두께만큼 제거된다. 즉, 상기 박막트랜지스터(T)의 채널지역의 제2 패턴(119b)은 상기 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역의 제1 패턴(119a)보다 얇은 두께를 갖게 된다.

[0102] 이어서, 도 8g에 도시된 바와 같이, 상기 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역의 제1 패턴(119a)과 상기 박막트랜지스터(T)의 채널지역의 제2 패턴(119b)을 마스크로, 상기 제2 도전성 금속층(117)과 불순물이 함유된 비정질실리콘층(115), 및 비정질 실리콘층(113)을 선택적으로 패터닝하여 데이터배선(117a)과 함께 활성층(113a)을 형성함과 동시에, 소스전극 형성지역과 드레인전극 형성 지역 및 오믹콘택층 형성지역을 각각 정의한다.

[0103] 그 다음, 에칭(ashing) 공정을 실시하여 상기 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역의 제1 패턴(119a)의 두께 일부와 상기 박막트랜지스터(T)의 채널지역의 제2 패턴(119b)을 완전히 제거하여 상기 박막트랜지스터(T)의 채널지역의 제2 패턴(119b) 아래의 제2 도전성 금속층(117) 부분을 노출시킨다.

- [0104] 이어서, 도 8h에 도시된 바와 같이, 상기 에칭 공정에 의해 두께 일부가 식각된 상기 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역의 제1 패턴 (119a)을 마스크로 상기 노출된 제2 도전성 금속층(117) 부분을 식각해 줌으로써 소스전극(117a)과 이 소스전극(117a)과 이격된 드레인전극(117b)을 형성한다.
- [0105] 그 다음, 상기 채널 지역의 불순물이 함유된 비정질실리콘층(115) 부분도 식각 공정을 통해 제거함으로써 활성층(113a)의 채널영역을 노출시키는 오믹콘택층 (115a)을 형성한다.
- [0106] 이어서, 도 8i에 도시된 바와 같이, 상기 잔류하는 제1 패턴(119a)을 제거한 다음, 기판 전면에 질화실리콘 (SiNx) 또는 실리콘산화막(SiO₂)으로 이루어진 보호막 (123)을 형성한다.
- [0107] 그 다음, 상기 보호막(123) 상에 투과율이 높은 포토레지스트(photo-resist)를 도포하여 제3 감광막(미도시)을 형성한 다음, 마스크(미도시)를 이용한 포토리소그래피 공정기술을 통해 상기 제3 감광막(미도시)을 노광 및 현상한 후 이를 선택적으로 패터닝하여 제3 감광막패턴(125)을 형성한다.
- [0108] 그 다음, 도 8j에 도시된 바와 같이, 상기 제3 감광막패턴(125)을 마스크로 상기 보호막(123)을 선택적으로 제거하여 상기 드레인전극(117b)과 그 아래의 화소전극(103c)을 동시에 노출시키는 드레인전극 콘택홀(127a)과 함께, 상기 소스전극 (117a)과 그 아래의 데이터배선(106b)을 동시에 노출시키는 데이터배선 콘택홀 (127b)을 한 번에 형성한다.
- [0109] 이어서, 도 8k에 도시된 바와 같이, 상기 제3 감광막패턴(125)을 제거하고, 상기 드레인전극 콘택홀(127a)과 데이터배선 콘택홀(127b)을 포함한 보호막(123) 상에 제2 투명 도전물질층(129)을 증착한 후 상기 제2 투명 도전물질층(129) 상에 제4 감광막(미도시)을 도포한다.
- [0110] 그 다음, 마스크(미도시)를 이용한 포토리소그래피 공정기술을 통해 상기 제4 감광막(미도시)을 노광 및 현상한 후 이를 선택적으로 패터닝하여 제4 감광막패턴(131)을 형성한다.
- [0111] 이어서, 도 8l에 도시된 바와 같이, 상기 제4 감광막패턴(131)을 마스크로 상기 제2 투명 도전물질층(129)을 선택적으로 패터닝하여, 상기 화소전극(103c)과 오버랩되는 다수개의 제1 공통전극(129a)과 함께 상기 데이터배선 (106b)과 오버랩되는 제2 공통전극(129b)을 형성한다. 더욱이, 이와 동시에, 상기 드레인전극 콘택홀 (127a)을 통해 상기 화소전극(103c)과 드레인전극(117b)을 전기적으로 연결시켜 주는 화소전극 연결패턴(129c)과 함께, 상기 데이터배선 콘택홀(127b)을 통해 상기 데이터배선(106b)과 소스전극(117a)을 전기적으로 연결시켜 주는 데이터배선 연결패턴(129d)이 형성된다. 이때, 상기 제1 공통전극(129a)들의 양측 단은 공통전극 연결배선(129e)에 의해 연결된다.
- [0112] 따라서, 상기 화소전극(103c)들이 최 하단층에 위치하고, 상기 화소전극 (103c) 상측에는 다수 개의 공통전극 (Vcom, 129a)이 형성됨으로써 상기 화소전극 (103c)과 상단의 공통전극(129a)들은 에프에프에스(FFS) 구동을 하게 된다.
- [0113] 그 다음, 도면에는 도시하지 않았지만, 상기 제4 감광막패턴(131)을 제거함으로써 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이기판 제조공정을 완료한다.
- [0114] 이후에, 도면에는 도시하지 않았지만, 컬러필터 기판 제조 공정과 함께 어레이기판과 컬러필터 기판 사이에 액정층을 충전하는 공정을 수행함으로써 본 발명에 따른 에프에프에스 방식 액정표시장치를 제조하게 된다.
- [0115] 이상에서와 같이, 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이 기판 및 제조방법에 따르면, 서로 이격된 다수의 개구부가 형성된 화소전극을 적용함으로써 캐패시턴스(Capacitance)가 감소하고 그로 인해 투과율이 증가한다. 따라서, 이렇게 캐패시턴스가 감소함으로 인해 차징(charging time)의 감소되어 고속 응답이 가능하며, TFT 사이즈를 감소시켜 투과율을 증가시킬 수 있다.
- [0116] 또한, 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이 기판 및 제조방법에 따르면, 양면이 막힌 판 형태 대신에 다수의 개구부가 형성된 화소전극을 적용함으로써 투과율이 증가함은 물론, 지그재그(zigzag) 식으로 형성된 다수의 개구부 패턴으로 인해 공통전극과의 오버랩에 따른 투과율 변동을 감소시킬 수 있다.
- [0117] 그리고, 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이 기판 및 제조방법에 따르면, 게이트배선 형성시에 데이터배선을 동시에 형성해 줌으로써 데이터배선과 상부 공통전극과의 기생 캐패시터 발생을 감소시켜 RC 딜레이를 줄일 수 있으므로 패널 대형화에 유리하다.
- [0118] 이상에서 본 발명의 바람직한 실시 예에 대하여 상세하게 설명하였지만, 당해 기술 분야에서 통상의 지식을 가

진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다.

[0119] 따라서, 본 발명의 권리 범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

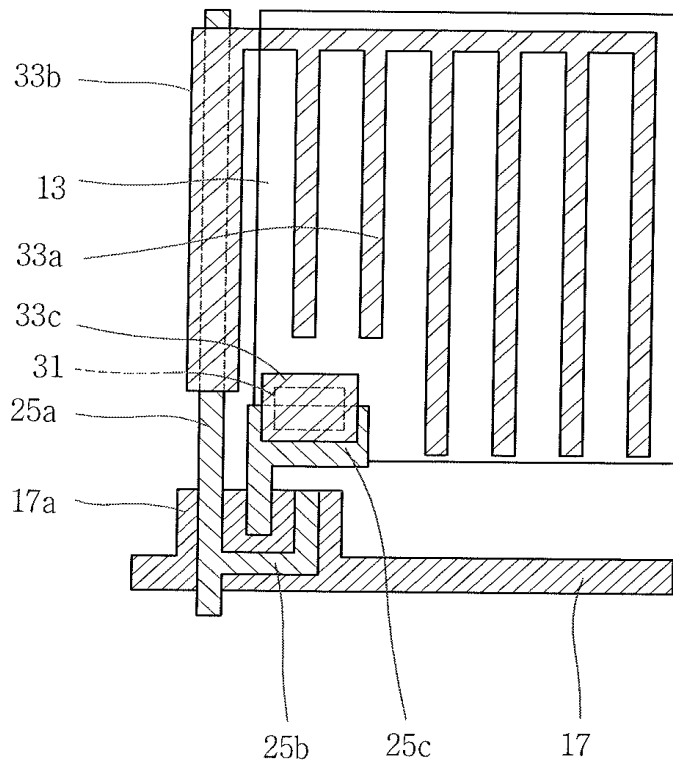
부호의 설명

[0120]

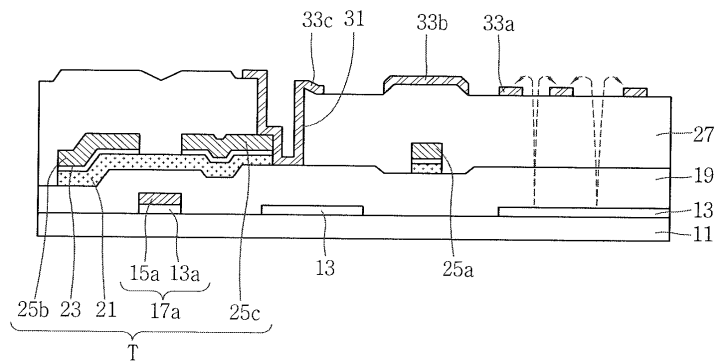
101: 기판	103: 제1 투명 도전물질층	
103c: 화소전극	105: 제1 도전성 금속층	
106a: 게이트전극	106b: 데이터배선	
106c: 게이트배선	107: 감광막	
109: 제1 회절마스크	109a: 광차단부	
109b: 반투과부	109c: 차단부	
111: 게이트절연막 활성층	113: 비정질 실리콘층	113a:
	115a: 오믹콘택층	
117: 제2 도전성 금속층	117a: 소스전극	
117b: 드레인전극	119: 제2 감광막	
121: 제2 회절마스크	121a: 광차단부	121b: 반투과부
	121c: 투과부	123: 보호막
125: 제3 감광막		
127a: 드레인전극 콘택홀	127b: 데이터배선 콘택홀	129: 제2 투명
도전물질층	129a: 제1 공통전극	129b: 제2 공통전극
129c: 화소전극 연결패턴	129d: 데이터배선 연결패턴	129e:
공통전극 연결배선		
131: 제4 감광막		

도면

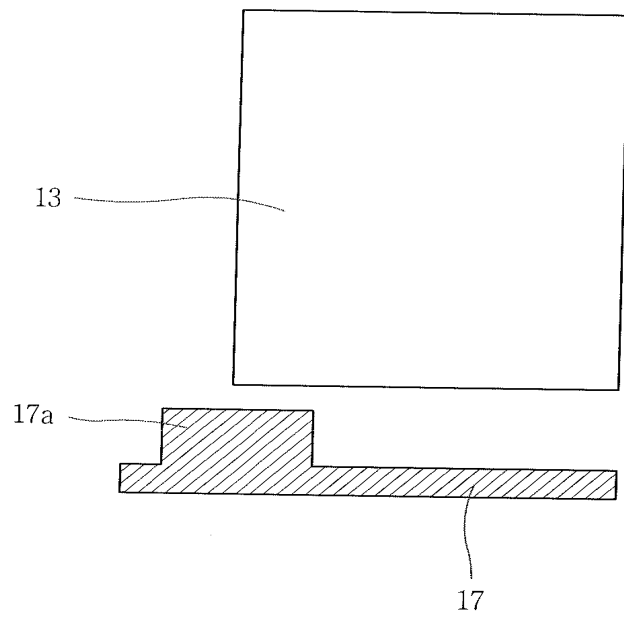
도면1



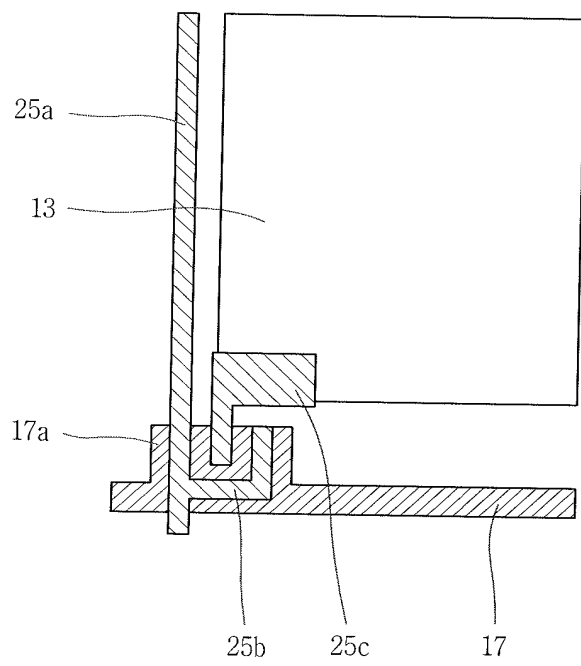
도면2



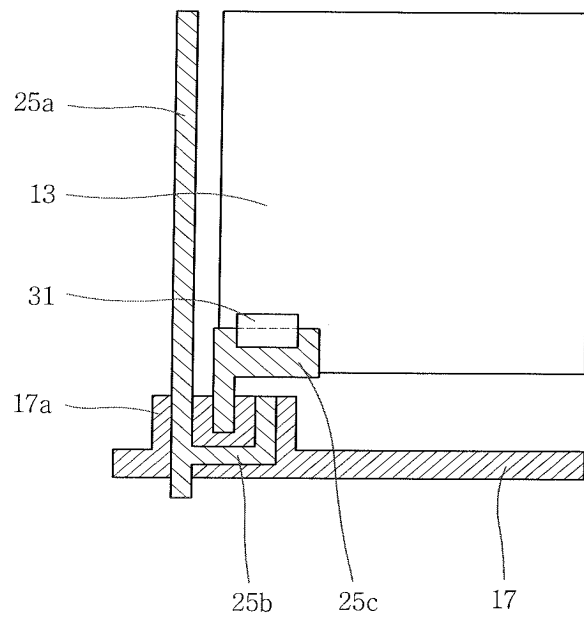
도면3a



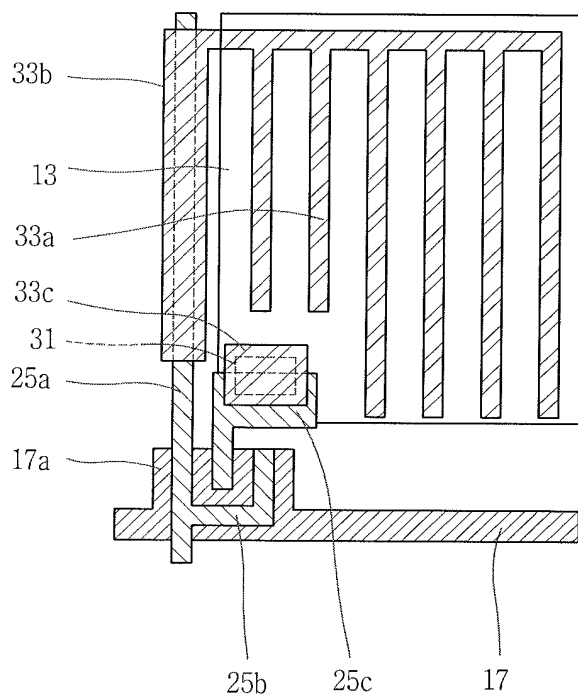
도면3b



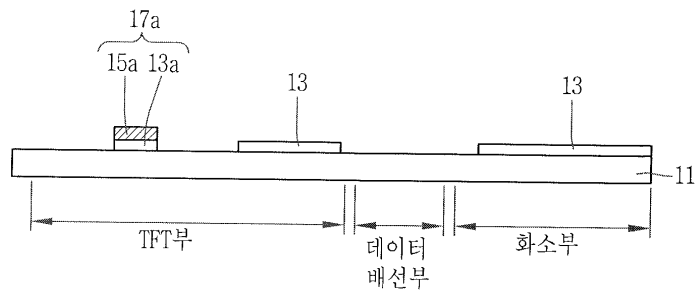
도면3c



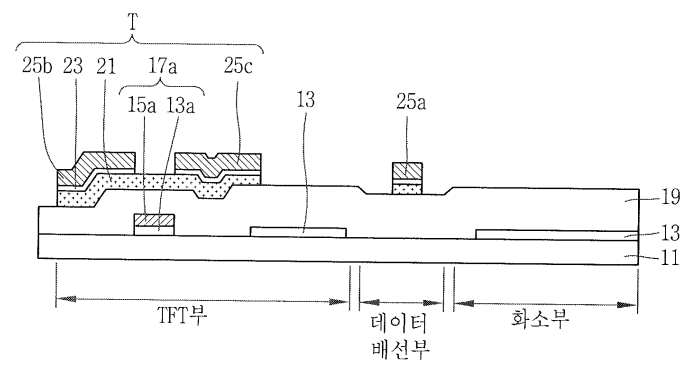
도면3d



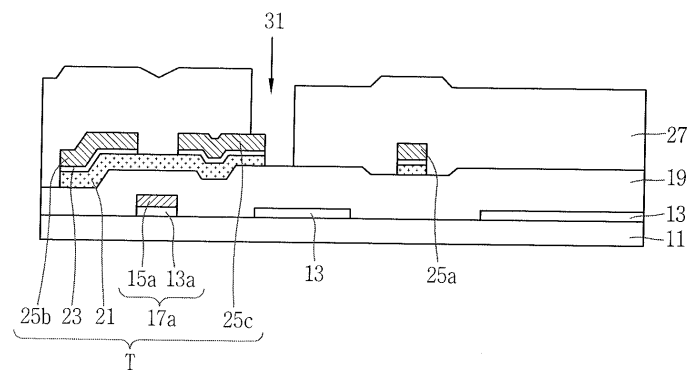
도면4a



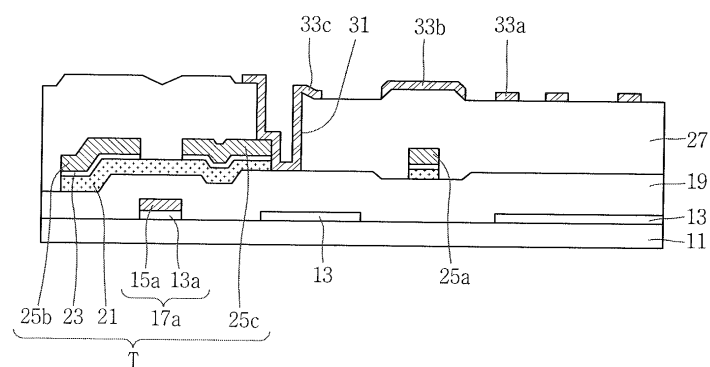
도면4b



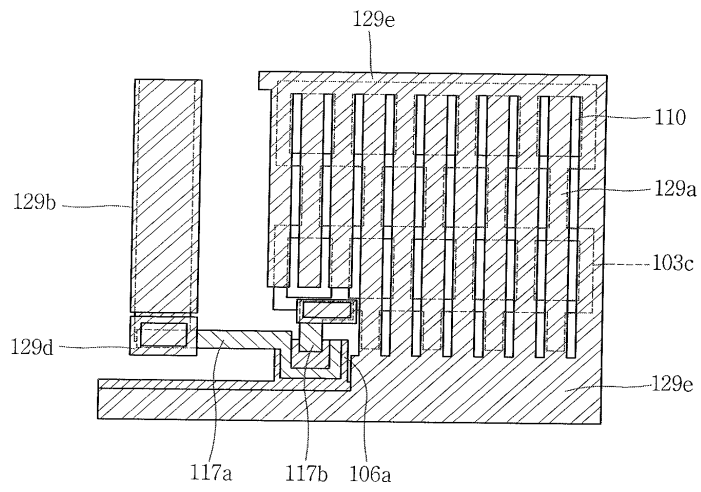
도면4c



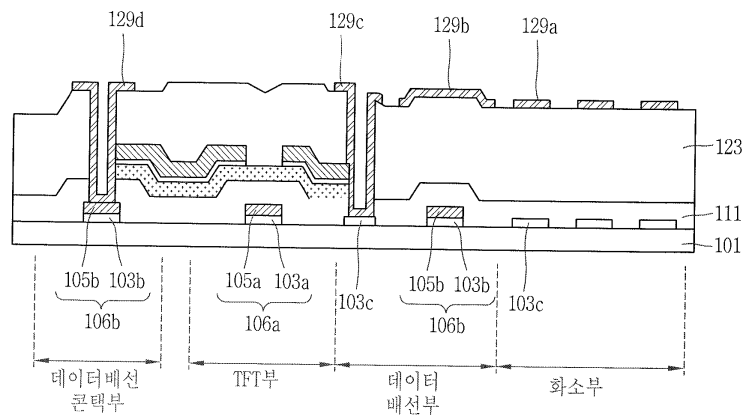
도면4d



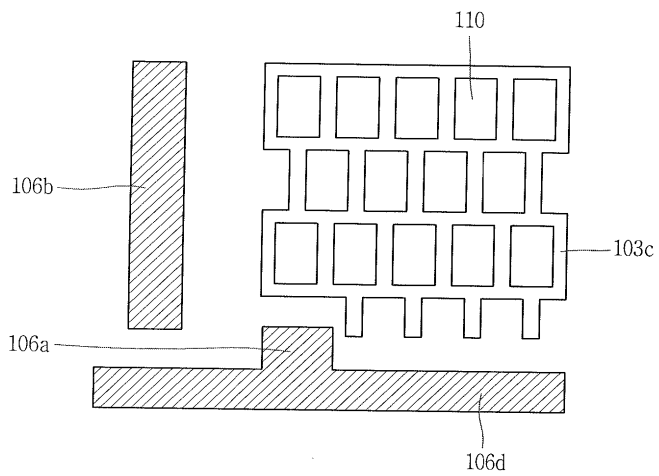
도면5



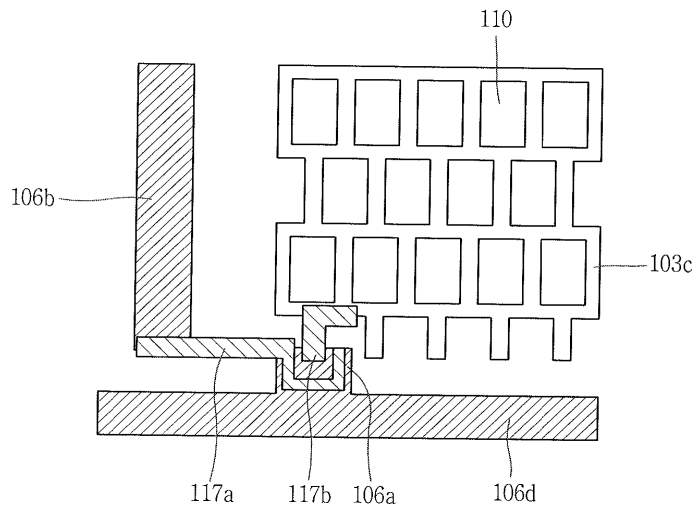
도면6



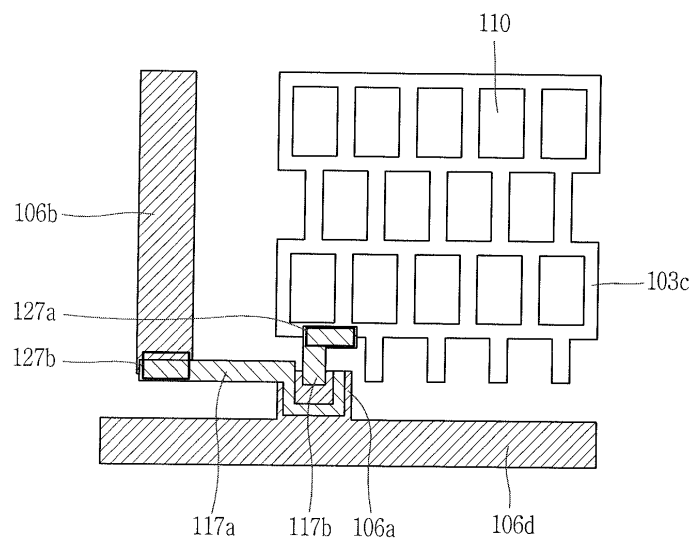
도면7a



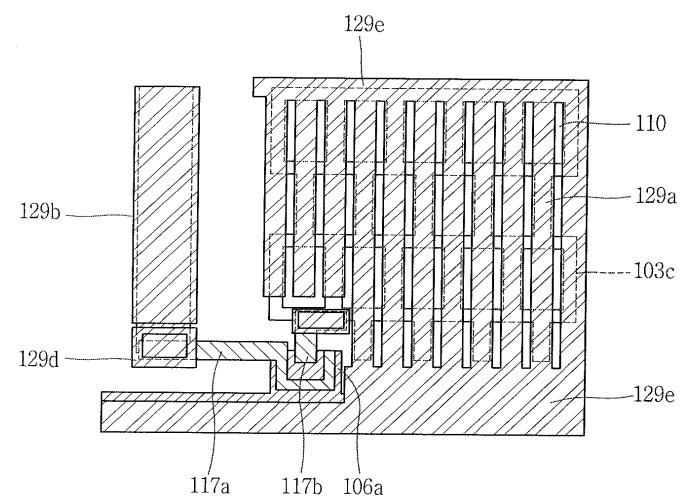
도면7b



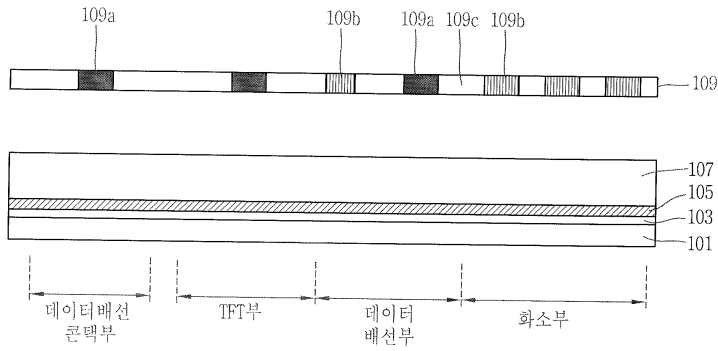
도면7c



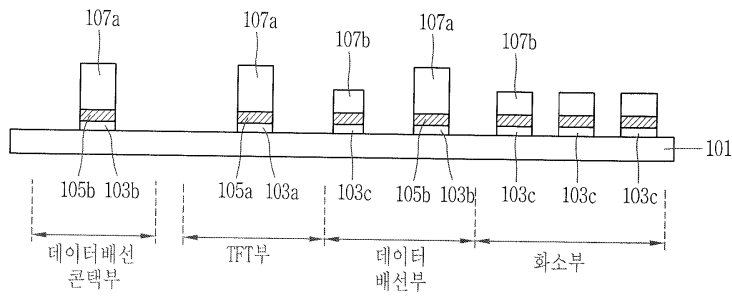
도면7d



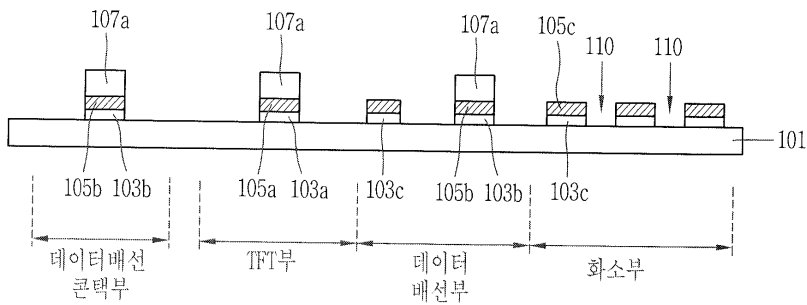
도면8a



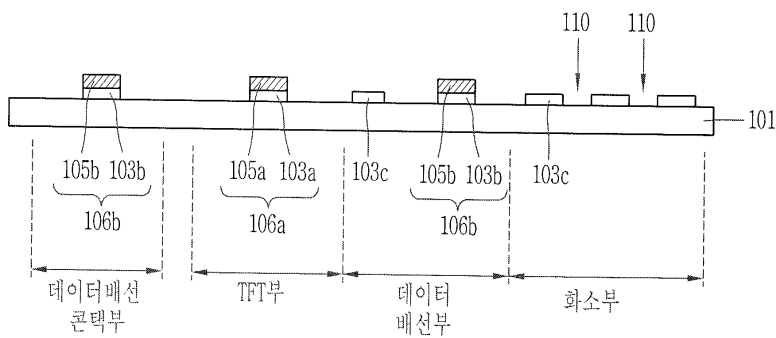
도면8b



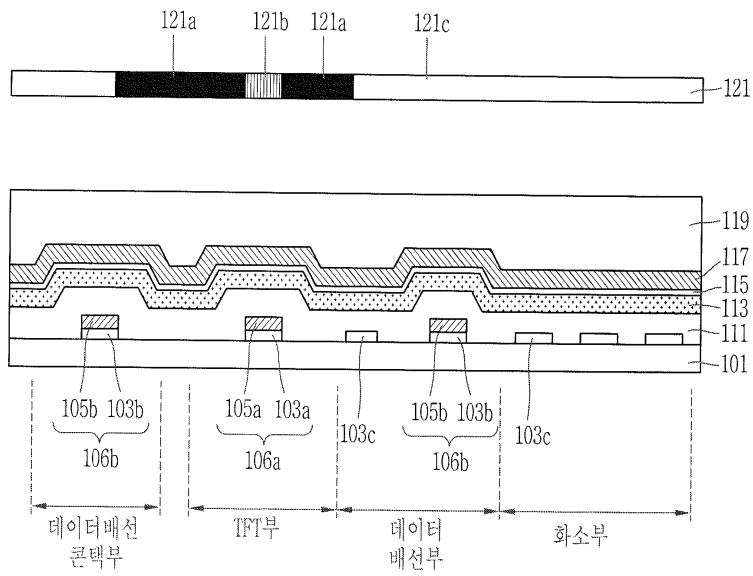
도면8c



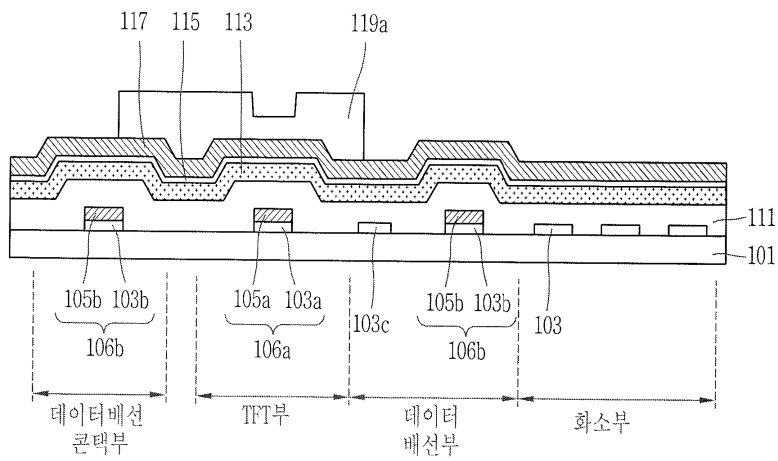
도면8d



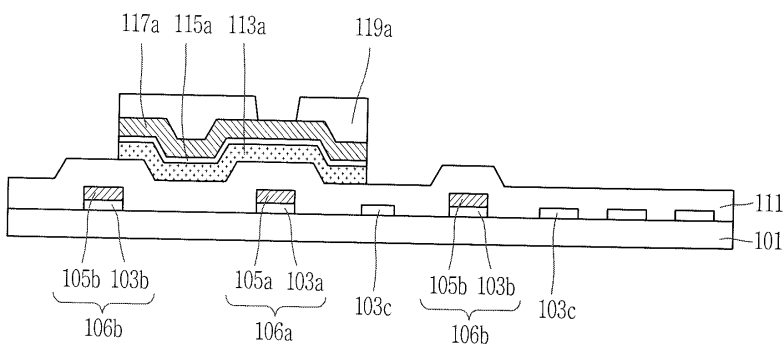
도면8e



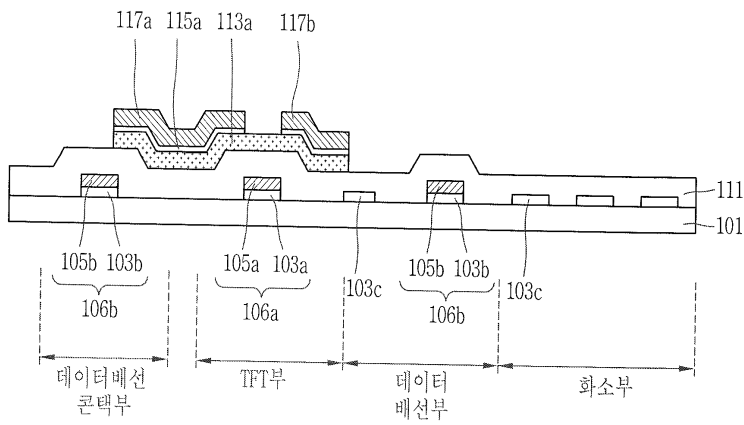
도면8f



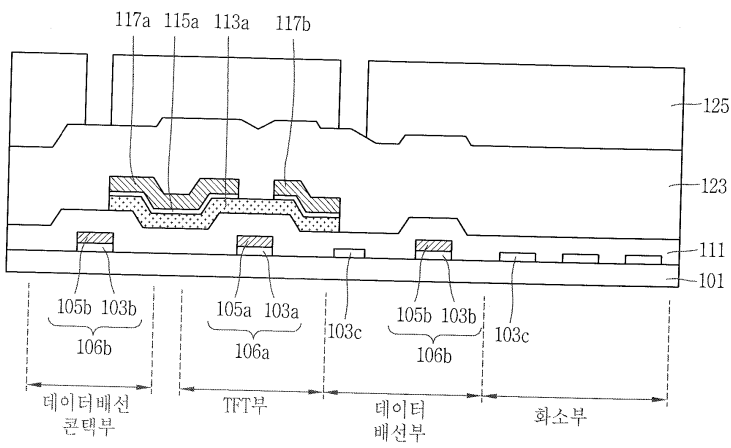
도면8g



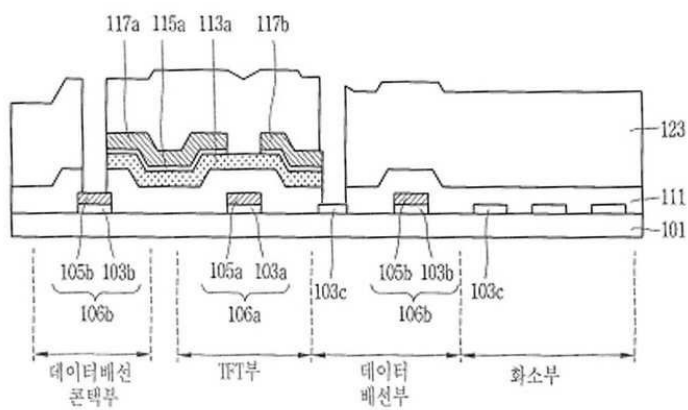
도면8h



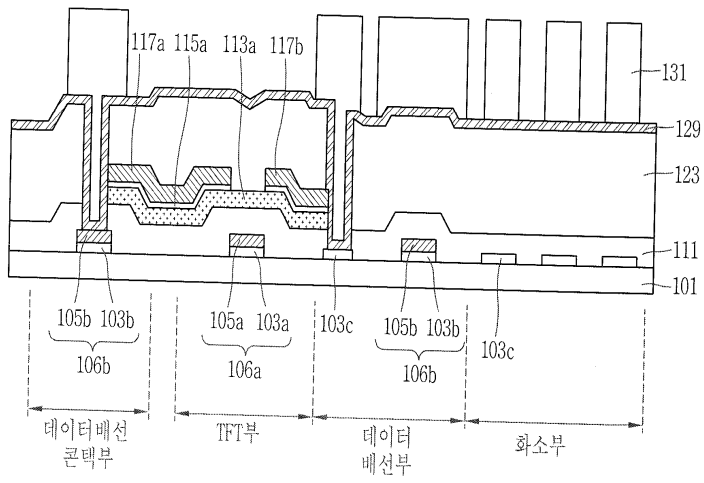
도면8i



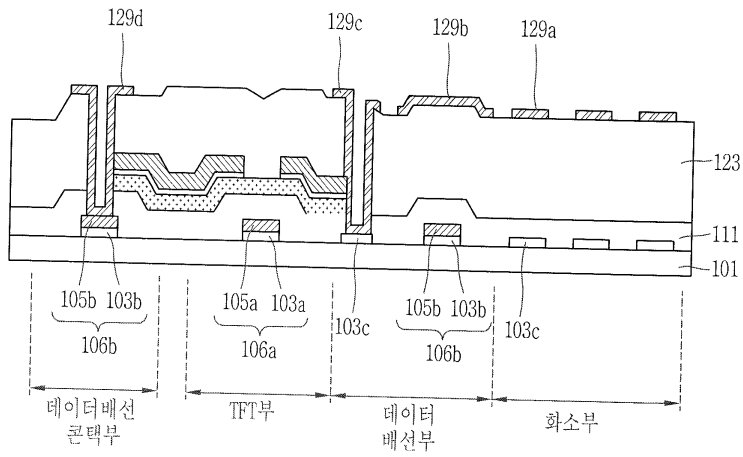
도면8j



도면8k



도면8l



专利名称(译)	ffs模式液晶显示装置的阵列基板的制造方法		
公开(公告)号	KR101925991B1	公开(公告)日	2018-12-07
申请号	KR1020100128676	申请日	2010-12-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM YONG IL 김용일 KIM JEONG OH 김정오		
发明人	김용일 김정오		
IPC分类号	G02F1/136 G02F1/1343 G02F1/1362 G02F1/1368 H01L27/12		
CPC分类号	G02F1/136 G02F1/1368 G02F1/1343 G02F1/136286 H01L27/1288 G02F2201/122 G02F2001/134372 G09G2320/0252		
其他公开文献	KR1020120067209A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种用于FFE液晶显示装置的阵列基板及其制造方法，所公开的结构包括在一个方向上形成在基板的一个表面上的多个栅极布线；多条数据线被布置为与多条栅极线交叉以限定子像素区域；像素电极形成在像素区域中，该像素区域通过使栅极线和数据线交叉而形成，并且具有彼此间隔开的多个开口；一种薄膜晶体管，由栅极，栅极绝缘膜，有源层和源极/漏极形成，形成在栅极布线和数据布线的交叉处；保护膜形成在基板的整个表面上，保护膜暴露出漏电极，像素电极，数据线和源电极；并且，多个公共电极形成在钝化层上并与像素电极和数据线重叠，像素电极连接图案连接漏电极和像素电极，以及数据线和连接模式。 专利号10-1925991

