



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년10월10일
 (11) 등록번호 10-1905757
 (24) 등록일자 2018년10월01일

(51) 국제특허분류(Int. Cl.)
 G02F 1/1343 (2006.01) G02F 1/1368 (2006.01)
 (21) 출원번호 10-2011-0120367
 (22) 출원일자 2011년11월17일
 심사청구일자 2016년11월17일
 (65) 공개번호 10-2013-0054780
 (43) 공개일자 2013년05월27일
 (56) 선행기술조사문헌
 JP2003344824 A*
 KR1020100000847 A*
 JP2010145457 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
 신동수
 경기도 군포시 수리산로 102, 857동 502호 (산본동, 설악아파트)
 최승규
 경기도 파주시 미래로 422 106동 1704호 (야당동, 한빛마을1단지한라비발디센트럴파크아파트)
 이철환
 경기도 수원시 팔달구 화산로 57 146동 602호 (화서동, 꽃피버들마을진흥아파트)
 (74) 대리인
 특허법인네이트

전체 청구항 수 : 총 13 항

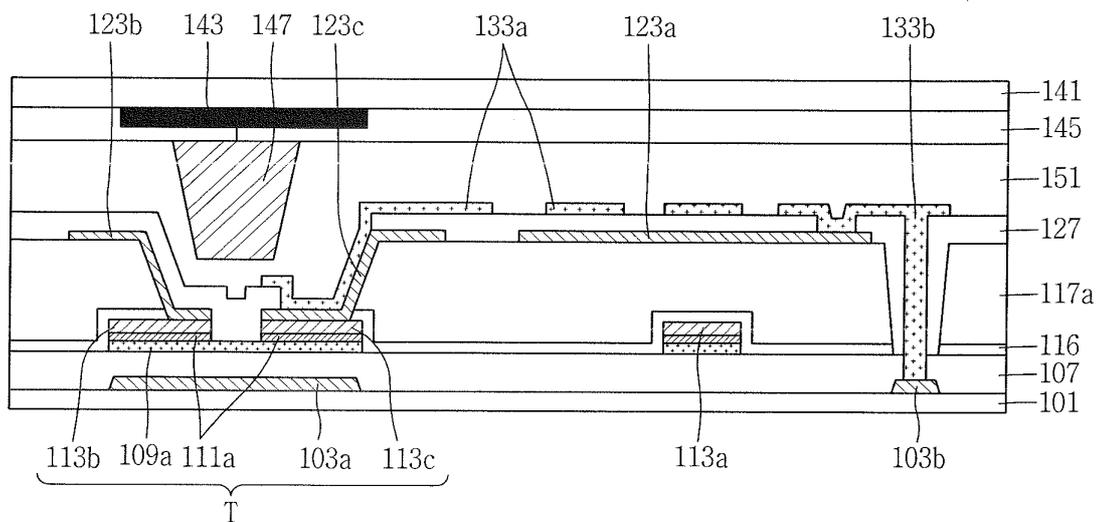
심사관 : 한상일

(54) 발명의 명칭 **에프에프에스 방식 액정표시장치용 어레이기판 및 그 제조방법**

(57) 요약

본 발명은 에프에프에스(FFS; Fringe Field Switching) 방식 액정표시장치용 어레이기판 및 그 제조방법에 관한 것으로, 개시된 발명은 기판의 일면에 일 방향으로 형성된 게이트 배선; 상기 게이트 배선과 교차하여 화소영역을 정의하는 데이터배선; 상기 게이트배선과 데이터배선의 교차 지점에 형성된 박막트랜지스터; 상기 박막트랜지스터를 포함한 기판 전면에 형성되고, 상기 박막트랜지스터를 노출시키는 개구부를 구비한 유기절연막; 상기 유기절연막 상부에 형성된 대면적의 공통전극과, 상기 개구부를 통해 상기 박막트랜지스터와 연결된 보조전극패턴; 상기 공통전극과 보조전극패턴을 포함한 기판 전면에 형성되고 상기 박막트랜지스터와 연결된 보조전극패턴을 노출시키는 패시베이션막; 상기 패시베이션막 상부에 형성되고, 상기 노출된 보조전극패턴을 통해 상기 박막트랜지스터와 전기적으로 연결되며, 상기 공통전극과 오버랩되는 다수의 화소전극을 포함하여 구성된다.

대표도 - 도5



명세서

청구범위

청구항 1

기관의 일면에 일 방향으로 형성된 게이트 배선;

상기 게이트 배선과 교차하여 화소영역을 정의하는 데이터배선;

상기 게이트배선과 데이터배선의 교차 지점에 형성되고, 게이트 전극과, 상기 게이트 전극 상부의 반도체층과, 상기 반도체층 상부에 위치하고 서로 이격하는 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터;

상기 박막트랜지스터를 포함한 기관 전면에 형성되고, 상기 소스 전극과 상기 드레인 전극을 노출시키는 개구부를 구비한 유기절연막;

상기 유기절연막 상부에 형성된 대면적의 공통전극과, 상기 개구부를 통해 상기 드레인 전극과 연결된 보조전극 패턴;

상기 공통전극과 보조전극패턴을 포함한 기관 전면에 형성되고 상기 보조전극패턴을 노출시키는 패시베이션막; 및

상기 패시베이션막 상부에 형성되고, 상기 노출된 보조전극패턴을 통해 상기 드레인 전극과 전기적으로 연결되며, 상기 공통전극과 오버랩되는 다수의 화소전극을 포함하여 구성되는 액정표시장치용 어레이기관.

청구항 2

제1 항에 있어서, 상기 개구부는 상기 박막트랜지스터 상부에 오버랩되며, 상기 유기절연막 내에 형성되는 것을 특징으로 하는 액정표시장치용 어레이기관.

청구항 3

삭제

청구항 4

제1 항에 있어서, 상기 기관에 게이트배선과 평행하게 배치된 공통배선을 더 포함하는 것을 특징으로 하는 액정표시장치용 어레이기관.

청구항 5

제4 항에 있어서, 상기 패시베이션막 상부에 형성되어 상기 공통배선과 공통전극을 각각 연결시켜 주는 공통 연결패턴을 더 포함하는 것을 특징으로 하는 액정표시장치용 어레이기관.

청구항 6

제1 항에 있어서, 상기 게이트배선과 상기 데이터배선이 교차하여 이루는 화소영역에 형성된 칼라필터층을 더 포함하는 것을 특징으로 하는 액정표시장치용 어레이기관.

청구항 7

기관의 일면에 일 방향으로 게이트 배선을 형성하는 단계;

상기 게이트 배선과 교차하여 화소영역을 정의하는 데이터배선을 형성하는 단계;

게이트 전극과, 상기 게이트 전극 상부의 반도체층과, 상기 반도체층 상부에 위치하고 서로 이격하는 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터를 상기 게이트배선과 데이터배선의 교차 지점에 형성하는 단계;

상기 박막트랜지스터를 포함한 기관 전면에 상기 소스 전극과 상기 드레인 전극을 노출시키는 개구부를 구비한 유기절연막을 형성하는 단계;

상기 유기절연막 상부에 대면적의 공통전극과, 상기 개구부를 통해 상기 드레인 전극과 연결되는 보조전극패턴을 형성하는 단계;

상기 공통전극과 보조전극패턴을 포함한 기판 전면에 상기 보조전극패턴을 노출시키는 패시베이션막을 형성하는 단계; 및

상기 패시베이션막 상부에 상기 노출된 보조전극패턴을 통해 상기 드레인 전극과 전기적으로 연결되며, 상기 공통전극과 오버랩되는 다수의 화소전극을 형성하는 단계를 포함하여 구성되는 액정표시장치용 어레이기판 제조방법.

청구항 8

제7 항에 있어서, 상기 개구부는 상기 박막트랜지스터 상부에 오버랩되며, 상기 유기절연막 내에 형성되는 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

청구항 9

삭제

청구항 10

제7 항에 있어서, 상기 게이트배선 형성시에 상기 게이트배선과 평행하게 공통배선을 형성하는 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

청구항 11

제10 항에 있어서, 상기 화소전극 형성시에 상기 패시베이션막 상부에 상기 공통배선과 공통전극을 각 연결시켜 주는 공통 연결패턴을 형성하는 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

청구항 12

제7 항에 있어서, 상기 게이트배선과 상기 데이터배선이 교차하여 이루는 화소영역에 칼라필터층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

청구항 13

제1 항에 있어서,

상기 유기절연막 상부에서 상기 소스 전극과 연결되고 상기 보조전극패턴과 동일물질로 이루어지는 더미패턴을 더 포함하는 액정표시장치용 어레이기판.

청구항 14

제7 항에 있어서,

상기 공통전극과 상기 보조전극패턴을 형성하는 단계는, 상기 유기절연막 상부에서 상기 소스 전극과 연결되고 상기 보조전극패턴과 동일물질로 이루어지는 더미패턴을 형성하는 단계를 더 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 15

제 1 항에 있어서,

상기 반도체층, 상기 소스 전극 및 상기 드레인 전극은 상기 게이트 전극과 중첩하며 상기 게이트 전극이 형성된 영역 내에 위치하고, 상기 개구부는 상기 게이트 전극과 중첩하는 액정표시장치용 어레이기판.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치(Liquid Crystal Display Device)에 관한 것으로서, 보다 상세하게는 에프에프에스(FFS; Fringe Field Switching) 방식 액정표시장치용 어레이기판 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 일반적으로 액정표시장치의 구동 원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

[0003] 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

[0004] 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬 방식으로 배열된 능동 행렬 액정표시장치(AM-LCD: Active Matrix LCD, 이하 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

[0005] 상기 액정표시장치는 공통전극이 형성된 컬러필터 기판(즉, 상부기판)과 화소전극이 형성된 어레이기판(즉, 하부기판)과, 상부기판 및 하부기판 사이에 충전된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극이 상-하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하다.

[0006] 그러나, 상-하로 걸리는 전기장에 의한 액정 구동은 시야각 특성이 우수하지 못한 단점이 있다. 따라서, 상기의 단점을 극복하기 위해 새롭게 제안된 기술이 횡전계에 의한 액정 구동방법인데, 이 횡전계에 의한 액정 구동방법은 시야각 특성이 우수한 장점을 가지고 있다.

[0007] 이러한 횡전계 방식 액정표시장치는 컬러필터기판과 어레이기판이 서로 대향하여 구성되며, 컬러필터기판 및 어레이기판 사이에는 액정층이 개재되어 있다.

[0008] 상기 어레이기판에는 투명한 절연기판에 정의된 다수의 화소마다 박막트랜지스터와 공통전극 및 화소전극으로 구성된다.

[0009] 또한, 상기 공통전극과 화소전극은 동일 기판 상에 서로 평행하게 이격하여 구성된다.

[0010] 그리고, 상기 컬러필터기판은 투명한 절연기판 상에 게이트배선과 데이터배선과 박막트랜지스터에 대응하는 부분에 블랙매트릭스가 구성되고, 상기 화소에 대응하여 컬러필터가 구성된다.

[0011] 더욱이, 상기 액정층은 상기 공통전극과 화소전극의 수평 전계에 의해 구동된다.

[0012] 여기서, 상기 공통전극과 화소전극은 휘도를 확보하기 위해 통상적으로 투명전극으로 형성한다.

[0013] 따라서, 이러한 휘도 개선 효과를 극대화시키기 위해 제안된 기술이 FFS (Fringe Field Switching) 기술이다. 상기 FFS 기술은 액정을 정밀하게 제어함으로써 색상 변이(Color shift)가 없고 높은 명암비(Contrast Ratio)를 얻을 수 있는 특징이 있다.

[0014] 이러한 종래기술에 따른 FFS(Fringe Field Switching) 방식 액정표시장치 제조방법에 대해 도 1 내지 도 2를 참조하여 설명하면 다음과 같다.

[0015] 도 1은 종래기술에 따른 FFS(Fringe Field Switching) 방식 액정표시장치의 개략적인 평면도이다.

[0016] 도 2는 도 1의 II-II선에 따른 단면도로서, FFS(Fringe Field Switching) 방식 액정표시장치의 개략적인 단면도이다.

[0017] 종래기술에 따른 에프에프에스(FFS) 방식 액정표시장치용 어레이기판은, 도 1 및 2에 도시된 바와 같이, 투명한 절연기판(11) 상에 일 방향으로 연장되고, 서로 평행하게 이격된 다수의 게이트배선(13)과; 상기 게이트배선(13)과 교차하고, 이 교차하여 이루는 지역에 화소영역을 정의하는 다수의 데이터배선(21)과; 상기 게이트배선(13)과 데이터배선(21)의 교차지점에 마련되고, 상기 게이트배선(13)으로부터 수직되게 연장된 게이트전극(13a), 게이트절연막(15), 액티브층(17), 오믹콘택층(19), 소스전극(21a) 및 드레인전극(21b)으로 이루어진 박

막트랜지스터(T)와; 상기 박막트랜지스터(T)를 포함한 기관 전면면에 형성된 제2 패시베이션막(27)과; 상기 제1 패시베이션막(27) 상에 형성되고 상기 박막트랜지스터(T)와 연결된 대면적의 화소전극(29)과; 상기 화소전극(29)을 포함한 상기 제1 패시베이션막(27) 상에 형성된 제2 패시베이션막(31)과; 상기 제2 패시베이션막(31) 상에 서로 이격되게 형성되어 상기 화소전극(29)과 대응하는 다수의 공통전극(33)을 포함하여 구성된다.

- [0018] 여기서, 상기 게이트배선(13) 및 데이터배선(21)이 교차되어 이루는 화소영역에는 대면적의 화소전극(29)이 배치되어 있다.
- [0019] 또한, 상기 공통전극(33)은 상기 제2 패시베이션막(31)을 사이에 두고 상기 화소전극(29)과 오버랩되어 있다. 이때, 화소전극(29)과 다수의 공통전극(33)은 투명 도전물질인 ITO(Indium Tin Oxide)로 형성된다.
- [0020] 그리고, 상기 화소전극(29)은 상기 제1 패시베이션막(27) 상부에 형성된 드레인 콘택홀(27a)을 통해 상기 드레인전극(21b)과 전기적으로 연결된다.
- [0021] 더욱이, 도면에는 도시하지 않았지만, 상기 화소전극(29)과 다수의 공통전극(33)이 형성된 절연기관(11)과 합착되는 칼라필터 기관(미도시) 상에는 칼라필터층(미도시)과 이 칼라필터층 사이에 배치되어 광의 투과를 차단하기 위한 블랙매트릭스(미도시)가 적층되어 있으며, 상기 블랙매트릭스와 칼라필터층 상부에는 이들 블랙매트릭스와 칼라필터층 간의 평탄화를 이루기 위해 오버코트층(overcoat layer)(미도시)이 형성된다.
- [0022] 그리고, 도면에는 도시하지 않았지만, 서로 합착되는 상기 칼라필터 기관(미도시)과 절연기관(11) 사이에는 역정층(미도시)이 형성된다.
- [0023] 상기한 바와 같이, 종래기술에 따른 에프에프에스 방식 액정표시장치에 따르면, 패시베이션막에 화소전극과 박막트랜지스터의 드레인전극을 연결시켜 주기 위하여 드레인 콘택홀을 형성해야 하고, 이 드레인 콘택홀 형성시에 드레인 콘택홀 주변부의 액정 디스클리네이션(disclination) 영역이 발생함으로써 인해 빛샘이 발생하게 된다.
- [0024] 따라서, 기존에는 이러한 드레인 콘택홀 주변부의 액정 디스클리네이션(disclination) 영역이 발생함으로써 인하여 나타나는 빛샘을 차단하기 위해, 블랙매트릭스(BM)를 이용하여 상기 드레인 콘택홀 주변 부위를 전부 가려 주어야 하기 때문에, 그만큼 개구 영역, 즉 투과영역의 면적이 줄어들게 됨으로써 픽셀의 투과율이 감소하게 된다. 특히, 드레인 콘택홀에 의하여 발생하는 액정의 디스클리네이션 영역에 의해 나타나는 빛샘 차단을 위해 블랙매트릭스(BM)으로 합착 마진을 고려하여 가려 주어야 하기 때문에, 그만큼 화소의 투과영역이 감소하게 되므로 그만큼 투과율이 하락하게 된다.
- [0025] 또한, 드레인 콘택홀이 없는 구조이면서 공통전극이 최상부에 배치되는 구조로 데이터 픽셀간 간섭으로 인한 CT나 가로선 문제가 발생한다.
- [0026] 따라서, 공통전극이 최상부에 배치되는 구조인 경우에, 픽셀과 데이터배선이 인접한 구조가 되므로, 데이터배선과 픽셀전극 간에 간섭이 강하게 일어나게 되는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0027] 이에 본 발명은 상기 문제점들을 개선하기 위한 것으로서, 본 발명의 목적은 에프에프에스(FFS; Fringe Field Switching) 방식 액정표시장치에서, 드레인전극 과 화소전극을 연결시켜 주기 위해 드레인 콘택홀을 별도로 형성하지 않으면서 화소전극이 최상부에 배치되는 구조를 적용함으로써 픽셀의 개구영역을 극대화하여 투과율을 증가시킬 수 있는 에프에프에스(FFS; Fringe Field Switching) 방식 액정표시장치 및 그 제조방법을 제공함에 있다.

과제의 해결 수단

- [0028] 상기 목적을 달성하기 위한 본 발명에 따른 에프에프에스(FFS; Fringe Field Switching) 방식 액정표시장치용 어레이 기관은, 기관의 일면에 일 방향으로 형성된 게이트 배선; 상기 게이트 배선과 교차하여 화소영역을 정의하는 데이터배선; 상기 게이트배선과 데이터배선의 교차 지점에 형성된 박막트랜지스터; 상기 박막트랜지스터를 포함한 기관 전면면에 형성되고, 상기 박막트랜지스터를 노출시키는 개구부를 구비한 유기절연막; 상기 유기절연막 상부에 형성된 대면적의 공통전극과, 상기 개구부를 통해 상기 박막트랜지스터와 연결된 보조전극패턴; 상기 공통전극과 보조전극패턴을 포함한 기관 전면면에 형성되고 상기 박막트랜지스터와 연결된 보조전극패턴을 노출시키는 패시베이션막; 상기 패시베이션막 상부에 형성되고, 상기 노출된 보조전극패턴을 통해 상기 박막트랜지스

터와 전기적으로 연결되며, 상기 공통전극과 오버랩되는 다수의 화소전극을 포함하여 구성되는 것을 특징으로 한다.

[0029] 상기 목적을 달성하기 위한 본 발명에 따른 에프에프에스(FFS; Fringe Field Switching) 방식 액정표시장치용 어레이기판 제조방법은, 기판의 일면에 일 방향으로 게이트 배선을 형성하는 단계; 상기 게이트 배선과 교차하여 화소영역을 정의하는 데이터배선을 형성하는 단계; 상기 게이트배선과 데이터배선의 교차 지점에 박막트랜지스터를 형성하는 단계; 상기 박막트랜지스터를 포함한 기판 전면에 상기 박막트랜지스터를 노출시키는 개구부를 구비한 유기절연막을 형성하는 단계; 상기 유기절연막 상부에 대면적의 공통전극과, 상기 개구부를 통해 상기 박막트랜지스터와 연결되는 보조전극패턴을 형성하는 단계; 상기 공통전극과 보조전극패턴을 포함한 기판 전면에 상기 박막트랜지스터와 연결된 보조전극패턴을 노출시키는 패시베이션막을 형성하는 단계; 상기 패시베이션막 상부에 상기 노출된 보조전극패턴을 통해 상기 박막트랜지스터와 전기적으로 연결되며, 상기 공통전극과 오버랩되는 다수의 화소전극을 형성하는 단계를 포함하여 구성되는 것을 특징으로 한다.

발명의 효과

[0030] 본 발명에 따른 에프에프에스(FFS; Fringe Field Switching) 방식 액정표시장치용 어레이기판 및 그 제조방법에 따르면, 기존의 드레인전극과 화소전극을 전기적으로 연결시켜 주기 위해 형성하였던 드레인 콘택홀을 생략하고, 유기절연막에 박막트랜지스터 상부를 노출시키는 개구부를 형성하여, 이 노출된 박막트랜지스터와 화소전극을 전기적으로 직접 연결되도록 함으로써, 기존의 드레인 콘택홀을 형성하기 위해 사용되었던 면적이 개구 영역으로 사용되므로 투과율이 기존에 비해 개선된다.

[0031] 또한, 본 발명에 에프에프에스(FFS; Fringe Field Switching) 방식 액정표시장치용 어레이기판 및 그 제조방법에 따르면, 박막트랜지스터 상부에 마련된 개구부 내에 드레인전극과 화소전극이 전기적으로 연결되는 콘택홀을 형성하기 때문에 드레인콘택홀의 면적이 감소되므로 그만큼 개구율이 상승하게 된다.

[0032] 따라서, 화소전극이 최상부에 배치되는 구조이기 때문에 데이터배선과 화소전극 간의 캐패시턴스(capacitance)에 의한 CT 및 가로선을 저감할 수 있다.

[0033] 그리고, 본 발명에 에프에프에스(FFS; Fringe Field Switching) 방식 액정표시장치용 어레이기판 및 그 제조방법에 따르면, 소스전극 및 드레인전극 형성영역에 해당하는 도전층 부위 및 데이터배선 아래의 상기 불순물이 포함된 비정질실리콘층(n+ 또는 p+) 및 비정질실리콘층(a-Si:H)은 동시에 패터닝되기 때문에, 액티브 테일(active tail)이 발생할 염려가 없게 된다.

도면의 간단한 설명

[0034] 도 1은 종래기술에 따른 FFS(Fringe Field Switching) 방식 액정표시장치의 개략적인 평면도이다.
 도 2는 도 1의 II-II선에 따른 단면도로서, 종래기술에 따른 FFS(Fringe Field Switching) 방식 액정표시장치의 개략적인 단면도이다.
 도 3은 본 발명에 따른 FFS(Fringe Field Switching) 방식 액정표시장치의 개략적인 평면도이다.
 도 4는 본 발명에 따른 에프에프에스(FFS; Fringe Field Switching) 방식 액정표시장치에서, 박막트랜지스터 부위를 확대 도시한 평면도이다.
 도 5는 도 4의 V-V선에 따른 단면도로서, 본 발명에 따른 에프에프에스(FFS) 방식 액정표시장치의 개략적인 단면도이다.
 도 6a 내지 6q는 본 발명에 따른 에프에프에스(FFS; Fringe Field Switching) 방식 액정표시장치용 어레이기판의 제조 공정 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0035] 이하, 본 발명의 바람직한 실시 예에 따른 에프에프에스(FFS; Fringe Field Switching) 방식 액정표시장치용 어레이기판에 대해 첨부된 도면을 참조하여 상세히 설명한다.

[0036] 도 3은 본 발명에 따른 FFS(Fringe Field Switching) 방식 액정표시장치의 개략적인 평면도이다.

[0037] 도 4는 본 발명에 따른 에프에프에스(FFS; Fringe Field Switching) 방식 액정표시장치에서, 박막트랜지스터 부

위를 확대 도시한 평면도이다.

- [0038] 도 5는 도 4의 V-V선에 따른 단면도로서, 본 발명에 따른 에프에프에스(FFS) 방식 액정표시장치의 개략적인 단면도이다.
- [0039] 본 발명에 따른 에프에프에스(FFS; Fringe Field Switching) 방식 액정표시장치는, 도 3 내지 5에 도시된 바와 같이, 투명한 절연기관(101)의 일면에 일 방향으로 형성된 게이트 배선(103); 이 게이트배선(103)과 이격되어 배치된 공통배선(103b); 상기 게이트 배선(103)과 교차하여 화소영역을 정의하는 데이터배선(113a); 상기 게이트배선(103)과 데이터배선(113a)의 교차 지점에 형성된 박막트랜지스터(T); 상기 박막트랜지스터(T)를 포함한 기관 전면면에 형성되고, 상기 박막트랜지스터(T)를 노출시키는 개구부(121)를 구비한 유기절연막(117); 상기 유기절연막(117) 상부에 형성된 대면적의 공통전극(123a)과, 상기 개구부(121)를 통해 상기 박막트랜지스터(T)와 연결된 보조전극패턴(123b); 상기 공통전극(123a)과 보조전극패턴(123b)을 포함한 기관 전면면에 형성되고 상기 박막트랜지스터(T)와 연결된 보조전극패턴(123c)을 노출시키는 패시베이션막(127); 상기 패시베이션막(127) 상부에 형성되고, 상기 노출된 보조전극패턴(123c)을 통해 상기 박막트랜지스터(T)와 전기적으로 연결되며, 상기 공통전극(123a)과 오버랩되는 다수의 화소전극(133a)을 포함하여 구성된다.
- [0040] 여기서, 상기 공통전극(123a)은 상기 게이트배선(103)과 데이터배선(113a)이 교차하여 이루는 화소영역의 전면면에 배치되어 있으며, 상기 화소전극(125a) 상측에는 상기 패시베이션막(127)을 사이에 두고 서로 이격된 다수의 막대 형상의 투명한 화소전극(133a)들이 배치되어 있다. 이때, 상기 공통전극(123a)은 상기 화소전극(133a) 형성시에 형성된 공통배선 연결패턴(133b)을 통해 상기 게이트배선(103)과 평행하게 배치된 공통배선(103b)과 전기적으로 연결되어 있다.
- [0041] 또한, 도 5에 도시된 바와 같이, 상기 화소전극(133a)은 별도의 드레인 콘택홀 없이 상기 박막트랜지스터(T) 상부에 위치하는 개구부(121)를 통해 상기 드레인전극(113c)과 직접 연결된 상기 보조전극패턴(123c)과 접속된다. 이때, 상기 개구부(121)는 상기 박막트랜지스터(T)를 구성하는 소스전극(113b)과 드레인전극(113c)을 노출시키도록 형성된다.
- [0042] 그리고, 상기 게이트배선과 데이터배선이 교차하여 이루는 화소영역을 제외한 영역과 대응하는 상부기관(141) 상에는 광을 차단시켜 주는 블랙매트릭스(143)가 형성되어 있고, 상기 블랙매트릭스(143) 사이에는 적색(Red) 칼라필터층(미도시), 녹색(Green) 칼라필터층(미도시) 및 청색(Blue) 칼라필터층(미도시)을 포함하는 칼라필터층(145)이 형성되어 있다. 이때, 상기 칼라필터층(145)은 상기 상부기관(141) 대신에 상기 절연기관(101) 상에 형성하는 COT(Color filter On TFT) 구조로 적용할 수도 있다. 즉, 상기 칼라필터층(145)은 상기 게이트배선(103)과 데이터배선(113a)이 교차하여 이루는 절연기관(101)의 화소영역에 형성할 수도 있다.
- [0043] 더욱이, 상기 칼라필터층(143) 상부에는 액정표시장치의 일정한 셀 갭을 유지시켜 주기 위해, 컬럼 스페이서(column spacer)(147)가 형성되어 있다. 이때, 상기 컬럼 스페이서(147)는 절연기관(101) 상부에 형성될 수도 있다.
- [0044] 따라서, 본 발명의 경우에는, 도 5에서와 같이, 기존에 형성하였던 드레인 콘택홀이 제거되어, 이 드레인 콘택홀이 제거된 지역의 면적이 개구 영역으로 사용됨으로써, 그만큼 픽셀의 투과율이 개선된다.
- [0045] 그리고, 상기 절연기관(101)과 상부기관(141) 사이에는 액정층(151)이 형성됨으로써 본 발명에 따른 에프에프에스(FFS; Fringe Field Switching) 방식 액정표시장치가 구성된다.
- [0046] 상기 구성을 통해, 상기 다수의 공통전극(123a)은 액정 구동을 위한 기준 전압, 즉 공통전압을 각 화소에 공급한다.
- [0047] 상기 다수의 공통전극(123a)은 각 화소영역에서 패시베이션막(127)을 사이에 두고 상기 대면적의 화소전극(133a)과 중첩되어 프린지 필드(fringe field)를 형성한다.
- [0048] 이렇게 하여, 상기 박막트랜지스터(T)를 통해 화소전극(133a)에 데이터 신호가 공급되면, 공통전압이 공급된 공통전극(123a)이 프린지 필드(fringe field)를 형성하여 절연기관(101)과 칼라필터 기관(141) 사이에서 수평 방향으로 배열된 액정분자들이 유전 이방성에 의해 회전하게 됨으로써, 액정분자들이 회전 정도에 따라 화소영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.
- [0049] 따라서, 본 발명에 따른 에프에프에스(FFS; Fringe Field Switching) 방식 액정표시장치용 어레이기관에 따르면, 기존의 드레인전극과 화소전극을 전기적으로 연결시켜 주기 위해 형성하였던 드레인 콘택홀을 생략하고, 패시베이션막에 박막트랜지스터 상부를 노출시키는 개구부를 형성하여, 이 노출된 박막트랜지스터와

화소전극을 전기적으로 직접 연결되도록 함으로써, 기존의 드레인 콘택홀을 형성하기 위해 사용되었던 면적이 개구 영역으로 사용되므로 투과율이 기존에 비해 개선된다.

- [0050] 또한, 본 발명에 따른 에프에프에스(FFS; Fringe Field Switching) 방식 액정표시장치용 어레이기판은 화소전극이 최상부에 배치되는 구조이기 때문에 데이터배선과 화소전극 간의 캐패시턴스(capacitance)에 의한 CT 및 가로선을 저감할 수 있다.
- [0051] 그리고, 본 발명에 에프에프에스(FFS; Fringe Field Switching) 방식 액정표시장치용 어레이기판에 따르면, 소스전극 및 드레인전극 형성영역에 해당하는 도전층 부위 및 데이터배선 아래의 상기 불순물이 포함된 비정질실리콘층(n+ 또는 p+) 및 비정질실리콘층(a-Si:H)은 동시에 패터닝되기 때문에, 액티브 테일(active tail)이 발생할 염려가 없게 된다.
- [0052] 한편, 상기 구성으로 이루어진 본 발명에 따른 에프에프에스(FFS; Fringe Field Switching) 방식 액정표시장치용 어레이 기판 제조방법에 대해 도 6a 내지 도 6q를 참조하여 설명하면 다음과 같다.
- [0053] 도 6a 내지 6q는 본 발명에 따른 에프에프에스(FFS; Fringe Field Switching) 방식 액정표시장치용 어레이기판의 제조 공정 단면도들이다.
- [0054] 도 6a에 도시된 바와 같이, 투명한 절연기판(101) 상에 스위칭 역할을 포함하는 다수의 화소영역을 정의하고, 상기 투명한 절연기판(101) 상에 제1 도전 금속층(102)을 스퍼터링 방법에 의해 증착한다. 이때, 상기 제1 도전 금속층(102)을 형성하는 타겟 물질로는, 알루미늄(Al), 텅스텐(W), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 폴리텅스텐(MoW), 폴리티타늄(MoTi), 구리/폴리티타늄(Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 하나 이상을 사용한다. 이때, 상기 제1 도전 금속층(102)은 적어도 하나 이상의 적층 구조로 형성된다.
- [0055] 그 다음, 상기 제1 도전 금속층(102) 상부에 투과율이 높은 포토레지스트(photo-resist)를 도포하여 제1 감광막(105)을 형성한다.
- [0056] 이어서, 도 6b에 도시된 바와 같이, 노광 마스크(미도시)를 이용한 포토리소그라피 공정 기술을 통해 상기 제1 감광막(105)에 노광 공정을 진행한 다음 현상공정을 통해 상기 제1 감광막(105)을 선택적으로 제거하여 제1 감광막패턴(105a)을 형성한다.
- [0057] 그 다음, 도 6c에 도시된 바와 같이, 상기 제1 감광막패턴(105a)을 차단막으로 상기 제1 도전 금속층(102)을 선택적으로 식각하여, 게이트배선(103, 도 3 참조)과 이 게이트배선(103)으로부터 연장된 게이트전극(103a) 및 상기 게이트배선(103)과 이격되어 평행한 공통배선(103b)을 동시에 형성한다.
- [0058] 이어서, 상기 제1 감광막패턴(105a)을 제거한 후, 상기 게이트전극(103a)을 포함한 기판 전면에 질화실리콘(SiNx) 또는 실리콘산화막(SiO₂)으로 이루어진 게이트절연막(107)을 형성한다.
- [0059] 그 다음, 도 6d에 도시된 바와 같이, 상기 게이트절연막(107) 상에 비정질실리콘층(a-Si:H)(109)과 불순물이 포함된 비정질실리콘층(n+ 또는 p+)(111)을 차례로 적층한다. 이때, 상기 비정질실리콘층(a-Si:H)(109)과 불순물이 포함된 비정질실리콘층(n+ 또는 p+)(111)은 화학기상 증착법(CVD; Chemical Vapor Deposition method)으로 증착한다. 이때, 상기 게이트절연막(107) 상에 비정질실리콘층(a-Si:H)(109) 대신에 IGZO와 같은 산화물 계열의 반도체 재질을 형성할 수도 있다.
- [0060] 이어서, 상기 불순물이 포함된 비정질실리콘층(n+ 또는 p+)(111)을 포함한 기판 전면에 제2 도전 금속층(113)을 스퍼터링 방법으로 증착한다. 이때, 상기 제2 도전 금속층(113)을 형성하는 타겟 물질로는, 알루미늄(Al), 텅스텐(W), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 폴리텅스텐(MoW), 폴리티타늄(MoTi), 구리/폴리티타늄(Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 하나를 사용한다.
- [0061] 이어서, 도면에는 도시하지 않았지만, 상기 제2 도전 금속층(113) 상부에 투과율이 높은 포토레지스트(photo-resist)를 도포하여 제2 감광막(미도시)을 형성한다.
- [0062] 그 다음, 노광마스크(미도시)를 이용한 포토리소그라피 공정 기술을 통해 상기 제2 감광막(미도시)에 노광 공정을 진행한 다음 현상 공정을 통해 상기 제2 감광막(미도시)을 선택적으로 제거하여 제2 감광막패턴(115)을 형성한다.
- [0063] 이어서, 도 6e에 도시된 바와 같이, 상기 제2 감광막패턴(115)을 식각마스크로, 상기 제2 도전층(113)을 선택적으로 식각하여 상기 게이트배선(103)과 수직되게 교차하는 데이터배선(113a)과 함께 소스전극 및 드레인전극 형

성영역(미도시)을 정의한다.

- [0064] 그 다음, 계속해서 식각 공정을 통해 상기 소스전극 및 드레인전극 형성영역(미도시)에 해당하는 제2 도전층(113) 부위 및 상기 데이터배선(113a) 아래의 상기 불순물이 포함된 비정질실리콘층(n+ 또는 p+)(111) 및 비정질실리콘층(a-Si:H)(109)을 순차적으로 식각하여, 오믹콘택층(111a)과 액티브층(109a)을 형성한다. 이때, 상기 소스전극 및 드레인전극 형성영역(미도시)에 해당하는 제2 도전층(113) 부위 및 상기 데이터배선(113a) 아래의 상기 불순물이 포함된 비정질실리콘층(n+ 또는 p+)(111) 및 비정질실리콘층(a-Si:H)(109)이 동시에 패터닝되기 때문에, 액티브 테일(active tail)이 발생할 염려가 없게 된다.
- [0065] 이어서, 도 6e에 도시된 바와 같이, 상기 액티브층(109a)과 오믹콘택층(111a), 상기 소스전극 및 드레인전극 형성영역(미도시)에 해당하는 제2 도전 금속층(113) 및 데이터배선(113a)을 포함한 기판 전면에서 제1 패시베이션막(116)과 유기절연막(117)을 차례로 증착한다. 이때, 상기 제1 패시베이션막(116)으로는 질화실리콘(SiNx) 또는 실리칸산화막(SiO₂)으로 이루어진 무기 절연물질로 증착한다. 또한, 상기 유기절연막(117)으로는 감광성을 띄는 포토 아크릴(Photo Acryl) 물질 또는 기타 다른 감광성 유기 절연물질을 사용한다. 또한, 상기 포토 아크릴(Photo Acryl)은 감광성을 띄기 때문에, 노광 공정시에 별도의 포토레지스트(photoresist)를 형성하지 않아도 노광 공정을 진행할 수 있다. 이때, 상기 유기 절연막(117) 대신에 무기 절연물질을 사용할 수도 있다.
- [0066] 그 다음, 도 6f에 도시된 바와 같이, 노광마스크(미도시)를 이용한 포토리소그래피 공정 기술을 통해 상기 유기 절연막(117)에 노광 공정을 진행한 다음 현상 하여 상기 유기절연막(117)을 선택적으로 제거함으로써 상기 소스전극 및 드레인전극 형성영역(미도시)에 해당하는 제2 금속 도전층(113) 상부 및 상기 공통배선(103b) 상부를 노출시키는 유기절연막패턴(117a)을 형성한다.
- [0067] 이어서, 도 6g에 도시된 바와 같이, 상기 유기절연막패턴(117a)을 식각 마스크로 상기 소스전극 및 드레인전극 형성영역(미도시)에 해당하는 제2 금속 도전층(113) 상부 및 상기 공통배선(103b) 상부에 배치된 제1 패시베이션막(116) 부분을 선택적으로 식각하여, 제1 개구부(121a) 및 제2 개구부(121b)를 형성한다. 이때, 상기 제1 개구부(121a)를 통해서 박막트랜지스터(T) 형성 부위, 즉 소스전극 및 드레인전극 형성지역이 외부로 노출된다. 또한, 제2 개구부(121b)를 통해서 상기 공통배선(103b)이 외부로 노출된다.
- [0068] 그 다음, 도 6h에 도시된 바와 같이, 상기 제1 및 2 개구부(121a, 121b)를 포함한 상기 유기절연막(117) 상부에 투명 도전물질을 스퍼터링 방법으로 증착하여 제 1 투명 도전물질층(123)을 형성한다. 이때, 상기 투명 도전물질로는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide)를 포함한 투명한 도전 물질 그룹 중에서 어느 하나의 조성물 타겟을 사용한다. 또한, 상기 제1 투명 도전물질층(123)은 상기 소스전극 및 드레인전극 형성영역(미도시)에 해당하는 도전층(113) 표면과 직접 접촉한다.
- [0069] 이어서, 상기 제1 투명 도전 물질층(123) 상부에 투과율이 높은 포토레지스트(photo-resist)를 도포하여 제3 감광막(125)을 형성한다.
- [0070] 그 다음, 도 6i에 도시된 바와 같이, 노광 마스크(미도시)를 이용한 포토리소그래피 공정기술에 의한 노광 공정을 실시한 후, 노광된 상기 제3 감광막(125)을 선택적으로 제거하여 제3 감광막패턴(125a)을 형성한다. 이때, 박막트랜지스터의 채널영역 상부의 제1 투명 도전 물질층(123) 상면이 외부로 노출된다.
- [0071] 이어서, 도 6j에 도시된 바와 같이, 상기 제3 감광막패턴(125a)을 식각 마스크로 상기 노출된 제1 투명 도전물질층(123)과 그 아래의 제2 도전 금속층(113) 및 오믹콘택층(111a)을 순차적으로 식각하여, 대면적의 공통전극(123a)과 더미패턴(123b)과 보조전극패턴(123c)을 형성함과 동시에, 서로 이격된 소스전극(113b) 및 드레인전극(113c)을 형성한다. 이때, 상기 오믹콘택층(111a)도 식각되어 이격된 상태가 되기 때문에, 그 하부에 있는 액티브층(109a)의 채널영역(미도시)이 외부로 노출된다. 또한, 상기 보조전극패턴(123c)은 상기 드레인전극(113c)과 직접 연결된 상태가 되며, 상기 더미패턴(123b)은 상기 소스전극(113b)과 직접 연결된 상태가 된다. 이때, 상기 더미패턴(123b)은 단지 소스전극(113b)에만 연결된 상태이기 때문에 별도로 식각할 필요는 없다.
- [0072] 그 다음, 도 6k에 도시된 바와 같이, 상기 제3 감광막패턴(125a)을 제거한 후, 기판 전면에서 무기 절연물질 또는 유기 절연물질을 증착하여 제2 패시베이션막(passivation)(127)을 형성하고, 이어 상기 제2 패시베이션막(127) 상부에 투과율이 높은 포토레지스트(photo-resist)를 도포하여 제4 감광막(129)을 형성한다.
- [0073] 이어서, 도 6l에 도시된 바와 같이, 노광마스크(미도시)를 이용한 포토리소그래피 공정기술에 의해 노광 및 현상공정을 실시하여 상기 제4 감광막(129)을 제거하여 제4 감광막패턴(129a)을 형성한다.
- [0074] 그 다음, 도 6m에 도시된 바와 같이, 상기 제4 감광막패턴(129a)을 식각 마스크로, 상기 제2 패시베이션막(12

7)을 선택적으로 식각하여 상기 보조전극패턴(123c), 공통전극(123b) 및 공통배선(103b)을 각각 노출시키는 화소전극 콘택홀(131a), 공통전극 콘택홀(131b) 및 공통배선 콘택홀(131c)을 동시에 형성한다.

- [0075] 이어서, 도 6n에 도시된 바와 같이, 상기 제4 감광막패턴(129a)을 제거한 후, 상기 화소전극 콘택홀(131a), 공통전극 콘택홀(131b) 및 공통배선 콘택홀(131c)을 포함한 제2 패시베이션막(127) 상부에 투명 도전물질을 스퍼터링 방법으로 증착하여 제2 투명 도전물질층(133)을 형성한다. 이때, 상기 투명 도전물질로는, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide)를 포함한 투명한 도전 물질 그룹 중에서 어느 하나의 조성물 타겟을 사용한다.
- [0076] 그 다음, 상기 제2 투명 도전물질층(133) 상부에 투과율이 높은 포토레지스트(photo-resist)를 도포하여 제5 감광막(135)을 형성한다.
- [0077] 이어서, 도 6o에 도시된 바와 같이, 노광마스크(미도시)를 이용한 포토리소그래피 공정 기술을 통해 상기 제5 감광막(135)에 노광 공정을 진행한 후 현상 공정을 통해 상기 제5 감광막(135)을 선택적으로 제거하여 제5 감광막패턴(135a)을 형성한다.
- [0078] 그 다음, 도 6p에 도시된 바와 같이, 상기 제5 감광막패턴(135a)을 식각 마스크로, 상기 제2 투명 도전물질층(133)을 선택적으로 식각하여 상기 보조전극패턴(123c)과 연결되며, 서로 이격된 다수의 화소전극(133a)과 함께, 상기 공통전극(131b) 및 공통배선 콘택홀(131c)을 통해 상기 공통전극(123a)과 공통배선(103b)을 전기적으로 연결시켜 주는 공통 연결패턴(133b)을 동시에 형성한다. 이때, 상기 화소전극(133a)은 상기 보조전극패턴(123c)과 연결됨으로써 드레인전극(113c)과도 전기적으로 연결된다.
- [0079] 이어서, 도면에는 도시하지 않았지만, 상기 남아 있는 제5 감광막패턴(135a)을 제거한 후, 기판 전면에 배향막(미도시)을 형성하는 공정을 추가로 형성함으로써, 본 발명에 따른 에프에프에스(FFS; Fringe Field Switching) 방식 액정표시장치용 어레이기판 제조공정을 완료하게 된다.
- [0080] 이후에, 도 6q에 도시된 바와 같이, 상기 게이트배선(103)과 데이터배선(113a)이 교차하여 이루는 화소영역을 제외한 영역과 대응하는 상부기판(141) 상에 광을 차단시켜 주는 블랙매트릭스(143)를 형성한다.
- [0081] 그 다음, 상기 블랙매트릭스(143) 사이에 적색(Red) 칼라필터층(미도시), 녹색(Green) 칼라필터층(미도시) 및 청색(Blue) 칼라필터층(미도시)을 포함하는 칼라필터층(145)을 형성한다. 이때, 상기 칼라필터층(145)은 상기 상부기판(141) 대신에 상기 절연기판(101) 상에 형성하는 COT(Color filter On TFT) 구조로 적용할 수도 있다. 즉, 상기 칼라필터층(145)은 상기 게이트배선(103)과 데이터배선(113a)이 교차하여 이루는 절연기판(101)의 화소영역인 제1 패시베이션막(116) 상부에 형성할 수도 있다.
- [0082] 이어서, 상기 칼라필터층(145) 상부에는 액정표시장치의 일정한 셀 갭을 유지시켜 주기 위해, 컬럼 스페이스(column spacer) (147)를 형성한다. 이때, 상기 컬럼 스페이스(147)는 절연기판(101) 상부에 형성할 수도 있다.
- [0083] 따라서, 본 발명의 경우에는, 기존에 형성하였던 드레인 콘택홀이 제거되어, 이 드레인 콘택홀이 제거된 지역의 면적이 개구 영역으로 사용됨으로써, 그만큼 픽셀의 투과율이 개선된다.
- [0084] 그 다음, 상기 상부기판(141) 전면에 배향막(미도시)을 형성하는 공정을 추가함으로써 컬러필터 어레이기판 제조공정을 완료한다.
- [0085] 이후에, 상기 절연기판(101)과 상부기판(141) 사이에 액정층(151)을 형성함으로써 본 발명에 따른 에프에프에스(FFS; Fringe Field Switching) 방식 액정표시장치 제조공정을 완료한다.
- [0086] 상기한 바와 같이, 본 발명에 따른 에프에프에스(FFS; Fringe Field Switching) 방식 액정표시장치용 어레이기판 및 그 제조방법에 따르면, 기존의 드레인전극과 화소전극을 전기적으로 연결시켜 주기 위해 형성하였던 드레인 콘택홀을 생략하고, 유기절연막에 박막트랜지스터 상부를 노출시키는 개구부를 형성하여, 이 노출된 박막트랜지스터와 화소전극을 전기적으로 직접 연결되도록 함으로써, 기존의 드레인 콘택홀을 형성하기 위해 사용되었던 면적이 개구 영역으로 사용되므로 투과율이 기존에 비해 개선된다.
- [0087] 또한, 본 발명에 에프에프에스(FFS; Fringe Field Switching) 방식 액정표시장치용 어레이기판 및 그 제조방법에 따르면, 박막트랜지스터 상부에 마련된 개구부 내에 드레인전극과 화소전극이 전기적으로 연결되는 콘택홀을 형성하기 때문에 드레인콘택홀의 면적이 감소되므로 그만큼 개구율이 상승하게 된다.
- [0088] 따라서, 화소전극이 최상부에 배치되는 구조이기 때문에 데이터배선과 화소전극 간의 캐패시턴스(capacitance)에 의한 CT 및 가로선을 저감할 수 있다.

[0089] 그리고, 본 발명에 에프에프에스(FFS: Fringe Field Switching) 방식 액정표시장치용 어레이기판 및 그 제조방법에 따르면, 소스전극 및 드레인전극 형성영역에 해당하는 도전층 부위 및 데이터배선 아래의 상기 불순물이 포함된 비정질실리콘층(n+ 또는 p+) 및 비정질실리콘층(a-Si:H)은 동시에 패터닝되기 때문에, 액티브 테일(active tail)이 발생할 염려가 없게 된다.

[0090] 이상에서 본 발명의 바람직한 실시 예에 대하여 상세하게 설명하였지만, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다.

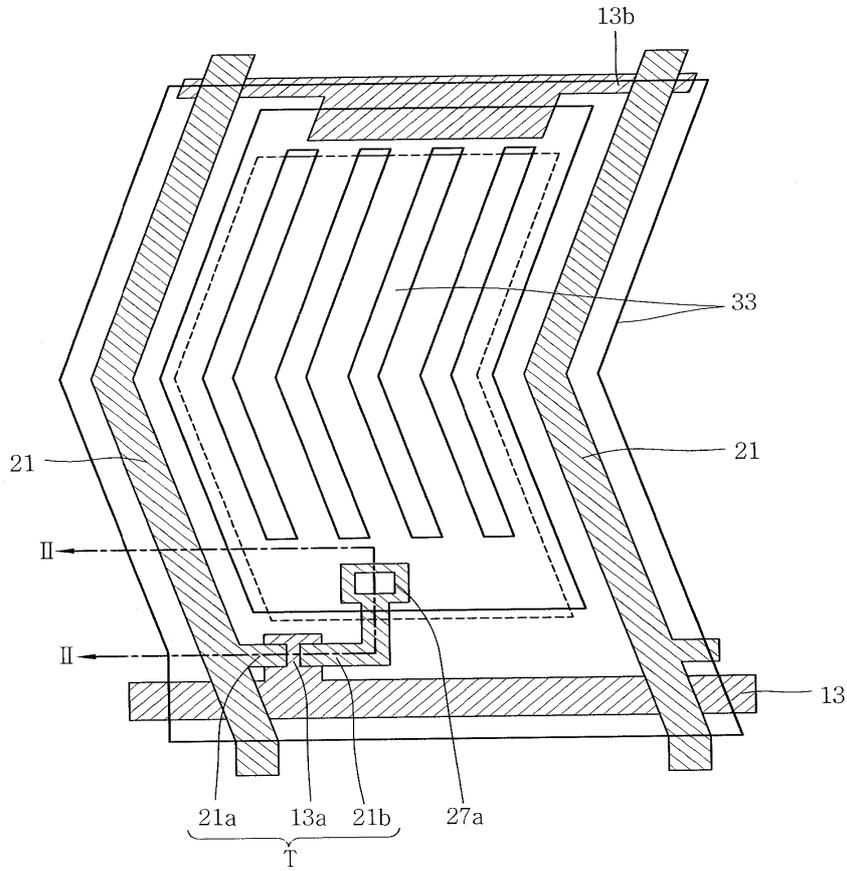
[0091] 따라서, 본 발명의 권리 범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

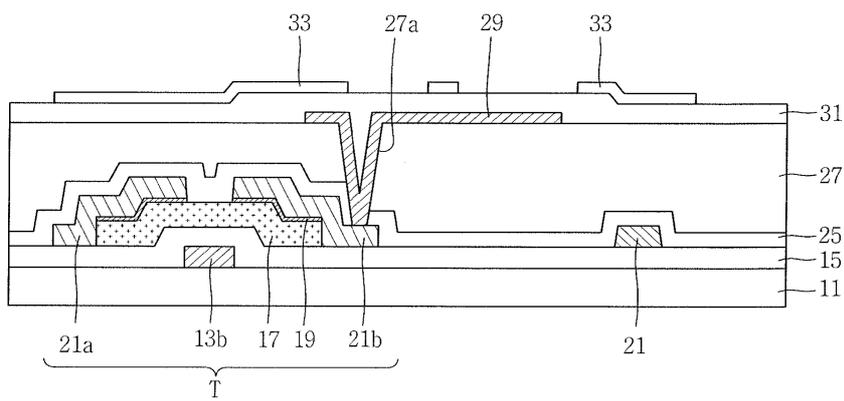
- [0092]
- | | | |
|------------------------|----------------|------|
| 101: 절연기판 | 103: 게이트배선 | |
| 103a: 게이트전극 | 107: 게이트절연막 | |
| 109a: 액티브층 | 111a: 오믹콘택층 | |
| 113a: 데이터배선 | 113b: 소스전극 | |
| 113c: 드레인전극 | 117: 유기절연막 | 121: |
| 개구부 | 123a: 공통전극 | |
| 123b: 더미패턴 | 123c: 보조전극패턴 | |
| 116, 127: 제1, 2 패시베이션막 | 131a: 화소전극 콘택홀 | |
| 131b: 공통전극 콘택홀 | 131c: 공통배선 콘택홀 | |
| 133a: 화소전극 | 133b: 공통 연결패턴 | |
| 141: 상부기판 | 143: 블랙매트릭스 | |
| 145: 칼럼 스페이서 | 147: 칼럼 스페이서 | |
| 151: 액정층 | | |

도면

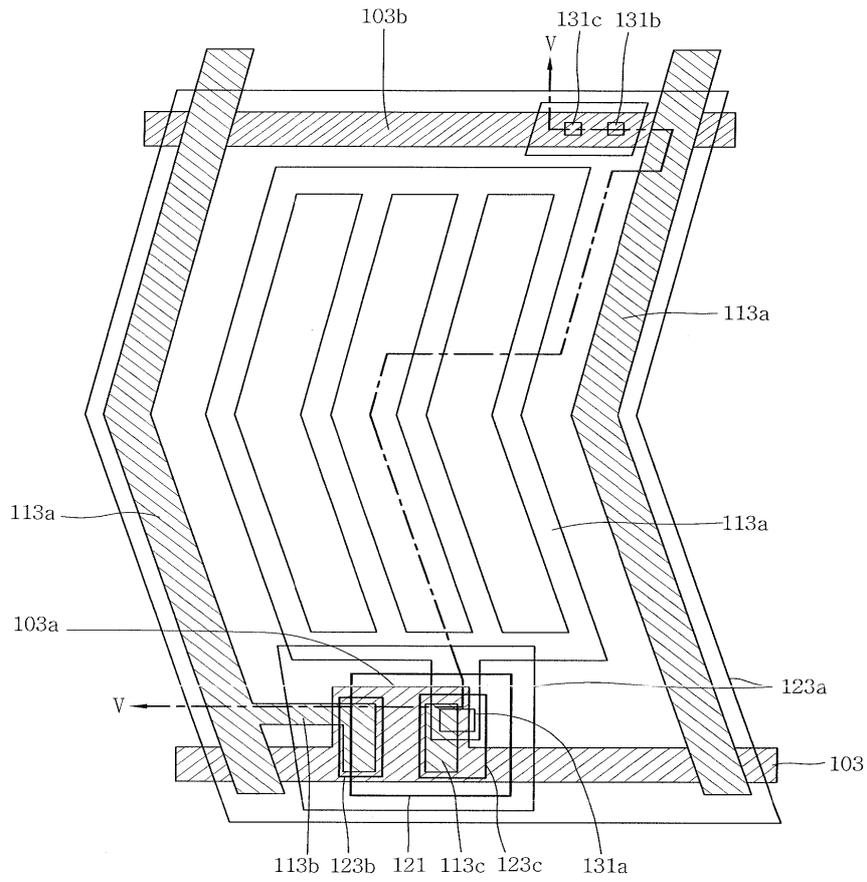
도면1



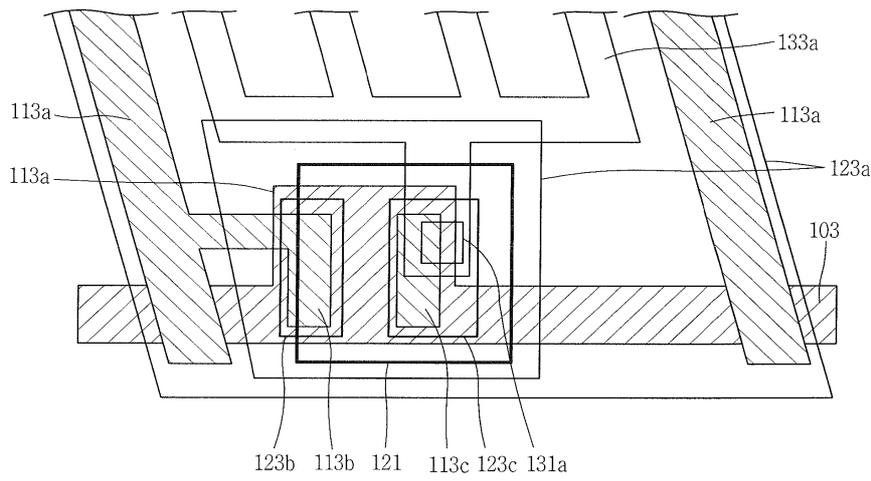
도면2



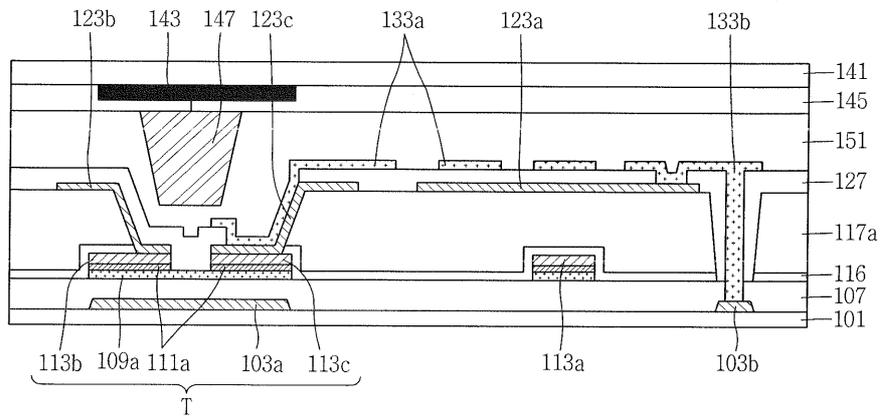
도면3



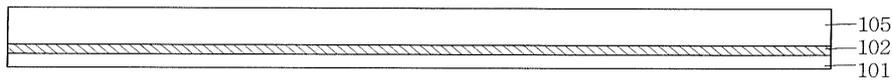
도면4



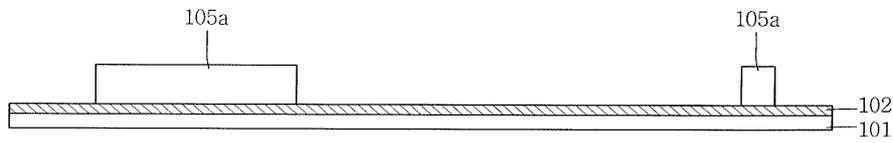
도면5



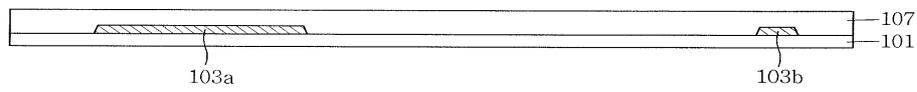
도면6a



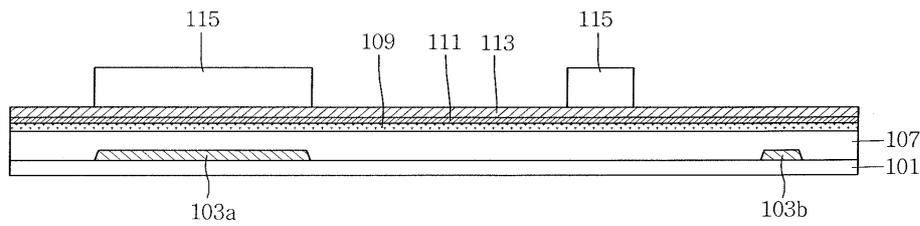
도면6b



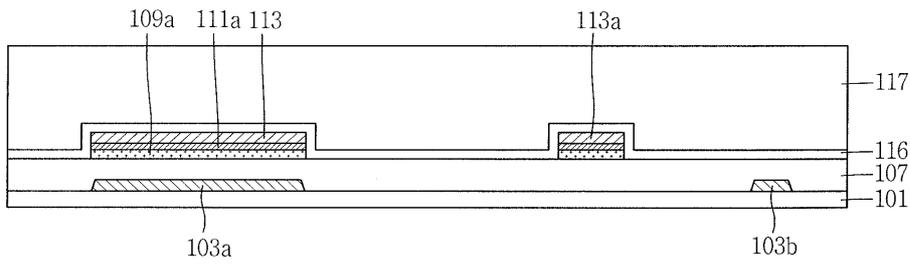
도면6c



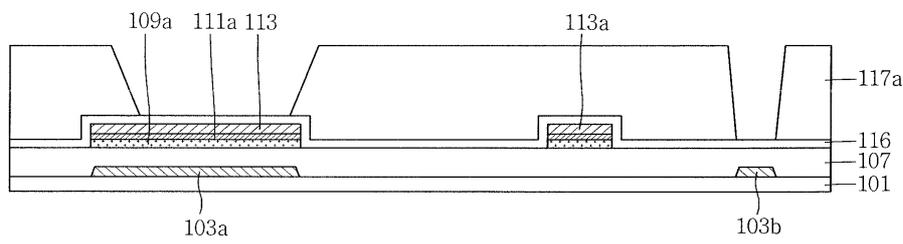
도면6d



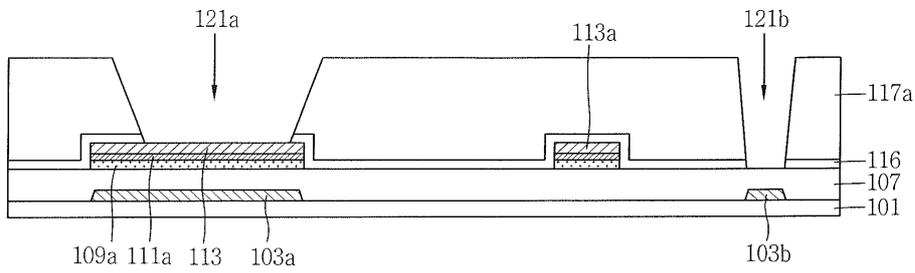
도면6e



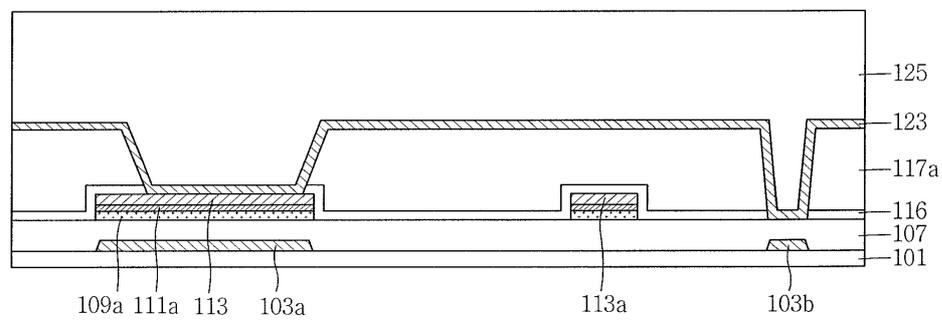
도면6f



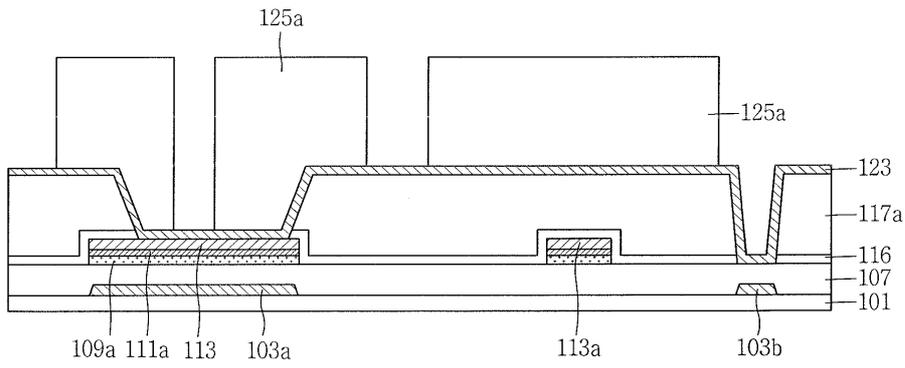
도면6g



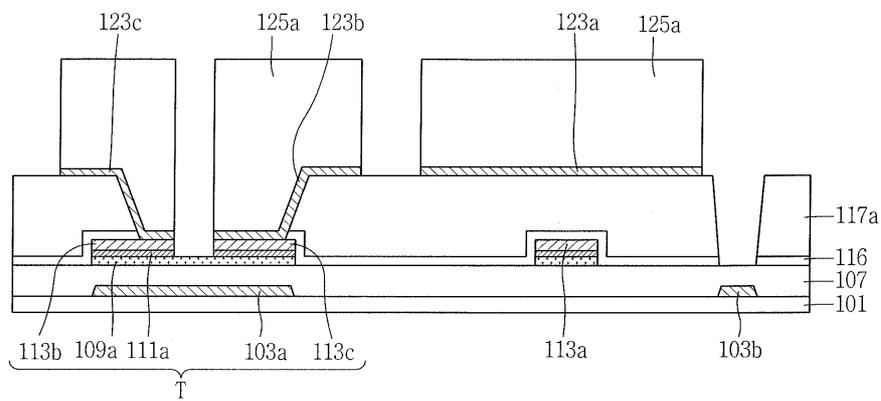
도면6h



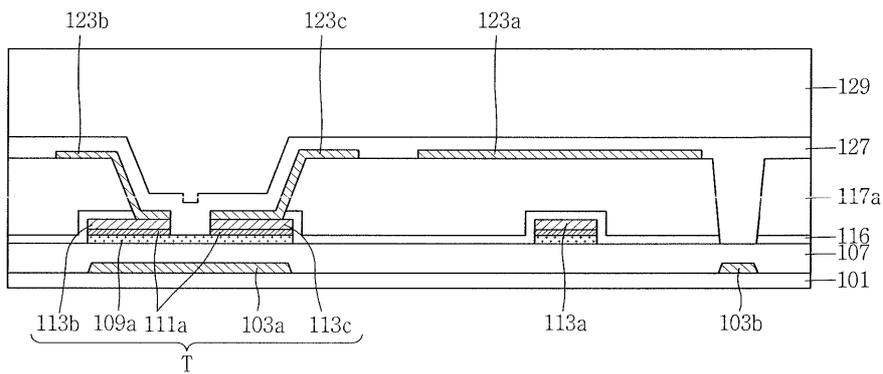
도면6i



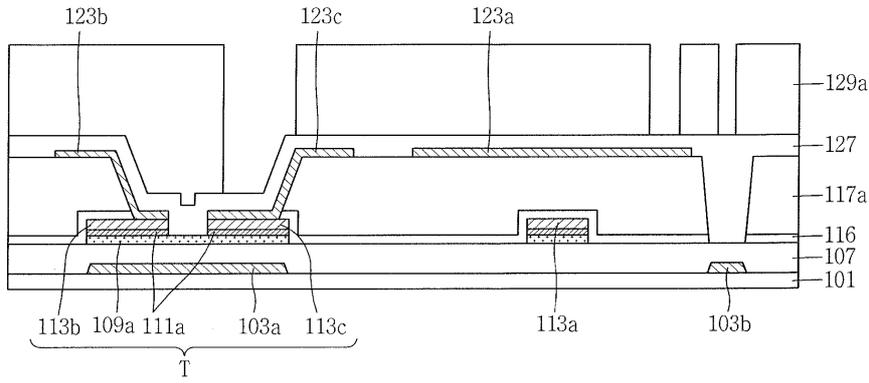
도면6j



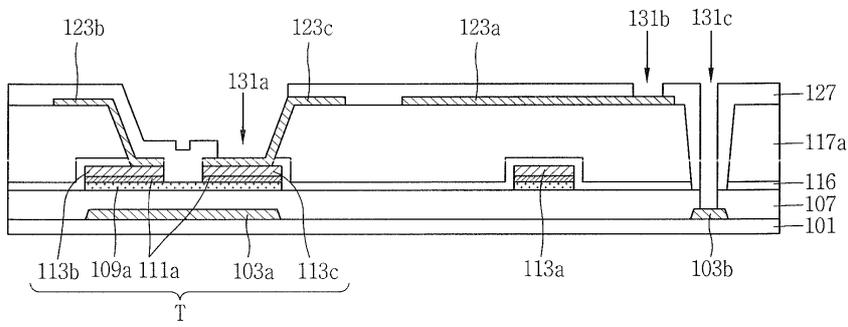
도면6k



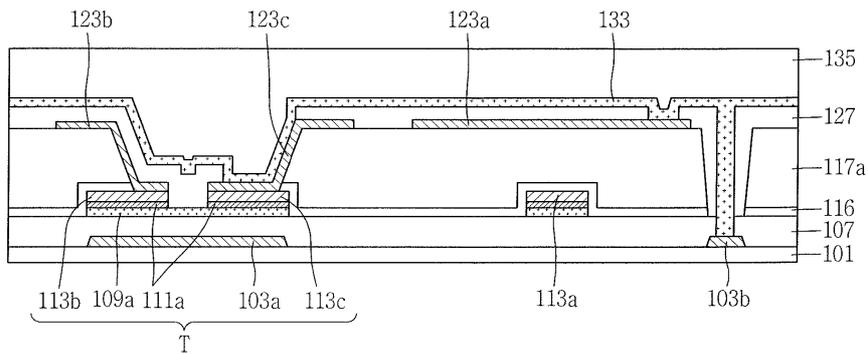
도면6l



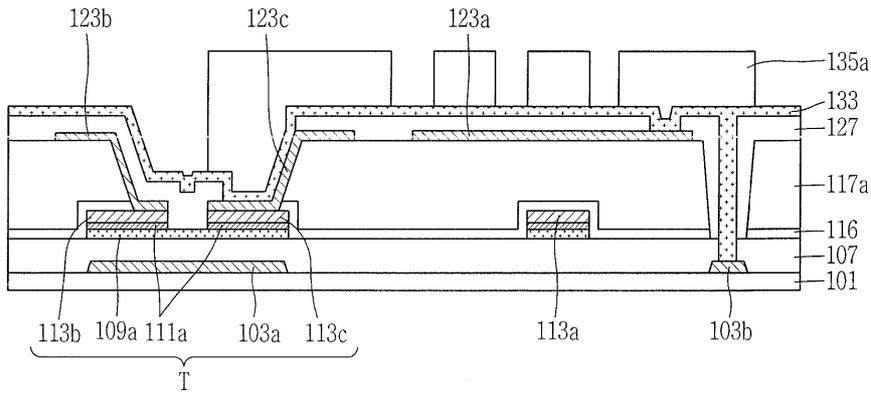
도면6m



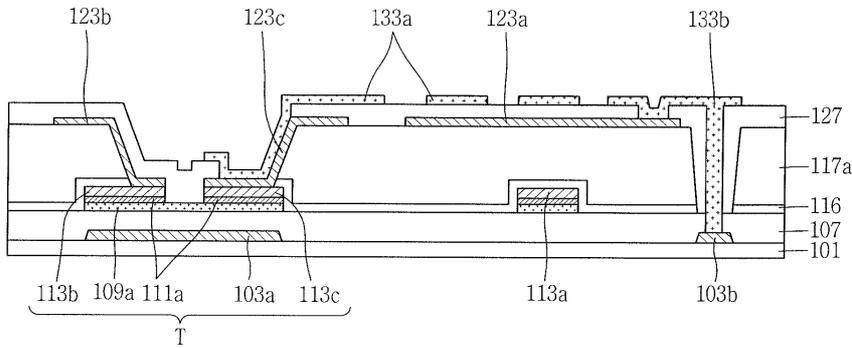
도면6n



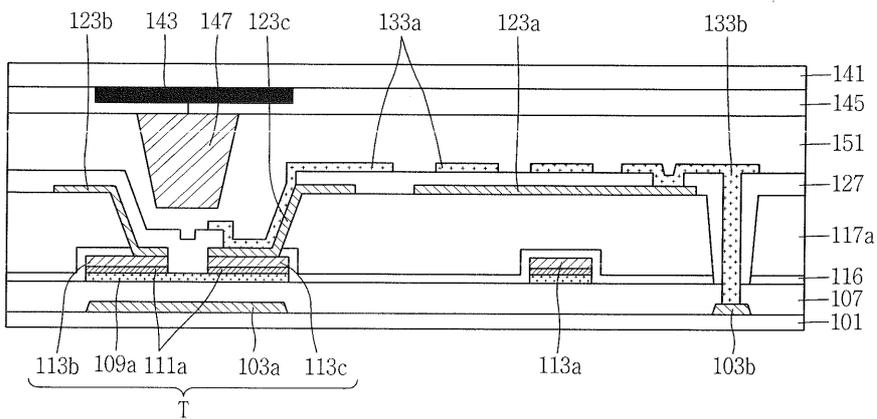
도면6o



도면6p



도면6q



专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR101905757B1	公开(公告)日	2018-10-10
申请号	KR1020110120367	申请日	2011-11-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SHIN DONG SU 신동수 CHOI SEUNG KYU 최승규 LEE CHEOL HWAN 이철환		
发明人	신동수 최승규 이철환		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	H01L27/124 G02F1/134363 G02F1/1368 G02F2001/134372 H01L27/1248 H01L29/6675 H01L29/786		
其他公开文献	KR1020130054780A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种用于FFS (边缘场切换) 型液晶显示装置的阵列基板及其制造方法, 本发明涉及一种在一个方向上形成在基板的一个表面上的栅极布线。跨越栅极线并限定像素区域的数据线; 一种薄膜晶体管, 形成在栅极线和数据线的交叉点处; 一种有机绝缘层, 形成在包括薄膜晶体管的基板的前表面上, 并具有暴露薄膜晶体管的开口; 形成在包括公共电极和辅助电极图案的基板的上表面上的辅助电极图案, 以及形成在包括公共电极和辅助电极图案的基板的上表面上的辅助电极图案, 钝化膜, 暴露半导体衬底; 并且多个像素电极形成在钝化膜上并通过暴露的辅助电极图案电连接到薄膜晶体管并与公共电极重叠。 专利号10-1905757

