



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년11월08일
(11) 등록번호 10-1794649
(24) 등록일자 2017년11월01일

(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) G02F 1/1335 (2006.01)
G02F 1/1343 (2006.01) G02F 1/1362 (2006.01)
H01L 27/12 (2006.01) H01L 29/417 (2006.01)
(21) 출원번호 10-2010-0137254
(22) 출원일자 2010년12월28일
심사청구일자 2015년12월28일
(65) 공개번호 10-2012-0075204
(43) 공개일자 2012년07월06일
(56) 선행기술조사문헌
US07151583 B2
(뒷면에 계속)

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
공민석
경상북도 구미시 송동로 105 105동 1406호 (도량동, 한빛아파트)
이민직
경상북도 구미시 검성로 103-21 103동 907호 (황상동, 화진금봉타운1차아파트)
이병현
경상북도 칠곡군 석적읍 북중리3길 70, 부영아파트 112동 903호
(74) 대리인
박영복

전체 청구항 수 : 총 16 항

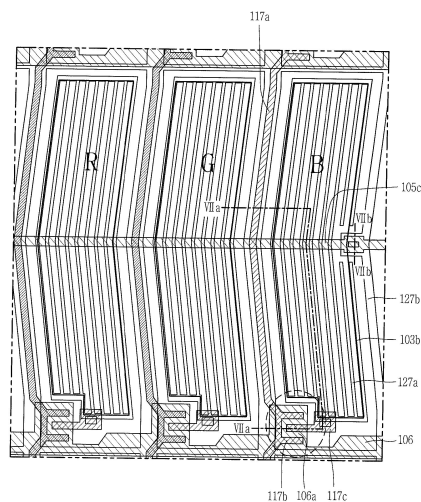
심사관 : 배성주

(54) 발명의 명칭 **에프 에프 에스 방식 액정표시장치용 어레이 기판 및 그 제조방법**

(57) 요약

본 발명은 에프에프에스 액정표시장치용 어레이 기판 및 그 제조방법에 관한 것으로, 개시된 구성은 기판의 일면에 일 방향으로 형성된 다수의 게이트배선; 상기 다수의 게이트 배선과 교차되게 배열되어 적색(R), 녹색(G) 및 청색(B) 화소영역을 정의하는 다수의 데이터배선; 상기 기판의 서브 화소영역에 형성된 공통배선; 상기 공통배선 상에 형성되고 상기 게이트배선과 평행하게 배열된 보조 공통배선; 상기 게이트배선과 데이터배선의 교차 지점에 형성된 박막트랜지스터; 상기 기판 전면에 형성되고, 상기 박막트랜지스터 및 상기 보조 공통배선을 각각 노출시키는 보호막; 및 상기 보호막 상에 형성되고, 상기 박막트랜지스터와 상기 보조 공통배선과 각각 연결되는 화소 전극들 및 공통전극들을 포함하여 구성된다.

대표도 - 도4



(56) 선행기술조사문헌

US20100060628 A1

US20060290866 A1*

KR1020100098900 A*

KR1020090089594 A

KR1020030083082 A

KR1019990011210 A

US20090121983 A1*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

기판의 일면에 일 방향으로 형성된 다수의 게이트배선;

상기 다수의 게이트 배선과 교차되게 배열되어 적색(R), 녹색(G) 및 청색(B) 화소영역을 정의하는 다수의 데이터배선;

상기 기판의 서브 화소영역에 형성된 공통배선;

상기 공통배선 상에 형성되고 상기 게이트배선과 평행하게 배열된 보조 공통배선;

상기 게이트배선과 데이터배선의 교차 지점에 형성된 박막트랜지스터;

상기 기판 전면에 형성되고, 상기 박막트랜지스터 및 상기 보조 공통배선을 각각 노출시키는 보호막; 및

상기 보호막 상에 형성되고, 상기 박막트랜지스터와 상기 보조 공통배선과 각각 연결되는 화소전극들 및 공통전극들을 포함하여 구성되며,

상기 화소전극들은 상기 공통배선과 오버랩되어 있으며, 상기 공통전극들은 게이트배선과 데이터배선에 오버랩된 에프에프에스 방식 액정표시장치용 어레이기판.

청구항 2

제1 항에 있어서, 상기 보조 공통배선은 상기 적색(R) 화소영역, 녹색(G) 화소영역 및 청색(B) 화소영역 중에서 청색(B) 화소영역에 형성된 공통전극과 연결되는 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판.

청구항 3

제2 항에 있어서, 상기 공통전극과 연결되는 보조 공통배선이 형성된 청색(B) 화소영역의 면적은 상기 적색(R) 화소영역 및 녹색(G) 화소영역의 각 면적보다 넓은 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판.

청구항 4

제1 항에 있어서, 상기 보조 공통배선은 상기 게이트배선 형성물질과 동일 물질로 형성된 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판.

청구항 5

제1 항에 있어서, 상기 화소전극과 공통전극은 동일 물질로 형성된 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판.

청구항 6

제1 항에 있어서, 상기 보조 공통배선은 게이트배선과 평행하게 배열되고, 상기 화소전극과는 수직으로 교차되게 배열된 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판.

청구항 7

삭제

청구항 8

제1 항에 있어서, 상기 서로 이웃하는 화소전극들은 상기 공통배선과 에프에프에스(FFS) 구동을 하며, 상기 화소전극들 중에서 최외곽의 화소전극과 공통전극은 아이피에스(IPS) 구동을 하는 것을 특징으로 하는 에프에프

에스 방식 액정표시장치용 어레이기판.

청구항 9

기판의 일면에 일 방향으로 다수의 게이트배선과 공통배선을 형성함과 동시에, 상기 공통배선 상에 상기 게이트 배선과 평행하게 배열되는 보조 공통배선을 형성하는 단계;

상기 다수의 게이트 배선과 교차되게 배열되어 화소영역을 정의하는 다수의 데이터배선을 형성하는 단계;

상기 게이트배선과 데이터배선의 교차 지점에 박막트랜지스터를 형성하는 단계;

상기 기판 전면에 상기 박막트랜지스터 및 상기 보조 공통배선을 각각 노출시키는 보호막을 형성하는 단계; 및

상기 보호막 상에 상기 박막트랜지스터와 상기 보조 공통배선과 각각 연결되는 화소전극들 및 공통전극들을 형성하는 단계;를 포함하여 구성되며,

상기 화소전극들은 상기 공통배선과 오버랩되어 있으며, 상기 공통전극들은 게이트배선과 데이터배선에 오버랩된 에프에프에스 방식 액정표시장치용 어레이기판 제조방법.

청구항 10

제9 항에 있어서, 상기 보조 공통배선은 상기 적색(R) 화소영역, 녹색(G) 화소영역 및 청색(B) 화소영역 중에서 청색(B) 화소영역에 형성된 공통전극과 연결되는 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판 제조방법.

청구항 11

제10 항에 있어서, 상기 공통전극과 연결되는 보조 공통배선이 형성된 청색(B) 화소영역의 면적은 상기 적색(R) 화소영역 및 녹색(G) 화소영역의 각 면적보다 넓은 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판 제조방법.

청구항 12

제9 항에 있어서, 상기 보조 공통배선은 상기 게이트배선 형성물질과 동일 물질로 형성하는 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판 제조방법.

청구항 13

제9 항에 있어서, 상기 화소전극과 공통전극은 동일 물질로 형성하는 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판 제조방법.

청구항 14

제9 항에 있어서, 상기 보조 공통배선은 게이트배선과 평행하게 배열되고, 상기 화소전극과는 수직으로 교차되게 배열된 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판 제조방법.

청구항 15

삭제

청구항 16

제9 항에 있어서, 상기 서로 이웃하는 화소전극들은 상기 공통배선과 에프에프에스(FFS) 구동을 하며, 상기 화소전극들 중에서 최외곽의 화소전극과 공통전극은 아이피에스(IPS) 구동을 하는 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판 제조방법.

청구항 17

제9 항에 있어서, 상기 게이트배선, 공통배선 및 보조 공통배선은 제1 회절마스크를 이용한 포토리소그래피 공정 및 에칭 공정을 통해 형성하며, 데이터배선과 박막트랜지스터는 제 2 회절마스크를 이용한 포토리소그래피 공정 및 에칭공정을 통해 형성하는 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판

제조방법.

청구항 18

제9 항에 있어서, 상기 화소전극들의 양단은 화소전극 연결배선에 의해 연결되며, 상기 공통전극들의 양단은 공통전극 연결배선에 의해 연결되는 것을 특징으로 하는 에프에프에스 방식 액정표시장치용 어레이기판 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치(Liquid Crystal Display Device)에 관한 것으로서, 보다 상세하게는 에프 에프 에스(FFS; fringe field switching) 방식의 액정표시장치용 어레이기판 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 일반적으로 액정표시장치의 구동 원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

[0003] 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

[0004] 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬 방식으로 배열된 능동 행렬 액정표시장치(AM-LCD: Active Matrix LCD, 이하 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

[0005] 상기 액정표시장치는 공통전극이 형성된 컬러필터 기판(즉, 상부기판)과 화소전극이 형성된 어레이기판(즉, 하부기판)과, 상부기판 및 하부기판 사이에 충전된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극이 상,하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하다.

[0006] 그러나, 상-하로 걸리는 전기장에 의한 액정 구동은 시야각 특성이 우수하지 못한 단점이 있다. 따라서, 상기의 단점을 극복하기 위해 새롭게 제안된 기술이 횡전계에 의한 액정 구동방법인데, 이 횡전계에 의한 액정 구동방법은 시야각 특성이 우수한 장점을 가지고 있다.

[0007] 이러한 횡 전계 방식 액정표시장치는 컬러필터기판과 어레이기판이 서로 대향하여 구성되며, 컬러필터기판 및 어레이기판 사이에는 액정층이 개재되어 있다.

[0008] 상기 어레이기판에는 투명한 절연기판에 정의된 다수의 화소마다 박막트랜지스터와 공통전극 및 화소전극으로 구성된다.

[0009] 또한, 상기 공통전극과 화소전극은 동일 기판 상에 서로 평행하게 이격하여 구성된다.

[0010] 그리고, 상기 컬러필터기판은 투명한 절연기판 상에 게이트배선과 데이터배선과 박막트랜지스터에 대응하는 부분에 블랙매트릭스가 구성되고, 상기 화소에 대응하여 컬러필터가 구성된다.

[0011] 상기 액정층은 상기 공통전극과 화소전극의 수평 전계에 의해 구동된다.

[0012] 상기 구성으로 이루어지는 횡전계 방식 액정표시장치에서, 휘도를 확보하기 위해 상기 공통전극과 화소전극을 투명전극으로 형성하나, 설계상 상기 공통전극과 화소전극 사이의 이격 거리에 의해, 상기 공통전극과 화소전극의 양단 일부만이 휘도 개선에 기여할 뿐, 대부분의 영역은 빛을 차단하는 결과가 된다.

[0013] 따라서, 이러한 휘도 개선 효과를 극대화시키기 위해 제안된 기술이 FFS (Fringe Field Switching) 기술이다.

[0014] 상기 FFS 기술은 액정을 정밀하게 제어함으로써 색상 변이(Color shift)가 없고 높은 명암비(Contrast Ratio)를 얻을 수 있는 것이 특징이어서, 일반적인 횡전계 기술과 비교하여 높은 화면품질을 구현할 수 있다.

[0015] 이러한 종래기술에 따른 에프 에프 에스 방식 액정표시장치용 어레이기판 구조에 대해 도 1 내지 3을 참조하여 설명하면 다음과 같다.

- [0016] 도 1은 종래기술에 따른 에프에프에스 방식 액정표시장치용 어레이 기관의 평면도이다.
- [0017] 도 2는 도 1의 II-II선에 따른 에프에프에스 방식 액정표시장치용 어레이 기관의 단면도이다.
- [0018] 도 3은 종래기술에 따른 에프에프에스 방식 액정표시장치용 어레이 기관의 게이트배선과 공통배선 및 화소전극의 배치 구조를 나타내는 평면도이다.
- [0019] 종래기술에 따른 에프에프에스 방식 액정표시장치용 어레이기관은, 도 1 및 2에 도시된 바와 같이, 기관(11) 상에 일 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트배선(15c) 및 이 게이트배선(15c)과 인접되어 평행하게 배치된 공통배선(15b)과; 상기 게이트배선(15c)과 교차하고, 이 교차하여 이루는 지역에 서브 화소영역, 즉 적색(R), 녹색(G) 및 청색(B) 서브 화소영역을 정의하는 다수의 데이터배선(21c)과; 상기 적색(R), 녹색(G) 및 청색(B) 서브 화소영역에 형성되며, 상기 공통배선(15b)과 인접하는 화소전극(13)과; 상기 게이트배선(15c)과 데이터배선(21c)의 교차지점에 마련되고, 게이트전극(15a)과 활성층(미도시, 도 2의 19 참조)과 소스전극(21a) 및 드레인전극(21b)을 포함하는 박막트랜지스터(T)를 포함하여 구성된다.
- [0020] 여기서, 상기 게이트배선(15c)은 게이트 드라이버(미도시)로부터의 스캔 신호를, 상기 데이터배선(21c)은 데이터 드라이버(미도시)로부터의 비디오 신호를 공급한다. 이러한 게이트배선(15c) 및 데이터배선(21c)은 게이트절연막(미도시)을 사이에 두고 교차하여 각 화소 영역, 즉 적색(R), 녹색(G) 및 청색(B) 서브 화소영역을 정의한다. 이때, 상기 적색(R), 녹색(G) 및 청색(B) 서브 화소영역은 하나의 단위 화소를 구성한다.
- [0021] 도 2에 도시된 바와 같이, 상기 박막 트랜지스터(T)는 상기 게이트배선(15c)에 공급되는 스캔 신호에 데이터배선(21c)에 공급되는 화소 신호가 화소전극(13)에 충전되어 유지되게 한다. 이를 위해, 상기 박막트랜지스터(T)는 상기 게이트배선(15c)에 포함된 게이트전극(15a), 데이터배선(21c)에 접속된 소스전극(21a), 이 소스전극(21a)과 마주하며 이격된 드레인전극(21b), 게이트절연막(17)을 사이에 두고 게이트전극(15a)과 중첩되어 소스전극(21a)과 드레인전극(21b) 사이에 채널을 형성하는 활성층(19)과, 소스전극(21a) 및 드레인전극(21b)과의 오믹 접촉을 위하여 채널을 제외한 활성층(19) 위에 형성된 오믹접촉층(미도시)을 구비한다.
- [0022] 그리고, 상기 데이터배선(21c)은 데이터패드(미도시)를 통해 데이터 드라이버(미도시)로부터의 화소 신호를 공급받는다.
- [0023] 또한, 하나의 단위 화소를 구성하는 상기 적색(R), 녹색(G) 및 청색(B) 서브 화소영역의 기관 전면에는 상기 게이트배선(15c) 및 데이터배선(21c)과 이격된 공간을 두고 투명한 화소전극(13)이 배치되어 있으며, 상기 화소전극(13) 및 데이터배선(21c) 상부에는 보호막(23)을 사이에 두고 다수의 막대 형상의 투명한 제1 공통전극(27a)들과 제2 공통전극(27b)이 각각 배치되어 있다.
- [0024] 이때, 상기 막대 형상의 다수의 투명한 제1 공통전극(27a)들은 상기 데이터배선(21c)과 평행한 방향으로 배치되어 있으며, 이들 제1 공통전극(27a)은 서로 일정간격만큼 이격되어 있다. 또한, 상기 제1 공통전극(27a) 및 제2 공통전극(27b)의 양 측단은 공통전극 연결배선(27c)에 연결되어 있다.
- [0025] 그리고, 상기 공통전극 연결배선(27c)은 공통배선 콘택홀(미도시)을 통해 상기 공통배선(15b)과 전기적으로 연결되어 있다.
- [0026] 이렇게 하여 상기 공통배선(15b)과 공통전극(27a, 27b)들은 액정 구동을 위한 기준 전압, 즉 공통전압을 각 화소에 공급한다.
- [0027] 상기 화소전극(13)은 각 화소영역에서 보호막(23)을 사이에 두고 상기 다수의 공통전극(27a, 27b)들과 중첩되어 프린지 필드(fringe field)를 형성한다.
- [0028] 이렇게 하여, 박막트랜지스터(T)를 통해 화소전극(13)에 비디오 신호가 공급되면, 공통전압이 공급된 공통전극들(27a, 27b)가 프린지 필드를 형성하여 박막트랜지스터 기관과 칼라필터 기관(미도시) 사이에서 수평 방향으로 배열된 액정분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정분자들이 회전 정도에 따라 화소영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.
- [0029] 그러나, 종래기술에 따른 에프 에프 에스 박식 액정표시장치용 어레이 기관은, 게이트전극 형성시에 게이트배선, 화소전극 및 공통배선(Vcom)을 동시에 형성하는데, 이 경우에 전기적인 쇼트(short)를 방지하기 위해서는 게이트배선, 공통배선 및 화소전극 사이를 일정 간격 이상 떨어 뜨려야 하기 때문에, 그만큼 개구율이 감소하는 요인으로 작용한다. 즉, 도 3에서와 같이, 게이트배선(15c)과 화소전극(13) 간 거리(D1), 화소전극(13)과 공통배선(15b) 간 거리(D2) 및, 공통배선(15b)과 게이트배선(15c) 간 거리(D3)가 일정 간격 이상 떨어져

있어야 하지만, 상기 화소전극(13)과 게이트배선(105c) 사이에 공통배선(15b)이 배치되어 있기 때문에 이들 사이의 거리를 가까이하는 경우에는 쇼트될 가능성이 있으며, 그로 인해 화소전극(13)의 길이(L1)를 늘리는 것이 불가능하게 된다.

[0030] 또한, 게이트배선을 형성한 후 화소전극이 플로팅(floating) 상태이므로, 게이트배선과 화소전극, 공통배선 및 화소전극의 쇼트 검사가 불가능하다.

발명의 내용

해결하려는 과제

[0031] 이에 본 발명은 상기 문제점들을 개선하기 위해 안출한 것으로서, 본 발명의 목적은 게이트배선과 평행하게 보조 공통배선을 형성하여 화소전극의 면적을 증가시킴으로써 개구율을 향상시킬 수 있으며, 공통배선과 게이트배선의 쇼트 검사도 가능하도록 한 에프에프에스 방식 액정표시장치용 어레이 기판 및 그 제조방법을 제공함에 있다.

과제의 해결 수단

[0032] 상기 목적을 달성하기 위한 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이 기판은, 기판; 상기 기판의 일면에 일 방향으로 형성된 다수의 게이트배선; 상기 다수의 게이트 배선과 교차되게 배열되어 서브 화소영역을 정의하는 다수의 데이터배선; 상기 기판의 서브 화소영역에 형성된 공통배선; 상기 공통배선 상에 형성되고 상기 게이트배선과 평행하게 배열된 보조 공통배선; 상기 게이트배선과 데이터배선의 교차 지점에 형성된 박막트랜지스터; 상기 기판 전면에 형성되고, 상기 박막트랜지스터 및 상기 보조 공통배선을 각각 노출시키는 보호막; 상기 보호막 상에 형성되고, 상기 박막트랜지스터와 상기 보조 공통배선과 각각 연결되는 화소전극 및 공통전극;을 포함하여 구성되는 것을 특징으로 한다.

[0033] 상기 목적을 달성하기 위한 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이 기판 제조방법은, 기판의 일면에 일 방향으로 다수의 게이트배선과 공통배선을 형성함과 동시에, 상기 공통배선 상에 상기 게이트배선과 평행하게 배열되는 보조 공통배선을 형성하는 단계와; 상기 다수의 게이트 배선과 교차되게 배열되어 화소영역을 정의하는 다수의 데이터배선을 형성하는 단계와; 상기 게이트배선과 데이터배선의 교차 지점에 박막트랜지스터를 형성하는 단계와; 상기 기판 전면에 상기 박막트랜지스터 및 상기 보조 공통배선을 각각 노출시키는 보호막을 형성하는 단계와; 상기 보호막 상에 상기 박막트랜지스터와 상기 보조 공통배선과 각각 연결되는 화소전극 및 공통전극을 형성하는 단계;를 포함하여 구성되는 것을 특징으로 한다.

발명의 효과

[0034] 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이 기판 및 제조방법에 따르면 다음과 같은 효과가 있다.

[0035] 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이 기판 및 제조방법에 따르면, 최하단에 화소전극 대신에 공통배선(Vcom)을 배치하고, 상기 공통배선 상단에 배치되는 보조 공통배선(Vcom)을 디스클리네이션이 발생하여 투과율이 낮은 전극 꺾임부로 이동시킴으로써, 게이트배선과 공통배선 간의 이격거리가 필요 없게 됨으로써 개구율을 향상시킬 수 있으며, 게이트배선 형성 후 검사시에 공통배선 및 게이트배선의 쇼트(short) 검사도 가능하게 된다.

[0036] 또한, 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이 기판 및 제조방법에 따르면, 화소전극이 최상단층에 위치하고, 이와 동시에 데이터배선 위에는 공통전극(Vcom)이 형성됨으로써 화소전극들 간에는 그 아래의 공통배선과 에프에프에스(FFS) 구동을 하게 되며, 최외곽의 화소전극과 데이터배선 상의 공통전극 간에는 아이피에스(IPS) 구동을 하게 된다.

[0037] 그리고, 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이 기판 및 제조방법에 따르면, 데이터배선 상의 공통전극과 하단의 보조 공통배선을 콘택하기 위해 형성하는 콘택홀을 투과율이 가장 낮은 청색(B) 서브화소에만 형성해 줌으로써 개구율을 극대화할 수 있게 된다.

도면의 간단한 설명

[0038] 도 1은 종래기술에 따른 에프에프에스 방식 액정표시장치용 어레이 기판의 평면도이다.

도 2는 도 1의 II-II선에 따른 에프에프에스 방식 액정표시장치용 어레이 기관의 단면도이다.

도 3은 종래기술에 따른 에프에프에스 방식 액정표시장치용 어레이 기관의 게이트배선과 공통배선 및 화소전극의 상호 배치 구조를 나타내는 평면도이다.

도 4는 본 발명에 따른 에프에프에스(FFS; fringe field switching) 방식의 액정표시장치용 어레이 기관의 평면도이다.

도 5는 도 4의 V-V선에 따른 에프에프에스 방식 액정표시장치용 어레이 기관의 단면도이다.

도 6은 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이 기관의 게이트배선과 공통배선 및 보조 공통배선의 배치 구조를 나타내는 평면도이다.

도 7a 내지 도 7v는 VIIa-VIIa 및 VIIb-VIIb에 따른 단면도로서, 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이 기관의 제조공정 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0039] 이하, 본 발명에 따른 액정표시장치용 어레이 기관에 대해 첨부된 도면을 참조하여 상세히 설명한다.
- [0040] 도 4는 본 발명에 따른 에프에프에스(FFS; fringe field switching) 방식의 액정표시장치용 어레이 기관의 평면도이다.
- [0041] 도 5는 도 4의 V-V선에 따른 에프에프에스 방식 액정표시장치용 어레이 기관의 단면도이다.
- [0042] 도 6은 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이 기관의 게이트배선과 공통배선 및 보조 공통배선의 배치 구조를 나타내는 평면도이다.
- [0043] 본 발명에 따른 에프에프에스 방식 액정표시장치는, 도 4 및 5에 도시된 바와 같이, 기관(101)의 일면에 일 방향으로 형성된 다수의 게이트배선(106)과; 상기 다수의 게이트 배선(106)과 교차되게 배열되어 적색(R), 녹색(G) 및 청색(B) 서브 화소영역을 정의하는 다수의 데이터배선(117a)과; 상기 기관(101)의 서브 화소영역에 형성된 공통배선(103b)과; 상기 공통배선(103b) 상에 형성되고 상기 게이트배선(106)과 평행하게 배열된 보조 공통배선(105c)과; 상기 게이트배선(106)과 데이터배선(117a)의 교차 지점에 형성된 박막트랜지스터(T); 상기 기관 전면에 형성되고, 상기 박막트랜지스터(T) 및 상기 보조 공통배선(105c)을 각각 노출시키는 보호막(121)과; 상기 보호막(121) 상에 형성되고, 상기 박막트랜지스터(T)와 상기 보조 공통배선(105c) 각각과 연결되는 화소전극(127a) 및 공통전극(127b);을 포함하여 구성된다.
- [0044] 여기서, 상기 게이트배선(106)은 게이트 드라이버(미도시)로부터의 스캔 신호를, 상기 데이터배선(117a)은 데이터 드라이버(미도시)로부터의 비디오 신호를 공급한다. 이러한 게이트배선(106) 및 데이터배선(117a)은 게이트 절연막(미도시)을 사이에 두고 교차하여 각 화소 영역, 즉 적색(R), 녹색(G) 및 청색(B) 서브 화소영역을 정의한다. 이때, 상기 적색(R), 녹색(G) 및 청색(B) 서브 화소영역은 하나의 단위 화소를 구성한다.
- [0045] 상기 게이트배선(106)은 기관(101) 위에 투명 도전층을 포함한 적어도 이중 이상의 복층 구조 또는 단층 구조로 형성된다. 예를 들면, 투명도전층을 이용한 제1 도전층과, 불투명한 금속을 이용한 제2 도전층이 적층된 복층 구조 또는 불투명한 금속을 이용한 단층 구조로 형성된다.
- [0046] 이때, 상기 제1 도전층으로는 ITO, IZO, 또는 ITZO이 사용되며, 제2 도전층으로는 Cu, Mo, Al, Cu합금, Mo합금, Al합금 등이 사용된다.
- [0047] 또한, 도 5에 도시된 바와 같이, 상기 박막 트랜지스터(T)는 상기 게이트배선(106)에 공급되는 스캔 신호에 데이터배선(117a)에 공급되는 화소 신호가 화소전극(127a)에 충전되어 유지되게 한다. 이를 위해, 상기 박막트랜지스터(T)는 상기 게이트배선(106)에 포함된 게이트전극(106a), 데이터배선(117a)으로부터 소스전극(117b), 이 소스전극(117b)과 마주하며 이격된 드레인전극(117c), 게이트절연막(111)을 사이에 두고 게이트전극(106a)과 중첩되어 소스전극(117b)과 드레인전극(117c) 사이에 채널을 형성하는 활성층(113a)과, 소스전극(117b) 및 드레인전극(117c)과의 오믹 접촉을 위하여 채널을 제외한 활성층(113a) 위에 형성된 오믹접촉층(115a)을 구비한다.
- [0048] 그리고, 상기 활성층(113a)과 오믹 접촉층(115a)은 데이터배선(117a)을 따라 중첩된다.
- [0049] 더욱이, 상기 데이터배선(117a)은 데이터패드(미도시)를 통해 데이터 드라이버(미도시)로부터의 화소 신호를 공

급받는다.

- [0050] 또한, 하나의 단위 화소를 구성하는 상기 적색(R), 녹색(G) 및 청색(B) 서브 화소영역의 전면에는 상기 게이트배선(106) 및 데이터배선(117a)과 이격된 공간을 두고 투명한 공통배선(103b)이 배치되어 있으며, 상기 공통배선(103b) 상에는 상기 게이트배선(106)과 평행하게 보조 공통배선(105c)이 형성된다. 이때, 상기 보조 공통배선(105c)은 디스클리네이션이 발생하여 투과율이 낮은 화소전극 꺾임부 쪽으로 이동하여 형성함으로써, 게이트배선과 공통배선 간의 이격거리가 필요 없게 됨으로써 개구율을 향상시킬 수 있다. 또한, 상기 공통배선(103b)은 상기 게이트배선 (106)과 동일층에 형성되어 있으며, 투명한 도전성 물질로 구성된다.
- [0051] 그리고, 상기 보호막(121)을 사이에 두고 상기 공통배선(103b)과 오버랩되도록 서로 이격된 다수의 화소전극 (127a)이 형성되어 있으며, 상기 다수의 화소전극 (127a)들을 감싸도록 공통전극(127b)이 형성되어 있다. 이때, 상기 공통전극(127b)은 게이트배선(106) 및 데이터배선(117a)과 오버랩되어 있다. 또한, 상기 공통전극 (127b)은 투과율이 가장 낮은 청색 (B) 서브화소에만 형성된 콘택홀(121b)을 통해 하단의 보조 공통배선(105c)과 연결 됨으로써 개구율을 극대화할 수 있게 된다. 여기서, 상기 청색 (B) 서브화소는 적색(R) 및 녹색(G) 서브화소에 비해 투과율이 낮기 때문에 이를 보상하기 위해 이들 적색(R) 및 녹색(G) 서브화소의 면적보다 조금 넓은 면적으로 형성함으로써, 낮은 투과율을 어느 정도 보상할 수 있다. 즉, 보조 공통배선(105c)이 투과율이 가장 낮은 청색(B) 서브 화소영역에 형성하는 경우에, 보조 공통배선(105c)이 불투명한 금속재질로 구성되어 있어 자칫 투과율이 떨어질 수 있는데, 이를 해결하기 위해 상기 청색(B) 서브 화소영역의 면적을 상기 적색 (R) 화소영역과 녹색(G) 화소영역의 각 면적보다 조금 넓게 형성하는 것이 바람직하다.
- [0052] 또한, 상기 다수의 화소전극(127a)들의 양단은 화소전극 연결배선(127c)에 의해 연결되며, 상기 다수의 공통전극(127b)들의 양단은 공통전극 연결배선(127d)에 의해 형성된다.
- [0053] 상기 공통배선(103b)과 보조 공통배선(105c) 및 공통전극(127b)들은 액정 구동을 위한 기준 전압, 즉 공통전압을 각 화소에 공급한다.
- [0054] 따라서, 서로 이웃하는 화소전극(127a)들은 각 화소영역에서 보호막(121)을 사이에 두고 상기 하단의 공통배선 (103b)들과 중첩되어 프린지 필드 스위칭(FFS; Fringe Field Switching) 구동을 하며, 최외곽에 위치하는 화소 전극(127a)과 데이터배선 (117a) 상의 공통전극(127b)은 이이피에스(IPS; In Plane Switching) 구동을 한다.
- [0055] 이렇게 하여, 박막트랜지스터(T)를 통해 화소전극(127a)에 비디오 신호가 공급되면, 공통전압이 공급된 공통전극(127b)과 프린지 필드(FFS) 및 아이피에스 (IPS)를 형성하여 박막트랜지스터 기판과 칼라필터기판(미도시) 사이에서 수평 방향으로 배열된 액정분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정분자들이 회전 정도에 따라 화소영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.
- [0056] 도 6에 도시된 바와 같이, 상기 구성으로 이루어진 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이 기판은, 최하단에 화소전극 대신에 공통배선 (Vcom, 103b)을 배치하고, 상기 공통배선(103b) 상단에 배치되는 보조 공통배선 (Vcom, 105c)을 디스클리네이션이 발생하여 투과율이 낮은 전극 꺾임부로 이동시킴으로써, 게이트배선(106)과 공통배선(103b) 간의 이격거리가 필요 없게 됨으로써 개구율을 향상시킬 수 있으며, 게이트배선 (106) 형성 후 검사시에 공통배선(103b) 및 게이트배선(106)의 쇼트(short) 검사도 가능하게 된다.
- [0057] 따라서, 이렇게 기존의 공통배선이 있던 영역만큼 넓게 확보된 이격 거리에는 공통배선(103b)을, 즉 길이(L2)를 기존의 길이(L1)보다 좀더 넓게 형성할 수 있게 됨으로써 그만큼 개구율이 증가하게 된다.
- [0058] 상기 구성으로 이루어지는 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이기판 제조방법에 대해 및 도 7a 내지 도 7v를 참조하여 설명하면 다음과 같다.
- [0059] 도 7a 내지 도 7v는 VIIa-VIIa 및 VIIb-VIIb에 따른 단면도로서, 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이 기판의 제조공정 단면도들이다.
- [0060] 도 7a에 도시된 바와 같이, 투명한 기판(101) 상에 스위칭 영역을 포함하는 다수의 화소영역과 함께 비화소영역을 정의하고, 상기 투명한 기판(101) 상에 제1 투명 도전물질층(103)과 제1 도전성 금속층(105)을 스퍼터링 방법에 의해 차례로 증착한다. 이때, 상기 제1 투명 도전물질층(103)으로는 ITO(Indium Tin Oxide) 및 IZO(Indium Zinc Oxide)를 포함한 투명한 도전 물질 그룹 중에서 선택된 어느 하나를 사용한다.
- [0061] 또한, 상기 제1 도전성 금속층(105)으로는, 알루미늄(Al), 텅스텐(W), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 몰리브덴 합금, 구리합금, 알루미늄 합금 등과 같이 금속물질이 단일층으로 이용하거나, Al/Cr, Al/Mo, Al(Nd)/Al, Al(Nd)/Cr, Mo/Al(Nd)/Mo, Cu/Mo, Ti/Al(Nd)/Ti, Mo/Al, Mo합금/Al합금, Mo/Al 합금, Cu/Mo합금,

Cu/Mo(Ti) 등과 같이 이중층 이상이 적층된 구조를 이용한다.

- [0062] 그 다음, 도 7b에 도시된 바와 같이, 상기 제1 도전성 금속층(105) 상부에 투과율이 높은 포토레지스트(photo-resist)를 도포하여 제1 감광막(107)을 형성한다.
- [0063] 이어서, 광차단부(109a)와 반투과부(109b) 및 투과부(109c)로 이루어진 제1 회절마스크(109)를 이용하여 상기 제1 감광막(107)에 노광공정을 진행한다. 이때, 상기 제1 회절마스크(109)의 광차단부(109a)는 게이트전극 형성 지역 및 보조 공통배선 형성지역과 대응하는 상기 제1 감광막(107) 상측에 위치하며, 상기 제1 회절마스크(109)의 반투과부(109b)는 공통배선 형성 지역과 대응하는 상기 제1 감광막(107) 상측에 위치한다. 또한, 상기 제1 회절마스크(109) 이외에 광의 회절 효과를 이용하는 마스크, 예를 들어 하프톤 마스크(Half-ton mask) 또는 기타 다른 마스크를 사용할 수도 있다.
- [0064] 그 다음, 도 7c에 도시된 바와 같이, 상기 노광 공정을 진행한 다음 현상공정을 통해 상기 제1 감광막(107)을 패터닝하여 게이트전극 형성지역 및 보조 공통배선의 제1 패턴(107a)과 공통배선 형성지역의 제2 패턴(107b)을 각각 형성한다. 이때, 상기 게이트전극 형성 지역 및 보조 공통배선 형성지역의 제1 패턴(107a)은 광이 투과되지 않은 상태이기 때문에 제1 감광막(107) 두께를 그대로 유지하고 있지만, 상기 공통배선 형성지역의 제2 패턴(107b)은 광의 일부가 투과되어 일정 두께만큼 제거된다. 즉, 상기 공통배선 형성지역의 제2 패턴(107b)은 상기 게이트전극 형성지역 및 보조 공통배선 형성지역의 제1패턴(107a)보다 얇은 두께를 갖는다.
- [0065] 이어서, 도 7d에 도시된 바와 같이, 상기 제1 감광막의 게이트전극 형성지역 및 보조 공통배선 형성지역의 제1 패턴(107a)과, 공통배선 형성지역의 제2 패턴(107b)을 마스크로 상기 제1 도전성 금속층(105) 및 제1 투명 도전물질층(103)을 패터닝하여 게이트배선(미도시, 도 4의 106 참조), 이 게이트배선(106)으로부터 돌출된 게이트전극(106a) 및 공통배선(103b)을 동시에 형성한다. 이때, 상기 게이트배선(미도시, 도 4의 106 참조)과 게이트전극(106a)은 제1 도전성 금속층 패턴(105a) 및 제1 투명 도전물질층 패턴(103a)으로 구성된다. 또한, 상기 공통배선(103b)은, 도 4에 도시된 바와 같이, 화소영역의 전면, 즉 상기 게이트배선(106)과 데이터배선(미도시, 도 4의 117a 참조)가 교차되어 이루는 공간에 형성된다.
- [0066] 그 다음, 도 7e에 도시된 바와 같이, 에싱(ashing) 공정을 통해 상기 게이트전극(106a) 및 상기 보조 공통배선 형성지역상의 제1 패턴(107a)의 두께 일부와 상기 공통배선(103b) 상의 제2 도전성 금속층패턴(105b) 상의 제2 패턴(107b) 전부를 식각하여 상기 제2 패턴(107b)을 완전히 제거한다. 이때, 상기 공통배선(103b)상의 제2 도전성 금속층패턴(105b)은 외부로 노출된다.
- [0067] 이어서, 도 7f 및 도 7g에 도시된 바와 같이, 상기 에싱 공정에 의해 두께 일부가 식각된 게이트전극(106a) 및 상기 보조 공통배선 형성지역 상의 제1 패턴(107a)을 차단막으로 상기 노출된 제2 도전성 금속층패턴(105b)을 선택적으로 제거하여, 상기 공통배선(103b) 상에 보조 공통배선(105c)을 형성하고, 상기 공통배선(103b)을 노출시킨 다음, 상기 잔존하는 제1 패턴(107a)을 제거한다. 이렇게 하여, 상기 공통배선(103b) 상에 보조 공통배선(105c)이 형성되는데, 상기 공통배선(103b)은 투명한 도전성 물질로 구성되며, 상기 보조 공통배선(105c)은 불투명 도전성 금속물질로 구성된다.
- [0068] 한편, 상기 보조 공통배선(105c)은, 도 4에 도시된 바와 같이, 상기 다수의 게이트배선(106)과 다수의 데이터배선(117a)에 의해 정의되는 적색(R), 녹색(G) 및 청색(B) 화소영역 중에서 상기 청색(B) 화소영역 내에 형성한다. 이는 보조 공통배선(105c)이 투과율이 가장 낮은 청색(B) 서브 화소영역에 형성됨으로써 개구율이 추가로 증가되기 때문이다. 또한, 이렇게 보조 공통배선(105c)이 투과율이 가장 낮은 청색(B) 서브 화소영역에 형성하는 경우에 보조 공통배선(105c)이 불투명한 금속재질로 구성되어 있어 자칫 투과율이 떨어질 수 있는데, 이를 해결하기 위해 상기 청색(B) 서브 화소영역의 면적을 상기 적색(R) 화소영역과 녹색(G) 화소영역의 각 면적보다 조금 넓게 형성하는 것이 바람직하다.
- [0069] 그 다음, 도 7h에 도시된 바와 같이, 기판 전면에 질화실리콘(SiNx) 또는 실리콘산화막(SiO₂)으로 이루어진 게이트절연막(111)을 형성한다.
- [0070] 이어서, 도 7i에 도시된 바와 같이, 상기 게이트절연막(111) 상에 다시 비정질실리콘 층(a-Si:H)(113)과 불순물이 포함된 비정질실리콘층(n⁺ 또는 p⁺)(115) 및 제2 도전성 금속층(117)을 차례로 적층한다. 이때, 상기 비정질실리콘층(a-Si:H)(113)과 불순물이 포함된 비정질실리콘층(n⁺ 또는 p⁺)(115)은 화학기상 증착법(CVD; Chemical Vapor Deposition method)으로 증착하고, 상기 제2 도전성 금속층(117)은 스퍼터링 방법으로 증착한다. 여기서는, 상기 증착 방법으로 화학기상 증착법 및 스퍼터링 방법에 대해서만 기재하고 있지만, 경우에 따라서는 기타 다른 증착 방법을 사용할 수도 있다. 이때, 상기 제2 도전성 금속층(117)으로는, 알루미늄(Al), 텅

스텐(W), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 몰리브덴 합금, 구리합금, 알루미늄 합금 등과 같이 금속물질이 단일층으로 이용하거나, Al/Cr, Al/Mo, Al(Nd)/Al, Al(Nd)/Cr, Mo/Al(Nd)/Mo, Cu/Mo, Ti/Al(Nd)/Ti, Mo/Al, Mo합금/Al합금, Mo/Al 합금, Cu/Mo합금, Cu/Mo(Ti) 등과 같이 이중층 이상이 적층된 구조를 이용한다.

[0071] 그 다음, 도 7j에 도시된 바와 같이, 상기 제2 도전성 금속층(117) 상에 투과성이 우수한 제2 감광막(119)을 도포한다.

[0072] 이어서, 광차단부(120a)와 반투과부(120b) 및 투과부(120c)로 이루어진 제2 회절마스크(121)를 이용하여 상기 제2 감광막(119)에 노광 공정을 실시한다. 이때, 상기 제2 회절마스크(120)의 광차단부(121a)는 데이터배선 형성 지역과 소스전극 및 드레인전극 형성 지역과 대응하는 상기 제2 감광막(119) 상측에 위치하며, 상기 제2 회절마스크(120)의 반투과부(120b)는 박막트랜지스터(T)의 채널지역, 즉 게이트전극(106a)과 대응하는 상기 제2 감광막(119) 상측에 위치한다. 또한, 상기 제2 회절마스크(120) 이외에 광의 회절 효과를 이용하는 마스크, 예를 들어 하프톤 마스크(Half-ton mask) 또는 기타 다른 마스크를 사용할 수도 있다.

[0073] 그 다음, 도 7k에 도시된 바와 같이, 상기 노광 공정 이후에 현상공정을 실시한 다음 상기 제2 감광막(119)을 선택적으로 패터닝하여 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역에 제1 패턴(119a)을 형성하고, 상기 박막트랜지스터(T)의 채널지역에 제2 패턴(119b)을 형성한다. 이때, 상기 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역의 제1 패턴(119a)은 광이 투과되지 않은 상태이기 때문에 제2 감광막 두께를 그대로 유지하고 있지만, 상기 박막트랜지스터 (T)의 채널지역의 제2 패턴(119b)은 제2 감광막에 광의 일부가 투과되어 일정 두께만큼 제거된다. 즉, 상기 박막트랜지스터 (T)의 채널지역의 제2 패턴(119b)은 상기 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역의 제1 패턴(119a)보다 얇은 두께를 갖게 된다.

[0074] 이어서, 도 7l에 도시된 바와 같이, 상기 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역의 제1 패턴(119a)과 상기 박막트랜지스터(T)의 채널지역의 제2 패턴(119b)을 마스크로, 상기 제2 도전성 금속층(117)과 불순물이 함유된 비정질실리콘층(115), 및 비정질 실리콘층(113)을 선택적으로 패터닝하여 데이터배선 (117a)과 함께 활성층(113a)을 형성함과 동시에, 소스전극 형성지역과 드레인전극 형성 지역 및 오믹콘택층 형성지역을 각각 정의한다.

[0075] 그 다음, 도 7m에 도시된 바와 같이, 에칭(ashing) 공정을 실시하여 상기 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역의 제1 패턴(119a)의 두께 일부와 상기 박막트랜지스터(T)의 채널지역의 제2 패턴(119b)을 완전히 제거하여 상기 박막트랜지스터(T)의 채널지역의 제2 패턴(119b) 아래의 제2 도전성 금속층 (117) 부분을 노출시킨다.

[0076] 이어서, 도 7n에 도시된 바와 같이, 상기 에칭 공정에 의해 두께 일부가 식각된 상기 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역의 제1 패턴 (119a)을 마스크로 상기 노출된 제2 도전성 금속층(117) 부분을 식각해 줌으로써 소스전극(117b)과 이 소스전극 (117b)과 이격된 드레인전극(117c)을 형성한다.

[0077] 그 다음, 상기 채널 지역의 불순물이 함유된 비정질실리콘층(115) 부분도 식각 공정을 통해 제거함으로써 활성층(113a)의 채널영역을 노출시키는 오믹콘택층 (115a)을 형성한다.

[0078] 이어서, 도 7o에 도시된 바와 같이, 상기 잔류하는 제1 패턴(119a)을 제거한 다음, 기판 전면에 질화실리콘 (SiNx) 또는 실리콘산화막(SiO₂)으로 이루어진 보호막 (121)을 형성한다.

[0079] 그 다음, 도 7p에 도시된 바와 같이, 상기 보호막(121) 상에 투과율이 높은 포토레지스트(photo-resist)를 도포하여 제3 감광막(123)을 형성한다.

[0080] 이어서, 도 7q에 도시된 바와 같이, 마스크(미도시)를 이용한 포토리소그래피 공정기술을 통해 상기 제3 감광막 (123)을 노광 및 현상한 후 이를 선택적으로 패터닝하여 제3 감광막패턴(123a)을 형성한다.

[0081] 그 다음, 도 7r에 도시된 바와 같이, 상기 제3 감광막패턴(123a)을 마스크로 상기 보호막(121)을 선택적으로 제거하여 상기 드레인전극(117c)을 노출시키는 드레인전극 콘택홀(125a)과 함께, 상기 청색(B) 서브 화소영역에 위치하는 보조 공통배선(105c)을 노출시키는 보조 공통배선 콘택홀(125b)을 동시에 형성한다.

[0082] 이어서, 도 7s 및 도 7t에 도시된 바와 같이, 상기 제3 감광막패턴(123a)을 제거하고, 상기 드레인전극 콘택홀 (125a)과 보조 공통배선 콘택홀(125b)을 포함한 보호막(121) 상에 제2 투명 도전물질층(127)을 증착한 후 상기 제2 투명 도전물질층(127) 상에 제4 감광막(129)을 도포한다.

- [0083] 그 다음, 도 7u에 도시된 바와 같이, 마스크(미도시)를 이용한 포토리소그라피 공정기술을 통해 상기 제4 감광막(129)을 노광 및 현상한 후 이를 선택적으로 패터닝하여 제4 감광막패턴(129a)을 형성한다.

[0084] 이어서, 도 7v에 도시된 바와 같이, 상기 제4 감광막패턴(129a)을 마스크로 상기 제2 투명 도전물질층(127)을 선택적으로 패터닝하여 서로 이격된 다수개의 화소전극(127a)과 함께 이들 다수개의 화소전극(127a)를 감싸는 공통전극(127b)을 동시에 형성한다. 이때, 화소전극(127a)은 하단의 공통배선(103b)과 오버랩되어 있으며, 상기 공통전극(127b)은 게이트배선(106) 및 데이터배선(117a)과 오버랩되어 있다.

[0085] 따라서, 상기 화소전극(127a)들이 최상단층에 위치하고, 이와 동시에 데이터배선(117a) 위에는 공통전극(Vcom, 127b)이 형성됨으로써 상기 화소전극(127a)들 간에는 하단의 공통배선(103b)과 에프에프에스(FFS) 구동을 하게 되며, 상기 화소전극들(127a) 중에서 최외곽에 위치하는 화소전극(127a)과 데이터배선(117a) 상의 공통전극(127b) 간에는 아이피에스(IPS) 구동을 하게 된다.

[0086] 또한, 상기 공통전극(127b)은 투과율이 가장 낮은 청색 (B) 서브화소에만 형성된 콘택홀(121b)을 통해 하단의 보조 공통배선(105c)과 연결됨으로써 개구율을 극대화할 수 있게 된다. 여기서, 상기 청색 (B) 서브화소는 적색 (R) 및 녹색(G) 서브화소에 비해 투과율이 낮기 때문에 이를 보상하기 위해 이들 적색(R) 및 녹색(G) 서브화소의 면적보다 조금 넓은 면적으로 형성함으로써, 낮은 투과율을 어느 정도 보상할 수 있다. 즉, 보조 공통배선(105c)이 투과율이 가장 낮은 청색(B) 서브 화소영역에 형성하는 경우에, 보조 공통배선(105c)이 불투명한 금속 재질로 구성되어 있어 자칫 투과율이 떨어질 수 있는데, 이를 해결하기 위해 상기 청색(B) 서브 화소영역의 면적을 상기 적색 (R) 화소영역과 녹색(G) 화소영역의 각 면적보다 조금 넓게 형성하는 것이 바람직하다.

[0087] 또한, 상기 다수의 화소전극(127a)들의 양단은 화소전극 연결배선(127c)에 의해 연결되며, 상기 다수의 공통전극(127b)들의 양단은 공통전극 연결배선(127d)에 의해 형성된다.

[0088] 그 다음, 도면에는 도시하지 않았지만, 상기 제4 감광막패턴(129a)을 제거함으로써 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이기판 제조공정을 완료한다.

[0089] 이후에, 도면에는 도시하지 않았지만, 컬러필터 기판 제조 공정과 함께 어레이기판과 컬러필터 기판 사이에 액정층을 충전하는 공정을 수행함으로써 본 발명에 따른 에프에프에스 방식 액정표시장치를 제조하게 된다.

[0090] 이상에서와 같이, 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이 기판 및 제조방법에 따르면, 최하단에 화소전극 대신에 공통배선(Vcom)을 배치하고, 상기 공통배선 상단에 배치되는 보조 공통배선(Vcom)을 디스클리네이션이 발생하여 투과율이 낮은 전극 격임부로 이동시킴으로써, 게이트배선과 공통배선 간의 이격거리가 필요 없게 됨으로써 개구율을 향상시킬 수 있으며, 게이트배선 형성 후 검사시에 공통배선 및 게이트배선의 쇼트(short) 검사도 가능하게 된다.

[0091] 또한, 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이 기판 및 제조방법에 따르면, 화소전극이 최상단층에 위치하고, 이와 동시에 데이터배선 위에는 공통전극(Vcom)이 형성됨으로써 화소전극들 간에는 그 아래의 공통배선과 에프에프에스(FFS) 구동을 하게 되며, 최외곽의 화소전극과 데이터배선 상의 공통전극 간에는 아이피에스(IPS) 구동을 하게 된다.

[0092] 그리고, 본 발명에 따른 에프에프에스 방식 액정표시장치용 어레이 기판 및 제조방법에 따르면, 데이터배선 상의 공통전극과 하단의 보조 공통배선을 콘택하기 위해 형성하는 콘택홀을 투과율이 가장 낮은 청색(B) 서브화소에만 형성해 줌으로써 개구율을 극대화할 수 있게 된다.

[0093] 이상에서 본 발명의 바람직한 실시 예에 대하여 상세하게 설명하였지만, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다.

[0094] 따라서, 본 발명의 권리 범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

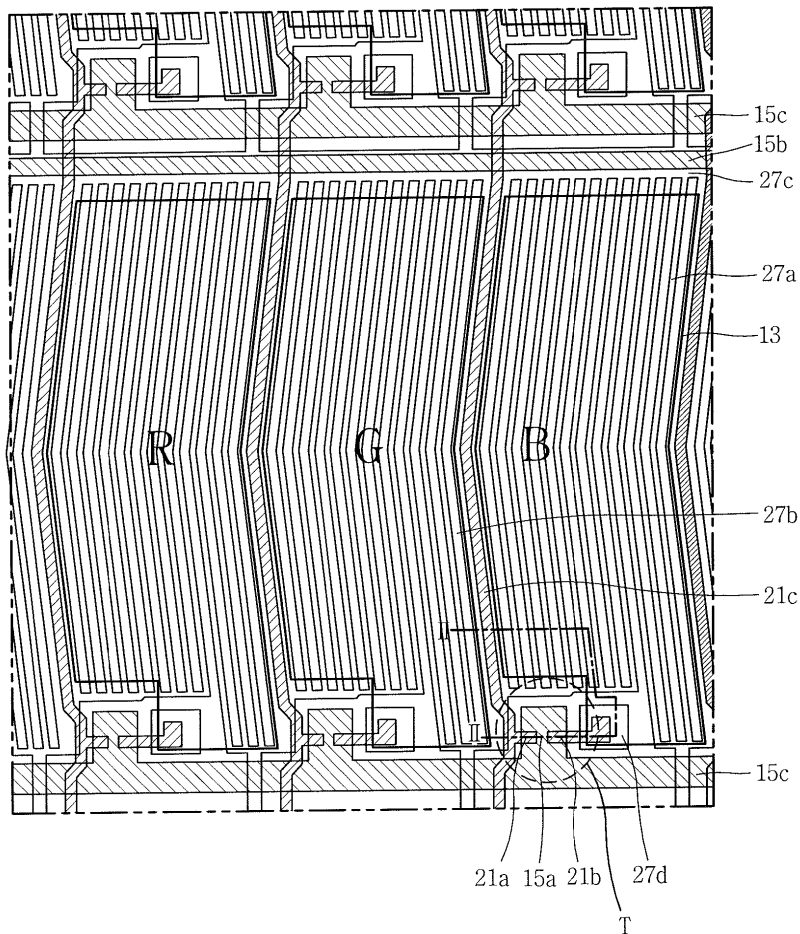
부호의 설명

- | | | | |
|--------|---------------------|------------------|-------------|
| [0095] | 101: 기관 | 103: 제1 투명 도전물질층 | |
| | 103b: 공통배선 | 105: 제1 도전성 금속층 | |
| | 105a: 제1 도전성 금속층 패턴 | 105c: 보조 공통배선 | 106: 게이트배선 |
| | 106a: 게이트전극 | | 107: 제1 감광막 |

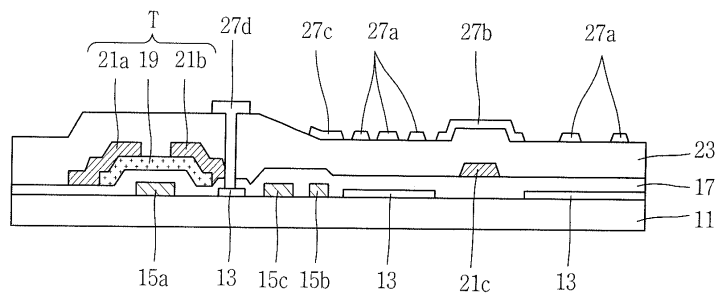
- 107a: 제1 감광막패턴
109a: 광차단부
109b: 반투과부
109c: 차단부
111: 게이트절연막
113: 비정질실리콘층
113a:
115a: 오믹콘택층
117: 제2 도전성 금속층
117a: 데이터배선
117b: 소스전극
117c: 드레인전극
119: 제2 감광막
119a: 제2 감광막패턴
120: 제2 회절마스크
120a: 광차단부
120b: 반투과부
120c: 투과부
121: 보호막
123: 제3 감광막
125a: 드레인전극 콘택홀
125b: 보조 공통배선 콘택홀
127: 제2 투명
도전물질층
127a: 화소전극
127b: 공통전극
127c: 화소전극 연결배선
127d: 공통전극 연결배선
129: 제
4 감광막

도면

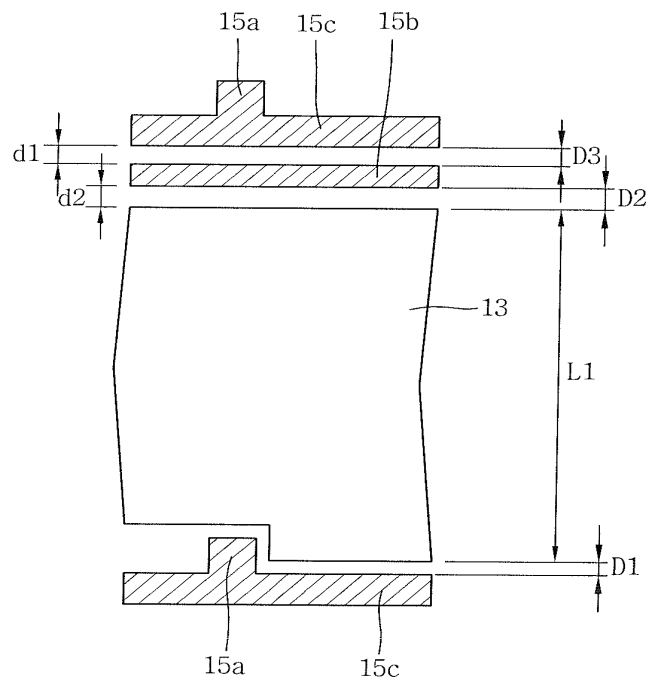
도면1



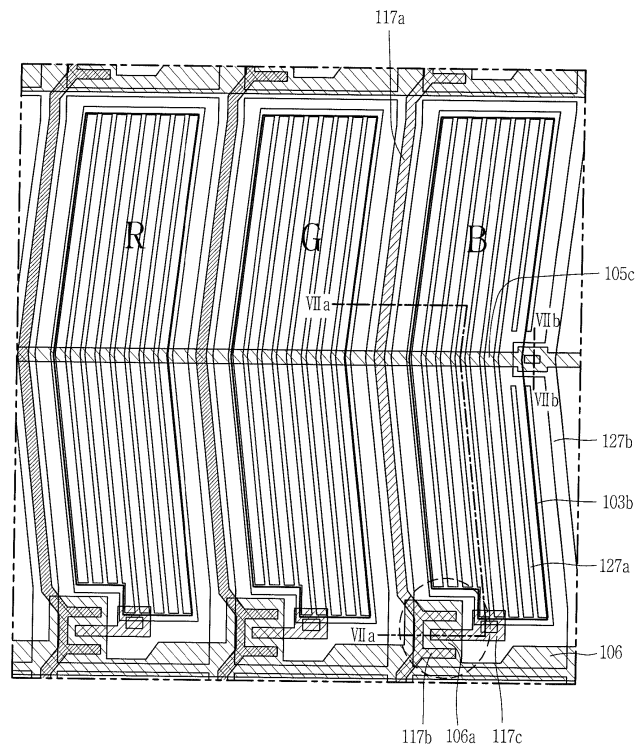
도면2



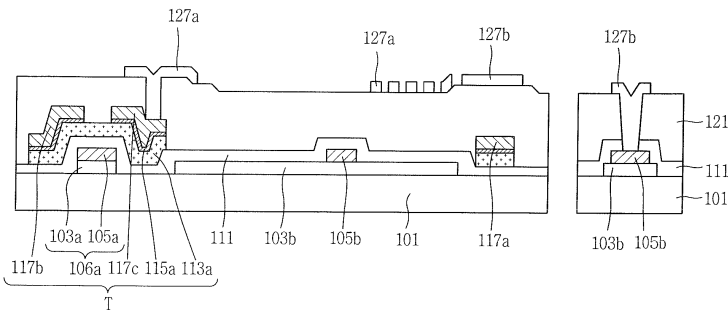
도면3



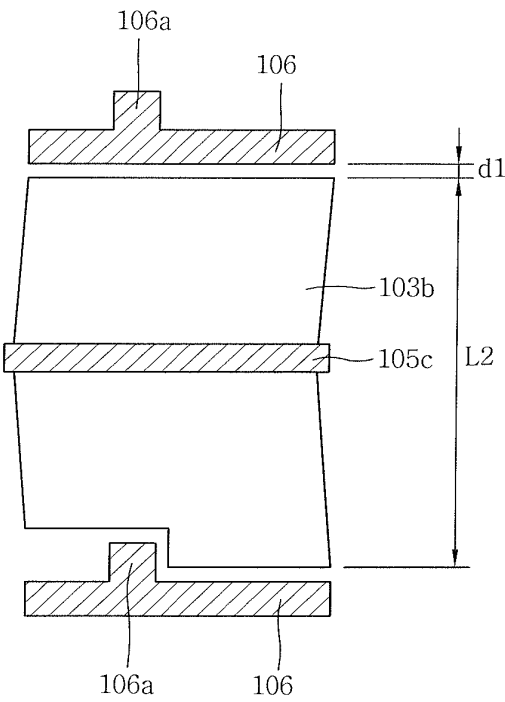
도면4



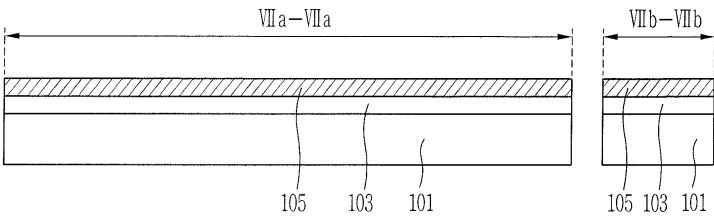
도면5



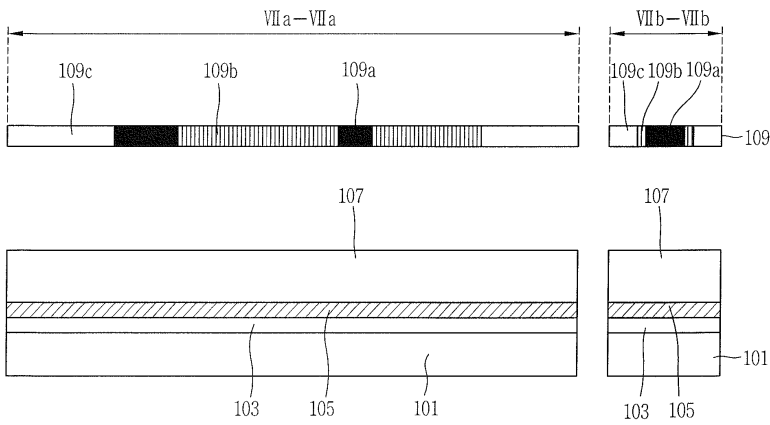
도면6



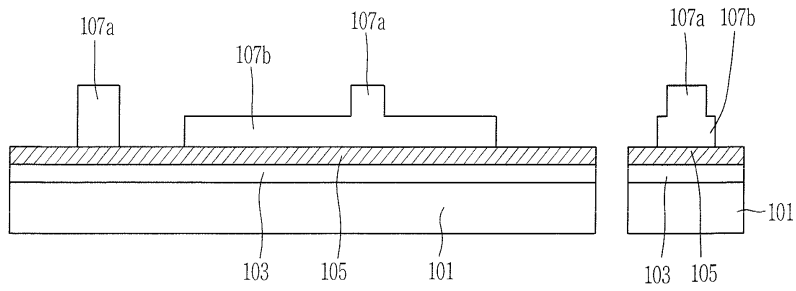
도면7a



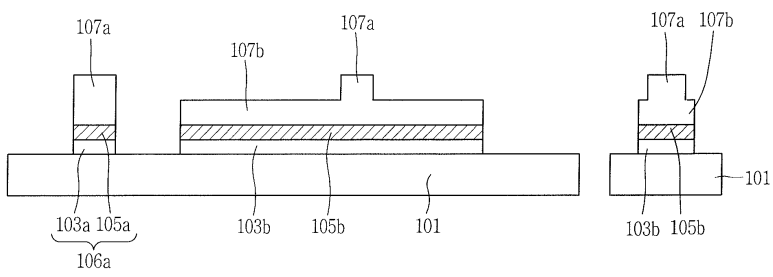
도면7b



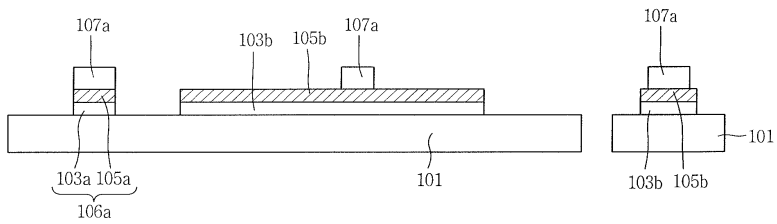
도면7c



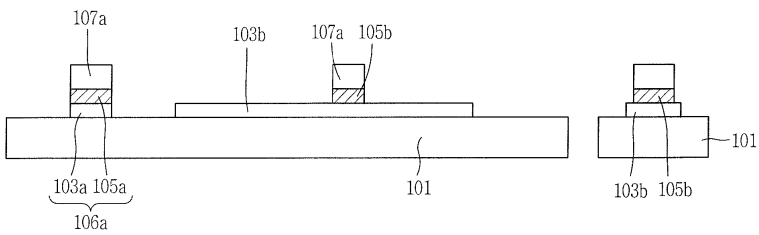
도면7d



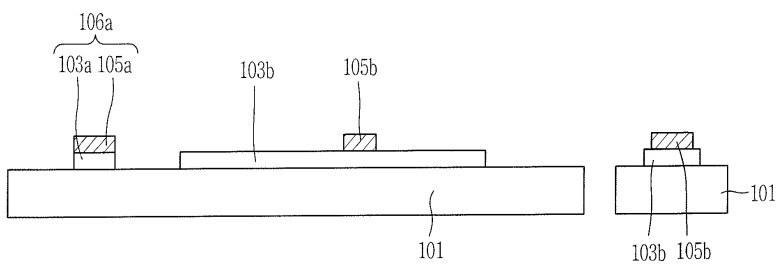
도면7e



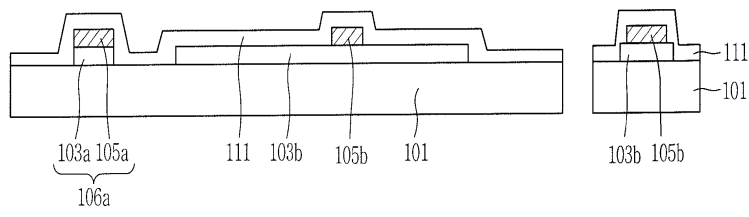
도면7f



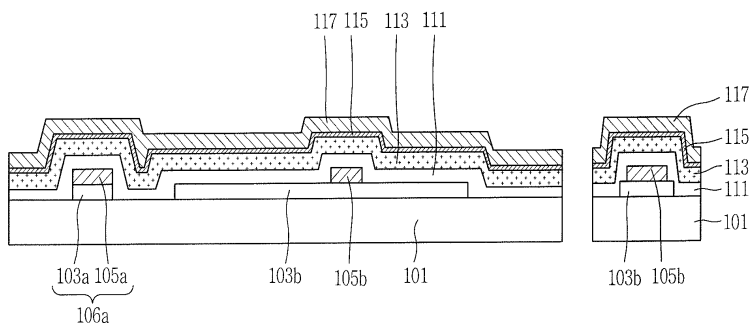
도면7g



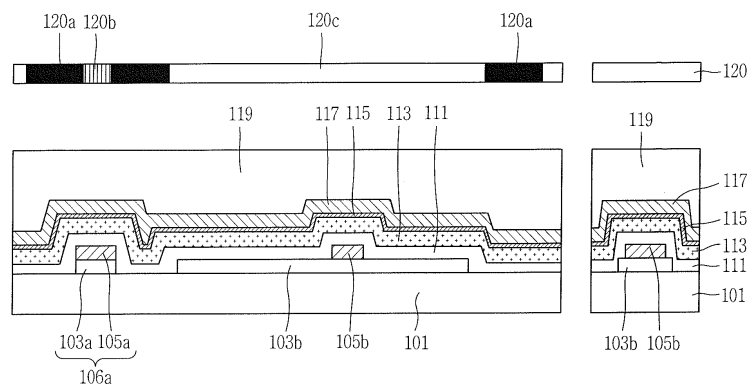
도면7h



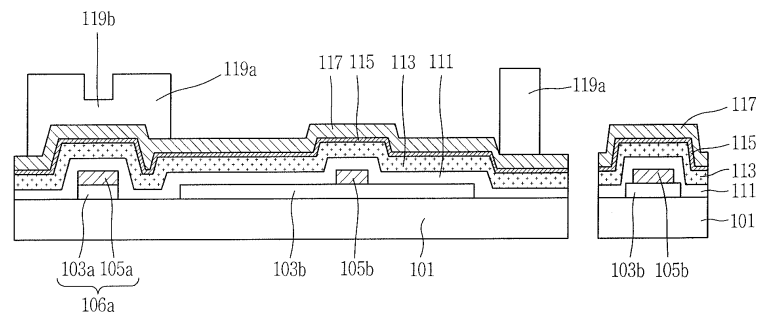
도면7i



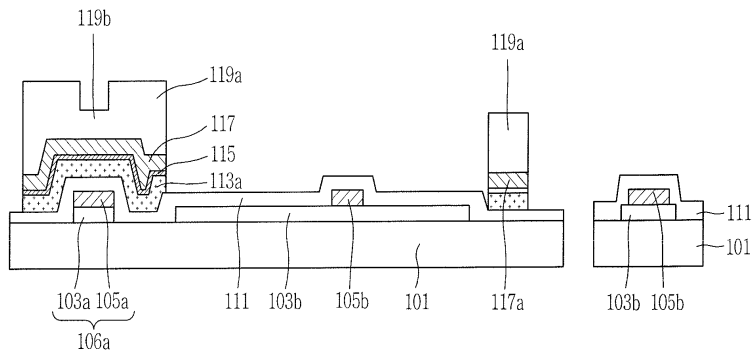
도면7j



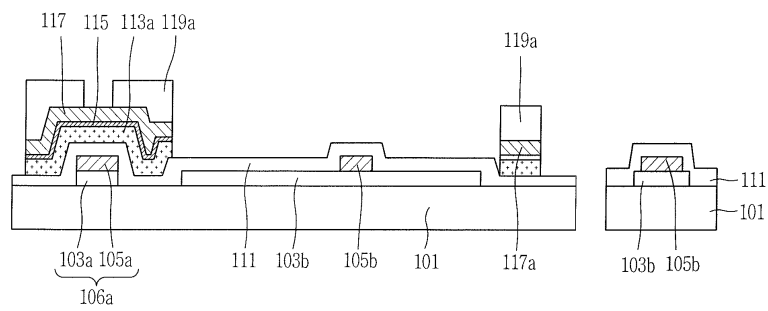
도면7k



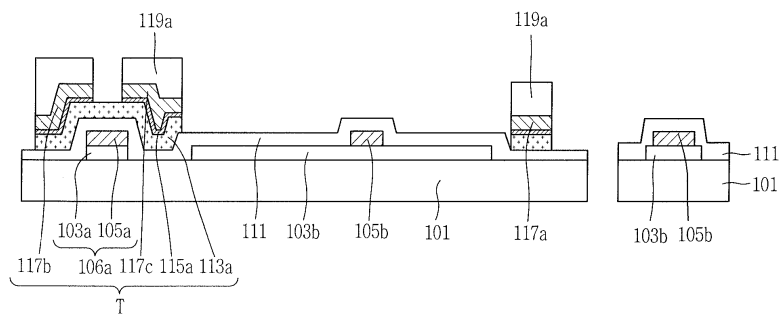
도면7l



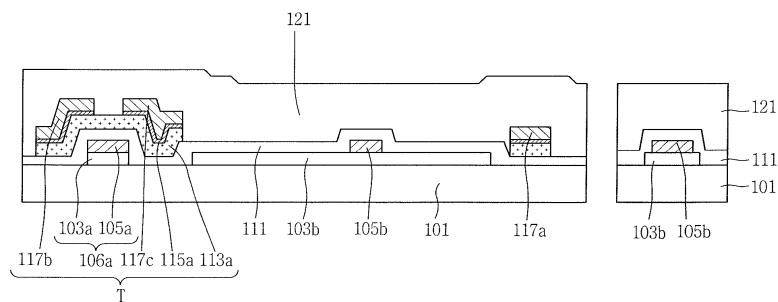
도면7m



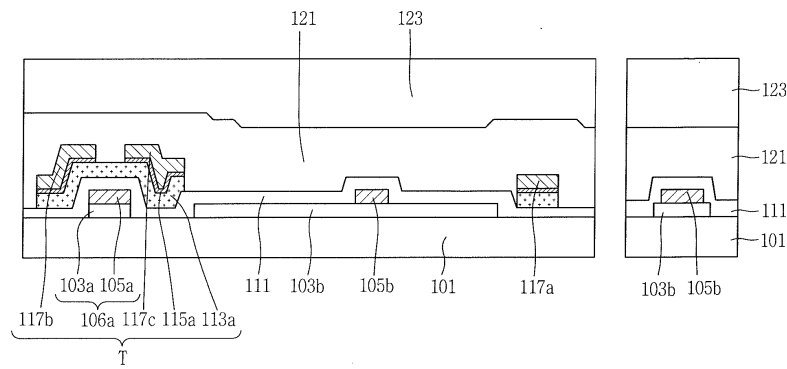
도면7n



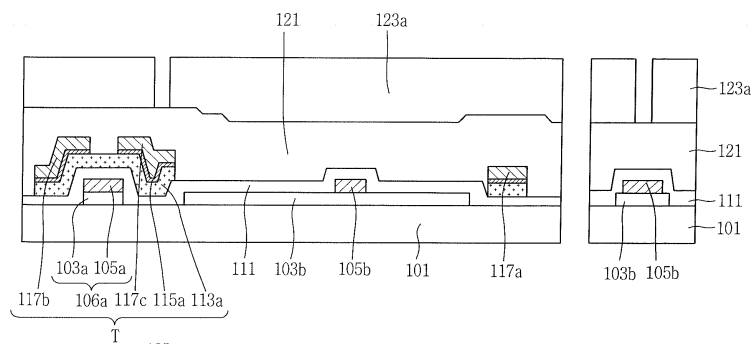
도면7o



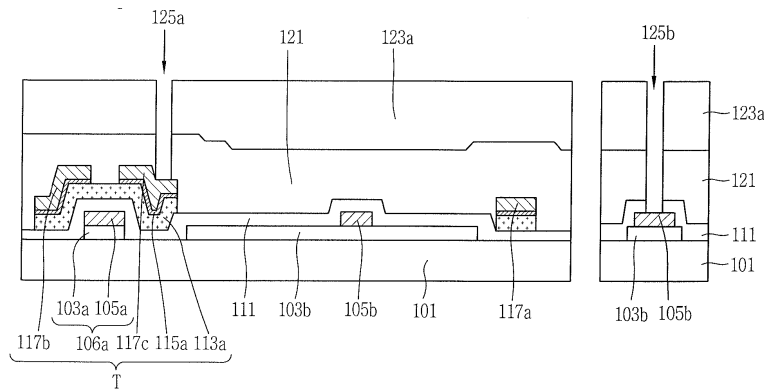
도면7p



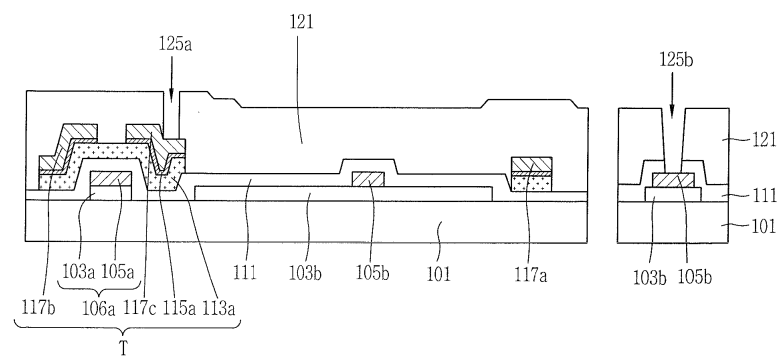
도면7q



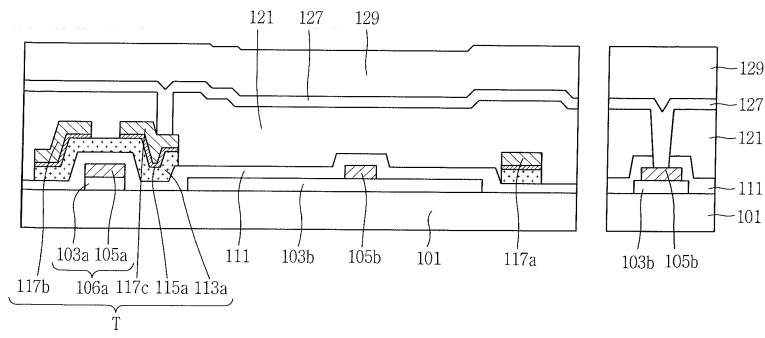
도면7r



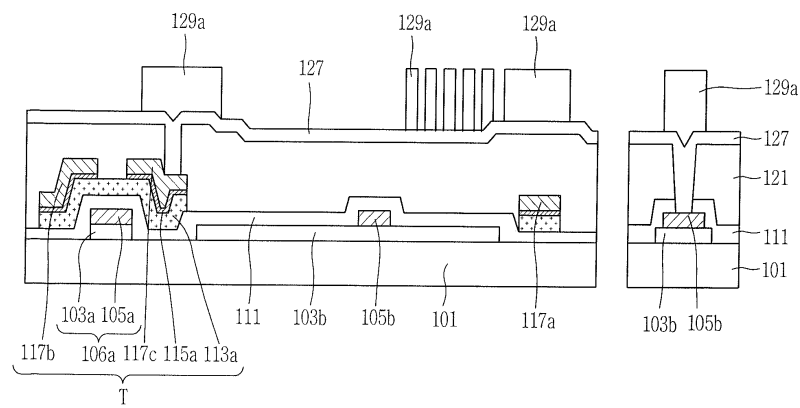
도면7s



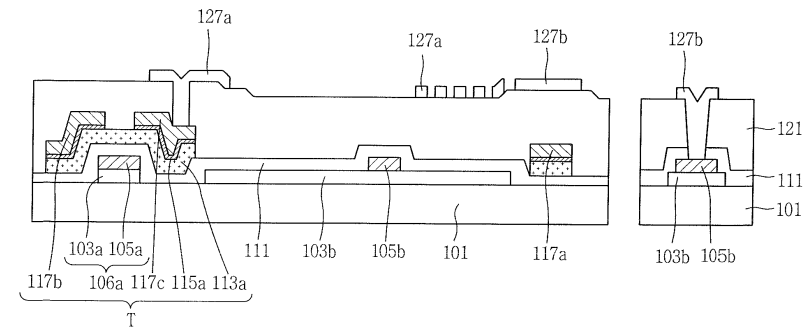
도면7t



도면7u



도면7v



专利名称(译)	标题：用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR101794649B1	公开(公告)日	2017-11-08
申请号	KR1020100137254	申请日	2010-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KONG MIN SUK 공민석 LEE MIN JIC 이민직 LEE BYUNG HYUN 이병현		
发明人	공민석 이민직 이병현		
IPC分类号	G02F1/1368 G02F1/1335 G02F1/1343 G02F1/1362 H01L27/12 H01L29/417		
CPC分类号	G02F1/1368 G02F1/1362 G02F1/133514 G02F1/136286 G02F1/134363 H01L27/1288 H01L29/41733 G02F2001/134345 G02F2001/134372		
代理人(译)	Bakyoungbok		
其他公开文献	KR1020120075204A		
外部链接	Espacenet		

摘要(译)

本发明涉及用于FFE液晶显示装置的阵列基板及其制造方法。多条数据线被布置为与多条栅极线交叉以限定红色 (R) , 绿色 (G) 和蓝色 (B) 像素区域;在基板的子像素区域中形成的公共布线;辅助公共布线形成在公共布线上并与栅极布线平行布置;一种薄膜晶体管, 形成在栅极线和数据线的交叉点处;保护膜形成在基板的整个表面上, 保护膜暴露薄膜晶体管和辅助公共布线;并且像素电极和公共电极分别形成在钝化层上并连接到薄膜晶体管和辅助公共线。

