



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년08월14일
(11) 등록번호 10-1764550
(24) 등록일자 2017년07월27일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/1343 (2006.01)
G02F 1/1362 (2006.01)
(52) CPC특허분류
G09G 3/3648 (2013.01)
G02F 1/13624 (2013.01)
(21) 출원번호 10-2016-7004371
(22) 출원일자(국제) 2013년07월25일
심사청구일자 2016년02월19일
(85) 번역문제출일자 2016년02월19일
(65) 공개번호 10-2016-0032244
(43) 공개일자 2016년03월23일
(86) 국제출원번호 PCT/CN2013/080076
(87) 국제공개번호 WO 2015/006996
국제공개일자 2015년01월22일
(30) 우선권주장
201310306890.4 2013년07월19일 중국(CN)
(56) 선행기술조사문헌
CN102081269 A
(뒷면에 계속)

(73) 특허권자
센젠 차이나 스타 옵토일렉트로닉스 테크놀로지
컴퍼니 리미티드
중국 광둥 프로빈스, 센젠 시티, 광밍 뉴 디스트
릭트, 탕밍 로드, 넘버 9-2
(72) 발명자
요우, 쇼후이
중국 518132 광둥, 센젠 시티, 구양밍 뉴 디스트릭
트, 탕밍 로드, 넘버 9-2
천, 청홍
중국 518132 광둥, 센젠 시티, 구양밍 뉴 디스트릭
트, 탕밍 로드, 넘버 9-2
(74) 대리인
박소현

전체 청구항 수 : 총 13 항

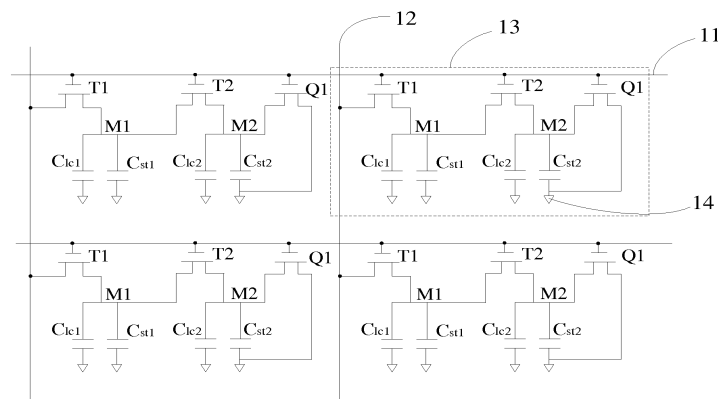
심사관 : 추장희

(54) 발명의 명칭 어레이 기판 및 액정 디스플레이 패널

(57) 요약

본 발명은 어레이 기판(701)을 제공하여, 어레이 기판(701) 중, 각각의 화소유닛(13)은 적어도 2개의 화소전극(M1, M2)과 적어도 2개의 스위치회로(T1, T2)를 포함하며, 그 중 제 1 화소전극(M1)은 제 1 스위치회로(T1)를 통해 본 화소유닛(13)에 대응되는 스캔라인(11)과 데이터라인(12)에 연결되고, 제 2 화소전극(M2)은 제 2 스위치회로(T2)를 통해 본 화소유닛(13)에 대응되는 스캔라인(11)과 연결됨과 아울러, 적어도 제 2 스위치회로(T2)를 통해 제 1 스위치회로(T1)와 연결됨으로써, 최종적으로 제 2 화소전극(M2)과 본 화소유닛(13)에 대응되는 데이터라인(12)의 연결을 구현한다. 상기 방식을 통해, 대시야각에서의 색상 왜곡을 개선하여 디스플레이 품질을 향상시킬 수 있다. 또한 본 발명은 액정 디스플레이 패널을 더 제공한다.

대표도



(52) CPC특허분류

G02F 2001/134345 (2013.01)

G09G 2300/0814 (2013.01)

G09G 2300/0842 (2013.01)

(56) 선행기술조사문헌

JP2009301010 A

KR1020100071031 A

CN101364017 A

KR1020050003281 A

W02012132630 A1

명세서

청구범위

청구항 1

다수의 스캔라인, 다수의 데이터라인, 다수의 화소유닛 및 공통전압을 입력하기 위한 공통전극을 포함하고, 각각의 상기 화소유닛은 하나의 스캔라인과 하나의 데이터라인에 대응되며;

각각의 상기 화소유닛은 적어도 2개의 화소전극과 적어도 2개의 스위치회로를 포함하고, 상기 적어도 2개의 화소전극은 제 1 화소전극과 제 2 화소전극을 포함하며, 상기 적어도 2개의 스위치는 제 1 화소전극에 작용하는 제 1 스위치회로와 제2 화소전극에 작용하는 제 2 스위치회로를 포함하고, 각각의 상기 화소유닛은 제어 스위치를 더 포함하며, 상기 제어 스위치는 제어단, 제 1 단과 제 2 단을 포함하고, 상기 제 1 화소전극은 상기 제 1 스위치회로를 통해 본 화소유닛에 대응되는 상기 스캔라인과 데이터라인에 연결되고, 상기 제 2 화소전극은 상기 제 2 스위치회로를 통해 본 화소유닛에 대응되는 상기 스캔라인과 연결됨과 아울러, 적어도 상기 제 2 스위치회로를 통해 상기 제 1 스위치 회로와 연결됨으로써, 최종적으로 상기 제 2 화소전극과 본 화소유닛에 대응되는 상기 데이터라인의 연결을 구현하며, 상기 제어 스위치의 제어단은 본 화소유닛에 대응되는 상기 스캔라인과 연결되고, 상기 제어 스위치의 제 1 단은 상기 제 2 화소전극과 연결되며, 상기 제어 스위치의 제 2 단은 상기 공통전극과 연결되며;

그 중 본 화소유닛에 대응되는 상기 스캔라인이 스캔신호를 입력하여 상기 제 1 스위치회로, 제 2 스위치회로와 제어스위치의 도통을 제어 시, 상기 제 1 화소전극은 상기 제 1 스위치회로를 통해 본 화소유닛에 대응되는 상기 데이터라인으로부터의 데이터신호를 수신하고, 상기 제 2 화소전극은 적어도 순차적으로 상기 제 1 스위치회로와 제 2 스위치회로를 통해 본 화소유닛에 대응되는 상기 데이터라인으로부터의 데이터신호를 수신하며, 상기 제 1 스위치회로와 상기 제 2 스위치회로의 작용에 의해 상기 제 1 화소전극과 제 2 화소전극 사이에 0이 아닌 전압차가 존재하게 하고, 또한 상기 제 1 스위치회로가 도통 시의 전류 통과 능력이 상기 제 2 스위치 회로가 도통 시의 전류 통과 능력과 다르도록 함으로써, 상기 제 1 화소전극과 제 2 화소전극 사이에 상이한 전압차를 획득하며, 상기 제어 스위치는 방전 박막 트랜지스터이며, 상기 제어 스위치의 제어단은 방전 박막 트랜지스터의 게이트에 대응되고, 상기 제어 스위치의 제 1 단은 방전 박막 트랜지스터의 소스에 대응되며, 상기 제어 스위치의 제 2 단은 방전 박막 트랜지스터의 드레인에 대응되어, 상기 방전 박막 트랜지스터가 도통되는 시간 내에 상기 제 2 화소전극의 전압을 변경시키고, 상기 방전 박막 트랜지스터의 폭 길이를 미리 설정된 값보다 작게 함으로써, 도통되는 시간 내에 상기 제2 화소전극과 공통전극 사이의 전압차를 감소시키고 또한 0이 아니도록 하고,

상기 폭 길이는 폭을 길이로 나눈 값인 어레이 기판.

청구항 2

제 1항에 있어서,

상기 제 1 스위치 회로는 제 1 박막 트랜지스터이고, 상기 제 2 스위치회로는 제 2 박막 트랜지스터이며, 상기 제 1 박막 트랜지스터의 폭 길이비와 상기 제 2 박막 트랜지스터의 폭 길이를 다르게 함으로써, 상기 제 1 스위치회로가 도통 시의 전류 통과 능력이 상기 제 2 스위치회로가 도통 시의 전류 통과 능력과 달라지도록 하는 어레이 기판.

청구항 3

제 1항에 있어서,

각각의 상기 화소유닛은 제 3 화소전극과 제 3 스위치회로를 더 포함하며, 상기 제 3 화소전극은 상기 제 3 스위치회로를 통해 본 화소유닛에 대응되는 상기 스캔라인과 연결됨과 아울러, 상기 제 3 스위치회로를 통해 상기 제 1 스위치회로와 연결됨으로써, 최종적으로 상기 제 3 화소전극과 본 화소유닛에 대응되는 상기 데이터라인의

연결을 구현하고;

상기 제 2 화소전극은 순차적으로 상기 제 2 스위치회로와 제 3 스위치회로를 통해 상기 제 1 스위치회로와 연결되어, 최종적으로 상기 제 2 화소전극과 본 화소유닛에 대응되는 상기 데이터라인의 연결을 구현하는 어레이 기판.

청구항 4

다수의 스캔라인, 다수의 데이터라인, 다수의 화소유닛 및 공통전압을 입력하기 위한 공통전극을 포함하고, 각각의 상기 화소유닛은 하나의 스캔라인과 하나의 데이터라인에 대응되며;

각각의 상기 화소유닛은 적어도 2개의 화소전극과 적어도 2개의 스위치회로를 포함하고, 상기 적어도 2개의 화소전극은 제 1 화소전극과 제 2 화소전극을 포함하며, 상기 적어도 2개의 스위치는 상기 제 1 화소전극에 작용하는 제 1 스위치회로와 상기 제 2 화소전극에 작용하는 제 2 스위치회로를 포함하고, 각각의 상기 화소유닛은 제어 스위치를 더 포함하며, 상기 제어 스위치는 제어단, 제 1 단과 제 2 단을 포함하고, 상기 제 1 화소전극은 상기 제 1 스위치회로를 통해 본 화소유닛에 대응되는 상기 스캔라인과 데이터라인에 연결되고, 상기 제 2 화소전극은 상기 제 2 스위치회로를 통해 본 화소유닛에 대응되는 상기 스캔라인과 연결됨과 아울러, 적어도 상기 제 2 스위치회로를 통해 상기 제 1 스위치 회로와 연결됨으로써, 최종적으로 상기 제 2 화소전극과 본 화소유닛에 대응되는 상기 데이터라인의 연결을 구현하며, 상기 제어 스위치의 제어단은 본 화소유닛에 대응되는 상기 스캔라인과 연결되고, 상기 제어 스위치의 제 1 단은 상기 제 2 화소전극과 연결되며, 상기 제어 스위치의 제 2 단은 상기 공통전극과 연결되고;

그 중 본 화소유닛에 대응되는 상기 스캔라인이 스캔신호를 입력하여 상기 제 1 스위치회로, 제 2 스위치회로와 제어스위치의 도통을 제어 시, 상기 제 1 화소전극은 상기 제 1 스위치회로를 통해 본 화소유닛에 대응되는 상기 데이터라인으로부터의 데이터신호를 수신하고, 상기 제 2 화소전극은 적어도 순차적으로 상기 제 1 스위치회로와 제 2 스위치회로를 통해 본 화소유닛에 대응되는 상기 데이터라인으로부터의 데이터신호를 수신하며, 상기 제 1 스위치회로와 제 2 스위치회로의 작용에 의해 상기 제 1 화소전극과 제 2 화소전극 사이에 0이 아닌 전압차가 존재하게 하고, 상기 제어스위치는 도통되는 시간 내에 상기 제 2 화소전극의 전압차를 변경시킴으로써, 상기 제 2 화소전극과 공통전극 사이의 전압차를 감소시키고 또한 0이 아니도록 하는 어레이 기판.

청구항 5

제 4항에 있어서,

상기 제 1 스위치회로가 도통 시의 전류 통과 능력이 상기 제 2 스위치 회로가 도통 시의 전류 통과 능력과 다르도록 함으로써, 상기 제 1 화소전극과 제 2 화소전극 사이에 상이한 전압차를 획득하는 어레이 기판.

청구항 6

제 5항에 있어서,

상기 제 1 스위치 회로는 제 1 박막 트랜지스터이고, 상기 제 2 스위치회로는 제 2 박막 트랜지스터이며, 상기 제 1 박막 트랜지스터의 폭 길이비와 상기 제 2 박막 트랜지스터의 폭 길이비를 다르게 함으로써, 상기 제 1 스위치회로가 도통 시의 전류 통과 능력이 상기 제 2 스위치회로가 도통 시의 전류 통과 능력과 달라지도록 하고, 상기 폭 길이비는 폭을 길이로 나눈 값인 어레이 기판.

청구항 7

제 4항에 있어서,

각각의 상기 화소유닛은 제 3 화소전극과 제 3 스위치회로를 더 포함하며, 상기 제 3 화소전극은 상기 제 3 스위치회로를 통해 본 화소유닛에 대응되는 상기 스캔라인과 연결됨과 아울러, 상기 제 3 스위치회로를 통해 상기

제 1 스위치회로와 연결됨으로써, 최종적으로 상기 제 3 화소전극과 본 화소유닛에 대응되는 상기 데이터라인의 연결을 구현하고;

상기 제 2 화소전극은 순차적으로 상기 제 2 스위치회로와 제 3 스위치회로를 통해 상기 제 1 스위치회로와 연결되어, 최종적으로 상기 제 2 화소전극과 본 화소유닛에 대응되는 상기 데이터라인의 연결을 구현하는 어레이 기판.

청구항 8

제 4항에 있어서,

상기 제어 스위치는 방전 박막 트랜지스터이며, 상기 제어 스위치의 제어단은 방전 박막 트랜지스터의 게이트에 대응되고, 상기 제어 스위치의 제 1 단은 방전 박막 트랜지스터의 소스에 대응되며, 상기 제어 스위치의 제 2 단은 방전 박막 트랜지스터의 드레인에 대응되어, 상기 방전 박막 트랜지스터의 폭 길이비를 미리 설정된 값보다 작게 함으로써, 도통되는 시간 내에 상기 제2 화소전극과 공통전극 사이의 전압차를 감소시키고 또한 0이 아니도록 하고,

상기 폭 길이비는 폭을 길이로 나눈 값인 어레이 기판.

청구항 9

어레이 기판, 컬러필터 기판 및 상기 어레이 기판과 컬러필터 기판 사이에 위치하는 액정층을 포함하며;

상기 어레이 기판은 다수의 스캔라인, 다수의 데이터라인, 다수의 화소유닛 및 공통전압을 입력하기 위한 공통전극을 포함하고, 각각의 상기 화소유닛은 하나의 스캔라인과 하나의 데이터라인에 대응되며;

각각의 화소유닛은 적어도 2개의 화소전극과 적어도 2개의 스위치회로를 포함하고, 상기 적어도 2개의 화소전극은 제 1 화소전극과 제 2 화소전극을 포함하며, 상기 적어도 2개의 스위치는 상기 제 1 화소전극에 작용하는 제 1 스위치회로와 상기 제 2 화소전극에 작용하는 제 2 스위치회로를 포함하고, 각각의 상기 화소유닛은 제어 스위치를 더 포함하며, 상기 제어 스위치는 제어단, 제 1 단과 제 2 단을 포함하고, 상기 제 1 화소전극은 상기 제 1 스위치회로를 통해 본 화소유닛에 대응되는 상기 스캔라인과 데이터라인에 연결되고, 상기 제 2 화소전극은 상기 제 2 스위치회로를 통해 본 화소유닛에 대응되는 상기 스캔라인과 연결됨과 아울러, 적어도 상기 제 2 스위치회로를 통해 상기 제 1 스위치 회로와 연결됨으로써, 최종적으로 상기 제 2 화소전극과 본 화소유닛에 대응되는 상기 데이터라인의 연결을 구현하며, 상기 제어 스위치의 제어단은 본 화소유닛에 대응되는 상기 스캔라인과 연결되고, 상기 제어 스위치의 제 1 단은 상기 제 2 화소전극과 연결되며, 상기 제어 스위치의 제 2 단은 상기 공통전극과 연결되고;

그 중 본 화소유닛에 대응되는 상기 스캔라인이 스캔신호를 입력하여 상기 제 1 스위치회로, 제 2 스위치회로와 제어스위치의 도통을 제어 시, 상기 제 1 화소전극은 상기 제 1 스위치회로를 통해 본 화소유닛에 대응되는 상기 데이터라인으로부터의 데이터신호를 수신하고, 상기 제 2 화소전극은 적어도 순차적으로 상기 제 1 스위치회로와 제 2 스위치회로를 통해 본 화소유닛에 대응되는 상기 데이터라인으로부터의 데이터신호를 수신하며, 상기 제 1 스위치회로와 제 2 스위치회로의 작용에 의해 상기 제 1 화소전극과 제 2 화소전극 사이에 0이 아닌 전압차가 존재하게 하고, 상기 제어스위치는 도통되는 시간 내에 상기 제 2 화소전극의 전압을 변경시킴으로써, 상기 제 2 화소전극과 공통전극 사이의 전압차를 감소시키고 또한 0이 아니도록 하는 액정 디스플레이 패널.

청구항 10

제 9항에 있어서,

상기 제 1 스위치회로가 도통 시의 전류 통과 능력이 상기 제 2 스위치 회로가 도통 시의 전류 통과 능력과 다르도록 함으로써, 상기 제 1 화소전극과 제 2 화소전극 사이에 상이한 전압차를 획득하는 액정 디스플레이 패널.

청구항 11

제 10항에 있어서,

상기 제 1 스위치 회로는 제 1 박막 트랜지스터이고, 상기 제 2 스위치회로는 제 2 박막 트랜지스터이며, 상기 제 1 박막 트랜지스터의 폭 길이비와 상기 제 2 박막 트랜지스터의 폭 길이비를 다르게 함으로써, 상기 제 1 스위치회로가 도통 시의 전류 통과 능력이 상기 제 2 스위치회로가 도통 시의 전류 통과 능력과 달라지도록 하고, 상기 폭 길이비는 폭을 길이로 나눈 값인 액정 디스플레이 패널.

청구항 12

제 9항에 있어서,

각각의 상기 화소유닛은 제 3 화소전극과 제 3 스위치회로를 더 포함하며, 상기 제 3 화소전극은 상기 제 3 스위치회로를 통해 본 화소유닛에 대응되는 상기 스캔라인과 연결됨과 아울러, 상기 제 3 스위치회로를 통해 상기 제 1 스위치회로와 연결됨으로써, 최종적으로 상기 제 3 화소전극과 본 화소유닛에 대응되는 상기 데이터라인의 연결을 구현하고;

상기 제 2 화소전극은 순차적으로 상기 제 2 스위치회로와 제 3 스위치회로를 통해 상기 제 1 스위치회로와 연결되어, 최종적으로 상기 제 2 화소전극과 본 화소유닛에 대응되는 상기 데이터라인의 연결을 구현하는 액정 디스플레이 패널.

청구항 13

제 9항에 있어서,

상기 제어 스위치는 방전 박막 트랜지스터이며, 상기 제어 스위치의 제어단은 방전 박막 트랜지스터의 게이트에 대응되고, 상기 제어 스위치의 제 1 단은 방전 박막 트랜지스터의 소스에 대응되며, 상기 제어 스위치의 제 2 단은 방전 박막 트랜지스터의 드레인에 대응되어, 상기 방전 박막 트랜지스터의 폭 길이비를 미리 설정된 값보다 작게 함으로써, 도통되는 시간 내에 상기 제2 화소전극과 공통전극 사이의 전압차를 감소시키고 또한 0이 아니도록 하고,

상기 폭 길이비는 폭을 길이로 나눈 값인 액정 디스플레이 패널.

발명의 설명

기술 분야

[0001] 본 발명은 액정 디스플레이 기술 분야에 관한 것으로서, 특히 어레이 기판 및 액정 디스플레이 패널에 관한 것이다.

배경 기술

[0002] VA(Vertical Alignment, 수직 정렬)형 액정 디스플레이 패널은 응답 속도가 빠르고, 대비도가 높다는 등의 장점을 구비하여, 현재 액정 디스플레이 패널의 주류 발전 방향이다.

[0003] 그러나, 상이한 시야각에서, 액정 분자의 배열 방향이 결코 동일하지 않아 액정 분자의 유효 굴절률 역시 달라지고, 따라서 투사되는 광각도의 변화를 야기할 수 있으며, 구체적으로는 경사각에서 투광 능력이 저하되는 것으로 나타나고, 경사각 방향과 정면 시야각 방향에서 표현되는 색상이 불일치하여 색차가 발생하며, 따라서 대시야각에서 관찰되는 색상이 왜곡될 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 주로 해결하고자 하는 기술문제는 대시야각에서 관찰되는 색상 차이를 개선하여 디스플레이 효과를

향상시킬 수 있는 어레이 기관 및 액정 디스플레이 패널을 제공하고자 하는데 있다.

과제의 해결 수단

- [0005] 상기 기술문제를 해결하기 위하여, 본 발명이 채택한 일 기술방안은 다음과 같다.
- [0006] 어레이 기관을 제공함에 있어서, 다수의 스캔라인, 다수의 데이터라인, 다수의 화소유닛 및 공통전압을 입력하기 위한 공통전극을 포함하고, 각각의 화소유닛은 하나의 스캔라인과 하나의 데이터라인에 대응되며; 각각의 화소유닛은 적어도 2개의 화소전극과 적어도 2개의 스위치회로를 포함하고, 적어도 2개의 화소전극은 제 1 화소전극과 제 2 화소전극을 포함하며, 적어도 2개의 스위치는 제 1 화소전극에 작용하는 제 1 스위치회로 및 제 2 화소전극에 작용하는 제 2 스위치회로를 포함하고, 각각의 화소유닛은 제어 스위치를 더 포함하며, 제어 스위치는 제어단, 제 1 단 및 제 2 단을 포함하고, 제 1 화소전극은 제 1 스위치회로를 통해 본 화소유닛에 대응되는 스캔라인 및 데이터라인과 연결되고, 제 2 화소전극은 제 2 스위치회로를 통해 본 화소유닛에 대응되는 스캔라인과 연결됨과 아울러, 적어도 제 2 스위치회로를 통해 제 1 스위치 회로와 연결됨으로써, 최종적으로 제 2 화소전극과 본 화소유닛에 대응되는 데이터라인의 연결을 구현하며, 제어 스위치의 제어단은 본 화소유닛에 대응되는 스캔라인과 연결되고, 제어 스위치의 제 1 단은 제 2 화소전극과 연결되며, 제어 스위치의 제 2 단은 공통전극과 연결되고; 그 중 본 화소유닛에 대응되는 스캔라인이 스캔신호를 입력하여 제 1 스위치회로, 제 2 스위치회로 및 제어스위치의 도통을 제어 시, 제 1 화소전극은 제 1 스위치회로를 통해 본 화소유닛에 대응되는 데이터라인으로부터의 데이터신호를 수신하고, 제 2 화소전극은 적어도 순차적으로 제 1 스위치회로와 제 2 스위치회로를 통해 본 화소유닛에 대응되는 데이터라인으로부터의 데이터신호를 수신하며, 제 1 스위치회로와 제 2 스위치회로의 작용에 의해 제 1 화소전극과 제 2 화소전극 사이에 0이 아닌 전압차가 존재하게 하고, 또한 제 1 스위치회로가 도통 시의 전류 통과 능력이 제 2 스위치 회로가 도통 시의 전류 통과 능력과 다르도록 함으로써, 제 1 화소전극과 제 2 화소전극 사이에 상이한 전압차를 획득하며, 제어 스위치는 방전 박막 트랜지스터로서, 제어 스위치의 제어단은 방전 박막 트랜지스터의 게이트에 대응되고, 제어 스위치의 제 1 단은 방전 박막 트랜지스터의 소스에 대응되며, 제어 스위치의 제 2 단은 방전 박막 트랜지스터의 드레인에 대응되어, 방전 박막 트랜지스터가 도통되는 시간 내에 제 2 화소전극의 전압을 변경시키고, 방전 박막 트랜지스터의 폭 길이를 설정 값보다 작게 함으로써, 도통되는 시간 내에 제2 화소전극과 공통전극 사이의 전압차를 감소시키고 또한 0이 아니도록 한다.
- [0007] 그 중, 제 1 스위치 회로는 제 1 박막 트랜지스터이고, 제 2 스위치회로는 제 2 박막 트랜지스터이며, 제 1 박막 트랜지스터의 폭 길이비와 제 2 박막 트랜지스터의 폭 길이비를 다르게 함으로써, 제 1 스위치회로가 도통 시의 전류 통과 능력이 제 2 스위치회로가 도통 시의 전류 통과 능력과 달라지도록 한다.
- [0008] 그 중, 각각의 화소유닛은 제 3 화소전극과 제 3 스위치회로를 더 포함하며, 제 3 화소전극은 제 3 스위치회로를 통해 본 화소유닛에 대응되는 스캔라인과 연결됨과 아울러, 제 3 스위치회로를 통해 제 1 스위치회로와 연결됨으로써, 최종적으로 제 3 화소전극과 본 화소유닛에 대응되는 데이터라인의 연결을 구현하고; 제 2 화소전극은 순차적으로 제 2 스위치회로와 제 3 스위치회로를 통해 제 1 스위치회로와 연결되어, 최종적으로 제 2 화소전극과 본 화소유닛에 대응되는 데이터라인의 연결을 구현한다.
- [0009] 상기 기술문제를 해결하기 위하여, 본 발명이 채택한 또 다른 일 기술방안은 다음과 같다.
- [0010] 어레이 기관을 제공함에 있어서, 다수의 스캔라인, 다수의 데이터라인, 다수의 화소유닛 및 공통전압을 입력하기 위한 공통전극을 포함하고, 각각의 화소유닛은 하나의 스캔라인과 하나의 데이터라인에 대응되며; 각각의 화소유닛은 적어도 2개의 화소전극과 적어도 2개의 스위치회로를 포함하고, 적어도 2개의 화소전극은 제 1 화소전극과 제 2 화소전극을 포함하며, 적어도 2개의 스위치는 제 1 화소전극에 작용하는 제 1 스위치회로 및 제 2 화소전극에 작용하는 제 2 스위치회로를 포함하고, 각각의 화소유닛은 제어 스위치를 더 포함하며, 제어 스위치는 제어단, 제 1 단 및 제 2 단을 포함하고, 제 1 화소전극은 제 1 스위치회로를 통해 본 화소유닛에 대응되는 스캔라인 및 데이터라인과 연결되고, 제 2 화소전극은 제 2 스위치회로를 통해 본 화소유닛에 대응되는 스캔라인과 연결됨과 아울러, 적어도 제 2 스위치회로를 통해 제 1 스위치 회로와 연결됨으로써, 최종적으로 제 2 화소전극과 본 화소유닛에 대응되는 데이터라인의 연결을 구현하며, 제어 스위치의 제어단은 본 화소유닛에 대응되는 스캔라인과 연결되고, 제어 스위치의 제 1 단은 제 2 화소전극과 연결되며, 제어 스위치의 제 2 단은 공통전극과 연결되고; 그 중 본 화소유닛에 대응되는 스캔라인이 스캔신호를 입력하여 제 1 스위치회로, 제 2 스위치회로 및 제어스위치의 도통을 제어 시, 제 1 화소전극은 제 1 스위치회로를 통해 본 화소유닛에 대응되는 데이터라인으로부터의 데이터신호를 수신하고, 제 2 화소전극은 적어도 순차적으로 제 1 스위치회로와 제 2 스위치회로를 통해 본 화소유닛에 대응되는 데이터라인으로부터의 데이터신호를 수신하며, 제 1 스위치회로와 제 2 스

위치회로의 작용에 의해 제 1 화소전극과 제 2 화소전극 사이에 0이 아닌 전압차가 존재하게 하고, 제어스위치는 도통되는 시간 내에 제 2 화소전극의 전압차를 변경시킴으로써, 제 2 화소전극과 공통전극 사이의 전압차를 감소시키고 또한 0이 아니도록 한다.

[0011] 그 중, 제 1 스위치회로가 도통 시의 전류 통과 능력이 제 2 스위치 회로가 도통 시의 전류 통과 능력과 다르도록 함으로써, 제 1 화소전극과 제 2 화소전극 사이에 상이한 전압차를 획득한다.

[0012] 그 중, 제 1 스위치 회로는 제 1 박막 트랜지스터이고, 제 2 스위치회로는 제 2 박막 트랜지스터이며, 제 1 박막 트랜지스터의 폭 길이비와 제 2 박막 트랜지스터의 폭 길이비를 다르게 함으로써, 제 1 스위치회로가 도통 시의 전류 통과 능력이 제 2 스위치회로가 도통 시의 전류 통과 능력과 달라지도록 한다.

[0013] 그 중, 각각의 화소유닛은 제 3 화소전극과 제 3 스위치회로를 더 포함하며, 제 3 화소전극은 제 3 스위치회로를 통해 본 화소유닛에 대응되는 스캔라인과 연결됨과 아울러, 제 3 스위치회로를 통해 제 1 스위치회로와 연결됨으로써, 최종적으로 제 3 화소전극과 본 화소유닛에 대응되는 데이터라인의 연결을 구현하고; 제 2 화소전극은 순차적으로 제 2 스위치회로와 제 3 스위치회로를 통해 제 1 스위치회로와 연결되어, 최종적으로 제 2 화소전극과 본 화소유닛에 대응되는 데이터라인의 연결을 구현한다.

[0014] 그 중, 제어 스위치는 방전 박막 트랜지스터이며, 제어 스위치의 제어단은 방전 박막 트랜지스터의 게이트에 대응되고, 제어 스위치의 제 1 단은 방전 박막 트랜지스터의 소스에 대응되며, 제어 스위치의 제 2 단은 방전 박막 트랜지스터의 드레인에 대응되어, 방전 박막 트랜지스터의 폭 길이비를 설정값보다 작게 함으로써, 도통되는 시간 내에 제2 화소전극과 공통전극 사이의 전압차를 감소시키고 또한 0이 아니도록 한다.

[0015] 상기 기술문제를 해결하기 위하여, 본 발명이 채택한 또 다른 일 기술방안은 다음과 같다.

[0016] 액정 디스플레이 패널을 제공함에 있어서, 어레이 기판, 컬러필터 기판 및 어레이 기판과 컬러필터 기판 사이에 위치하는 액정층을 포함하며; 어레이 기판은 다수의 스캔라인, 다수의 데이터라인, 다수의 화소유닛 및 공통전압을 입력하기 위한 공통전극을 포함하고, 각각의 화소유닛은 하나의 스캔라인과 하나의 데이터라인에 대응되며; 각각의 화소유닛은 적어도 2개의 화소전극과 적어도 2개의 스위치회로를 포함하고, 적어도 2개의 화소전극은 제 1 화소전극과 제 2 화소전극을 포함하며, 적어도 2개의 스위치는 제 1 화소전극에 작용하는 제 1 스위치회로 및 제 2 화소전극에 작용하는 제 2 스위치회로를 포함하고, 각각의 화소유닛은 제어 스위치를 더 포함하며, 제어 스위치는 제어단, 제 1 단 및 제 2 단을 포함하고, 제 1 화소전극은 제 1 스위치회로를 통해 본 화소유닛에 대응되는 스캔라인 및 데이터라인과 연결되고, 제 2 화소전극은 제 2 스위치회로를 통해 본 화소유닛에 대응되는 스캔라인과 연결됨과 아울러, 적어도 제 2 스위치회로를 통해 제 1 스위치 회로와 연결됨으로써, 최종적으로 제 2 화소전극과 본 화소유닛에 대응되는 데이터라인의 연결을 구현하며, 제어 스위치의 제어단은 본 화소유닛에 대응되는 스캔라인과 연결되고, 제어 스위치의 제 1 단은 제 2 화소전극과 연결되며, 제어 스위치의 제 2 단은 공통전극과 연결되고; 그 중, 본 화소유닛에 대응되는 스캔라인이 스캔신호를 입력하여 제 1 스위치회로, 제 2 스위치회로 및 제어스위치의 도통을 제어 시, 제 1 화소전극은 제 1 스위치회로를 통해 본 화소유닛에 대응되는 데이터라인으로부터의 데이터신호를 수신하고, 제 2 화소전극은 적어도 순차적으로 제 1 스위치회로와 제 2 스위치회로를 통해 본 화소유닛에 대응되는 데이터라인으로부터의 데이터신호를 수신하며, 제 1 스위치회로와 제 2 스위치회로의 작용에 의해 제 1 화소전극과 제 2 화소전극 사이에 0이 아닌 전압차가 존재하게 하고, 제어스위치는 도통되는 시간 내에 제 2 화소전극의 전압을 변경시킴으로써, 제 2 화소전극과 공통전극 사이의 전압차를 감소시키고 또한 0이 아니도록 한다.

[0017] 그 중, 제 1 스위치회로가 도통 시의 전류 통과 능력이 제 2 스위치 회로가 도통 시의 전류 통과 능력과 다르도록 함으로써, 제 1 화소전극과 제 2 화소전극 사이에 상이한 전압차를 획득한다.

[0018] 그 중, 제 1 스위치 회로는 제 1 박막 트랜지스터이고, 제 2 스위치회로는 제 2 박막 트랜지스터이며, 제 1 박막 트랜지스터의 폭 길이비와 제 2 박막 트랜지스터의 폭 길이비를 다르게 함으로써, 제 1 스위치회로가 도통 시의 전류 통과 능력이 제 2 스위치회로가 도통 시의 전류 통과 능력과 달라지도록 한다.

[0019] 그 중, 각각의 화소유닛은 제 3 화소전극과 제 3 스위치회로를 더 포함하며, 제 3 화소전극은 제 3 스위치회로를 통해 본 화소유닛에 대응되는 스캔라인과 연결됨과 아울러, 제 3 스위치회로를 통해 제 1 스위치회로와 연결됨으로써, 최종적으로 제 3 화소전극과 본 화소유닛에 대응되는 데이터라인의 연결을 구현하고; 제 2 화소전극은 순차적으로 제 2 스위치회로와 제 3 스위치회로를 통해 제 1 스위치회로와 연결되어, 최종적으로 제 2 화소전극과 본 화소유닛에 대응되는 데이터라인의 연결을 구현한다.

[0020] 그 중, 제어 스위치는 방전 박막 트랜지스터이며, 제어 스위치의 제어단은 방전 박막 트랜지스터의 게이트에 대

응되고, 제어 스위치의 제 1 단은 방전 박막 트랜지스터의 소스에 대응되며, 제어 스위치의 제 2 단은 방전 박막 트랜지스터의 드레인에 대응되어, 방전 박막 트랜지스터의 폭 길이비를 설정값보다 작게 함으로써, 도통되는 시간 내에 제2 화소전극과 공통전극 사이의 전압차를 감소시키고 또한 0이 아니도록 한다.

발명의 효과

[0021] 종래 기술과 달리, 본 발명의 어레이 기판은 각각의 화소유닛에 적어도 2개의 화소전극과 적어도 2개의 스위치 회로가 포함되며, 그 중, 제 1 화소전극은 제 1 스위치회로를 통해 본 화소유닛에 대응되는 스캔라인 및 데이터 라인과 연결되고, 제 2 화소전극은 제 2 스위치회로를 통해 본 화소유닛에 대응되는 스캔라인과 연결됨과 아울러, 적어도 제 2 스위치회로를 통해 제 1 스위치회로와 연결됨으로써, 최종적으로 제 2 화소전극과 본 화소유닛에 대응되는 데이터라인의 연결을 구현하며, 제 1 스위치회로와 제 2 스위치회로의 작용에 의해 제 1 화소전극과 제 2 화소전극 사이에 0이 아닌 전압의 전압차가 존재하게 됨으로써, 대시야각에서의 색상 왜곡을 개선하여 디스플레이 품질을 향상시킬 수 있다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 어레이 기판의 일 실시예의 구조도이다.

도 2는 도 1 중 어레이 기판의 화소유닛의 구조 등가 회로이다.

도 3은 도 2 중 화소유닛의 스위치회로와 제어스위치가 도통 시의 등가 회로도이다.

도 4는 본 발명의 어레이 기판의 또 다른 일 실시예의 구조도이다.

도 5는 도 4 중 어레이 기판의 화소유닛의 구조 등가 회로이다.

도 6은 도 5 중 화소유닛의 스위치회로와 제어스위치가 도통 시의 등가 회로도이다.

도 7은 본 발명의 액정 디스플레이 패널의 일 실시예의 구조도이다.

발명을 실시하기 위한 구체적인 내용

[0023] 액정 디스플레이 기술 중, 대시야각에서의 색상 왜곡을 개선하기 위하여, 화소 설계에 있어서, 통상적으로 하나의 화소를 상이한 액정 방향을 갖는 다수의 화소 영역으로 구분하고, 각각의 화소 영역의 전압이 다르도록 제어하는 방식을 통해, 2개의 화소영역 중의 액정 분자 배열이 달라지게 함으로써, 대시야각에서의 색상 왜곡을 개선하여 LCS(Low Color Shift, 낮은 색상 변이)의 효과, 즉 대시야각에서의 색상 차이가 비교적 작은 효과를 획득할 수 있다.

[0024] 이하 첨부도면과 실시예를 결합하여 본 발명에 대해 상세히 설명한다.

[0025] 도 1과 도 2를 참조하면, 본 발명의 어레이 기판의 일 실시예에서, 어레이 기판은 다수의 스캔라인(11), 다수의 데이터라인(12), 다수의 화소유닛(13) 및 공통전압을 입력하기 위한 공통전극(14)을 포함한다.

[0026] 그 중, 각각의 화소유닛(13)은 2개의 화소전극 및 2개의 스위치회로를 포함하며, 2개의 화소전극은 각각 제 1 화소전극(M1)과 제 2 화소전극(M2)이고, 2개의 스위치회로는 모두 박막 트랜지스터를 사용하여 구현되며, 각각 제 1 화소전극(M1)에 작용하는 제 1 박막 트랜지스터(T1)와 제 2 화소전극(M2)에 작용하는 제 2 박막 트랜지스터(T2)이다. 제 1 박막 트랜지스터(T1)와 제 2 박막 트랜지스터(T2)는 모두 제어단, 입력단 및 출력단을 포함하며, 제 1 트랜지스터(T1)의 게이트와 제 2 박막 트랜지스터(T2)의 게이트는 모두 본 화소유닛(13)에 대응되는 스캔라인(11)과 전기적으로 연결되고, 제 1 박막 트랜지스터(T1)의 소스는 본 화소유닛(13)에 대응되는 데이터라인(12)과 전기적으로 연결되며, 제 1 박막 트랜지스터(T1)의 드레인은 제 1 화소전극(M1)과 전기적으로 연결된다. 제 2 박막 트랜지스터(T2)의 소스는 제 1 박막 트랜지스터(T1)의 드레인과 전기적으로 연결되고, 제 2 박막 트랜지스터(T2)의 드레인은 제 2 화소전극(M2)과 전기적으로 연결됨으로써, 제 2 화소전극(M2)이 제 2 박막 트랜지스터(T2)를 통해 제 1 박막 트랜지스터(T1)와 연결되도록 하여, 최종적으로 제 2 화소전극(M2)과 본 화소유닛(13)에 대응되는 데이터라인(12)의 연결을 구현한다.

[0027] 각각의 화소유닛(13)은 제어 스위치(Q1)를 더 포함하며, 제어 스위치(Q1)는 제어단, 제 1 단 및 제 2 단을 포함한다. 그 중, 제어 스위치(Q1)의 제어단은 본 화소유닛(13)에 대응되는 스캔라인(11)과 전기적으로 연결되고, 제어 스위치(Q1)의 제 1 단은 제 2 화소전극(M2)과 전기적으로 연결되며, 제어 스위치(Q1)의 제 2 단은 공통전극(14)과 전기적으로 연결된다. 그 중, 본 실시예의 제어 스위치(Q1)는 방전 박막 트랜지스터이며, 제어 스위치

(Q1)의 제어단은 방전 박막 트랜지스터의 게이트에 대응되고, 제어 스위치(Q1)의 제 1 단은 방전 박막 트랜지스터의 소스에 대응되며, 제어 스위치(Q1)의 제 2 단은 방전 박막 트랜지스터의 드레인에 대응된다.

[0028] 기타 실시예에서, 제 1 스위치회로, 제 2 스위치회로와 제어 스위치는 트라이오드, 달링턴 트랜지스터 스위치 소자일 수 있으며, 여기서는 제한을 두지 않는다.

[0029] 화소유닛(13)이 작동하도록 구동 시, 공통전극(14)은 공통전압을 입력하고, 스캔라인(11)은 스캔신호를 입력하여 제 1 박막 트랜지스터(T1), 제 2 박막 트랜지스터(T2) 및 제어 스위치(Q1)의 도통을 제어하고, 데이터라인(12)은 데이터신호를 입력하며, 상기 데이터신호는 제 1 박막 트랜지스터(T1)를 통해 제 1 화소전극(M1)에 입력됨과 아울러, 순차적으로 제 1 박막 트랜지스터(T1)와 제 2 박막 트랜지스터(T2)를 통해 제 2 화소전극(M2)에 입력되어, 제 1 화소전극(M1)은 제 1 박막 트랜지스터(T1)를 통해 데이터라인(13)으로부터의 데이터신호를 수신하고, 제 2 화소전극(M2)은 순차적으로 제 1 박막 트랜지스터(T1)와 제 2 박막 트랜지스터(T2)를 통해 데이터라인(13)으로부터의 데이터신호를 수신한다. 제 1 박막 트랜지스터(T1)와 제 2 박막 트랜지스터(T2)의 작용에 의해, 제 1 화소전극(M1)의 전압과 제 2 화소전극(M2)의 전압에는 일정한 차이가 존재하게 된다. 구체적으로, 도 3을 참조하면, 박막 트랜지스터가 도통 시, 박막 트랜지스터는 일정한 저항값을 지닌 하나의 저항에 해당하며, 상기 저항값의 크기는 박막 트랜지스터의 폭 길이비와 관련이 있어, 박막 트랜지스터의 폭 길이비가 클수록, 도통 시의 등가 저항값이 작아지고, 박막 트랜지스터의 폭 길이비가 작을수록, 도통 시의 등가 저항값이 커진다. 제 1 박막 트랜지스터(T1)가 도통시 저항(Ra)과 등가이고, 제 2 박막 트랜지스터(T2)가 도통 시 저항(Rb)과 등가이며, 제어 스위치(Q1)가 도통 시 저항(Rc)과 등가라고 가정하면, 스캔라인(11)이 스캔신호를 입력 시, 이때의 저항(Ra), 저항(Rb) 및 저항(Rc)은 직렬이고, 데이터라인(12)이 입력하는 데이터신호는 저항(Ra)을 통해 제 1 화소전극(M1)에 입력되어, 순차적으로 저항(Ra)과 저항(Rb)를 통해 제 2 화소전극(M2)에 입력된다. 데이터라인(12)이 입력하는 전압이 Vs라고 가정하면, 저항 직렬 분압의 원리에 따라, 제 1 화소전극(M1)의 전압은

[0030]
$$V1=Vs*(Rb+Rc)/(Ra+Rb+Rc).....(1) \text{이고,}$$

[0031] 제 2 화소전극(M2)의 전압은

[0032]
$$V2=Vs*Rc/(Ra+Rb+Rc).....(2) \text{이다.}$$

[0033] 이로써 알 수 있듯이, 제 2 화소전극(M2)의 전압이 제 1 화소전극(M1)의 전압보다 작아, 제 1 화소전극(M1)과 제 2 화소전극(M2) 사이에 일정한 전압 차이가 존재하고, 양자 간의 전압차가 0이 아니며, 이에 따라 대시야각의 색상 왜곡을 개선하여 디스플레이 품질을 향상시킬 수 있다.

[0034] 본 실시예에서, 제 1 박막 트랜지스터(T1)와 제 2 박막 트랜지스터(T2)는 동일한 유형의 박막 트랜지스터이며, 즉 양자의 폭 길이비는 동일하며, 따라서 제 1 박막 트랜지스터(T1)와 제 2 박막 트랜지스터(T2)는 도통 시 등가의 저항(Ra)과 저항(Rb)에 대응하는 저항값이 동일하여, 제 1 박막 트랜지스터(T1)와 제 2 박막 트랜지스터(T2)가 도통 시의 전류 통과 능력 역시 동일하다. 저항 직렬 분압의 원리에 따르면, 비록 이들의 등가 저항의 저항값이 동일하더라도, 마찬가지로 제 1 화소전극(M1)과 제 2 화소전극(M2)이 상이한 전압을 지니게 함으로써 대시야각에서의 색상 왜곡을 개선하는 효과를 달성할 수 있다.

[0035] 또한, 제어 스위치(Q1)는 도통되는 시간 내에 제 2 화소전극(M2)의 전압을 변경시켜, 제 2 화소전극(M2)과 공통전극(14) 사이의 전압차를 감소시키고 또한 0이 아니게 한다. 구체적으로, 정극성(데이터신호가 공통전압보다 큰) 반전 시, 스캔라인(11)이 스캔신호를 입력하여 제어 스위치(Q1)의 도통을 제어하면, 제 2 화소전극(M2)의 일부 전하가 공통전극(14)으로 전이되어, 제 2 화소전극(M2)의 전압을 감소시키고, 제 2 화소전극(M2)의 전압을 제 1 화소전극(M1)의 전압과 더욱 달라지게 하며, 또한 제 2 화소전극(M2)과 공통전극(14) 사이의 전압차 역시 감소시킴으로써, 대시야각에서의 색상 왜곡을 더욱 개선하여 디스플레이 품질을 보다 더 향상시킬 수 있다. 부극성(데이터신호가 공통전압보다 작은) 반전 시, 제 2 화소전극(M2)은 공통전극(14)을 통해 충전되어 제 2 화소전극(M2)의 전압을 증가시키며, 또한 제어 스위치(Q1)의 제어 작용에 의해 제 2 화소전극(M2)의 증가된 전압이 제 2 화소전극(M2) 및 제 1 화소전극(M1)의 상이한 전압과 달라지게 함으로써, 제 1 화소전극(M1)과 제 2 화소전극(M2) 사이에 여전히 일정한 전압 차이가 존재하게 하고, 또한 제 2 화소전극(M2)의 전압이 증가되는 경우에도 제 2 화소전극(M2)과 공통전극(14) 사이의 전압차를 감소시켜, 이에 따라 대시야각에서의 색상 왜곡을 더욱 개선할 수 있다. 또한, 제어 스위치(Q1)는 도통되는 시간 내에 제 2 화소전극(M2)과 공통전극(14) 사이의 전압차가 0이 아니도록 제어하여, 제 2 화소전극(M2)이 정상적인 디스플레이 상태에 놓이도록 보장한다. 따라서, 정극성 반전 또는 부극성 반전을 막론하고, 제어 스위치(Q1)가 도통 시, 제 2 화소전극(M2)의 전압이 변경되어 제 2 화소전극(M2)과 공통전극(14) 사이의 전압차를 감소시키고 또한 0이 아니게 한다. 본 실시예의 제어 스위치

(Q1)는 박막 트랜지스터이며, 제어 스위치(Q1)의 폭 길이를 설정값보다 작게 하여, 제어 스위치(Q1)가 도통 시의 전류 통과 능력을 감소시킴으로써 제 2 화소전극(M2)과 공통전극(14) 사이의 전하 전이 속도를 늦추면, 제어 스위치(Q1)가 도통되는 시간 내에 제 2 화소전극(M2)과 공통전극(14) 사이가 전하 균형 상태에 이르지 못하여, 양자 간에 여전히 일정한 전압 차이가 존재하게 되며, 또한 제 2 화소전극(M2)과 공통전극(14) 사이의 전하 전이 속도의 제어를 통해 제 1 화소전극(M1)과 제 2 화소전극(M2)의 전압이 달라지게 된다(부극성 반전의 경우).

[0036] 대안적인 실시예에서, 제 1 박막 트랜지스터와 제 2 박막 트랜지스터의 폭 길이를 다르게 하여, 제 1 박막 트랜지스터와 제 2 박막 트랜지스터가 도통 시의 전류 통과 능력을 다르게 함으로써, 제 1 화소전극과 제 2 화소전극 사이의 상이한 전압차를 획득할 수도 있다. 예를 들어 제 1 박막 트랜지스터의 폭 길이를 제 2 박막 트랜지스터의 폭 길이보다 크게 하여, 제 1 화소전극과 제 2 화소전극 사이의 전압차를 증가시킴으로써 색상 왜곡을 더욱 양호하게 개선하는 효과를 얻을 수 있다. 물론, 제 1 박막 트랜지스터의 폭 길이를 제 2 박막 트랜지스터의 폭 길이보다 작게 할 수도 있으며, 실제 필요에 따라 선택하면 되므로, 여기서는 제한을 두지 않는다.

[0037] 따라서, 제 1 박막 트랜지스터와 제 2 박막 트랜지스터의 폭 길이를 변경시킴으로써, 제 1 박막 트랜지스터와 제 2 박막 트랜지스터가 도통 시의 등가 저항값을 변경시켜, 제 1 화소전극과 제 2 화소전극 사이의 전압차를 획득하여 상이한 낮은 색상 변이 효과를 얻을 수 있다.

[0038] 대안적인 실시예에서, 박막 트랜지스터의 폭 길이를 변경시키는 방식을 통하지 않고 제 1 화소전극과 제 2 화소전극 사이의 전압차를 변경시킬 수 있다. 제 1 스위치회로는 제 1 박막 트랜지스터만을 사용하여 구현할 수 있고, 제 2 스위치회로는 제 2 박막 트랜지스터와 분압저항을 통해 구현할 수 있으며, 제 1 스위치회로와 제 2 스위치회로가 도통 시의 전류 통과 능력이 다르도록 함으로써, 제 1 화소전극과 제 2 화소전극 사이의 상이한 전압차를 획득할 수 있다. 구체적으로, 제 1 화소전극은 제 1 박막 트랜지스터를 통해 본 화소유닛에 대응되는 데이터라인과 연결되고, 제 2 화소전극은 순차적으로 제 2 박막 트랜지스터와 분압 저항을 통해 제 1 박막 트랜지스터와 연결되어, 최종적으로 제 2 화소전극과 본 화소유닛에 대응되는 데이터라인의 연결을 구현한다. 제 1 박막 트랜지스터와 제 2 박막 트랜지스터의 폭 길이는 동일하게 하되, 분압 저항의 크기 조절을 통해 제 2 스위치회로의 전류 통과 능력을 조정하여, 제 1 스위치회로와 제 2 스위치회로가 도통 시의 전류 통과 능력이 달라지게 함으로써 제 1 화소전극과 제 2 화소전극 사이의 상이한 전압차를 획득하여 상이한 낮은 색상 변이 효과를 얻을 수도 있다. 물론, 기타 실시예에서, 제 1 화소전극과 제 2 화소전극에 상이한 전압을 분배하기 위하여, 제 1 스위치회로는 하나 또는 다수의 분압 저항을 포함할 수도 있고, 제 2 스위치회로 역시 다수의 분압 저항을 포함하여 제 1 화소전극과 제 2 화소전극의 상이한 전압을 구현할 수 있다.

[0039] 도 4와 도 5를 참조하면, 본 발명의 어레이 기관의 또 다른 일 실시예에서, 각각의 화소유닛(23)은 제 3 화소전극(M3)과 제 3 스위치회로를 더 포함하며, 그 중, 제 3 스위치회로는 제 3 박막 트랜지스터(T3)이다. 제 3 화소전극(M3)은 제 3 박막 트랜지스터(T3)를 통해 본 화소유닛(23)에 대응되는 스캔라인(21)과 연결되고, 또한 제 3 화소전극(M3)은 제 3 박막 트랜지스터(T3)를 통해 제 1 박막 트랜지스터(T1)와 연결됨으로써, 최종적으로 제 3 화소전극(M3)과 본 화소유닛에 대응되는 데이터라인(22)의 연결을 구현한다. 제 2 화소전극(M2)은 순차적으로 제 2 박막 트랜지스터(T1) 및 제 3 박막 트랜지스터(T2)를 통해 제 1 박막 트랜지스터(T1)와 연결되어, 최종적으로 제 2 화소전극과 본 화소유닛(23)에 대응되는 데이터라인(22)의 연결을 구현한다. 구체적으로, 3개의 박막 트랜지스터(T1, T2, T3)의 게이트는 모두 본 화소유닛(23)에 대응되는 스캔라인(21)과 연결되고, 제 1 박막 트랜지스터(T1)의 소스는 본 화소유닛(23)에 대응되는 데이터라인(22)과 연결되며, 제 1 박막 트랜지스터(T1)의 드레인은 제 1 화소전극(M1)과 연결되고, 제 3 박막 트랜지스터(T3)의 소스는 제 1 박막 트랜지스터(T1)의 드레인과 연결되고, 제 3 박막 트랜지스터(T3)의 드레인은 제 3 화소전극(M3)과 연결되며, 제 2 박막 트랜지스터(T2)의 소스는 제 3 박막 트랜지스터(T3)의 드레인과 연결되고, 제 2 박막 트랜지스터(T2)의 드레인은 제 2 화소전극(M2)과 연결된다.

[0040] 스캔라인(21)이 스캔신호를 입력하여 3개의 박막 트랜지스터(T1, T2, T3) 및 제어 스위치(Q1)의 도통을 제어 시, 데이터라인(22)은 데이터신호를 입력하고, 제 1 화소전극(M1)은 제 1 박막 트랜지스터를 통해 데이터신호를 수신하며, 제 3 화소전극(M3)은 순차적으로 제 1 박막 트랜지스터(T1) 및 제 3 박막 트랜지스터(T3)를 통해 데이터신호를 수신하고, 제 2 화소전극(M2)은 순차적으로 제 1 박막 트랜지스터(T1), 제 3 박막 트랜지스터(T3) 및 제 2 박막 트랜지스터(T2)를 통해 데이터신호를 수신한다. 도 6을 참조하면, 3개의 박막 트랜지스터(T1, T2, T3) 및 제어 스위치(Q1)가 도통 시 등가의 저항이 각각 R_a , R_b , R_d , R_c 이고, 데이터라인(23)이 입력하는 전압이

Vs라고 가정하면, 즉 제 1 화소전극(M1)의 전압은

[0041] $V1=Vs*(Rd+Rb+Rc)/(Ra+Rb+Rd+Rc).....(3)$ 이고,

[0042] 제 3 화소전극(M3)의 전압은

[0043] $V3=Vs*(Rb+Rc)/(Ra+Rb+Rd+Rc).....(4)$ 이며,

[0044] 제 2 화소전극(M2)의 전압은

[0045] $V2=Vs*Rc/(Ra+Rb+Rc).....(5)$ 이다.

[0046] 이로써 알 수 있듯이, 제 3 화소전극(M3)의 전압은 제 1 화소전극(M1)의 전압보다 작고, 제 2 화소전극(M2)의 전압은 제 3 화소전극(M3)의 전압보다 작음으로써, 3개의 화소전극(M1, M2, M3) 사이에 일정한 전압차가 존재하며, 이에 따라 대시야각에서의 색상 왜곡을 개선할 수 있다. 그리고 3개의 박막 트랜지스터(T1, T2, T3)의 폭 길이비의 조정을 통해, 3개의 박막 트랜지스터(T1, T2, T3)가 도통 시 등가의 저항값을 조정함으로써, 3개의 화소전극(M1, M2, M3)상의 전압을 조정할 수 있으며, 3자 사이의 상이한 전압차를 획득하여 상이한 낮은 색상 변이 효과를 얻을 수 있다.

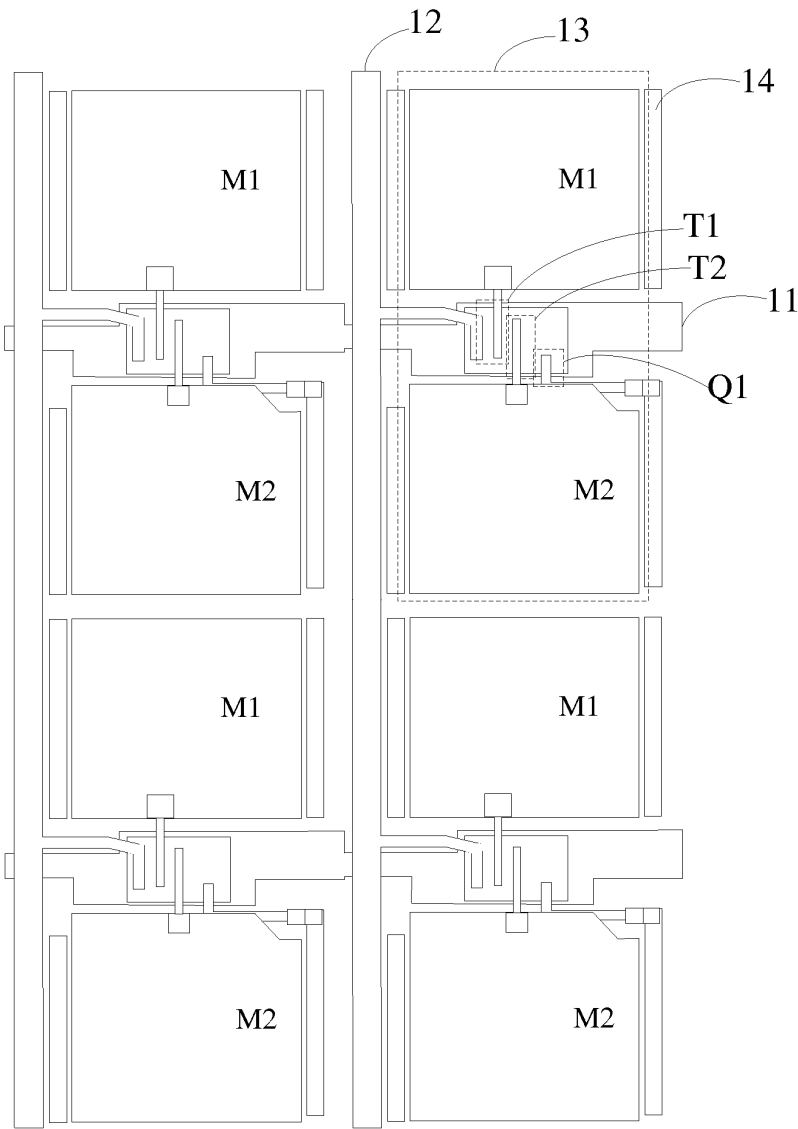
[0047] 기타 실시예에서, 각각의 화소유닛은 4개의 화소전극 또는 5개의 화소전극 등을 더 포함할 수도 있으며, 추가되는 화소전극은 상기 실시예를 참고하여 실시할 수 있으므로, 여기서는 중복 설명을 생략하기로 한다.

[0048] 도 7을 참조하면, 본 발명의 액정 디스플레이 패널의 일 실시예에서, 액정 디스플레이 패널은 어레이 기판(701), 컬러필터 기판(702) 및 어레이 기판(701)과 컬러필터 기판(702) 사이에 위치하는 액정층(703)을 포함한다. 그 중, 어레이 기판은 상기 각 실시예 중의 어레이 기판이다.

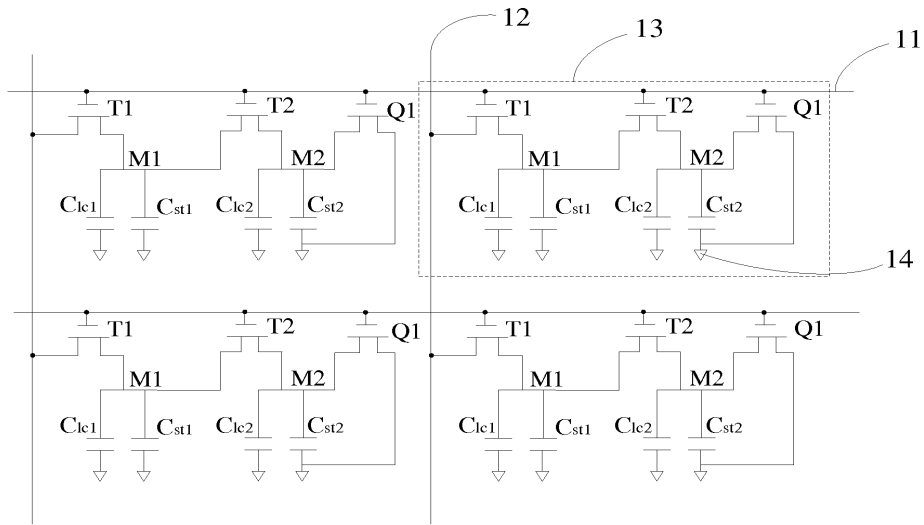
[0049] 이상은 단지 본 발명의 실시예일뿐, 결코 이로써 본 발명의 범위를 제한하는 것은 아니며, 본 발명의 명세서 및 첨부도면의 내용을 이용하여 실시되는 등가의 구조 또는 등가의 과정 변환, 또는 직접 또는 간접적으로 기타 관련 기술 분야에 응용하는 경우, 모두 같은 이치로 본 발명의 보호 범위 내에 포함된다.

도면

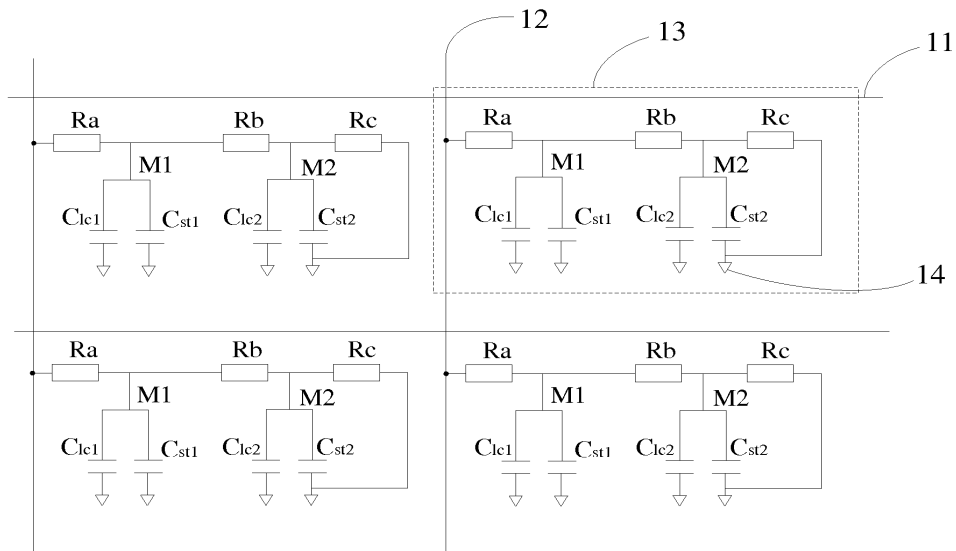
도면1



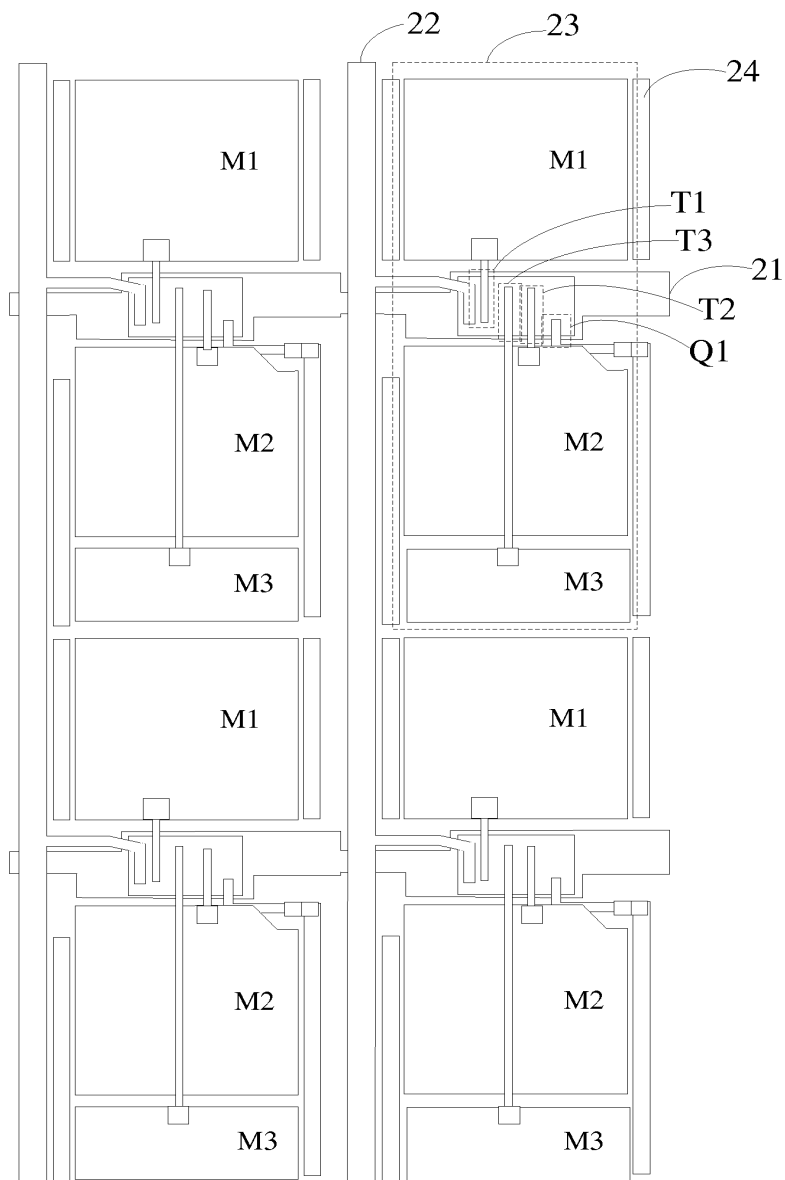
도면2



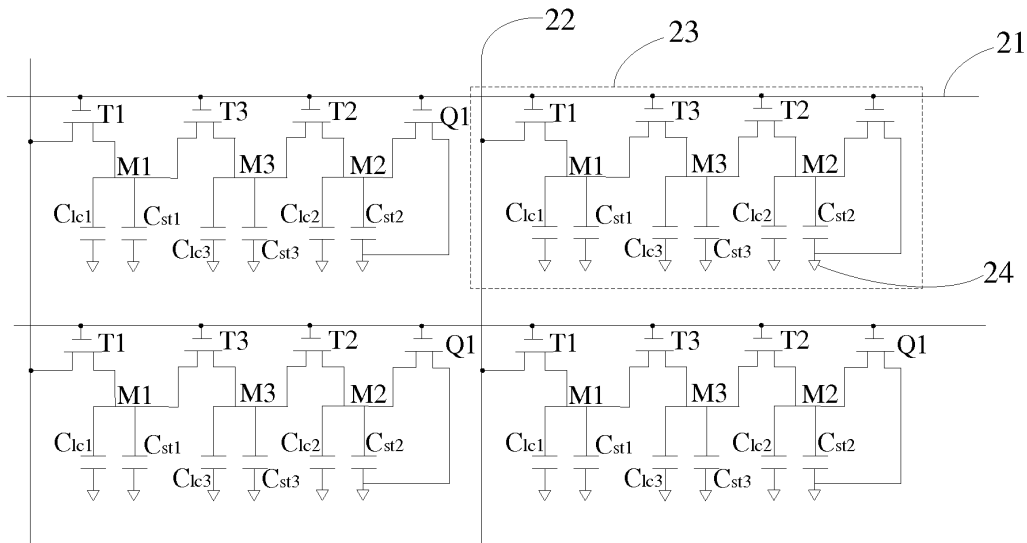
도면3



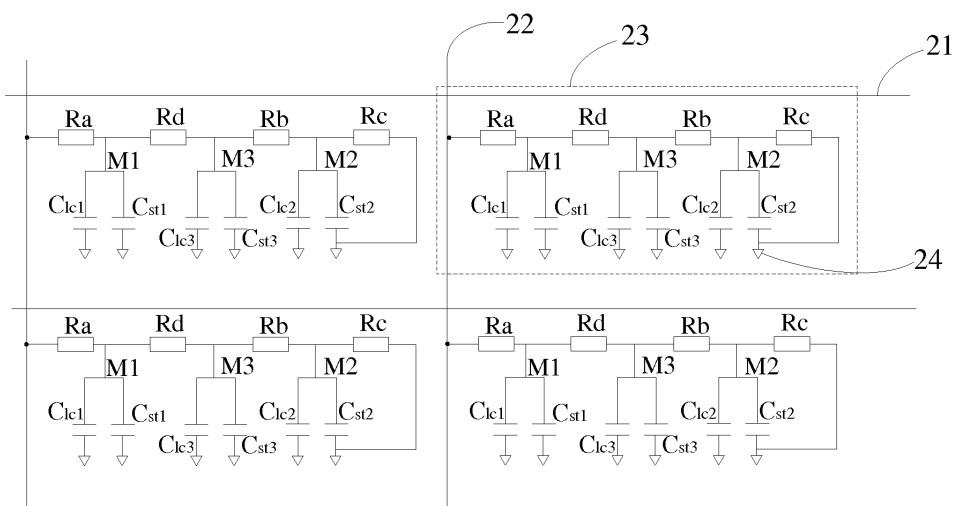
도면4



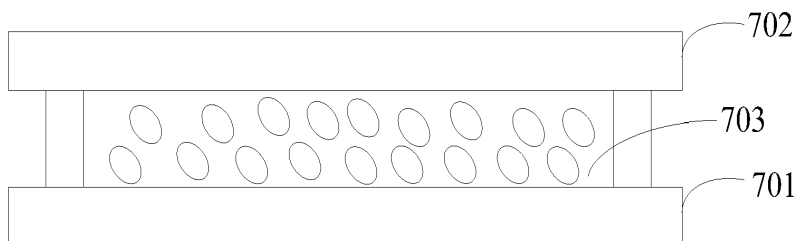
도면5



도면6



도면7



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 [청구항 3] 7째줄

【변경전】

"상기 제 2 스위치화로와"

【변경후】

"상기 제 2 스위치회로와"

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 [청구항 12] 7째줄

【변경전】

"상기 제 2 스위치화로와"

【변경후】

상기 제 2 스위치회로와"

【직권보정 3】

【보정항목】 청구범위

【보정세부항목】 [청구항 7] 7째줄

【변경전】

"상기 제 2 스위치화로와"

【변경후】

"상기 제 2 스위치회로와"

专利名称(译)	标题：阵列基板和液晶显示板		
公开(公告)号	KR101764550B1	公开(公告)日	2017-08-14
申请号	KR1020167004371	申请日	2013-07-25
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	中国深圳恒星光电科技有限公司		
当前申请(专利权)人(译)	中国深圳恒星光电科技有限公司		
[标]发明人	YAO XIAOHUI 요우쇼후이 CHEN CHENG HUNG 천청흥		
发明人	요우,쇼후이 천,청흥		
IPC分类号	G09G3/36 G02F1/1343 G02F1/1362		
CPC分类号	G09G3/3648 G02F1/13624 G02F2001/134345 G09G2300/0814 G09G2300/0842 G09G3/3607 G09G2300/0443 G09G2300/0447 G09G2320/0242 G09G2320/028 G02F1/1343 G02F1/136286 G02F1/1368 G09G3/3659 G09G3/3696 G09G2300/0819 G09G2320/0233		
代理人(译)	朴素贤		
优先权	201310306890.4 2013-07-19 CN		
其他公开文献	KR1020160032244A		
外部链接	Espacenet		

摘要(译)

本发明提供阵列面板 (701)，每个像素单元 (13) 包括至少2个像素电极 (M1，M2) 的阵列面板 (701) 中的至少2个开关电路 (T1，T2)，并连接到扫描线 (11) 和数据线 (12) 对应于第一像素电极 (M1) 通过第一开关电路 (T1) 看到的像素单元 (13)，并连接到扫描线 (11) 对应于第二像素电极 (M2) 通过第二开关电路 (T2) 观察的像素单元 (13)。与此同时，它通过至少第二开关电路 (T2) 连接到第一开关电路 (T1)。以这种方式，实现了与最终看起来与第二像素电极 (M2) 对应的像素单元 (13) 的数据线 (12) 的连接。通过该模式，改善了大视角下的颜色失真，提高了显示质量。而且，本发明更多地提供了液晶显示面板。

