



(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01)

(21) 출원번호 10-2009-0002007

(22) 출원일자 2009년01월09일

심사청구일자 2014년01월07일

(65) 공개번호 10-2010-0082629

(43) 공개일자 2010년07월19일

(56) 선행기술조사문헌

KR1020080009403 A*

KR1020080000496 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

박진희

서울특별시 성북구 한천로70길 6-14 (석관동)

최선형

경기도 화성시 병점중앙로 204, 104동 405호 (진안동, 월드메르디앙)

유정근

경기도 용인시 기흥구 사은로126번길 33 203동
1601호 (보라동, 민속마을신창미션힐아파트)

(74) 대리인

특허법인가산

전체 청구항 수 : 총 19 항

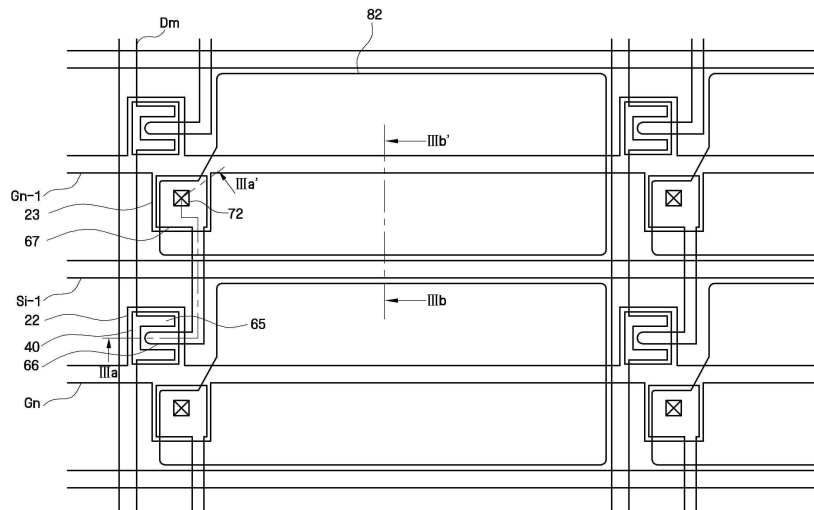
심사관 : 신창우

(54) 발명의 명칭 박막 트랜지스터 표시판 및 그를 포함하는 액정 표시 장치

(57) 요약

관상에 의한 화절저하가 발생되지 않는 구조의 박막 트랜지스터 표시판 및 그를 포함하는 액정 표시 장치가 제공된다. 액정 표시 장치는, 절연 기판과, 절연 기판 상에 격자 형상으로 교차 형성된 복수의 게이트선 및 복수의 데이터선과, 게이트선 및 데이터선과 전기적으로 연결된 박막 트랜지스터와, 박막 트랜지스터에 연결되며 전단의 게이트선과 일부 중첩된 화소 전극과, 화소 전극 사이에 게이트선과 나란히 형성된 차단 전극을 포함하며, 차단 전극의 폭은 화소 전극과 인접 화소의 화소 전극 사이의 간격보다 같거나 좁게 배치될 수 있다.

대표도 - 도2



명세서

청구범위

청구항 1

절연 기판;

상기 절연 기판 상에 제1 방향으로 연장되며, 서로 이웃하는 제1 내지 제3 게이트선을 포함하는 복수의 게이트선;

상기 제1 방향과 다른 제2 방향으로 연장되는 제1 데이터선을 포함하며, 상기 복수의 게이트선과 절연되는 복수의 데이터선;

상기 제2 게이트선과, 상기 제1 데이터선과 전기적으로 연결되는 제1 박막 트랜지스터;

상기 제3 게이트선 및 상기 제1 데이터선과 전기적으로 연결되는 제2 박막 트랜지스터;

상기 제1 박막 트랜지스터에 연결되며, 상기 제1 게이트선과 일부 중첩되는 제1 화소 전극;

상기 제2 박막 트랜지스터에 연결되며, 상기 제2 게이트선과 일부 중첩되는 제2 화소 전극; 및

상기 제1 및 제2 화소 전극 사이에 상기 제1 방향으로 연장되는 차단 전극을 포함하며,

상기 차단 전극의 폭은 상기 제1 화소 전극과 상기 제2 화소 전극 사이의 간격과 같거나 좁은 박막 트랜지스터 표시판.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 차단 전극은 상기 제1 화소 전극과 상기 제1 데이터선 사이로 연장된 연장부를 더 포함하는 박막 트랜지스터 표시판.

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 차단 전극은 상기 복수의 게이트선과 동일 층에 배치되는 박막 트랜지스터 표시판.

청구항 6

제1항에 있어서,

상기 차단 전극은 직류 전압, 공통 전압 또는 0V가 인가되는 박막 트랜지스터 표시판.

청구항 7

제1항에 있어서,

상기 복수의 게이트선 사이의 간격은 상기 복수의 데이터선 사이의 간격보다 좁은 박막 트랜지스터 표시판.

청구항 8

제1항에 있어서,

상기 제1 게이트선은 상기 제1 화소 전극의 중앙 부분과 중첩되는 박막 트랜지스터 표시판.

청구항 9

제1항에 있어서,

상기 제1 게이트선의 일단부가 확장되어 상기 제1 화소 전극과 중첩되는 스토리지 확장부를 더 포함하는 박막 트랜지스터 표시판.

청구항 10

제1 절연 기판;

상기 제1 절연 기판 상에 제1 방향으로 연장되며, 서로 이웃하는 제1 내지 제3 게이트선을 포함하는 복수의 게이트선;

상기 제1 방향과 다른 제2 방향으로 연장되는 제1 데이터선을 포함하며, 상기 복수의 게이트선과 절연되는 복수의 데이터선;

상기 제2 게이트선, 상기 제1 데이터선과 전기적으로 연결되는 제1 박막 트랜지스터;

상기 제3 게이트선 및 상기 제1 데이터선과 전기적으로 연결되는 제2 박막 트랜지스터;

상기 제1 박막 트랜지스터에 연결되며, 상기 제1 게이트선과 일부 중첩되는 제1 화소 전극;

상기 제2 박막 트랜지스터에 연결되며, 상기 제2 게이트선과 일부 중첩되는 제2 화소 전극;

상기 제1 및 제2 화소 전극 사이에 상기 제1 방향으로 연장되는 차단 전극;

상기 제1 절연 기판과 대향되는 제2 절연 기판;

상기 제2 절연 기판 상에 배치되는 공통 전극; 및

상기 제1 절연 기판 및 상기 제2 절연 기판 사이에 개재되는 액정층을 포함하며,

상기 차단 전극의 폭은 상기 제1 화소 전극과 상기 제2 화소 전극 사이의 간격과 같거나 좁은 액정 표시 장치.

청구항 11

삭제

청구항 12

제10항에 있어서,

상기 차단 전극은 상기 제1 화소 전극과 상기 제1 데이터선 사이로 연장된 연장부를 더 포함하는 액정 표시 장치.

청구항 13

삭제

청구항 14

제10항에 있어서,

상기 차단 전극은 상기 복수의 게이트선과 동일 층에 배치되는 액정 표시 장치.

청구항 15

제10항에 있어서,

상기 차단 전극은 직류 전압, 공통 전압 또는 0V가 인가되는 액정 표시 장치.

청구항 16

제15항에 있어서,

상기 차단 전극과 상기 공통 전극은 동일 전압이 인가되는 액정 표시 장치.

청구항 17

제10항에 있어서,

상기 복수의 게이트선 사이의 간격은 상기 복수의 데이터선 사이의 간격보다 좁은 액정 표시 장치.

청구항 18

제10항에 있어서,

상기 제1 게이트선은 상기 제1 화소 전극의 중앙 부분과 중첩되는 액정 표시 장치.

청구항 19

제10항에 있어서,

상기 제1 게이트선의 일단부가 확장되어 상기 제1 화소 전극과 중첩되는 스토리지 확장부를 더 포함하는 액정 표시 장치.

청구항 20

제10항에 있어서,

상기 공통 전극은 절개 패턴을 포함하고, 상기 절개 패턴은 상기 복수의 게이트선과 수직으로 적어도 일부가 중첩되도록 형성되는 액정 표시 장치.

청구항 21

제20항에 있어서,

상기 절개 패턴의 폭은 상기 복수의 게이트선의 폭보다 넓은 액정 표시 장치.

청구항 22

제10항에 있어서,

상기 액정층은 전계를 인가하지 않은 초기 배향 상태에서 상기 제1 절연 기관 및 상기 제2 절연 기관에 수직으로 배향된 액정 표시 장치.

청구항 23

제10항에 있어서,

상기 제1 절연 기관 및 상기 제2 절연 기관 중 적어도 하나에 상기 차단 전극과 중첩되어 빛을 차단하는 블랙 매트릭스를 더 포함하는 액정 표시 장치.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 박막 트랜지스터 표시판 및 그를 포함하는 액정 표시 장치에 관한 것으로서, 더욱 상세하게는 잔상에 의한 화질저하가 발생되지 않는 구조의 박막 트랜지스터 표시판 및 그를 포함하는 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 최근에 텔레비전 등의 표시 장치의 대형화 추세에 따라 음극선관 표시 장치(Cathode Ray Tube; CRT) 대신에 액정 표시 장치(LCD), 플라즈마 표시 장치(Plasma Display Panel; PDP), 유기 이엘 표시 장치(Organic ElectroLuminiscent Display; OLED) 등과 같은 평판 패널형 표시 장치가 개발되고 있다. 이러한 평판 패널형

표시 장치 중에서 경량화 및 박형화가 가능한 액정 표시 장치가 특히 주목 받고 있다.

- [0003] 액정 표시 장치는 공통 전극, 색필터, 블랙 매트릭스 등이 형성되어 있는 상부 표시판과, 박막 트랜지스터, 화소 전극 등이 형성되어 있는 하부 표시판 사이에 이방성 유전율을 갖는 액정 물질을 주입해 놓고, 화소 전극과 공통 전극에 서로 다른 전위를 인가함으로써 액정 물질에 형성되는 전기의 세기를 조정하여 액정 물질의 분자 배열을 변경시키고, 이를 통하여 투명 절연 기판에 투과되는 빛의 양을 조절함으로써 원하는 화상을 표현하는 표시 장치이다.
- [0004] 액정 표시 장치의 해상도가 증가함에 따라 데이터선의 수 및 데이터 구동 칩의 개수가 증가하여 제조 단가가 상승하고 액정 표시 장치를 소형화하기 어려운 문제가 있었다. 이를 해결하고자 화소의 장변을 가로 방향으로 배열하고, 적색, 녹색, 청색의 색필터를 가로 스트라이프(stripe) 형태로 배열함으로써 데이터 구동 칩의 개수를 현저히 줄여 제조 단가를 낮출 수 있었다.
- [0005] 하지만 이와 같은 구조의 액정 표시 장치에서, 예를 들어 소비전력 감소를 위하여 컬럼 반전 구동(column inversion driving)을 하는 경우, 동일한 컬럼의 화소 전극과 인접 화소의 화소 전극 사이에 액정의 제어가 불안정하여 화소 전극의 경계부에서 잔상이 발생하는 경우가 있다. 또한 다른 구동 방식에서도 잔상이 발생할 수 있다.
- [0006] 이와 같이 화소 전극 사이의 경계부에서 잔상이 발생되면 화질이 저하되는 문제가 있다.

발명의 내용

해결 하고자 하는 과제

- [0007] 이에, 본 발명이 해결하고자 하는 과제는 잔상에 의한 화질저하가 발생되지 않는 구조의 박막 트랜지스터 표시판을 제공하고자 하는 것이다.
- [0008] 본 발명이 해결하고자 하는 다른 과제는 잔상에 의한 화질저하가 발생되지 않는 구조의 박막 트랜지스터 표시판을 포함하는 액정 표시 장치를 제공하고자 하는 것이다.
- [0009] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

- [0010] 상기 과제를 달성하기 위한 본 발명의 일 실시예에 박막 트랜지스터 표시판은, 절연 기판과, 상기 절연 기판 상에 격자 형상으로 교차 형성된 복수의 게이트선 및 복수의 데이터선과, 상기 게이트선 및 상기 데이터선과 전기적으로 연결된 박막 트랜지스터와, 상기 박막 트랜지스터에 연결되며 전단의 게이트선과 일부 중첩된 화소 전극과, 상기 화소 전극 사이에 상기 게이트선과 나란히 형성된 차단 전극을 포함하며, 상기 차단 전극의 폭은 상기 화소 전극과 상기 인접 화소의 화소 전극 사이의 간격보다 같거나 좁게 배치될 수 있다.
- [0011] 상기 다른 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 제1 절연 기판, 상기 절연 기판 상에 격자 형상으로 교차 형성된 복수의 게이트선 및 복수의 데이터선과, 상기 게이트선 및 상기 데이터선과 전기적으로 연결된 박막 트랜지스터와, 상기 박막 트랜지스터에 연결되며 전단의 게이트선과 일부 중첩된 화소 전극과, 상기 화소 전극 사이에 상기 게이트선과 나란히 형성된 차단 전극과, 상기 제1 절연 기판과 대향하여 배치된 제2 절연 기판과, 상기 제2 절연 기판 상에 형성된 공통 전극과, 상기 제1 절연 기판 및 상기 제2 절연 기판 사이에 개재된 액정층을 포함하며, 상기 차단 전극의 폭은 상기 화소 전극과 상기 인접 화소의 화소 전극 사이의 간격보다 같거나 좁게 배치될 수 있다.

발명의 실시를 위한 구체적인 내용

- [0012] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0013] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등

은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

- [0014] 이하, 도 1 내지 도 6b를 참조하여 본 발명의 일 실시예에 따른 액정 표시 장치를 설명한다.
- [0015] 먼저 도 1을 참조하여 액정 표시 장치의 화소 배열을 설명한다. 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 화소 배열(pixel array)을 나타내는 개략도이다.
- [0016] 본 발명의 일 실시예에 따른 액정 표시 장치는 각 화소(R, G, B)의 가로 길이가 세로 길이보다 길게 형성되며, 적색, 녹색, 청색의 컬러 필터가 세로 방향으로 순차적으로 배열된다. 구체적으로 설명하면, 액정 패널에는 격자 형태로 교차 배열된 게이트선(G1~Gn) 및 데이터선(D1~Dm)이 형성되어 있으며, 이러한 게이트선(G1~Gn) 및 데이터선(D1~Dm)을 따라 매트릭스 형태로 배열된 다수의 화소(R, G, B)를 포함한다. 여기서, 액정 패널은 서로 마주보는 박막 트랜지스터 표시판과 공통 전극 표시판을 포함한다.
- [0017] 박막 트랜지스터 표시판에는 가로 방향으로 연장된 복수의 게이트선(G1~Gn)과 세로 방향으로 연장된 복수의 데이터선(D1~Dm)이 형성되어 있다. 각 게이트선(G1~Gn)은 서로 일정한 간격으로 이격되어 평행하게 배열되며, 각 데이터선(D1~Dm)은 각 게이트선(G1~Gn)과 교차하며 서로 일정한 간격으로 이격되어 평행하게 배열된다. 이때, 게이트선(G1~Gn) 사이의 간격은 데이터선(D1~Dm) 사이의 간격보다 좁게 형성되어, 게이트선(G1~Gn)과 데이터선(D1~Dm)에 의해 형성된 격자 형상은 가로 방향으로 길게 형성된 직사각형 형상이 될 수 있다.
- [0018] 각 화소(R, G, B)는 적색, 녹색 및 청색 중 어느 하나를 나타내며, 적색, 녹색 및 청색 화소가 각 하나씩 모여 하나의 도트(dot)를 형성한다. 각 화소(R, G, B)는 가로 길이가 세로 길이보다 길어 가로 방향으로 스트라이프 형태로 배열된다. 즉, 데이터선(D1~Dm)을 따라 순차적으로 적색, 녹색 및 청색의 컬러 필터가 반복 배열되어, 세로 방향으로 3개의 화소(R, G, B)가 하나의 도트를 형성하게 된다. 하나의 도트는 적색, 녹색 및 청색의 화소에 의하여 원하는 색상을 표시할 수 있는 최소 단위가 된다. 이와 같이, 각 화소(R, G, B)를 가로 길이가 세로 길이보다 길게 형성함으로써, 데이터선(D1~Dm)의 수를 줄일 수 있는 장점이 있다. 예를 들면, 액정 표시 장치의 화면 비율에서 가로 길이가 점차 늘어나는 경향에 따르면 데이터선(D1~Dm)의 수가 상대적으로 증가하게 되며, 각 데이터선(D1~Dm)에 데이터 전압을 인가하는 데이터 구동칩의 증가가 불가피하게 된다. 이때, 각 화소(R, G, B)를 가로 방향으로 길게 형성함으로써, 데이터선(D1~Dm)의 수를 줄이고 상대적으로 게이트선(G1~Gn)의 수를 늘려서 데이터선(D1~Dm)과 게이트선(G1~Gn)의 수를 적절하게 조절할 수 있다.
- [0019] 각 화소(R, G, B)는 전단의 게이트선(G1~Gn-1)과 일부 중첩되도록 배열된다. 각 화소(R, G, B)는 각 데이터선(D1~Dm) 사이에 배열되며, 각 화소(R, G, B)의 중앙부에는 전단의 게이트선(G1~Gn-1)이 중첩된다. 각 화소(R, G, B)에 중첩되는 게이트선은 전단의 게이트선(G1~Gn-1)으로서, 전단의 게이트선(G1~Gn-1)은 전단의 화소(R, G, B)를 동작시킨 후, 중첩된 화소(R, G, B)와 스토리지 커패시터를 형성한다. 즉, 각 게이트선(G1~Gn-1)은 전단의 화소(R, G, B)를 동작시키고 다음단 화소(R, G, B)의 스토리지 전극으로 역할을 하게 된다.
- [0020] 한편, 각 화소(R, G, B) 사이에는 차단 전극(S1~Si-1)이 형성된다. 차단 전극(S1~Si-1)은 각 화소(R, G, B)의 경계 영역에서 액정 분자를 제어하여, 잔상의 발생을 억제할 수 있다. 차단 전극(S1~Si-1)에 관해서는 구체적으로 후술한다.
- [0021] 이하, 도 2 내지 도 3b를 참조하여, 본 발명의 일 실시예에 따른 액정 표시 장치에 포함된 박막 트랜지스터 표시판을 상세히 설명한다. 여기서, 도 2는 본 발명의 일 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 배치도이고, 도 3a는 도 2의 박막 트랜지스터를 IIIa-IIIa' 선으로 절단한 단면도이고, 도 3b는 도 2의 박막 트랜지스터를 IIIb-IIIb' 선으로 절단한 단면도이다.
- [0022] 먼저 도 2 및 도 3a를 참조하면, 제1 절연 기관(10) 상에 가로 방향으로 복수의 게이트선(Gn-1, Gn)이 나란히 형성되어 있고, 게이트선(Gn-1, Gn)에는 돌기의 형태로 이루어진 게이트 전극(22)과 스토리지 확장부(23)가 형성되어 있다. 게이트 전극(22)은 박막 트랜지스터의 일 단자가 되며, 스토리지 확장부(23)는 후술할 화소 전극(82)과 중첩되어 스토리지 커패시터를 형성한다. 다만, 스토리지 커패시터는 스토리지 확장부(23)와 화소 전극(82) 사이뿐만 아니라, 게이트선(Gn-1, Gn)과 화소 전극(82) 사이에서도 형성될 수 있다. 여기서, 게이트선(Gn-1, Gn)은 박막 트랜지스터를 동작시키기 위한 게이트 신호를 인가하는 역할 뿐만 아니라, 다음단 화소 전극(82)과 스토리지 커패시터를 형성하는 역할을 함께 수행할 수 있다.
- [0023] 게이트선(Gn-1, Gn)에는 펄스 형태의 게이트 온(on) 신호가 인가될 수 있으며, 다음 프레임까지는 게이트 오프

(off) 신호가 유지된다. 이때, 게이트 오프 신호가 인가되는 게이트선(Gn-1, Gn)과 화소 전극(82) 사이에 스토리지 커패시터가 형성되어 화소 전극(82)이 한 프레임동안 일정한 전압을 유지할 수 있도록 한다. 스토리지 전극으로 이용되는 게이트선(Gn-1, Gn)은 이미 박막 트랜지스터를 동작시키고 게이트 오프 신호가 인가된 상태가 되어야 한다. 따라서, 전단의 게이트선(Gn-1)이 화소 전극(82)과 중첩되어 스토리지 전극의 역할을 한다.

[0024] 한편, 게이트선(Gn-1, Gn), 게이트 전극(22) 및 스토리지 확장부(23)를 게이트 배선이라고 한다.

[0025] 게이트 배선은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 따위로 이루어질 수 있다. 또한, 게이트 배선은 물리적 성질이 다른 두 개의 도전막(미도시)을 포함하는 다층막 구조를 가질 수 있다. 이 중 한 도전막은 게이트 배선의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 이루어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 이루어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 상부막 및 알루미늄 하부막과 몰리브덴 상부막을 들 수 있다. 다만, 본 발명은 이에 한정되지 않으며, 게이트 배선은 다양한 여러 가지 금속과 도전체로 만들어질 수 있다.

[0026] 게이트 배선 위에는 게이트 절연막(30)이 형성되어 있다.

[0027] 게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 또는 다결정 규소 등으로 이루어진 반도체층(40)이 형성되어 있다. 이러한 반도체층(40)은 섬형, 선형 등과 같이 다양한 형상을 가질 수 있으며, 예를 들어 본 실시예와 같이 게이트 전극(22) 상에 섬형으로 형성될 수 있다. 또한 반도체층(40)이 선형으로 형성되는 경우, 데이터선(Dm) 아래에 위치하여 게이트 전극(22) 상부까지 연장된 형상을 가질 수 있다.

[0028] 반도체층(40)의 위에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 저항성 접촉층(55, 56)이 형성되어 있다. 이러한 저항성 접촉층(55, 56)은 섬형, 선형 등과 같이 다양한 형상을 가질 수 있으며, 예를 들어 본 실시예에서와 같이 섬형 저항성 접촉층(55, 56)의 경우 드레인 전극(66) 및 소스 전극(65) 아래에 위치하고, 선형의 저항성 접촉층의 경우 데이터선(Dm)의 아래까지 연장되어 형성될 수 있다.

[0029] 저항성 접촉층(55, 56) 및 게이트 절연막(30) 위에는 데이터선(Dm) 및 드레인 전극(66)이 형성되어 있다. 데이터선(Dm)은 길게 뻗어 있으며 게이트선(Gn-1, Gn)과 교차하여 화소를 정의한다. 데이터선(Dm)으로부터 가지 형태로 반도체층(40)의 상부까지 연장되어 있는 소스 전극(65)이 형성되어 있다. 드레인 전극(66)은 소스 전극(65)과 분리되어 있으며 게이트 전극(22)을 중심으로 소스 전극(65)과 대향하도록 반도체층(40) 상부에 위치한다. 드레인 전극(66)은 반도체층(40) 상부로부터 연장되어 화소 전극(82)과 콘택홀(72)로 연결되는 드레인 전극 확장부(67)를 포함한다. 드레인 전극(66)은 차단 전극(Si-1)을 가로질러 전단 게이트선(Gn-1)과 일부 중첩되도록 형성될 수 있다. 전단 게이트선(Gn-1)은 일단부가 확장된 스토리지 확장부(23)를 포함할 수 있으며, 드레인 전극 확장부(67)는 스토리지 확장부(23)와 중첩되어 스토리지 커패시터를 형성할 수 있다.

[0030] 이러한 데이터선(Dm), 소스 전극(65), 및 드레인 전극(66)을 데이터 배선이라고 한다.

[0031] 데이터 배선은 크롬, 몰리브덴 계열의 금속, 탄탈륨 및 티타늄 등 내화성 금속으로 이루어지는 것이 바람직하며, 내화성 금속 따위의 하부막(미도시)과 그 위에 위치한 저저항 물질 상부막(미도시)으로 이루어진 다층막 구조를 가질 수 있다. 다층막 구조의 예로는 앞서 설명한 크롬 하부막과 알루미늄 상부막 또는 알루미늄 하부막과 몰리브덴 상부막의 이중막 외에도 몰리브덴막-알루미늄막-몰리브덴막의 삼중막을 들 수 있다.

[0032] 소스 전극(65)은 반도체층(40)과 적어도 일부분이 중첩되고, 드레인 전극(66)은 게이트 전극(22)을 중심으로 소스 전극(65)과 대향하며 반도체층(40)과 적어도 일부분이 중첩된다. 여기서 저항성 접촉층(55, 56)은 반도체층(40)과 소스 전극(65) 및 반도체층(40)과 드레인 전극(66) 사이에 개재되어 이들 사이에 접촉 저항을 낮추어 주는 역할을 한다.

[0033] 데이터선(Dm), 소스 전극(65), 드레인 전극(66) 및 노출된 반도체층(40) 위에는 절연막으로 이루어진 보호막(70)이 형성되어 있다. 여기서 보호막(70)은 질화규소 또는 산화규소로 이루어진 무기물, 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기물 또는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 이루어진다. 또한, 보호막(70)은 유기막의 우수한 특성을 살리면서도 노출된 반도체층(40) 부분을 보호하기 위하여 하부 무기막과 상

부 유기막의 이중막 구조를 가질 수 있다.

- [0034] 보호막(70)에는 드레인 전극(66)을 드러내는 콘택홀(contact hole)(72)이 형성되어 있다.
- [0035] 보호막(70) 위에는 화소의 모양을 따라 가로 방향으로 긴 직사각형 형상의 화소 전극(82)이 형성되어 있다. 화소 전극(82)은 콘택홀(72)을 통하여 드레인 전극(66)과 전기적으로 연결된다.
- [0036] 화소 전극(82)은 콘택홀(72)을 통하여 드레인 전극(66)과 물리적·전기적으로 연결되어 드레인 전극(66)으로부터 데이터 전압을 인가받는다. 이러한 화소 전극(82)은 전단의 게이트선(Gn-1)과 적어도 일부 중첩되도록 형성된다. 구체적으로 설명하면, 게이트선(Gn-1, Gn)과 데이터선(Dm)은 서로 격자 형태로 교차하며 형성되어 화소 영역을 형성한다. 여기서, 화소 영역은 화소 전극(82)이 형성되어 하부로부터 입사되는 빛의 투과율을 제어할 수 있는 영역을 의미한다. 따라서, 화소 영역은 게이트선(Gn-1, Gn) 및 데이터선(Dm)에 둘러싸인 영역에 한정되지 않는다. 즉, 화소 영역은 화소 전극(82)의 배치 상태에 따라 다양하게 정의될 수 있다. 예를 들면, 도 2에 도시된 바와 같이, 화소 전극(82)은 전단 게이트선(Gn-1)과 중첩되도록 형성될 수 있으며, 화소 전극(82)은 전단 게이트선(Gn-1)에 의해 분할될 수 있다. 이때, 화소 영역은 게이트선(Gn-1, Gn)의 양측에 분할된 화소 전극(82)이 형성된 영역을 모두 포함한다.
- [0037] 화소 전극(82) 및 보호막(70) 위에는 액정층을 배향할 수 있는 배향막(미도시)이 도포될 수 있다.
- [0038] 도 2 및 도 3b를 참조하면, 화소 전극(82)과 인접한 화소 전극(82) 사이에는 차단 전극(Si-1)이 형성되어 있다. 차단 전극(Si-1)은 인접한 화소 전극(82) 사이에 서로의 전계에 의해 발생할 수 있는 일종의 간섭을 제거하기 위한 것으로서, 각 화소 전극(82)의 경계부에 인접한 화소 전극(82)의 영향이 미치는 것을 차단할 수 있다.
- [0039] 차단 전극(Si-1)은 게이트선(Gn-1, Gn) 사이에 형성되어 게이트선(Gn-1, Gn)과 나란히 가로 방향으로 연장된다. 이와 같은 차단 전극(Si-1)은 게이트선(Gn-1, Gn)과 동일한 공정으로 함께 형성될 수 있다.
- [0040] 차단 전극(Si-1)은 일정한 간격으로 이격되어 게이트선(Gn-1, Gn)에 나란히 배열된다. 이러한 차단 전극(Si-1)과 데이터선(Dm)은 게이트 절연막(30)에 의해 절연되어 있으며, 서로 교차되어 격자형태로 배열된다. 화소 영역은 실질적으로 차단 전극(Si-1)과 데이터선(Dm)에 의해 둘러싸이는 영역으로 정의될 수 있으며, 차단 전극(Si-1)과 데이터선(Dm)이 격자형태로 배열되어 형성되는 매트릭스 형태의 공간에 화소 영역이 될 수 있다.
- [0041] 차단 전극(Si-1)을 사이에 두고 분리된 화소 전극(82) 사이의 간격을 간격부(85)라 하면, 차단 전극(Si-1)의 폭(d2)은 간격부(85)의 폭(d1)보다 같거나 좁게 형성될 수 있다. 차단 전극(Si-1)은 게이트 배선과 동일한 재료로 형성되면 불투명 금속층으로 형성될 수 있다. 이러한 차단 전극(Si-1)은 빛을 차단하는 작용을 할 수 있어, 차단 전극(Si-1)의 폭(d2)을 간격부(85)의 폭(d1)보다 넓게 형성하는 경우 액정 표시 장치의 개구율을 저하시킬 수 있다.
- [0042] 한편, 차단 전극(Si-1)에는 직류 전압이 인가될 수 있다. 즉, 공통 전극(140)에 인가되는 전압이 직류 전압이므로 공통 전극(140)과 차단 전극(Si-1) 사이에 전압차의 변동이 발생되지 않도록 공통 전극(140)과 같은 직류 전압을 인가할 수 있다. 이때, 차단 전극(Si-1)에 인가되는 직류 전압은 공통 전극(140)과 같은 공통 전압이 인가될 수 있다. 공통 전압은 예를 들어 0V의 직류 전압일 수 있다.
- [0043] 차단 전극(Si-1)은 후술할 공통 전극(140)과 동일한 전압이 인가되어 액정 분자가 박막 트랜지스터 표시판(100)에 수직 방향을 유지하도록 할 수 있다. 차단 전극(Si-1)과 공통 전극(140)에 의한 액정 분자의 거동에 관해서는 구체적으로 후술한다.
- [0044] 이하 도 4 내지 도 6b를 참조하여 본 발명의 일 실시예에 의한 액정 표시 장치의 공통 전극 표시판 및 이를 포함하는 액정 표시 장치에 대하여 설명한다.
- [0045] 도 4는 본 발명의 일 실시예에 따른 액정 표시 장치에 포함된 공통 전극 표시판의 배치도이고, 도 5는 도 2의 박막 트랜지스터 표시판과 도 4의 공통 전극 표시판을 포함하는 액정 표시 장치의 배치도이고, 도 6a는 도 5의 액정 표시 장치를 VIa-VIa' 선으로 절단한 단면도이고, 도 6b는 도 5의 액정 표시 장치를 VIb-VIb' 선으로 절단한 단면도이다.
- [0046] 도 4, 도 6a, 및 도 6b를 참조하면, 유리 등의 투명한 절연 물질로 이루어진 제2 절연 기관(110) 위에 빛샘을 방지하기 위한 블랙 매트릭스(120)가 형성되어 있다. 이러한 블랙 매트릭스(120)는 박막 트랜지스터 표시판(100) 상의 차단 전극(Si-1) 및 데이터선(Dm)과 중첩되는 영역에 위치한다.
- [0047] 블랙 매트릭스(120) 사이의 영역에는 화소 영역이 형성되며, 화소 영역 상에는 컬러 필터(130)가 형성되어

있다. 이러한 컬러 필터(130)는 박막 트랜지스터 표시판(100)에 형성된 데이터선(Dm)을 따라 적색, 녹색 및 청색이 순차적으로 배열된다.

- [0048] 컬러 필터(130) 위에는 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 등의 투명한 도전 물질로 이루어진 공통 전극(140)이 형성되어 있다. 공통 전극(140)은 박막 트랜지스터 표시판(100)에 형성된 화소 전극(82)과 함께 전계를 형성하여 액정 분자의 거동을 조절하게 된다. 이러한 공통 전극(140) 상에는 절개 패턴(142)이 형성되어 있다.
- [0049] 절개 패턴(142)은 공통 전극(140)의 일부가 절개되어 전극이 제거된 것으로서, 일종의 슬릿 형상으로 형성된다. 이와 같은 절개 패턴(142)은 도메인 형성 수단으로서, 액정 분자의 기울어지는 방향을 결정할 수 있다. 여기서, 절개 패턴(142)은 도메인 형성 수단의 한 예시에 불과한 것으로서, 절개 패턴(142) 대신에 돌기 패턴 등을 형성할 수 있다.
- [0050] 절개 패턴(142)은 게이트선(Gn-1, Gn)과 중첩되도록 형성될 수 있다. 즉, 게이트선(Gn-1, Gn)은 화소 전극(82)의 중앙부를 가로질러 형성되기 때문에 절개 패턴(142)을 게이트선(Gn-1, Gn)과 중첩되도록 형성함으로써, 게이트선(Gn-1, Gn)을 경계로 화소 영역을 두 개의 도메인으로 분할할 수 있다. 이와 같이, 게이트선(Gn-1, Gn)을 경계로 도메인 영역을 형성하고, 액정 분자가 게이트선(Gn-1, Gn)과 수직 방향으로 기울어지게 함으로써, 액정 표시 장치의 가로 방향 시인성을 향상시킬 수 있다.
- [0051] 본 발명의 일 실시예에 따른 액정 표시 장치와 같이, 화소 전극(82)의 형상이 가로 방향으로 길게 형성된 경우, 와이드(wide) TV와 같이 가로 방향으로 길게 형성된 디스플레이 장치에 적합하다.
- [0052] 블랙 매트릭스(120)는 박막 트랜지스터 표시판(100) 상의 차단 전극(Si-1) 및 데이터선(Dm)을 가려주기 위해 차단 전극(Si-1) 및 데이터선(Dm)과 중첩되는 영역에 위치한다.
- [0053] 공통 전극(140) 위에는 액정 분자들을 배향하는 배향막(미도시)이 도포될 수 있다.
- [0054] 도 5 및 도 6a에 도시된 바와 같이, 이와 같은 구조의 박막 트랜지스터 표시판(100)과 공통 전극 표시판(200)을 정렬하여 결합하고 그 사이에 액정층(300)을 형성하면 본 발명의 일 실시예에 따른 액정 표시 장치의 기본 구조가 이루어진다.
- [0055] 이때, 액정층(300)은 전계가 인가되지 않은 초기 배향 상태가 박막 트랜지스터 표시판(100) 및 공통 전극 표시판(200)에 수직 방향으로 배열되도록 배향할 수 있다. 이와 같이, 무전계시 수직 방향으로 배향된 액정 분자는 전계 인가시 절개 패턴(142)을 향하여 기울어지게 된다.
- [0056] 도 6b를 참조하면, 화소 전극(82)과 공통 전극(140) 사이에 전계가 인가시, 액정 분자(301)들은 절개 패턴(142)을 향하여 기울어진다.
- [0057] 액정 표시 장치의 화상은 절개 패턴(142)과 간격부(85) 사이의 액정층(300)을 통과한 빛에 의해 시인될 수 있다. 절개 패턴(142)과 간격부(85)에 위치하는 액정층(300)은 블랙 매트릭스(120) 또는 게이트선(Gn-1)에 의해 빛이 차단되어 시인되지 않는다. 이때, 절개 패턴(142)의 폭(d3)은 게이트선(Gn-1)의 폭(d4)보다 넓게 형성될 수 있다.
- [0058] 화소 전극(82)과 공통 전극(140)에 전압이 인가되면 화소 전극(82)과 공통 전극(140) 사이에 전계가 발생되어 액정 분자(301)가 전계를 따라 기울어지게 된다. 이때, 화소 전극(82)의 간격부(85)와 중첩된 차단 전극(Si-1)에 공통 전극(140)과 동일한 전압이 인가되면, 차단 전극(Si-1)과 공통 전극(140) 사이에는 무전계 상태가 유지된다. 즉, 차단 전극(Si-1)과 공통 전극(140) 사이에는 전압차가 발생되지 않아 그 사이의 액정 분자(301)는 수직방향을 유지하게 된다.
- [0059] 차단 전극(Si-1)과 공통 전극(140) 사이에 수직 방향을 유지하는 액정 분자(301)는 컬럼 반전 구동시 인접한 화소 전극(82)에 동일 극성의 전압이 인가되는 경우에도 화소 전극(82)의 경계부에서 잔상이 발생되는 것을 방지한다.
- [0060] 액정 표시 장치는 이러한 기본 구조에 편광판, 백라이트 등의 요소들을 배치하여 이루어진다.
- [0061] 이 때 편광판(미도시)은 기본 구조 양측에 각각 하나씩 배치되며 그 투과축은 서로 수직을 이루도록 배치한다.
- [0062] 이하 도 7 및 도 8을 참조하여 본 발명의 다른 실시예에 따른 액정 표시 장치를 설명한다. 도 7은 본 발명의 다른 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 8은 도 7의 박막 트랜지스터 표시판을 VIII-VIII'

선으로 절단한 단면도이다. 설명의 편의상, 상기 일 실시예의 도면에 나타난 각 부재와 동일 기능을 갖는 부재는 동일 부호로 나타내고, 따라서 그 설명은 생략한다.

[0063] 본 발명의 다른 실시예에 따른 액정 표시 장치는 데이터선(Dm)을 따라 연장된 형태의 차단 전극(Si-1)을 포함한다.

제1 절연 기관(10) 상에 가로 방향으로 연장된 게이트선(Gn-1, Gn)과 세로 방향으로 연장된 데이터선(Dm)이 서로 격자 형태로 배열된다. 이때, 게이트선(Gn-1, Gn) 사이에는 차단 전극(Si-2, Si-1)이 나란히 배치된다.

차단 전극(Si-2, Si-1)은 인접한 화소 전극(82) 사이에 발생될 수 있는 간섭을 차단하기 위해 화소 전극(82)을 둘러싸는 형태로 형성될 수 있다. 구체적으로 설명하면, 차단 전극(Si-2, Si-1)은 화소 전극(82)과 데이터선(Dm) 사이로 연장된 제1 내지 제3 연장부(27a, 27b, 27c)를 포함한다.

제1 연장부(27a) 및 제2 연장부(27b)는 차단 전극(Si-2, Si-1)의 세로 방향으로 분지되어 화소 전극(82)과 데이터선(Dm) 사이로 연장된다. 이러한 제1 연장부(27a) 및 제2 연장부(27b)는 차단 전극(Si-2, Si-1)으로부터 서로 반대 방향으로 연장될 수 있다.

제1 연장부(27a) 및 제2 연장부(27b)는 게이트선(Gn-1, Gn)에 인접하도록 연장된다. 이때, 차단 전극(Si-1)의 제2 연장부(27b)와 인접한 차단 전극(Si-2)의 제1 연장부(27a) 사이의 간격은 게이트선(Gn-1, Gn)의 폭보다 다소 크게 형성될 수 있다. 한편, 제3 연장부(27c)는 데이터선(Dm)과 스토리지 확장부(23) 사이에 형성될 수 있다.

제1 연장부 내지 제3 연장부(27a, 27b, 27c)는 선택적으로 사용될 수 있다. 예를 들면, 스토리지 확장부(23)와 차단 전극(Si-2, Si-1) 사이의 거리가 짧은 경우, 제3 연장부(27c)를 사용하지 않을 수 있으며, 제1 연장부(27a) 및 제2 연장부(27b) 중 어느 하나를 생략할 수도 있다. 제1 연장부 내지 제3 연장부(27a, 27b, 27c)는 게이트선(Gn-1, Gn) 사이의 간격 및 차단 전극(Si-2, Si-1)과 게이트선(Gn-1, Gn) 사이의 간격 등을 고려하여 선택적으로 형성할 수 있다.

이와 같이, 차단 전극(Si-2, Si-1)에 확장하여 제1 연장부 내지 제3 연장부(27a, 27b, 27c)를 형성하는 경우, 라인 반전 구동 또는 프레임 반전 구동시에도 잔상의 발생을 방지할 수 있을 것이다.

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 화소 배열(pixel array)을 나타내는 개략도이다.

도 2는 본 발명의 일 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 배치도이다.

도 3a는 도 2의 박막 트랜지스터를 IIIa-IIIa' 선으로 절단한 단면도이다.

도 3b는 도 2의 박막 트랜지스터를 IIIb-IIIb' 선으로 절단한 단면도이다.

도 4는 본 발명의 일 실시예에 따른 액정 표시 장치에 포함된 공통 전극 표시판의 배치도이다.

도 5는 도 2의 박막 트랜지스터 표시판과 도 4의 공통 전극 표시판을 포함하는 액정 표시 장치의 배치도이다.

도 6a는 도 5의 액정 표시 장치를 VIa-VIa' 선으로 절단한 단면도이다.

도 6b는 도 5의 액정 표시 장치를 VIb-VIb' 선으로 절단한 단면도이다.

도 7은 본 발명의 다른 실시예에 따른 박막 트랜지스터 표시판의 배치도이다.

도 8는 도 7의 박막 트랜지스터 표시판을 VIII-VIII' 선으로 절단한 단면도이다.

<도면의 주요부분에 대한 부호의 설명>

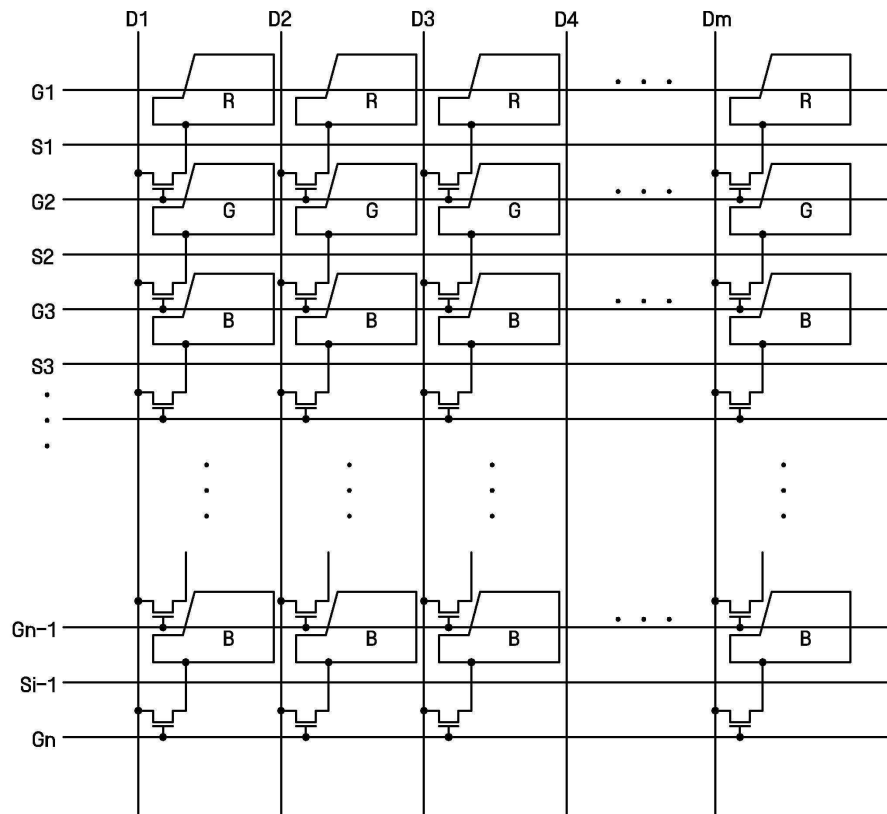
10: 제1 절연 기관 22: 게이트 전극

23: 스토리지 확장부 27a: 제1 연장부

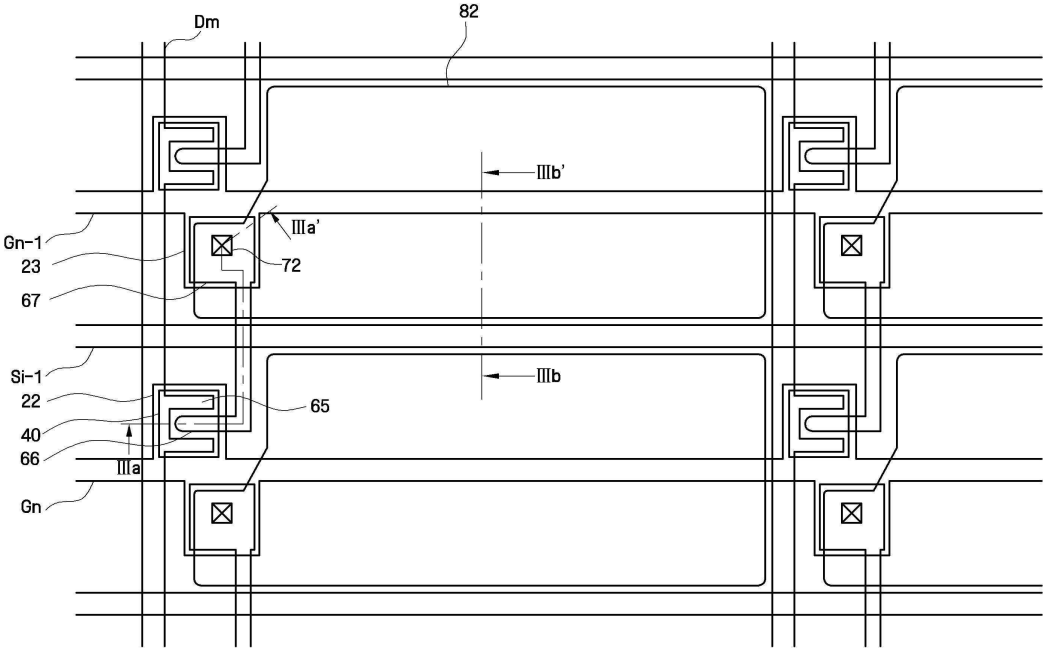
[0084]	27b: 제2 연장부	27c: 제3 연장부
[0085]	30: 게이트 절연막	40: 반도체층
[0086]	55, 56: 저항성 접촉층	65: 소스 전극
[0087]	66: 드레인 전극	67: 드레인 전극 확장부
[0088]	70: 보호막	82: 화소 전극
[0089]	85: 간격부	100: 박막 트랜지스터 표시판
[0090]	110: 제2 절연 기판	120: 블랙 매트릭스
[0091]	130: 컬러 필터	140: 공통 전극
[0092]	142: 절개 패턴	200: 공통 전극 표시판
[0093]	300: 액정층	301: 액정 분자

도면

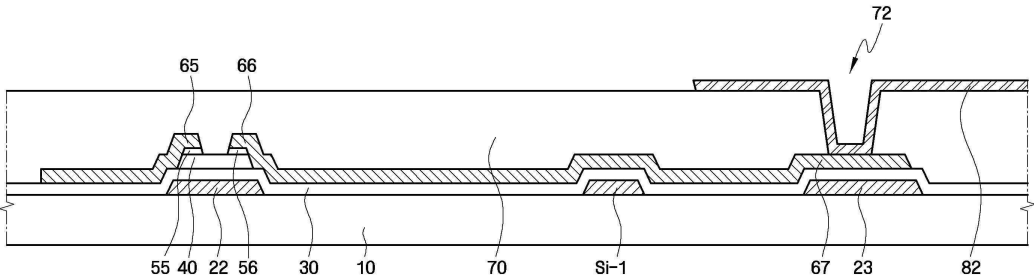
도면1



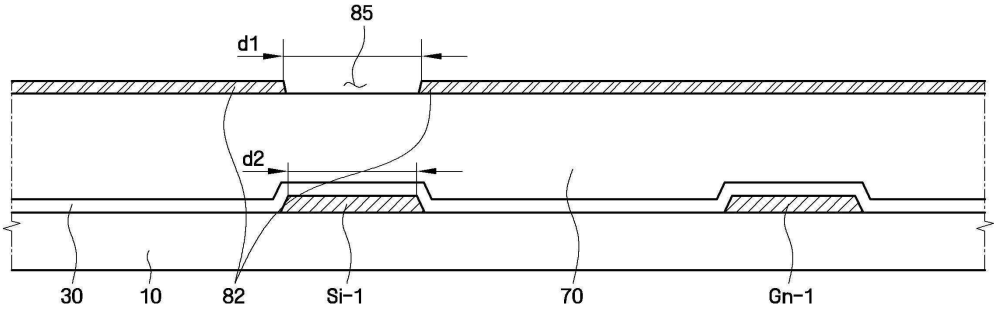
도면2



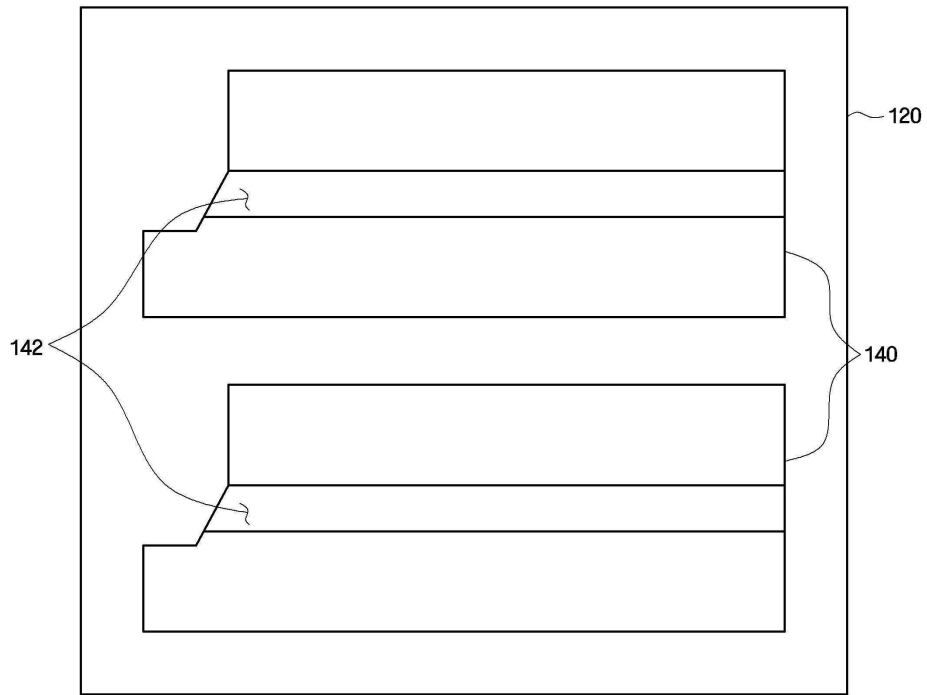
도면3a



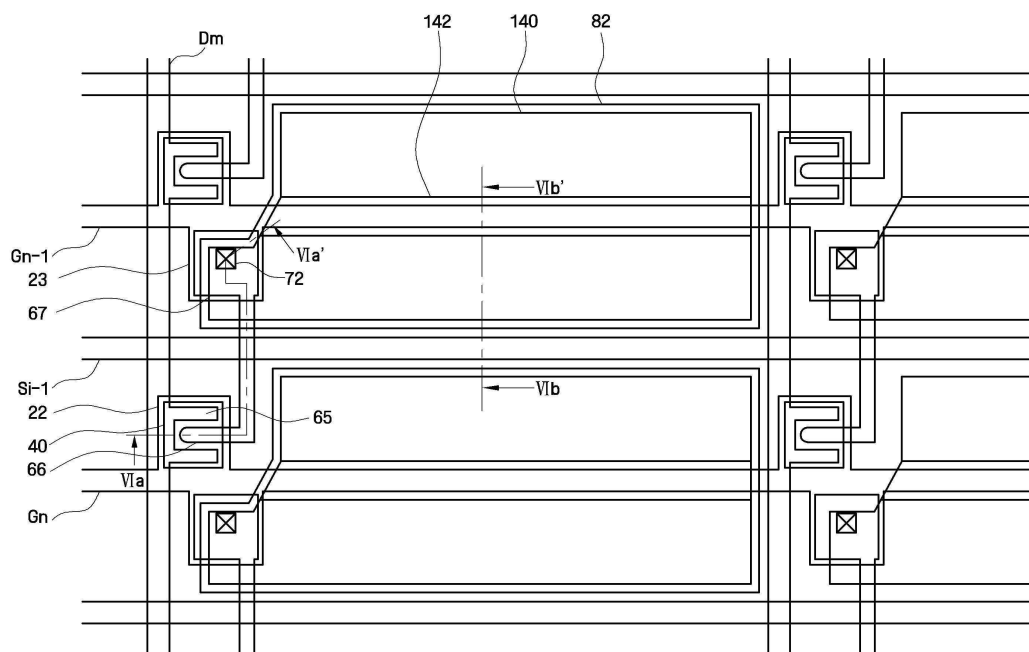
도면3b



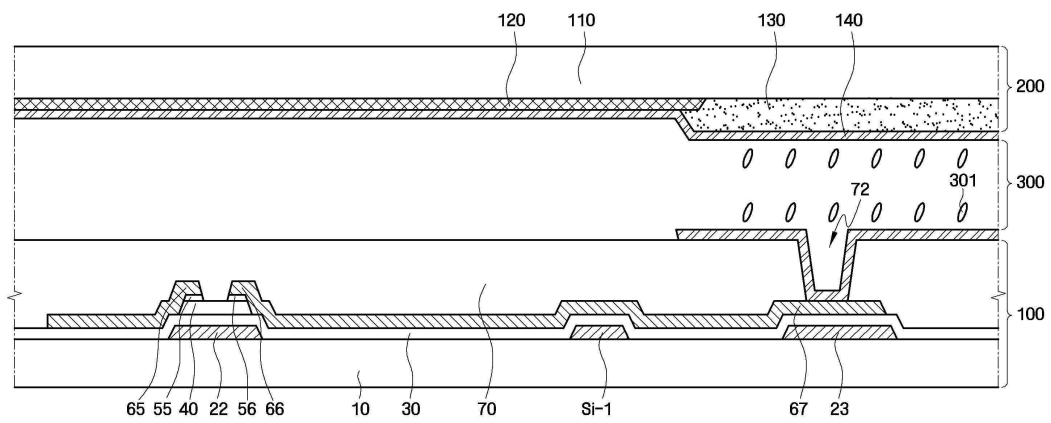
도면4



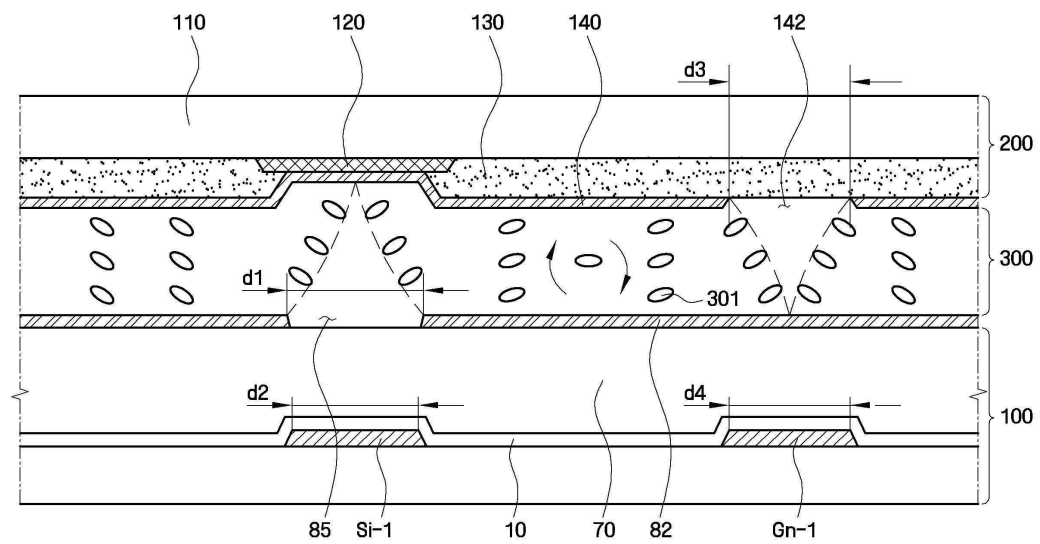
도면5



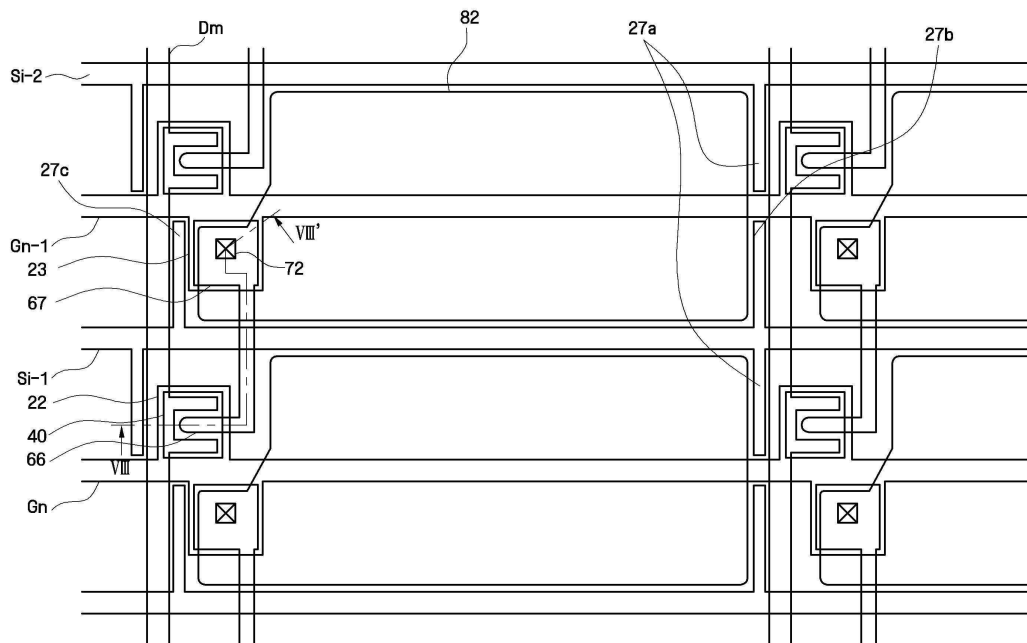
도면6a



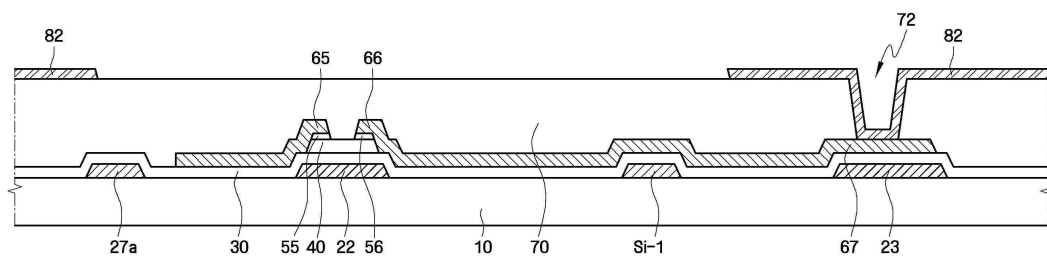
도면 6b



도면7



도면8



专利名称(译)	标题：薄膜晶体管显示面板和包括其的液晶显示装置		
公开(公告)号	KR101722501B1	公开(公告)日	2017-04-04
申请号	KR1020090002007	申请日	2009-01-09
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK JIN HEE 박진희 CHOI SUN HYUNG 최선형 YOO JEONG GEUN 유정근		
发明人	박진희 최선형 유정근		
IPC分类号	G02F1/136		
CPC分类号	G02F1/1368		
其他公开文献	KR1020100082629A		
外部链接	Espacenet		

摘要(译)

提供一种薄膜晶体管显示面板，其具有不会发生由于残像引起的图像质量劣化的结构，以及包括该薄膜晶体管显示面板的液晶显示装置。一种液晶显示装置，包括绝缘基板，多个栅极线和多个数据线，所述多条栅极线和多个数据线以格子形式在绝缘基板上彼此交叉，薄膜晶体管电连接到栅极线和数据线，并且，在像素电极和栅极之间与栅极线平行地形成屏蔽电极，屏蔽电极的宽度可以等于或窄于像素电极和相邻像素的像素电极之间的间隙。

