



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년11월15일
(11) 등록번호 10-1675839
(24) 등록일자 2016년11월08일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
G09G 3/20 (2006.01)
(21) 출원번호 10-2009-0123731
(22) 출원일자 2009년12월14일
심사청구일자 2014년11월26일
(65) 공개번호 10-2011-0067227
(43) 공개일자 2011년06월22일
(56) 선행기술조사문헌
KR1020090054843 A*
KR1020090053387 A
KR1020080049537 A
KR1020060087669 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
문태웅
경기도 파주시 후곡로 50, 후곡마을아파트 421동 1801호 (금촌동)
서지연
경기도 파주시 월릉면 엘씨디로 201 105동 217호 (덕은리, 정다운마을)
(74) 대리인
박영복

전체 청구항 수 : 총 3 항

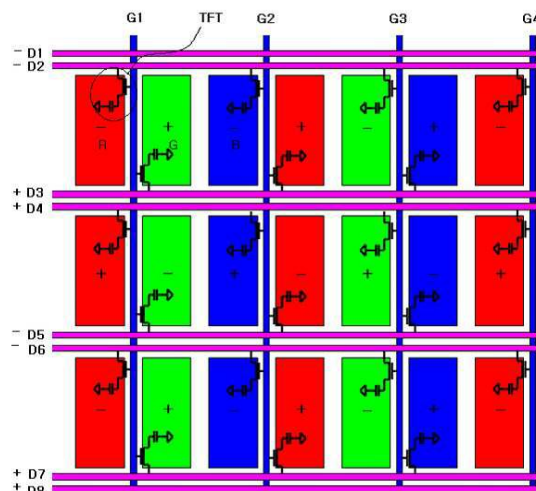
심사관 : 추장희

(54) 발명의 명칭 액정표시장치 및 그 구동방법

(57) 요약

본 발명은 Z-인버전 구동이 가능한 DRD 구조를 통해 소비전류를 줄이면서 데이터 라인의 수를 줄이도록 한 액정표시장치 및 그 구동방법에 관한 것이다. 본 발명에 의한 액정표시장치는 세로 방향으로 일정한 간격을 갖고 배열되는 다수의 게이트 라인과, 상기 각 게이트 라인과 수직한 가로 방향으로 일정한 간격을 갖고 배열되는 다수의 데이터 라인과, 상기 홀수번째 데이터 라인과 짝수번째 데이터 라인 사이 및 각 게이트 라인의 양측에 배열되는 다수의 서브 화소를 가진다. 다수의 서브 화소 각각은 게이트 라인들 및 데이터 라인들과 각각 접속된 박막 트랜지스터를 포함하고, 상기 다수의 서브 화소 중 상하 서브 화소 사이의 2개 데이터 라인이 동일 극성의 데이터 신호를 받고, 그 아래 서브 화소 하부에 있는 2개의 데이터 라인은 상부의 극성과는 반대의 극성 신호를 받아 동작하여 소비전력 저감과 데이터 라인 저감이 가능해진다.

대표도 - 도2



명세서

청구범위

청구항 1

세로 방향으로 일정한 간격을 갖고 배열되는 다수의 게이트 라인과,

상기 각 게이트 라인과 수직한 가로 방향으로 일정한 간격을 갖고 배열되는 다수의 데이터 라인과,

상기 홀수번째 데이터 라인과 짝수번째 데이터 라인 사이 및 각 게이트 라인의 양측에 배열된 다수의 서브 화소와,

상기 다수의 서브 화소들 각각은 게이트 라인들 및 데이터 라인들과 각각 접속된 박막 트랜지스터와,

상기 각 게이트 라인의 사이에 공통전압을 인가하기 위해 각 게이트 라인과 동일한 방향으로 형성되는 공통전극 라인을 포함하고,

상기 다수의 서브 화소 중 인접한 상하 서브 화소 사이에는 2개의 데이터 라인이 위치하고, 상기 인접한 상하 서브 화소 사이의 2개의 데이터 라인은 동일 극성의 데이터 신호를 받고, 그 아래 서브 화소의 하부에 있는 2개의 데이터 라인은 상부의 극성과는 반대의 극성 신호를 받아 동작하고,

상기 게이트 라인의 양측에 이웃하도록 배열되는 2개의 서브 화소는 동일 게이트 라인과 접속되고, 그 게이트 라인을 기준으로 양측에 위치하며, 각 게이트 라인에 인가되는 구동신호에 의해 순차 구동되고,

한 게이트 라인과 접속된 홀수열의 서브 화소들과 짝수열의 서브 화소들은 상기 각 박막 트랜지스터를 통해 서로 다른 데이터 라인과 접속되어 서로 반대의 극성 신호를 받아 동작하고, 상하로 인접한 서브 화소들도 서로 반대의 극성 신호를 받아 동작하는 것을 특징으로 하는 액정표시장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1 항에 있어서, 상기 다수의 데이터 라인 중 인접한 홀수번째 데이터 라인과 짝수번째 데이터 라인에 동일한 극성의 데이터 신호가 인가되는 것을 특징으로 하는 액정표시장치.

청구항 5

삭제

청구항 6

세로 방향으로 일정한 간격을 갖고 배열되는 다수의 게이트 라인과,

상기 각 게이트 라인과 수직한 가로 방향으로 일정한 간격을 갖고 배열되는 다수의 데이터 라인과,

상기 홀수번째 데이터 라인과 짝수번째 데이터 라인 사이 및 각 게이트 라인의 양측에 배열되는 다수의 서브 화소와,

상기 다수의 서브 화소와 각각은 게이트 라인들 및 데이터 라인들과 각각 접속된 박막 트랜지스터와,

상기 각 게이트 라인의 사이에 공통전압을 인가하기 위해 각 게이트 라인과 동일한 방향으로 형성되는 공통전극 라인을 포함하고,

상기 다수의 서브 화소 중 상하로 인접한 서브 화소 사이에는 2개의 데이터 라인이 위치하고,

상기 인접한 상하 서브 화소 사이의 2개의 데이터 라인은 동일 극성의 데이터 신호를 받고, 그 아래 서브 화소

의 하부에 있는 2개의 데이터 라인은 상부의 극성과는 반대의 극성 신호를 받아 동작하고,

상기 게이트 라인의 양측에 이웃하도록 배열되는 2개의 서브 화소는 동일 게이트 라인과 접속되고, 그 게이트 라인을 기준으로 양측에 위치하며, 각 게이트 라인에 인가되는 구동신호에 의해 순차 구동되고,

한 게이트 라인과 접속된 홀수열의 서브 화소들과 짝수열의 서브 화소들은 상기 각 박막 트랜지스터를 통해 서로 다른 데이터 라인과 접속되어 서로 반대의 극성 신호를 받아 동작하고, 상기 각 게이트 라인에 인가되는 구동신호에 의해 순차 구동되는 것을 특징으로 하는 액정표시장치의 구동방법.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치 및 그 구동방법에 관한 것으로, 특히 소비전류 및 데이터 라인 수를 줄이도록 한 액정표시장치 및 그 구동방법에 관한 것이다.

배경 기술

[0002] 일반적으로 액정표시장치는 액정의 전기적 및 광학적 특성을 이용하여 영상을 표시한다. 액정은 굴절율, 유전율 등이 분자 장축 방향과 단축 방향에 따라 서로 다른 이방성 성질을 갖고 분자 배열과 광학적 성질을 쉽게 조절할 수 있다. 이를 이용한 액정표시장치는 전계의 크기에 따라 액정 분자들의 배열 방향을 가변시켜서 편광관을 통과하는 광 투과율을 조절함으로써 영상을 표시한다.

[0003] 액정표시장치는 다수의 화소들이 매트릭스 형태로 배열된 액정 패널과, 액정 패널의 게이트 라인을 구동하는 게이트 드라이버와, 액정 패널의 데이터 라인을 구동하는 데이터 드라이버 등을 포함한다.

[0004] 액정 패널의 각 화소는 데이터 신호에 따라 광투과율을 조절하는 적, 녹, 청 서브 화소의 조합으로 원하는 색을 구현한다. 각 서브 화소는 게이트 라인 및 데이터 라인과 접속된 박막 트랜지스터, 박막 트랜지스터와 접속된 액정 커패시터를 구비한다. 액정 커패시터는 박막 트랜지스터를 통해 화소 전극에 공급된 데이터 신호와, 공통 전극에 공급된 공통 전압과의 차전압을 충전하고 충전된 전압에 따라 액정을 구동하여 광투과율을 조절한다.

[0005] 게이트 드라이버는 액정 패널의 게이트 라인들을 순차적으로 구동하는 다수의 게이트 집적 회로(Integrated Circuit; 이하, IC)를 포함한다.

[0006] 데이터 드라이버는 게이트 라인들 각각이 구동될 때마다 디지털 데이터 신호를 아날로그 데이터 신호로 변환하여 액정 패널의 데이터 라인들로 공급하는 다수의 데이터 IC를 포함한다.

[0007] 데이터 IC는 디지털-아날로그 컨버터 등과 같은 복잡한 회로 구성을 포함하여 제조 원가가 높고, 액정 패널의 데이터 라인의 수가 게이트 라인 보다 많으므로 게이트 IC들 보다 많은 데이터 IC들이 필요하다.

[0008] 이에 따라, 액정표시장치의 제조 원가를 감소시키기 위하여 액정 패널의 해상도는 그대로 유지하면서 데이터 IC의 수를 줄일 수 있는 방안이 고려되었다.

[0009] 예를 들면, 데이터 IC의 수를 줄이기 위하여, 한 데이터 라인의 양측에 위치한 오드(odd) 및 이븐(even) 서브 화소를 상기 데이터 라인을 이용하여 순차 구동하는 구조를 이용하여 데이터 라인의 수를 반감시킨 액정 패널이 제안되었다.

[0010] 도 1은 종래 기술에 의한 액정표시장치에서 액정 패널의 화소 매트릭스 구조를 나타낸 도면이다.

[0011] 종래 기술에 의한 액정표시장치는 도 1에 도시한 바와 같이, 가로 방향으로 일정한 간격을 갖고 배열되는 다수의 게이트 라인(G1, G2, G3, ...) 및 상기 각 게이트 라인(G1, G2, G3, ...)과 수직인 세로 방향으로 일정한 간격을 갖고 배열되는 데이터 라인(D1, D2, D3, ...)과, 홀수번째 게이트 라인(G1, G3, G5, ...)과 짝수번째 게이트 라인(G2, G4, G6, ...) 사이마다 배열된 다수의 서브 화소(R, G, B)를 포함하고, 다수의 서브 화소(R, G, B)와 각각은 게이트 라인들(G1, G2, G3, ...) 및 데이터 라인들(D1, D2, D3, ...)과 각각 접속된 박막 트랜지스터(TFT)를 포함한다.

[0012] 화소 매트릭스를 구성하는 다수의 화소들 각각은 적색, 녹색, 청색 서브 화소(R, G, B)로 구분된다. 다수의 서브 화소(R, G, B)들은 화소 매트릭스의 가로 방향을 따라 적색, 녹색, 청색 서브 화소(R, G, B)의 순서가 반복

되도록 배열되고, 세로 방향을 따라 같은 색의 서브 화소들이 반복되도록 배열된다.

- [0013] 데이터 라인(D1, D2, D3, ...) 각각은 양측에 위치한 홀수열의 서브 화소들 및 짝수열의 서브 화소들과 공통 접속된다. 다시 말하여, 각 데이터 라인은 그 데이터 라인과 인접하여 왼쪽에 위치한 홀수열의 서브 화소들 각각과 해당 박막 트랜지스터(TFT)를 통해 접속되고, 그 데이터 라인과 인접하여 오른쪽에 위치한 짝수열의 서브 화소들 각각과 해당 박막 트랜지스터(TFT)를 통해 접속된다.
- [0014] 그리고, 한 데이터 라인과 접속된 홀수열의 서브 화소들과 짝수열의 서브 화소들은 해당 박막 트랜지스터(TFT)를 통해 서로 다른 게이트 라인과 접속되어 순차 구동된다. 다시 말하여, 한 가로줄을 구성하는 서브 화소들(R, G, B)은 각각은 한 쌍의 게이트 라인, 즉 홀수번째 게이트 라인과 짝수번째 게이트 라인 사이에 배치되어서, 상기 홀수번째 및 짝수번째 게이트 라인들 중 어느 하나와 접속된다.
- [0015] 이때, 상기 가로줄에서 같은 데이터 라인과 접속된 한 쌍의 서브 화소, 즉 홀수열의 서브 화소와 짝수열의 서브 화소는 상기 한 쌍의 게이트 라인 중 서로 다른 게이트 라인과 접속되어서 순차 구동된다.
- [0016] 이에 따라, 게이트 라인(G1, G2, G3, ...)의 수는 2배로 증가되지만 데이터 라인(D1, D2, D3, ...)의 수가 반감되어서, 데이터 라인(D1, D2, D3, ...)을 구동하는 데이터 IC의 수가 절감된다.
- [0017] 상기와 같이 구성된 종래 기술에 의한 액정표시장치는 하나의 데이터 라인이 양측에 서브 화소를 공유하고 있어 Z-인버전(inversion) 구동시 잔상이나 세로줄 불량 발생하게 되어 2-도트 인버전(2-dot inversion) 구동을 하게 된다.
- [0018] 한편, NBPC(Note Book PC) 등 모바일(Mobile)을 요구하는 경우 저 소비전류를 반드시 필요로 하게 된다. 액정패널에서 소비전류를 줄이기 위해서는 구동 방식을 Z-인버전으로 바꾸어야 한다.
- [0019] 그러나 종래 기술에 의한 액정표시장치는 Z-인버전 구동을 하게 되면 수직으로 2개의 서브-화소가 같은 극성으로 동작하게 되어 잔상 및 세로줄이 보일 수도 있다.
- [0020] 즉, 하나의 데이터 라인이 데이터 라인 중심의 양쪽 서브 화소를 구동하게 되므로 데이터 라인에서 같은 극성이 반복되게 되면 양쪽 서브 화소는 반드시 같은 극성이 발생하게 되고, 같은 극성이 연속되는 면적에 존재하게 되면 잔류 전하가 생겨서 기존 Vcom 대비 틀어지게 되어 잔상에 취약하게 되거나 세로줄 얼룩과 같은 화질 불량이 발생하는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- [0021] 본 발명은 상기와 같은 종래의 문제를 해결하기 위한 것으로 Z-인버전 구동이 가능한 DRD 구조를 통해 소비전류를 줄이면서 데이터 라인의 수를 줄이도록 한 액정표시장치 및 그 구동방법을 제공하는데 그 목적이 있다.

과제 해결수단

- [0022] 상기와 같은 목적을 달성하기 위한 본 발명에 의한 액정표시장치는 세로 방향으로 일정한 간격을 갖고 배열되는 다수의 게이트 라인과, 상기 각 게이트 라인과 수직인 가로 방향으로 일정한 간격을 갖고 배열되는 다수의 데이터 라인과, 상기 홀수번째 데이터 라인과 짝수번째 데이터 라인 사이 및 각 게이트 라인의 양측에 배열되는 다수의 서브 화소와, 상기 다수의 서브 화소와 각각은 게이트 라인들 및 데이터 라인들과 각각 접속된 박막 트랜지스터를 포함하고, 상기 다수의 서브 화소 중 상하 서브 화소 사이의 2개 데이터 라인이 동일 극성의 데이터 신호를 받고, 그 아래 서브 화소 하부에 있는 2개의 데이터 라인은 상부의 극성과는 반대의 극성 신호를 받아 동작하는 것을 특징으로 한다.
- [0023] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 의한 액정표시장치의 구동방법은 세로 방향으로 일정한 간격을 갖고 배열되는 다수의 게이트 라인과, 상기 각 게이트 라인과 수직인 가로 방향으로 일정한 간격을 갖고 배열되는 다수의 데이터 라인과, 상기 홀수번째 데이터 라인과 짝수번째 데이터 라인 사이 및 각 게이트 라인의 양측에 배열되는 다수의 서브 화소와, 상기 다수의 서브 화소와 각각은 게이트 라인들 및 데이터 라인들과 각각 접속된 박막 트랜지스터를 포함하고, 상기 다수의 서브 화소 중 상하 서브 화소 사이의 2개 데이터 라인이 동일 극성의 데이터 신호를 인가하고, 그 아래 서브 화소 하부에 있는 2개의 데이터 라인은 상부의 극성과는 반대의 극성 신호를 인가하여 동작하는 것을 특징으로 한다.

효 과

[0024] 본 발명에 의한 액정표시장치 및 그 구동방법은 다음과 같은 효과가 있다.

[0025] 즉, Z-인버전 구동이 가능한 DRD(Duble Reduced Data) 구조를 통해 소비전류를 줄이면서 데이터 라인의 수를 줄일 수 있다.

발명의 실시를 위한 구체적인 내용

[0026] 이하, 첨부된 도면을 참고하여 본 발명에 의한 액정표시장치 및 그 구동방법을 보다 상세히 설명하면 다음과 같다.

[0027] 도 2는 본 발명에 의한 액정표시장치에서 액정 패널의 화소 매트릭스 구조를 나타낸 도면이다.

[0028] 본 발명에 의한 액정표시장치의 화소 매트릭스 구조는 도 2에 도시된 바와 같이, 세로 방향으로 일정한 간격을 갖고 배열되는 다수의 게이트 라인(G1, G2, G3, ...)과, 상기 각 게이트 라인(G1, G2, G3, ...)과 수직한 가로 방향으로 일정한 간격을 갖고 배열되는 다수의 데이터 라인(D1, D2, D3, ...)과, 상기 홀수번째 데이터 라인(D1, D3, D5, ...)과 짝수번째 데이터 라인(D2, D4, D6, ...) 사이 및 각 게이트 라인(G1, G2, G3, ...)의 양 측에 배열되는 다수의 서브 화소(R, G, B)를 포함하고, 상기 다수의 서브 화소(R, G, B)와 각각은 게이트 라인들(G1, G2, G3, ...) 및 데이터 라인들(D1, D2, D3, ...)과 각각 접속된 박막 트랜지스터(TFT)를 포함한다.

[0029] 박막 트랜지스터(TFT)의 게이트 전극은 상기 각 게이트 라인들(G1, G2, G3, ...)에 접속되고, 소오스 전극(또는 드레인 전극)은 상기 각 데이터 라인(D1, D2, D3, ...)에 접속된다.

[0030] 상기 화소 매트릭스를 구성하는 다수의 화소들 각각은 적색, 녹색, 청색 서브 화소(R, G, B)로 구분된다. 다수의 서브 화소(R, G, B)들은 화소 매트릭스의 가로 방향을 따라 적색, 녹색, 청색 서브 화소(R, G, B)의 순서가 반복되도록 배열되고, 세로 방향을 따라 같은 색의 서브 화소들이 반복되도록 배열된다.

[0031] 상기 게이트 라인(G1, G2, G3, ...) 각각은 양측에 위치한 홀수열의 서브 화소들 및 짝수열의 서브 화소들과 공통 접속된다. 다시 말하여, 각 게이트 라인(G1, G2, G3, ...)은 그 게이트 라인에 인접하여 왼쪽에 위치한 홀수열의 서브 화소들 각각과 해당 박막 트랜지스터(TFT)를 통해 접속되고, 그 게이트 라인에 인접하여 오른쪽에 위치한 짝수열의 서브 화소들 각각과 해당 박막 트랜지스터(TFT)를 통해 접속된다.

[0032] 그리고, 한 게이트 라인에 접속된 홀수열의 서브 화소들과 짝수열의 서브 화소들은 해당 박막 트랜지스터(TFT)를 통해 서로 다른 데이터 라인에 접속되어 각 게이트 라인에 인가되는 구동신호에 의해 순차 구동된다. 다시 말하여, 한 가로줄을 구성하는 서브 화소들(R, G, B)은 각각은 한 쌍의 데이터 라인, 즉 홀수번째 데이터 라인 과 짝수번째 데이터 라인 사이에 배치되어서, 상기 홀수번째 및 짝수번째 데이터 라인들 중 어느 하나와 접속된다.

[0033] 이때, 상기 세로줄에서 같은 게이트 라인에 접속된 한 쌍의 서브 화소, 즉 홀수열의 서브 화소와 짝수열의 서브 화소는 상기 한 쌍의 데이터 라인 중 서로 다른 데이터 라인에 접속되어서 상기 게이트 라인에 인가되는 구동신호에 의해 순차 구동된다.

[0034] 이에 따라, 가로 방향으로 배열되는 데이터 라인(D1, D2, D3, ...)의 수는 2배로 증가하는 것처럼 보이지만 실질적으로 종래의 세로 방향으로 배열되는 것보다 전체적인 데이터 라인(D1, D2, D3, ...)의 수를 줄일 수가 있어, 데이터 라인(D1, D2, D3, ...)을 구동하는 데이터 IC의 수가 절감할 수가 있다.

[0035] 따라서 본 발명에 의한 액정표시장치는 각 게이트 라인(G1, G2, G3, ...)은 액정패널의 위에서 아래 방향 즉 세로 방향으로 위치하게 되고, 각 데이터 라인(D1, D2, D3, ...)은 DRD 구조의 게이트 라인에 비슷하게 가로 방향으로 두 개의 데이터 라인이 지난다. 각 서브 화소들(R, G, B)은 각 게이트 라인(G1, G2, G3, ...)에 게이트 드라이버로부터 공급되는 구동신호에 의해 각 박막 트랜지스터(TFT)가 ON될 때 양측의 서브 화소는 상하의 데이터 라인을 통해 인가되는 데이터 신호를 충전하게 된다.

[0036] 또한, 본 발명은 Z-인버전 구동을 위해서 상하 서브 화소 사이의 2개 데이터 라인이 같은 극성의 신호를 받아 동작하고, 그 아래 서브 화소 하부에 있는 2개의 데이터 라인은 상부의 극성과는 반대의 극성 신호를 받아 동작한다.

[0037] 따라서 본 발명에 의한 액정표시장치는 액정 패널이 와이드(wide)로 가게 되면서 전체적인 데이터 라인의 수를

더욱 줄일 수가 있다.

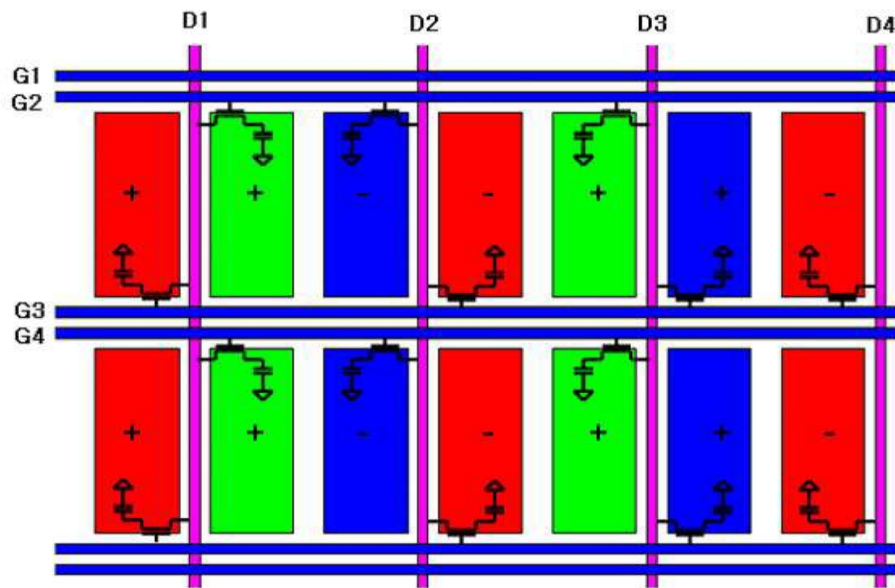
- [0038] 도 3 내지 도 5는 종래의 GIP 구조 및 DRD 구조를 갖는 액정표시장치와 본 발명에 의한 DRD 구조를 갖는 액정표시장치에서 게이트 라인 및 데이터 라인의 수를 비교한 도면이다. 한편, 도 3 내지 도 5는 Full HDD 모델을 통해 비교한 도면이다.
- [0039] 종래의 GIP 구조를 갖는 액정표시장치는 도 3에서와 같이, 가로 방향으로 배열되는 게이트 라인(G1, G2, G3, ...)이 총 1080개, 세로 방향으로 배열되는 데이터 라인(D1, D2, D3, ...)이 5760개이다.
- [0040] 또한, 종래의 DRD 구조를 갖는 액정표시장치는 도 4에서와 같이, 가로 방향으로 배열되는 게이트 라인(G1, G2, G3, ...)이 총 2160개, 세로 방향으로 배열되는 데이터 라인(D1, D2, D3, ...)이 2880개로 GIP 구조를 갖는 액정표시장치보다 게이트 라인의 수는 증가했지만 데이터 라인의 수는 약 절반 정도로 줄어듦을 알 수 있다.
- [0041] 한편, 본 발명의 새로운 DRD 구조를 갖는 액정표시장치는 도 5에서와 같이, 게이트 라인(G1, G2, G3, ...)이 총 2880개, 가로 방향으로 배열되는 데이터 라인(D1, D2, D3, ...)이 2160개로 종래의 DRD 구조를 갖는 액정표시장치의 데이터 라인의 수보다 한층더 데이터 라인의 수를 줄여 데이터 IC를 줄일 수가 있다.
- [0042] 뿐만 아니라 본 발명에 의한 액정표시장치는 Z-인버전 구동이 가능하게 되어 소비전류를 한층더 줄일 수가 있고, Z-인버전 구동시 수평으로 배열되는 2개의 서브-화소가 다른 극성으로 동작하게 되어 잔상 및 세로줄 얼룩과 같은 화질 불량을 개선할 수 있다.
- [0043] 도 6은 본 발명의 다른 실시예에 의한 액정표시장치에서 액정 패널의 화소 매트릭스 구조를 나타낸 도면이다.
- [0044] 본 발명의 다른 실시예에 의한 액정표시장치의 화소 매트릭스 구조는 도 6에 도시된 바와 같이, 도 2의 액정표시장치와 비교하여 각 게이트 라인((G1, G2, G3, ...)의 사이에 게이트 라인과 동일한 방향으로 공통전압을 인가하기 위한 공통전극라인(COM1, COM2, ...)을 배열하는 것을 제외하고 나머지는 동일하다.
- [0045] 한편, 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

도면의 간단한 설명

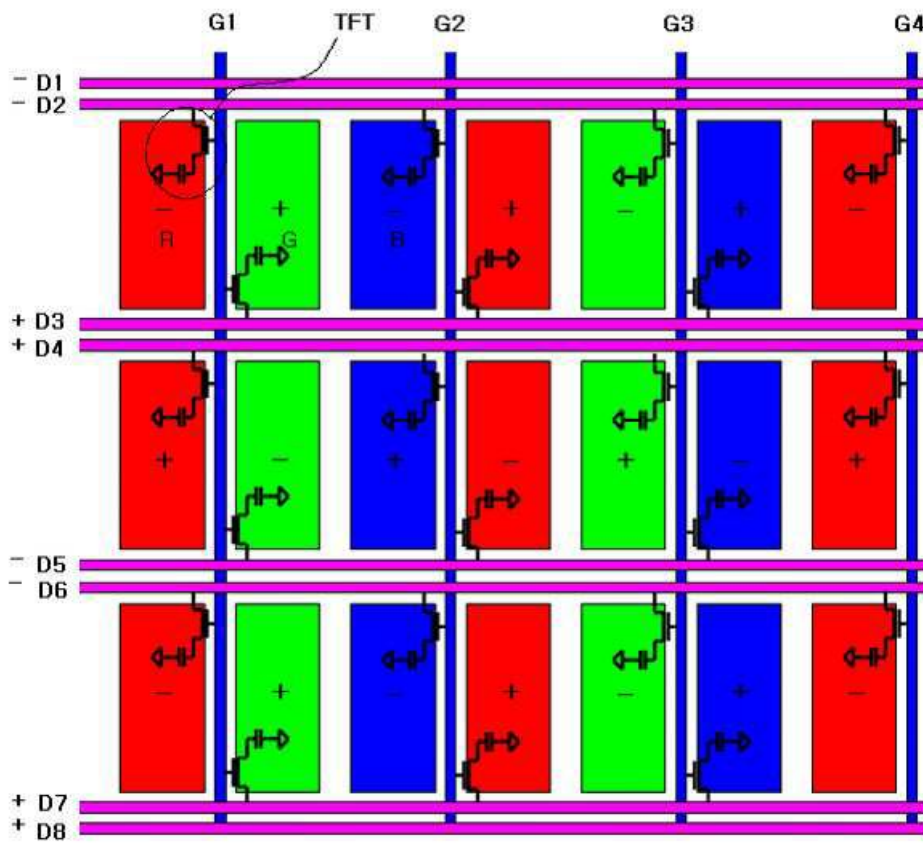
- [0046] 도 1은 종래 기술에 의한 액정표시장치에서 액정 패널의 화소 매트릭스 구조를 나타낸 도면
- [0047] 도 2는 본 발명에 의한 액정표시장치에서 액정 패널의 화소 매트릭스 구조를 나타낸 도면
- [0048] 도 3 내지 도 5는 종래의 GIP 구조 및 DRD 구조를 갖는 액정표시장치와 본 발명에 의한 DRD 구조를 갖는 액정표시장치에서 게이트 라인 및 데이터 라인의 수를 비교한 도면
- [0049] 도 6은 본 발명의 다른 실시예에 의한 액정표시장치에서 액정 패널의 화소 매트릭스 구조를 나타낸 도면
- [0050] 도면의 주요 부분에 대한 부호의 설명
- [0051] G1, G2, G3 : 게이트 라인 D1, D2, D3 : 데이터 라인
- [0052] R G, B : 서브 화소

도면

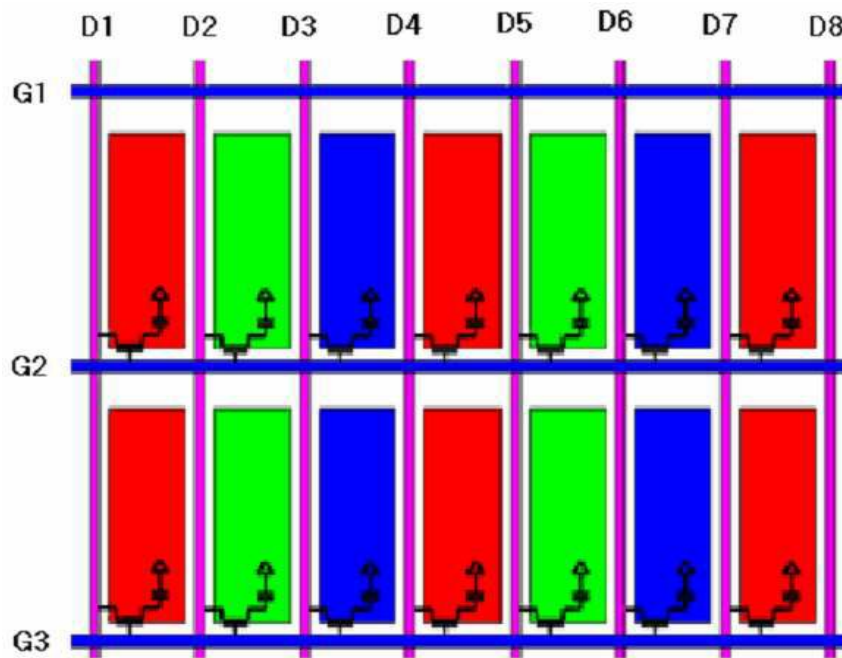
도면1



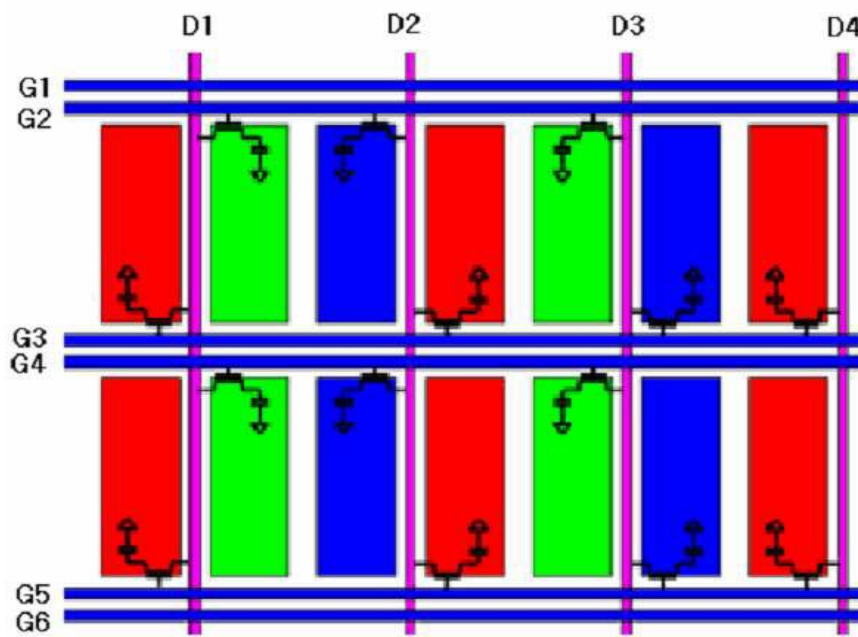
도면2



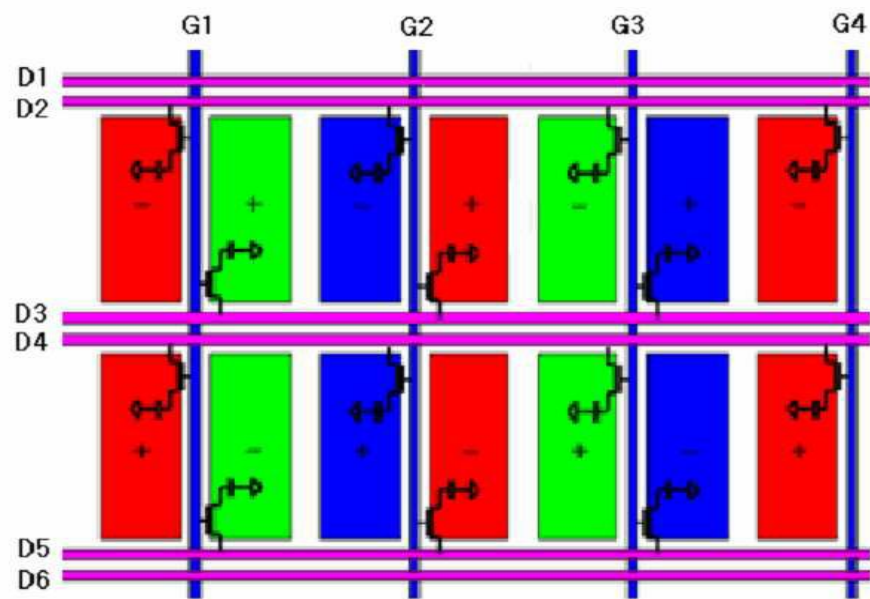
도면3



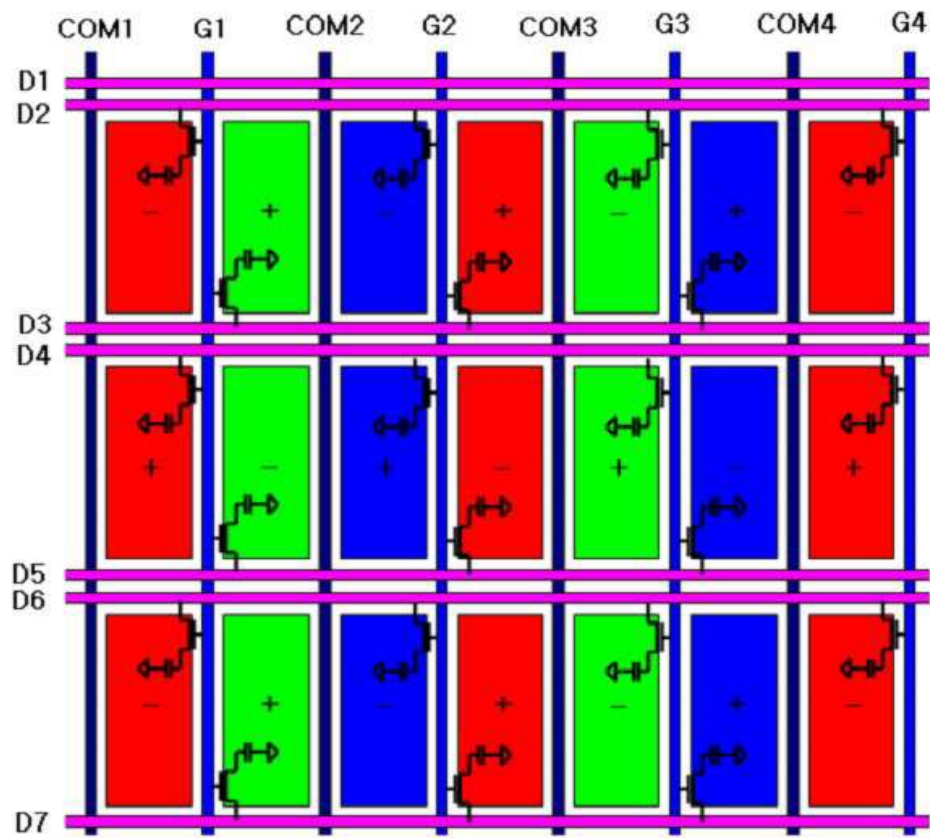
도면4



도면5



도면6



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	KR101675839B1	公开(公告)日	2016-11-15
申请号	KR1020090123731	申请日	2009-12-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	MOON TAE WOONG 문태웅 SEO JI YEON 서지연		
发明人	문태웅 서지연		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3614 G09G3/3688 G09G2310/0278		
代理人(译)	Bakyoungbok		
其他公开文献	KR1020110067227A		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示器及其驱动方法，以通过驱动Z反转的DRD结构减少电流消耗。组成：在液晶显示器及其驱动方法中，多条栅极线（G1，G2，G3，...）沿长度方向排列。多条数据线（D1，D2，D3，...）沿垂直于栅极线的方向排列。多个子像素（R，G，B）布置在奇数数据线和偶数数据线之间。多个子像素布置在每条栅极线的两侧。每个子像素包括薄膜晶体管（TFT）。COPYRIGHT KIPO 2011

