



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년10월02일

(11) 등록번호 10-1556160

(24) 등록일자 2015년09월22일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01) G02F 1/1368 (2006.01)

G09G 3/36 (2006.01)

(52) CPC특허분류

G02F 1/1362 (2013.01)

G02F 1/136277 (2013.01)

(21) 출원번호 10-2015-0001997(분할)

(22) 출원일자 2015년01월07일

심사청구일자 2015년02월05일

(65) 공개번호 10-2015-0011400

(43) 공개일자 2015년01월30일

(62) 원출원 특허 10-2006-0066945

원출원일자 2006년07월18일

심사청구일자 2011년07월18일

(56) 선행기술조사문헌

KR100245973 B1*

KR1020050014059 A*

KR1020060062573 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기 용인시 기흥구 삼성로1(농서동)

(72) 발명자

장종웅

충청남도 아산시 탕정면 탕정면로 37, 103동 280 4호 (탕정삼성트라팰리스아파트)

(74) 대리인

특허법인가산

전체 청구항 수 : 총 12 항

심사관 : 신창우

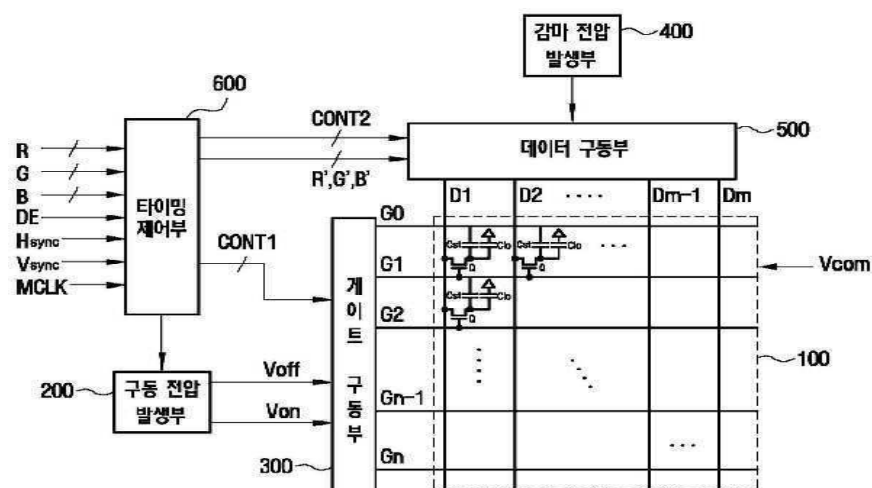
(54) 발명의 명칭 박막 트랜지스터 어레이 기판

(57) 요약

액정의 응답 속도를 개선할 수 있는 박막 트랜지스터 어레이 기판이 제공된다. 박막 트랜지스터 어레이 기판은, 절연 기판상에 서로 절연되며 교차되어 화소 영역을 정의하는 게이트 배선과 데이터 배선, 상기 게이트 배선과 데이터 배선의 교차부에 형성된 박막 트랜지스터, 상기 드레인 전극으로부터 연장되는 드레인 전극 확장부, 상기

(뒷면에 계속)

대표도 - 도1



데이터 배선과 적어도 일부가 중첩되어 평행하게 배향되는 용량성 전극으로서, 다른 일부가 상기 적어도 두 개의 화소 전극들과 중첩되고, 상기 데이터 배선에 대향하는 개구 또는 슬롯이 없도록 형성되는 용량성 전극; 및 적어도 일부가 상기 게이트 배선과 평행하게 배치되는 유지 전극선을 포함하되, 상기 용량성 전극 및 유지 전극선은 동일층 상에 배치되고, 상기 적어도 두 개의 화소 전극들 중 하나는 상기 데이터 배선의 제1 측면에 인접하게 배치되고 상기 두 개의 화소 전극들 중 다른 하나는 상기 데이터 배선의 상기 제1 측면의 반대 측면인 상기 데이터 배선의 제2 측면에 인접하게 배치되며, 상기 유지 전극선은 상기 드레인 전극 확장부에 완전히 중첩될 수 있다.

(52) CPC특허분류

G02F 1/1368 (2013.01)

G09G 3/36 (2013.01)

명세서

청구범위

청구항 1

절연 기판상에 서로 절연되며 교차되어 화소 영역을 정의하는 게이트 배선과 데이터 배선;

적어도 두 개의 화소 전극들;

게이트 전극, 소스 전극, 소스 전극 및 드레인 전극을 각각 포함하는 박막 트랜지스터로서, 상기 게이트 전극은 상기 게이트 배선에 연결되고, 상기 소스 전극은 상기 데이터 전극에 연결되고, 상기 드레인 전극은 상기 화소 전극들 중 하나에 연결되는, 적어도 하나의 박막 트랜지스터;

상기 드레인 전극으로부터 연장되어 상기 화소 전극들 중 하나와 적어도 일부가 중첩되는 드레인 전극 확장부;

상기 데이터 배선에 적어도 일부가 중첩되며 평행하게 배향되는 용량성(capacitive) 전극으로서, 다른 일부가 상기 적어도 두 개의 화소 전극들과 중첩되고, 상기 데이터 배선에 대향하는 개구 또는 슬릿이 없도록 형성되는 용량성 전극; 및

적어도 일부가 상기 게이트 배선과 평행하게 배치되는 유지 전극선을 포함하되,

상기 용량성 전극 및 유지 전극선은 동일층 상에 배치되고,

상기 적어도 두 개의 화소 전극들 중 하나는 상기 데이터 배선의 제1 측면에 인접하게 배치되고 상기 두 개의 화소 전극들 중 다른 하나는 상기 데이터 배선의 상기 제1 측면의 반대 측면인 상기 데이터 배선의 제2 측면에 인접하게 배치되며,

상기 유지 전극선은 상기 드레인 전극 확장부에 완전히 중첩되는 박막 트랜지스터 어레이 기판.

청구항 2

제1 항에 있어서, 상기 게이트 전극 및 상기 유지 전극선은 동일층 상에 배치되는 박막 트랜지스터 어레이 기판.

청구항 3

제2 항에 있어서,

상기 소스 전극, 상기 드레인 전극 및 상기 드레인 전극 확장부는 동일층 상에 배치되는 박막 트랜지스터 어레이 기판.

청구항 4

제3 항에 있어서, 상기 유지 전극선 및 상기 드레인 전극 확장부 사이에 배치되는 반도체 층을 더 포함하는 박막 트랜지스터 어레이 기판.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

제1 항에 있어서, 상기 드레인 전극 확장부 상에 콘택홀이 형성되는 박막 트랜지스터 어레이 기판.

청구항 10

제9 항에 있어서, 상기 드레인 전극 확장부의 크기는 상기 콘택홀의 크기 보다 큰 박막 트랜지스터 어레이 기판.

청구항 11

제1 항에 있어서, 상기 드레인 전극 확장부는 사각형의 형상을 가지는 박막 트랜지스터 어레이 기판.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

제1 항에 있어서, 상기 유지 전극선 상에 형성되는 콘택홀을 더 포함하는 박막 트랜지스터 어레이 기판.

청구항 18

제17 항에 있어서,

상기 콘택홀은 상기 드레인 전극 확장부 상에도 형성되는 박막 트랜지스터 어레이 기판.

청구항 19

제18 항에 있어서, 상기 드레인 전극 확장부의 크기는 상기 콘택홀의 크기 보다 큰 박막 트랜지스터 어레이 기판.

청구항 20

제1 항에 있어서, 상기 용량성 전극과 상기 적어도 두 개의 화소 전극 중 하나가 중첩되는 부분의 폭과 상기 용량성 전극과 상기 적어도 두 개의 화소 전극 중 다른 하나가 중첩되는 부분의 폭은 동일한 박막 트랜지스터 어레이 기판.

청구항 21

제1 항에 있어서, 상기 데이터 배선과 상기 용량성 전극 사이에 배치되고 상기 데이터 배선의 너비보다 큰 너비를 갖는 저항성 접촉층을 더 포함하는 박막 트랜지스터 어레이 기판.

발명의 설명

기술 분야

[0001] 본 발명은 박막 트랜지스터 어레이 기판에 관한 것으로, 보다 상세하게는 액정의 응답 속도를 개선할 수 있는 박막 트랜지스터 어레이 기판에 관한 것이다.

배경 기술

[0002] 일반적으로, 액정 표시 장치(Liquid Crystal Display)는 두 기판 사이에 주입되어 있는 이방성 유전율을 갖는 액정(Liquid Crystal)에 세기가 조절된 전계를 인가하여 기판에 투과되는 빛의 양을 조절함으로써 원하는 영상 신호를 얻는 표시 장치이다.

[0003] 최근 액정의 응답 속도를 개선하기 위하여 여러 가지 연구들이 진행되어 왔다. 액정의 응답속도를 개선 하는 방법에는 구동 조건을 개선하는 방법, 액정 재료를 변경하는 방법, 설계 구조를 변경하는 방법 등이 있다. 여기에서, 구동 조건을 개선하는 방법은 첫째로, 구동 전압(AVDD)을 높여 라이징 타임(rising time)을 빠르게 하면 액정의 응답 속도는 개선되나 소비 전력이 증가되는 문제가 있다. 둘째로, 오프셋(offset) 전압을 낮추게 되면 폴링 타임(falling time) 빨라져 액정의 응답 속도는 일부 개선되나 타겟 감마 곡선(target gamma curve)의 감마 값을 맞추기 위해 오프셋 전압을 일정 전압 이하로 낮추기가 힘들다. 셋째로, 공통 전압의 최적화를 통해 액정의 응답 속도를 일부 개선할 수 있으나 잔상 및 플리커 등의 다른 문제점들이 발생하게 된다.

[0004] 또한, 액정의 재료를 변경하는 방법은 재료 개발에 한계점이 존재한다.

[0005] 상기와 같은 방법들 중 설계 구조를 변경하는 방법이 액정의 응답 속도를 향상시키기에 적합한 방법이나 여전히 응답 속도에 딜레이가 발생하게 된다.

[0006] 한편, 한 프레임 동안 액정이 느끼는 전압은 수학식 1에 의해 표현될 수 있다.

[0007] <수학식 1> $V = Q / (C_{st} + C_{lc})$

[0008] 여기에서, 박막 트랜지스터 구동시 한 프레임 동안 충전된 전하량(Q)은 전하량 보존 법칙에 의해 일정하게 유지되나 액정 캐패시터(C_{lc})가 변화함에 따라 데이터 전압(V)도 변하게 된다. 다시 말하면, 액정 캐패시터(C_{lc})가 변화함에 따라 화소 전극에 인가되는 데이터 전압(V) 작아져서 커스프(cusp)가 발생할 수 있다. 그 결과, 응답 속도에 딜레이가 발생한다. 예를 들면, 화소 전극에 데이터 전압이 인가되는 경우를 블랙(4V), 화소 전극에 데이터 전압이 인가되지 않는 경우를 화이트(0.5V), 화소 전극이 블랙에서 화이트 상태로 변할 때 유지 캐패시터(C_{st})의 값을 0, 화소 전극이 블랙 상태인 경우 유전율을 13.5, 화이트 상태인 경우 유전율을 3.6이라고 가정한다면, $Q = (C_{st} + C_{lc}) * V$ 식에 의해 화소 전극이 블랙 상태인 경우 액정에 충전된 전하량(Q)은 6.75가 된다. 그리고, 액정에 충전된 전하량(Q)은 전하량 보존의 법칙에 의해 유지되므로 화소 전극이 화이트 상태인 경우의 전압은 $6.75 = (0 + 3.6) * V$ 식에 의해 V는 1.875가 된다. 따라서, 화소 전극에 데이터 전압이 인가되지 않은 경우 이때에 데이터 전압은 0.5V가 아니라 1.875 V 즉, 그레이(gray) 상태가 되어 커스프(cusp)가 발생하게 된다. 이는 유지 캐패시터(C_{st})의 용량 부족으로 인해 현재 프레임과 다음 프레임 경계에서 발생한다.

발명의 내용

해결하려는 과제

[0009] 본 발명이 이루고자 하는 기술적 과제는, 액정의 응답 속도를 개선할 수 있는 박막 트랜지스터 어레이 기판을 제공하고자 하는 것이다.

[0010] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0011] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 박막 트랜지스터 어레이 기판은, 절연 기판상에서 서로 절연되며 교차되어 화소 영역을 정의하는 게이트 배선과 데이터 배선, 상기 게이트 배선과 데이터 배선의

교차부에 형성된 박막 트랜지스터, 상기 드레인 전극으로부터 연장되는 드레인 전극 확장부, 상기 데이터 배선과 적어도 일부가 중첩되어 평행하게 배향되는 용량성 전극으로서, 다른 일부가 상기 적어도 두 개의 화소 전극들과 중첩되고, 상기 데이터 배선에 대향하는 개구 또는 슬롯이 없도록 형성되는 용량성 전극; 및 적어도 일부가 상기 게이트 배선과 평행하게 배치되는 유지 전극선을 포함하되, 상기 용량성 전극 및 유지 전극선은 동일층상에 배치되고, 상기 적어도 두 개의 화소 전극들 중 하나는 상기 데이터 배선의 제1 측면에 인접하게 배치되고 상기 두 개의 화소 전극들 중 다른 하나는 상기 데이터 배선의 상기 제1 측면의 반대 측면인 상기 데이터 배선의 제2 측면에 인접하게 배치되며, 상기 유지 전극선은 상기 드레인 전극 확장부에 완전히 중첩될 수 있다.

기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

삭제

발명의 효과

상기한 바와 같은 본 발명에 따른 박막 트랜지스터 기판은, 데이터선과 오버랩되는 플로팅 전극을 형성하여 유지 캐패시터의 용량을 증가시킴으로써 액정의 응답 속도를 향상시킬 수 있다.

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 박막 트랜지스터 어레이 기판을 포함하는 액정 표시 장치의 블록도이다.

도 2는 본 발명의 제2 실시예에 따른 박막 트랜지스터 어레이 기판을 포함하는 액정 표시 장치의 블록도이다.

도 3은 도 1의 블록도에 적용되는 본 발명의 제1 실시예에 따른 박막 트랜지스터 어레이 기판을 나타내는 배치도이다.

도 4는 도 3의 IIa'-IIa" 및 IIb'-IIb" 선을 따라 절단한 단면도이다.

도 5는 도 3의 A 부분의 개략적인 단면도이다.

도 6 및 도 7은 본 발명의 제1 실시예에 따른 박막 트랜지스터 어레이 기판의 데이터 배선과 화소 전극의 배치를 나타내는 도면이다.

도 8은 본 발명의 제1 실시예에 따른 박막 트랜지스터 어레이 기판의 플로팅 전극의 다양한 변형을 나타내는 평면도이다.

도 9는 도 2의 블록도에 적용되는 본 발명의 제2 실시예에 따른 박막 트랜지스터 어레이 기판을 나타내는 배치도이다.

도 10은 도 9의 IIa'-IIa" 및 IIb'-IIb" 선을 따라 절단한 단면도이다.

도 11은 본 발명의 제3 실시예에 따른 박막 트랜지스터 어레이 기판을 나타내는 배치도이다.

도 12는 도 11의 IIa'-IIa" 및 IIb'-IIb" 선을 따라 절단한 단면도이다.

도 13 및 14는 본 발명의 제3 실시예에 따른 박막 트랜지스터 어레이 기판의 데이터 배선과 화소 전극의 배치를 나타내는 도면이다.

도 15는 본 발명의 제3 실시예에 따른 박막 트랜지스터 어레이 기판의 플로팅 전극의 다양한 변형을 나타내는 평면도이다.

도 16은 본 발명의 제4 실시예에 따른 박막 트랜지스터 어레이 기판을 나타내는 배치도이다.

도 17은 도 16의 IIa'-IIa" 및 IIb'-IIb" 선을 따라 절단한 단면도이다.

발명을 실시하기 위한 구체적인 내용

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있을 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것으로, 본

발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

- [0016] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다.
- [0017] 도 1은 본 발명의 제1 실시예에 따른 박막 트랜지스터 어레이 기판을 포함하는 액정 표시 장치의 블록도이고, 도 2는 본 발명의 제2 실시예에 따른 박막 트랜지스터 어레이 기판을 포함하는 액정 표시 장치의 블록도이다.
- [0018] 도 1 및 도 2를 참조하면, 본 발명의 액정표시장치는 액정 패널(100), 구동 전압 발생부(200), 게이트 구동부(300), 감마 전압 발생부(400), 데이터 구동부(500), 타이밍 제어부(600)를 포함한다.
- [0019] 액정 패널(100)은 등가 회로로 볼 때 다수의 표시 신호선($G1 - G_n$, $D1 - D_m$)과 이에 연결되어 있으며, 매트릭스(matrix) 형태로 배열된 다수의 단위 화소(pixel)를 포함한다.
- [0020] 여기서, 표시 신호선($G1 - G_n$, $D1 - D_m$)은 게이트 신호를 전달하는 다수의 게이트선($G1 - G_n$)과 데이터 신호를 전달하는 데이터선($D1 - D_m$)을 포함한다. 게이트선($G1 - G_n$)은 행방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선($D1 - D_m$)은 열방향으로 뻗어 있으며 서로가 거의 평행하다.
- [0021] 각 단위 화소는 표시 신호선($G1 - G_n$, $D1 - D_m$)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 커패시터(liquid crystal capacitor)(Clc) 및 유지 커패시터(storage capacitor)(Cst)를 포함한다. 유지 커패시터(Cst)는 필요에 따라 생략할 수 있다.
- [0022] 스위칭 소자(Q)는 TFT 기판에 구비되어 있으며, 삼단자 소자로서 그 제어 단자 및 입력 단자는 각각 게이트선($G1 - G_n$) 및 데이터선($D1 - D_m$)에 연결되어 있으며, 출력 단자는 액정 커패시터(Clc) 및 유지 커패시터(Cst)에 연결되어 있다.
- [0023] 액정 커패시터(Clc)는 TFT 기판의 화소 전극과 컬러 필터 기판의 공통 전극을 두 단자로 하며 두 전극 사이의 액정층은 유전체로서 기능한다. 화소 전극은 스위칭 소자(Q)에 연결되며 공통 전극은 컬러 필터 기판의 전면에 형성되어 있고 공통 전압(Vcom)을 인가받는다. 여기에서, 공통 전극이 TFT 기판에 구비되는 경우도 있으며 이때에는 두 전극이 모두 선형 또는 막대형으로 만들어진다.
- [0024] 본 발명의 제1 실시예에 따른 박막 트랜지스터 어레이 기판을 포함하는 액정 표시 장치와 본 발명의 제2 실시예에 따른 박막 트랜지스터 어레이 기판을 포함하는 액정 표시 장치는, 도 1 및 도 2에서와 같이 다음을 제외하고는 기본적으로 동일한 구조를 갖는다.
- [0025] 도 1에 도시된 바와 같이, 본 발명의 제1 실시예에 따른 박막 트랜지스터 어레이 기판을 포함하는 액정 표시 장치의 경우, 유지 커패시터(Cst)는 화소 전극이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 형성되는 전단 게이트 방식을 사용한다. 여기에서, 첫 번째 행의 화소는 전단의 게이트선이 없으므로 첫 번째 화소 행의 유지 용량용 게이트선($G0$)을 추가하여 공통 전압(Vcom)을 인가함으로써 유지 캐패시터를 형성한다.
- [0026] 도 2에 도시된 바와 같이, 본 발명의 제2 실시예에 따른 박막 트랜지스터 어레이 기판을 포함하는 액정 표시 장치의 경우, 유지 커패시터(Cst)는 박막 트랜지스터 기판에 구비된 별도의 신호선과 화소 전극이 중첩되어 이루어지며 이 별도의 신호선에는 공통 전압(Vcom) 등의 정해진 전압이 인가되는 독립 배선 방식을 사용한다. 즉, 본 발명의 제1 실시예에 따른 박막 트랜지스터 어레이 기판을 포함하는 액정 표시 장치와 본 발명의 제2 실시예에 따른 박막 트랜지스터 어레이 기판을 포함하는 액정 표시 장치는 유지 커패시터(Cst)를 형성하는 방법만 차이가 있을 뿐이며, 실질적으로 동일하게 구동될 수 있다.
- [0027] 한편, 색 표시를 구현하기 위해서는 각 단위 화소가 색상을 표시할 수 있도록 하여야 하는데, 이는 화소 전극에 대응하는 영역에 적색, 녹색, 또는 청색의 컬러 필터를 구비함으로써 가능하다. 여기에서, 컬러 필터는 컬러 필터 기판의 해당 영역에 형성할 수 있으며, 또한, TFT 기판의 화소 전극 위 또는 아래에 형성할 수도 있다.
- [0028] 액정 패널(100)의 TFT 기판 및 컬러 필터 기판 중 적어도 하나의 바깥 면에는 빛을 편광시키는 편광자(도시하지 않음)가 부착된다.
- [0029] 구동 전압 발생부(200)는 다수의 구동 전압을 생성한다. 예를 들어, 구동 전압 발생부(200)는 게이트 온 전압(Von)과 게이트 오프 전압(Voff) 및 공통 전압(Vcom)을 생성한다.
- [0030] 게이트 구동부(300)는 액정 패널(100)의 게이트선($G1 - G_n$)에 연결되어 외부로부터의 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선($G1 - G_n$)에 인가한다.

- [0031] 감마 전압 발생부(400)는 단위 화소의 투과율과 관련된 두 별의 복수 감마 전압을 생성할 수 있다. 즉, 두 별 중 한 별은 정극성 데이터 전압이고, 다른 한 별은 부극성 데이터 전압이 된다. 정극성 데이터 전압과 부극성 데이터 전압은 공통 전압(Vcom)에 대해 데이터 전압의 극성이 반대인 전압을 의미하며, 반전 구동시 교대하여 액정 패널에 각각 제공된다.
- [0032] 데이터 구동부(500)는 액정 패널(100)의 데이터선(D1 - Dm)에 연결되어 있으며, 감마 전압 발생부(400)로부터 제공된 다수의 감마 전압에 기초하여 다수의 데이터 전압을 생성하고, 생성된 데이터 전압을 선택하여 데이터 신호로서 단위 화소에 인가하며 통상 다수의 집적 회로로 이루어진다.
- [0033] 타이밍 제어부(600)는 게이트 구동부(300) 및 데이터 구동부(500) 등의 동작을 제어하는 제어 신호를 생성하여, 각 해당하는 제어 신호를 게이트 구동부(300) 및 데이터 구동부(500)에 제공한다.
- [0034] 도 3은 도 1의 블록도에 적용되는 본 발명의 제1 실시예에 따른 박막 트랜지스터 어레이 기판을 나타내는 배치 도이고, 도 4는 도 3의 IIa'-IIa" 및 IIb'-IIb" 선을 따라 절단한 단면도이고, 도 5는 도 3의 A 부분의 개략적인 단면도이고, 도 6 및 도 7은 본 발명의 제1 실시예에 따른 박막 트랜지스터 어레이 기판의 데이터 배선과 화소 전극의 배치를 나타내는 도면이고, 도 8은 본 발명의 제1 실시예에 따른 박막 트랜지스터 어레이 기판의 플로팅 전극의 다양한 변형을 나타내는 평면도이다.
- [0035] 도 3 및 도 4를 참조하면, 절연 기판(10) 위에 게이트 신호를 전달하는 다수 개의 게이트 배선이 형성되어 있다. 게이트 배선(22, 24, 26, 27, 28)은 가로 방향으로 뻗어 있는 게이트선(22), 게이트선(22)의 끝에 연결되어 있어 외부로부터의 게이트 신호를 인가받아 게이트선으로 전달하는 게이트 끝단(24), 게이트선(22)에 연결되어 돌기 형태로 형성된 박막 트랜지스터의 게이트 전극(26), 게이트선(22)과 평행하게 형성되어 있는 유지 전극(28) 및 게이트선(22)과 전단의 게이트선(28) 사이에 게이트선(22)과 수직한 방향으로 형성되어 있는 플로팅 전극(27)을 포함한다.
- [0036] 유지 전극(28)은 후술할 화소 전극(82)과 오버랩되어 화소의 전하 보존 능력을 향상시키는 유지 캐패시터(Cst1)를 형성한다. 이와 같은 유지 전극(28)의 모양 및 배치 등은 다양한 형태로 변형될 수 있다.
- [0037] 플로팅 전극(27)은 도 4에서와 같이 게이트배선(22, 24, 26, 28)과 동일층 상에 형성되고, 전계가 인가되지 않는 플로팅 상태를 가지며, 데이터선(62)과 적어도 일부분이 오버랩되도록 평행하게 형성되어 있다. 그리고, 도 3의 "A"에서와 같이 플로팅 전극(27)은 데이터선(62) 및 화소 전극(82)과 적어도 일부분이 오버랩되도록 형성되어 있어 제1 내지 제3 오버랩 캐패시터(Cid, Cif, Cdf)를 형성한다. 도 5에서와 같이, 제1 오버랩 캐패시터(Cid)는 화소 전극(82)과 데이터선(62) 사이에 형성되고, 제2 오버랩 캐패시터(Cif)는 화소 전극(82)과 플로팅 전극(27) 사이에 형성되고, 제3 오버랩 캐패시터(Cdf)는 데이터선(62)과 플로팅 전극(27) 사이에 각각 형성된다. 따라서, 본 발명에서는 게이트 배선(22) 사이에 데이터선(62)과 오버랩되도록 플로팅 전극(27)이 형성됨에 따라 유지 캐패시터(Cst1)에 제1 및 제3 오버랩 캐패시터(Cid, Cif, Cdf)가 추가로 형성되어 유지 캐패시터(Cst)의 용량이 증가되는데 이를 수식으로 나타내면 다음과 같이 표현할 수 있다.
- [0038] <수학식 2> $Cst = Cst1 + [Cid + (Cif || Cdf)]$
- [0039] 여기에서, 캐피터의 용량은 전극의 면적과 전극 사이의 거리에 따라 변하게 되므로, 플로팅 전극(27)의 면적을 크게 형성함으로써 데이터선(62)과 플로팅 전극(27) 사이에 형성되는 제3 오버랩 캐패시터(Cdf)의 용량을 증가시킬 수 있다.
- [0040] 이렇게 제3 오버랩 캐패시터(Cdf)의 용량을 증가시켜 전체 유지 캐패시터(Cst)의 용량을 증가시키게 되면, 박막 트랜지스터 구동시 하나의 화소는 한 프레임 동안 화소 전극에 데이터 전압이 인가되는 경우(블랙 상태), 유지 캐패시터(Cst)에 전하를 충전하고, 다음 프레임에서 화소 전극에 데이터 전압이 인가되지 않는 경우(화이트 상태), 유지 캐패시터(Cst)에 전하를 방전하는 속도가 빨라지게 된다. 이로 인해 현재 프레임과 다음 프레임 사이에 발생하는 커스프(cusp) 현상으로 인해 액정의 응답속도가 딜레이되는 것을 방지할 수 있어 액정의 응답속도를 개선할 수 있다.
- [0041] 그리고, 플로팅 전극(27)은 도 3에서와 같이 다각 패턴으로 형성될 수 있으며, 또한, 도 8a 내지 도 8h에서와 같이 데이터 배선과 오버랩되는 부분이 적어도 일부분 오픈되어 있는 다각 패턴으로 형성될 수 있다. 이때, 플로팅 전극(27)은 데이터선(62)을 사이에 두고 형성된 제1 및 제2 전극(27a, 27b)을 포함하며, 제1 및 제2 전극(27a, 27b)은 데이터선(62)과 적어도 일부분이 오버랩되는 연결 전극(27c)에 의해 연결되어 있다.
- [0042] 또한, 도 6에서와 같이 플로팅 전극(27) 상부에는 데이터선(62)을 기준으로 일측에 플로팅 전극(27)과 적어도

일부분이 오버랩되는 화소 전극(82)이 형성될 수 있다. 그리고, 도 7에서와 같이 플로팅 전극(27) 상부에는 데이터선(62)을 기준으로 양측에 플로팅 전극(27)과 적어도 일부분이 오버랩되는 화소 전극(82)이 형성될 수 있다.

[0043] 게이트 배선(22, 24, 26, 28)과 플로팅 전극(27)은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 따위로 이루어질 수 있다. 또한, 게이트 배선(22, 24, 26, 28)과 플로팅 전극(27)은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다층막 구조를 가질 수 있다. 이 중 한 도전막은 게이트 배선(22, 24, 26, 28)의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 이루어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 이루어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 상부막 및 알루미늄 하부막과 몰리브덴 상부막을 들 수 있다. 다만, 본 발명은 이에 한정되지 않으며, 게이트 배선(22, 24, 26, 28)과 플로팅 전극(27)은 다양한 여러 가지 금속과 도전체로 만들어질 수 있다.

[0044] 기판(10), 게이트 배선(22, 24, 26, 28)과 플로팅 전극(27)의 위에는 질화 규소(SiNx) 등으로 이루어진 게이트 절연막(30)이 형성되어 있다.

[0045] 게이트 전극(26)의 게이트 절연막(30) 상부에는 수소화 비정질 규소 또는 다결정 규소 등의 반도체로 이루어진 반도체층(44)이 섬 모양으로 형성되어 있으며, 반도체층(44)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑된 n+ 수소화 비정질 규소 등의 물질로 이루어진 저항성 접촉층(55, 56)이 각각 형성되어 있다.

[0046] 저항성 접촉층(55, 56) 및 게이트 절연막(30) 위에는 데이터 배선(62, 65, 66, 67, 68)이 형성되어 있다. 데이터 배선(62, 65, 66, 67, 68)은 세로 방향으로 형성되어 게이트선(22)과 교차하여 화소를 정의하는 데이터선(62), 데이터선(62)의 분지이며 저항성 접촉층(55)의 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가받는 데이터 끝단(68), 소스 전극(65)과 분리되어 있으며 게이트 전극(26) 또는 박막 트랜지스터의 채널부에 대하여 소스 전극(65)의 반대쪽 저항성 접촉층(56) 상부에 형성되어 있는 드레인 전극(66) 및 드레인 전극(66)으로부터 연장되어 화소 전극(27)과 오버랩되는 드레인 전극 확장부(67)를 포함한다.

[0047] 이러한 데이터 배선(62, 65, 66, 67, 68)은 데이터선(62), 소스 전극(65) 및 드레인 전극(66)은 크롬, 몰리브덴 계열의 금속, 탄탈륨 및 티타늄 등 내화성 금속으로 이루어지는 것이 바람직하며, 내화성 금속 따위의 하부막(미도시)과 그 위에 위치한 저저항 물질 상부막(미도시)으로 이루어진 다층막 구조를 가질 수 있다. 다층막 구조의 예로는 앞서 설명한 크롬 하부막과 알루미늄 상부막 또는 알루미늄 하부막과 몰리브덴 상부막의 이중막 외에도 몰리브덴막-알루미늄막-몰리브덴막의 삼중막을 들 수 있다.

[0048] 소스 전극(65)은 반도체층(44)과 적어도 일부분이 중첩되고, 드레인 전극(66)은 게이트 전극(26)을 중심으로 소스 전극(65)과 대향하며 반도체층(44)과 적어도 일부분이 중첩된다. 여기서, 저항성 접촉층(55, 56)은 그 하부의 반도체층(44)과, 그 상부의 소스 전극(65) 및 드레인 전극(66) 사이에 존재하며 접촉 저항을 낮추어 주는 역할을 한다.

[0049] 드레인 전극 확장부(67)는 화소 전극(22)과 오버랩되도록 형성되어, 화소 전극(27)과 게이트 절연막(30)을 사이에 두고 유지 용량이 형성된다.

[0050] 데이터 배선(62, 65, 66, 67, 68) 및 이들이 가리지 않는 반도체층(44) 상부에는 보호막(70)이 형성되어 있다. 보호막(70)은 예를 들어 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기 물질, 플라즈마 화학 기상증착(Plasma Enhanced Chemical Vapor Deposition; PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질, 또는 무기 물질인 질화 규소(SiNx) 등으로 형성될 수 있다. 또한, 보호막(70)을 유기 물질로 형성하는 경우에는 소스 전극(65)과 드레인 전극(66) 사이의 반도체층(44)이 드러난 부분에 보호막(70)의 유기 물질이 접촉하는 것을 방지하기 위하여, 유기막의 하부에 질화 규소(SiNx) 또는 산화 규소(SiO₂)로 이루어진 절연막(미도시)이 추가로 형성될 수도 있다.

[0051] 보호막(70)에는 드레인 전극 확장부(67) 및 데이터선 끝단(68)을 각각 드러내는 콘택홀(77, 78)이 형성되어 있으며, 보호막(70)과 게이트 절연막(30)에는 게이트선 끝단(24)을 드러내는 콘택홀(74)이 형성되어 있다. 보호막(70) 위에는 콘택홀(77)을 통하여 드레인 전극(66)과 전기적으로 연결되며 화소에 위치하는 화소 전극(82)이 형

성되어 있다. 데이터 전압이 인가된 화소 전극(82)은 상부 표시판의 공통 전극과 함께 전기장을 생성함으로써 화소 전극(82)과 공통 전극 사이의 액정층의 액정 분자들의 배열을 결정한다.

[0052] 또한, 보호막(70) 위에는 콘택홀(74, 78)을 통하여 각각 게이트 끝단(24) 및 데이터 끝단(68)과 연결되어 있는 보조 게이트 끝단(84) 및 보조 데이터 끝단(88)이 형성되어 있다. 화소 전극(82)과 보조 게이트 및 데이터 끝단(86, 88)은 IT0로 이루어져 있다.

[0053] 도 9는 도 2의 블록도에 적용되는 본 발명의 제2 실시예에 따른 박막 트랜지스터 어레이 기판을 나타내는 배치도이고, 도 10은 도 9의 $\Pi a'-\Pi a''$ 및 $\Pi b'-\Pi b''$ 선을 따라 절단한 단면도이다.

[0054] 본 발명의 제2 실시예에 따른 박막 트랜지스터 어레이 기판은 유지 커패시터(Cst1)를 형성하기 위해 별도의 유지 전극선(29)을 포함하는 것을 제외하고는 본 발명의 제1 실시예에 따른 박막 트랜지스터 어레이 기판(도 1)과 동일하므로, 유지 커패시터(Cst1)를 제외한 나머지 부분에 대해서는 설명의 편의상 생략하기로 한다.

[0055] 도 9 및 도 10을 참조하면, 유지 커패시터(Cst1)는 박막 트랜지스터 어레이 기판(10)에 구비된 별도의 유지 전극선(29)과 화소 전극(82)이 중첩되어 이루어지며 이 별개의 유지 전극선(29)에는 공통 전압(Vcom) 등의 정해진 전압이 인가되는 독립 배선 방식을 사용한다.

[0056] 플로팅 전극(27)은 도 10에서와 같이 게이트배선(22, 24, 26, 29)과 동일층 상에 형성되고, 전계가 인가되지 않는 플로팅 상태를 가지며, 데이터선(62)과 적어도 일부분이 오버랩되도록 평행하게 형성되어 있다. 그리고, 도 9의 "B"에서와 같이 플로팅 전극(27)은 데이터선(62) 및 화소 전극(82)과 적어도 일부분이 오버랩되도록 형성되어 있어 제1 내지 제3 오버랩 커패시터(Cid, Cif, Cdf)를 형성한다. 도 5에서와 같이, 제1 오버랩 커패시터(Cid)는 화소 전극(82)과 데이터선(62) 사이에 형성되고, 제2 오버랩 커패시터(Cif)는 화소 전극(82)과 플로팅 전극(27) 사이에 형성되고, 제3 오버랩 커패시터(Cdf)는 데이터선(62)과 플로팅 전극(27) 사이에 각각 형성된다. 여기에서, 커패시터의 용량은 전극의 면적과 전극 사이의 거리에 따라 변하게 되므로, 플로팅 전극(27)의 면적을 크게 형성함으로써 데이터선(62)과 플로팅 전극(27) 사이에 형성되는 제3 오버랩 커패시터(Cdf)의 용량을 증가시킬 수 있다.

[0057] 이렇게 제3 오버랩 커패시터(Cdf)의 용량을 증가시켜 전체 유지 커패시터(Cst)의 용량을 증가시키게 되면, 박막 트랜지스터 구동시 하나의 화소는 한 프레임 동안 화소 전극에 데이터 전압이 인가되는 경우(블랙 상태), 유지 커패시터(Cst)에 전하를 충전하고, 다음 프레임에서 화소 전극에 데이터 전압이 인가되지 않는 경우(화이트 상태), 유지 커패시터(Cst)에 전하를 방전하는 속도가 빨라지게 된다. 이로 인해 현재 프레임과 다음 프레임 사이에 발생하는 커스프(cusp) 현상으로 인해 액정의 응답속도가 딜레이되는 것을 방지할 수 있어 액정의 응답속도를 개선할 수 있다. 따라서, 본 발명의 제1 실시예와 같이 동일한 효과를 얻을 수 있다.

[0058] 그리고, 플로팅 전극(27)은 도 9에서와 같이 다각 패턴으로 형성될 수 있으며, 또한, 도 8a 내지 도 8h에서와 같이 데이터 배선과 오버랩되는 부분이 적어도 일부분 오픈되어 있는 다각 패턴으로 형성될 수 있다. 이때, 플로팅 전극(27)은 데이터선(62)을 사이에 두고 형성된 제1 및 제2 전극(27a, 27b)을 포함하며, 제1 및 제2 전극(27a, 27b)은 데이터선(62)과 적어도 일부분이 오버랩되는 연결 전극(27c)에 의해 연결되어 있다.

[0059] 또한, 도 6에서와 같이 플로팅 전극(27) 상부에는 데이터선(62)을 기준으로 일측에 플로팅 전극(27)과 적어도 일부분이 오버랩되는 화소 전극(82)이 형성될 수 있다. 그리고, 도 7에서와 같이 플로팅 전극(27) 상부에는 데이터선(62)을 기준으로 양측에 플로팅 전극(27)과 적어도 일부분이 오버랩되는 화소 전극(82)이 형성될 수 있다.

[0060] 도 11은 본 발명의 제3 실시예에 따른 박막 트랜지스터 어레이 기판을 나타내는 배치도이고, 도 12는 도 11의 $\Pi a'-\Pi a''$ 및 $\Pi b'-\Pi b''$ 선을 따라 절단한 단면도이고, 도 13 및 14는 본 발명의 제3 실시예에 따른 박막 트랜지스터 어레이 기판의 데이터 배선과 화소 전극의 배치를 나타내는 도면이고, 도 15는 본 발명의 제3 실시예에 따른 박막 트랜지스터 어레이 기판의 플로팅 전극의 다양한 변형을 나타내는 평면도이다.

[0061] 본 발명의 제3 실시예에 따른 박막 트랜지스터 어레이 기판은 유지 커패시터(Cst1)를 형성하기 위해 화소 전극이 절연체를 매개로 바로 위의 전단 게이트선(28)과 중첩되어 형성하는 것과 화소 전극(82)의 패턴 모양 및 데이터선(62)에 배치에 따라 플로팅 전극(27)의 형태가 변형된 것을 제외하고는 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판(도 3)과 동일하므로, 나머지 부분에 대해서는 설명의 편의상 생략하기로 한다.

[0062] 도 11 및 도 12를 참조하면, 유지 커패시터(Cst1)는 화소 전극(82)이 절연체를 매개로 바로 위의 전단 게이트선(28)과 중첩되어 이루어지는 전단 게이트 방식을 사용한다. 여기에서, 첫 번째 행의 화소는 전단의 게이트선이

없으므로 첫 번째 화소 행의 유지 용량용 게이트선(G0)을 추가하여 공통 전압(Vcom)을 인가함으로써 유지 캐패시터를 형성한다.

[0063] 화소 전극(82)은 데이터선(62)을 따라 나란하게 형성된 절개부(83)에 의해 구분된 제1 화소 전극(미도시)과 제2 화소 전극(미도시)을 포함한다. 여기서, 제1 화소 전극과 제2 화소 전극은 전기적으로 연결되어 있다. 이러한 절개부(83)의 위치에 돌출부가 형성될 수도 있으며, 절개부(83) 또는 돌출부를 도메인 분할 수단이라고 한다. 절개부(83)는 화소 영역을 대략 1:2로 세로로 분할하며, 게이트선(22)과 대략 45도 또는 -45도를 이룬다. 이때, 제1 화소 전극은 절개부(83)의 오른쪽 또는 왼쪽에 형성될 수 있으며, 바람직하게는 다수의 사다리꼴 형상으로 구성되어 있다. 여기에서, 절개부(83)의 폭은 9 μ m에서 12 μ m 사이인 것이 바람직하다. 만약 도메인 분할 수단으로 절개부(83) 대신 돌기를 형성하는 경우에는 폭을 5 μ m에서 10 μ m 사이로 하는 것이 바람직하다.

[0064] 데이터선(62)은 화소의 길이를 주기로 하여 반복적으로 굽은 부분과 세로로 뺀 부분이 나타나도록 형성되어 있다. 이때, 데이터선(62)의 굽은 부분은 두 개의 직선 부분으로 이루어지며, 이들 두 개의 직선 부분 중 하나는 게이트선(22)에 대하여 45도를 이루고, 다른 한 부분은 게이트선(22)에 대하여 -45도를 이룬다. 데이터선(62)의 세로로 뺀 부분에는 소스 전극(65)이 연결되어 있다.

[0065] 여기에서, 데이터선(62)의 굽은 부분과 세로로 뺀 부분의 길이의 비는 1:1 내지 9:1 사이(즉, 데이터선(62) 중 굽은 부분이 차지하는 비율이 50%에서 90%사이)인 것이 바람직하다.

[0066] 따라서, 게이트선(22)과 데이터선(62)이 교차하여 이루는 화소는 꺾인 띠 모양으로 형성된다. 이와 같이, 데이터선(62)은 화소의 모양처럼 직선과 꺾인 띠 모양의 조합으로 이루어질 수 있으나 본 발명은 이에 한정되지 않으며 데이터선(62)은 단순히 직선 모양 또는 꺾인 띠 모양으로 형성될 수 있다.

[0067] 플로팅 전극(27)은 도 12에서와 같이 게이트배선(22, 24, 26, 28)과 동일층 상에 형성되고, 전계가 인가되지 않는 플로팅 상태를 가지며, 데이터선(62)과 적어도 일부분이 오버랩되도록 형성되어 있다. 그리고, 도 11의 "C"에서와 같이 플로팅 전극(27)은 데이터선(62) 및 화소 전극(82)과 적어도 일부분이 오버랩되도록 형성되어 있어 제1 내지 제3 오버랩 캐패시터(Cid, Cif, Cdf)를 형성한다. 도 5에서와 같이, 제1 오버랩 캐패시터(Cid)는 화소 전극(82)과 데이터선(62) 사이에 형성되고, 제2 오버랩 캐패시터(Cif)는 화소 전극(82)과 플로팅 전극(27) 사이에 형성되고, 제3 오버랩 캐패시터(Cdf)는 데이터선(62)과 플로팅 전극(27) 사이에 각각 형성된다. 여기에서, 캐패시터의 용량은 전극의 면적과 전극 사이의 거리에 따라 변하게 되므로, 플로팅 전극(27)의 면적을 크게 형성함으로써 데이터선(62)과 플로팅 전극(27) 사이에 형성되는 제3 오버랩 캐패시터(Cdf)의 용량을 증가시킬 수 있다.

[0068] 이렇게 제3 오버랩 캐패시터(Cdf)의 용량을 증가시켜 전체 유지 캐패시터(Cst)의 용량을 증가시키게 되면, 박막 트랜지스터 구동시 하나의 화소는 한 프레임 동안 화소 전극에 데이터 전압이 인가되는 경우(블랙 상태), 유지 캐패시터(Cst)에 전하를 충전하고, 다음 프레임에서 화소 전극에 데이터 전압이 인가되지 않는 경우(화이트 상태), 유지 캐패시터(Cst)에 전하를 방전하는 속도가 빨라지게 된다. 이로 인해 현재 프레임과 다음 프레임 사이에 발생하는 커스프(cusp) 현상으로 인해 액정의 응답속도가 딜레이되는 것을 방지할 수 있어 액정의 응답속도를 개선할 수 있다. 따라서, 본 발명의 제1 실시예와 같이 동일한 효과를 얻을 수 있다.

[0069] 그리고, 플로팅 전극(27)은 도 11에서와 같이 데이터선(62)과 동일하게 직선과 꺾인 띠 모양을 갖는 다각 패턴으로 형성될 수 있으며, 또한, 도 15a 내지 도 15h에서와 같이 직선과 꺾인 띠 모양을 갖는 데이터 배선과 오버랩되는 부분이 적어도 일부분 오픈되어 있는 다각 패턴으로 형성될 수 있다. 이때, 플로팅 전극(27)은 데이터선(62)을 사이에 두고 형성된 제1 및 제2 전극(27a, 27b)을 포함하며, 제1 및 제2 전극(27a, 27b)은 데이터선(62)과 적어도 일부분이 오버랩되는 연결 전극(27c)에 의해 연결되어 있다.

[0070] 또한, 도 13에서와 같이 플로팅 전극(27) 상부에는 데이터선(62)을 기준으로 일측에 플로팅 전극(27)과 적어도 일부분이 오버랩되는 화소 전극(82)이 형성될 수 있다. 그리고, 도 14에서와 같이 플로팅 전극(27) 상부에는 데이터선(62)을 기준으로 양측에 플로팅 전극(27)과 적어도 일부분이 오버랩되는 화소 전극(82)이 형성될 수 있다.

[0071] 도 16은 본 발명의 제4 실시예에 따른 박막 트랜지스터 어레이 기판을 나타내는 배치도이고, 도 17은 도 16의 IIa'-IIa" 및 IIb'-IIb" 선을 따라 절단한 단면도이다.

[0072] 본 발명의 제4 실시예에 따른 박막 트랜지스터 어레이 기판은 유지 커패시터(Cst1)를 형성하기 위해 별도의 유지 전극선(29)을 포함하는 것을 제외하고는 본 발명의 제3 실시예에 따른 박막 트랜지스터 어레이 기판(도 11)

과 동일하므로, 유지 캐패시터(Cst1)를 제외한 나머지 부분에 대해서는 설명의 편의상 생략하기로 한다.

도 16 및 도 17를 참조하면, 유지 커패시터(Cst1)는 박막 트랜지스터 어레이 기관(10)에 구비된 별도의 유지 전극선(29)과 화소 전극(82)이 중첩되어 이루어지며 이 별개의 유지 전극선(29)에는 공통 전압(Vcom) 등의 정해진 전압이 인가되는 독립 배선 방식을 사용한다.

플로팅 전극(27)은 도 17에서와 같이 게이트배선(22, 24, 26, 28)과 동일층 상에 형성되고, 전계가 인가되지 않는 플로팅 상태를 가지며, 데이터선(62)과 적어도 일부분이 오버랩되도록 형성되어 있다. 그리고, 도 16의 "D"에서와 같이 플로팅 전극(27)은 데이터선(62) 및 화소 전극(82)과 적어도 일부분이 오버랩되도록 형성되어 있어 제1 내지 제3 오버랩 캐패시터(Cid, Cif, Cdf)를 형성한다. 도 5에서와 같이, 제1 오버랩 캐패시터(Cid)는 화소 전극(82)과 데이터선(62) 사이에 형성되고, 제2 오버랩 캐패시터(Cif) 화소 전극(82)과 플로팅 전극(27) 사이에 형성되고, 제3 오버랩 캐패시터(Cdf)는 데이터선(62)과 플로팅 전극(27) 사이에 각각 형성된다. 여기에서, 캐피시터의 용량은 전극의 면적과 전극 사이의 거리에 따라 변하게 되므로, 플로팅 전극(27)의 면적을 크게 형성함으로써 데이터선(62)과 플로팅 전극(27) 사이에 형성되는 제3 오버랩 캐패시터(Cdf)의 용량을 증가시킬 수 있다.

이렇게 제3 오버랩 캐패시터(Cdf)의 용량을 증가시켜 전체 유지 캐패시터(Cst)의 용량을 증가시키게 되면, 박막 트랜지스터 구동시 하나의 화소는 한 프레임 동안 화소 전극에 데이터 전압이 인가되는 경우(블랙 상태), 유지 캐패시터(Cst)에 전하를 충전하고, 다음 프레임에서 화소 전극에 데이터 전압이 인가되지 않는 경우(화이트 상태), 유지 캐패시터(Cst)에 전하를 방전하는 속도가 빨라지게 된다. 이로 인해 현재 프레임과 다음 프레임 사이에 발생하는 커스프(cusp) 현상으로 인해 액정의 응답속도가 딜레이되는 것을 방지할 수 있어 액정의 응답속도를 개선할 수 있다. 따라서, 본 발명의 제1 실시예와 같이 동일한 효과를 얻을 수 있다.

그리고, 플로팅 전극(27)은 도 16에서와 같이 다각 패턴으로 형성될 수 있으며, 또한, 도 15a 내지 도 15h에서와 같이 데이터 배선과 오버랩되는 부분이 적어도 일부분 오픈되어 있는 다각 패턴으로 형성될 수 있다. 이때, 플로팅 전극(27)은 데이터선(62)을 사이에 두고 형성된 제1 및 제2 전극(27a, 27b)을 포함하며, 제1 및 제2 전극(27a, 27b)은 데이터선(62)과 적어도 일부분이 오버랩되는 연결 전극(27c)에 의해 연결되어 있다.

또한, 도 13에서와 같이 플로팅 전극(27) 상부에는 데이터선(62)을 기준으로 일측에 플로팅 전극(27)과 적어도 일부분이 오버랩되는 화소 전극(82)이 형성될 수 있다. 그리고, 도 14에서와 같이 플로팅 전극(27) 상부에는 데이터선(62)을 기준으로 양측에 플로팅 전극(27)과 적어도 일부분이 오버랩되는 화소 전극(82)이 형성될 수 있다.

또한, 본 발명에서는 노광기의 비선형성에 따른 국부적인 틀어짐에 의해 발생하는 세로줄 개선도 가능하다. 즉, 화소 전극 형성시 노광기의 비선형에 따른 국부적인 틀어짐에 의해 화소 전극이 소정 간격 이동되어 패터닝된 경우 데이터선과 화소 전극 사이에 형성되는 오버랩 캐패시터의 용량이 증가되어 세로줄 개선도 가능하다.

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해되어야만 한다.

부호의 설명

10: 절연 기판	22: 게이트선
24: 게이트선 끝단	25: 유지 전극
26: 게이트 전극	27: 플로팅 전극
28: 전단의 게이트선	29: 유지 전극선
30: 게이트 절연막	40: 반도체층
50: 저항 접촉층	62: 데이터선
65: 소스 전극	66: 드레인 전극
68: 데이터선 끝단	74, 77, 78: 접촉 구멍

82: 화소 전극

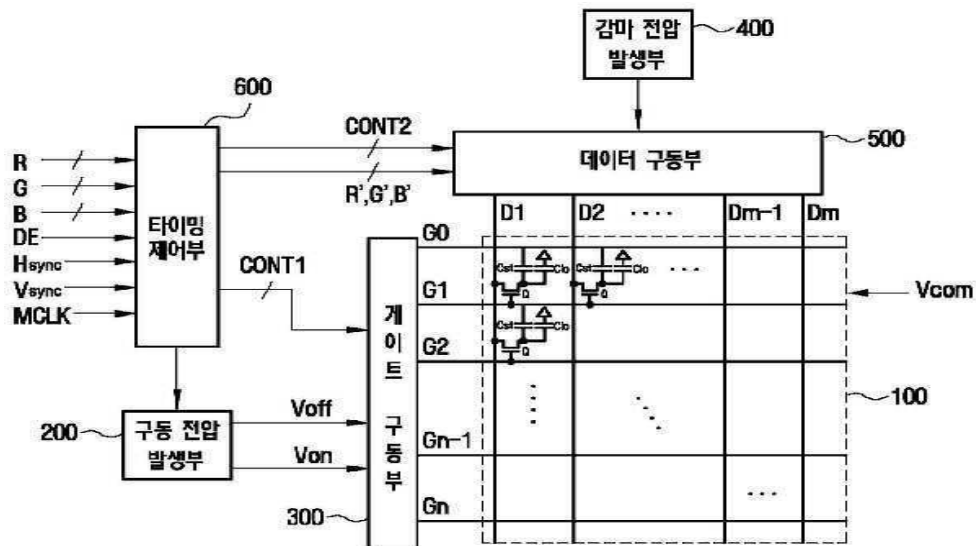
83: 절개부

86: 보조 게이트선 끝단

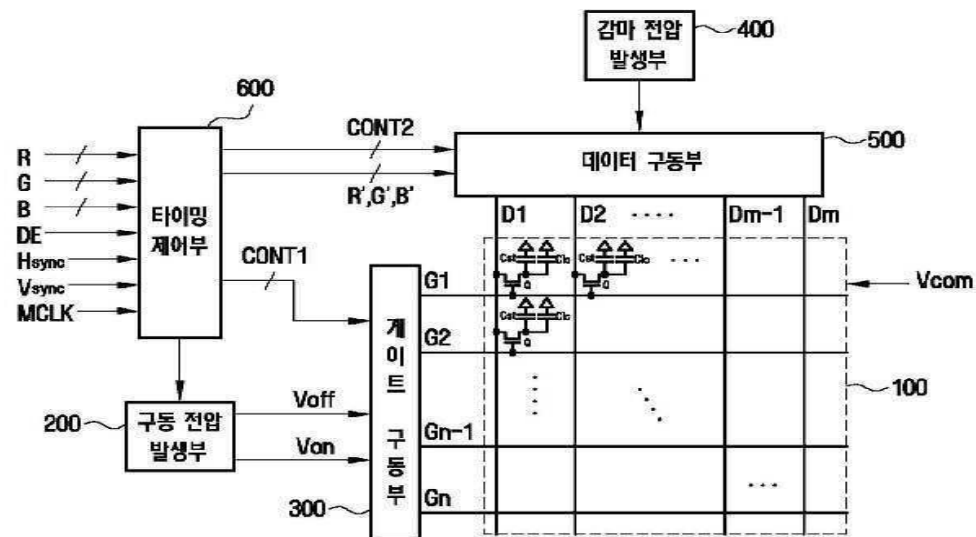
88: 보조 데이터선 끝단

도면

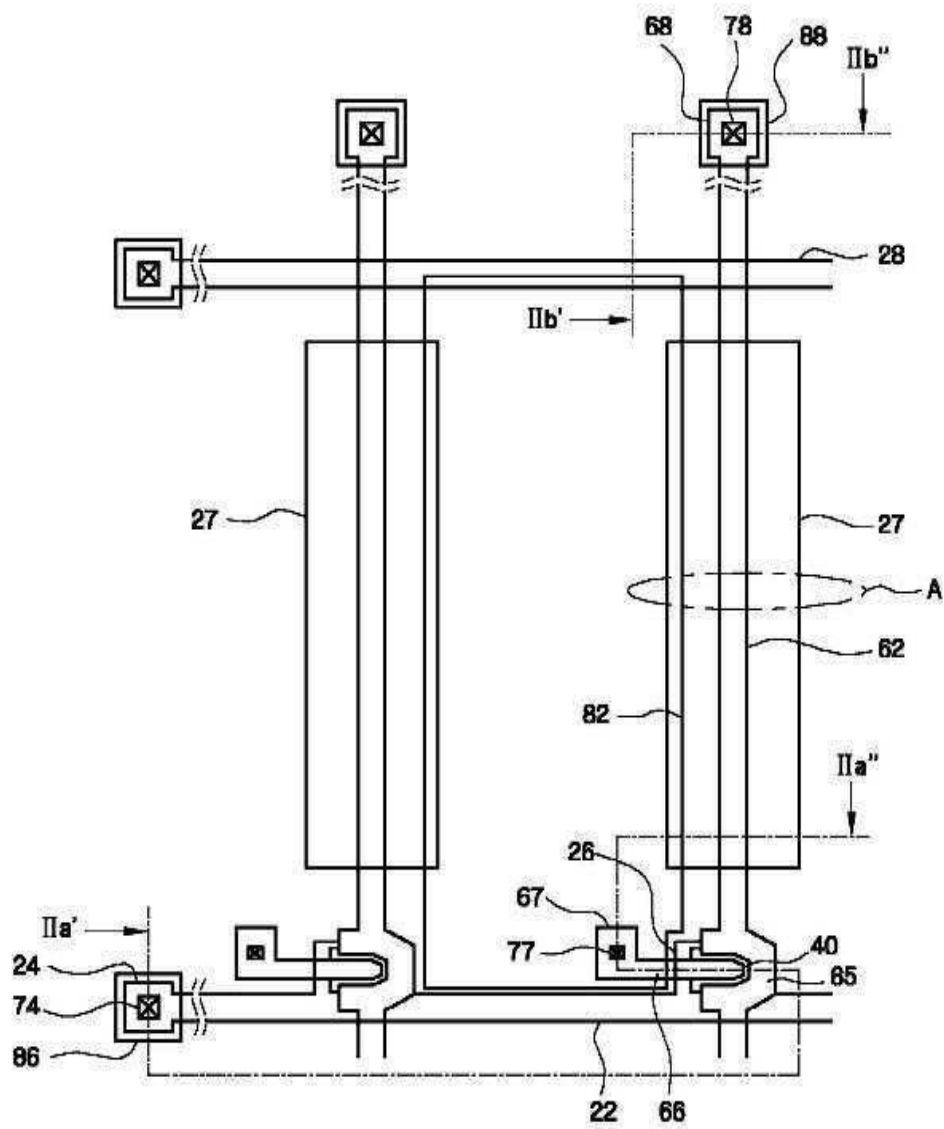
도면1



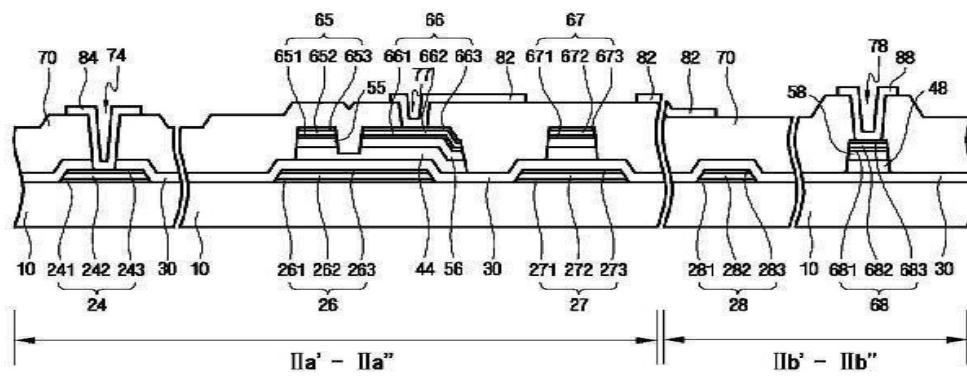
도면2



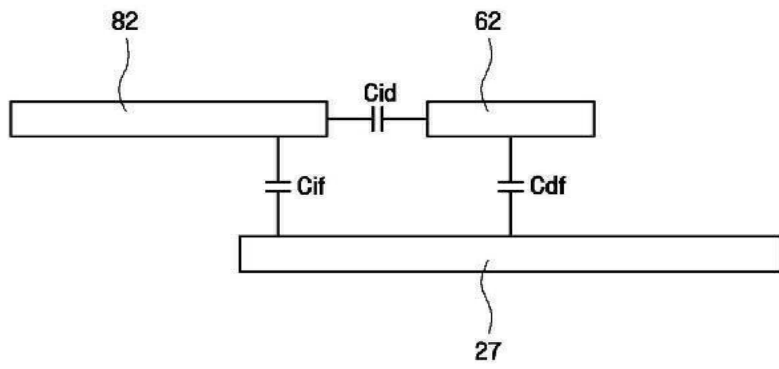
도면3



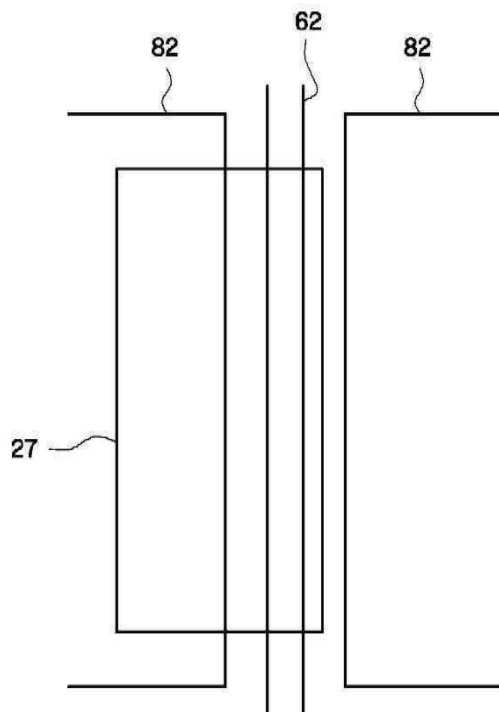
도면4



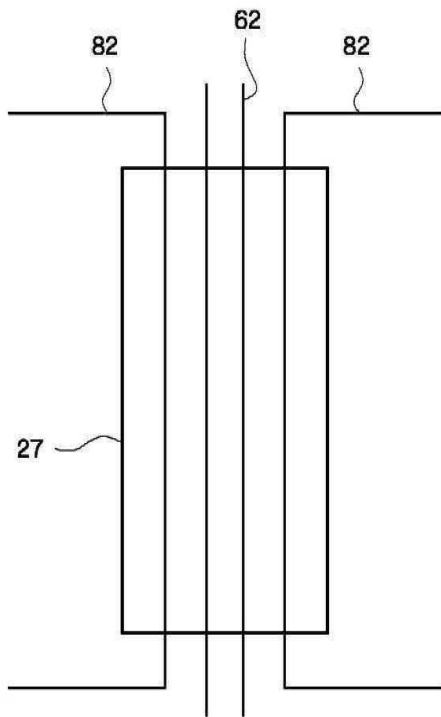
도면5



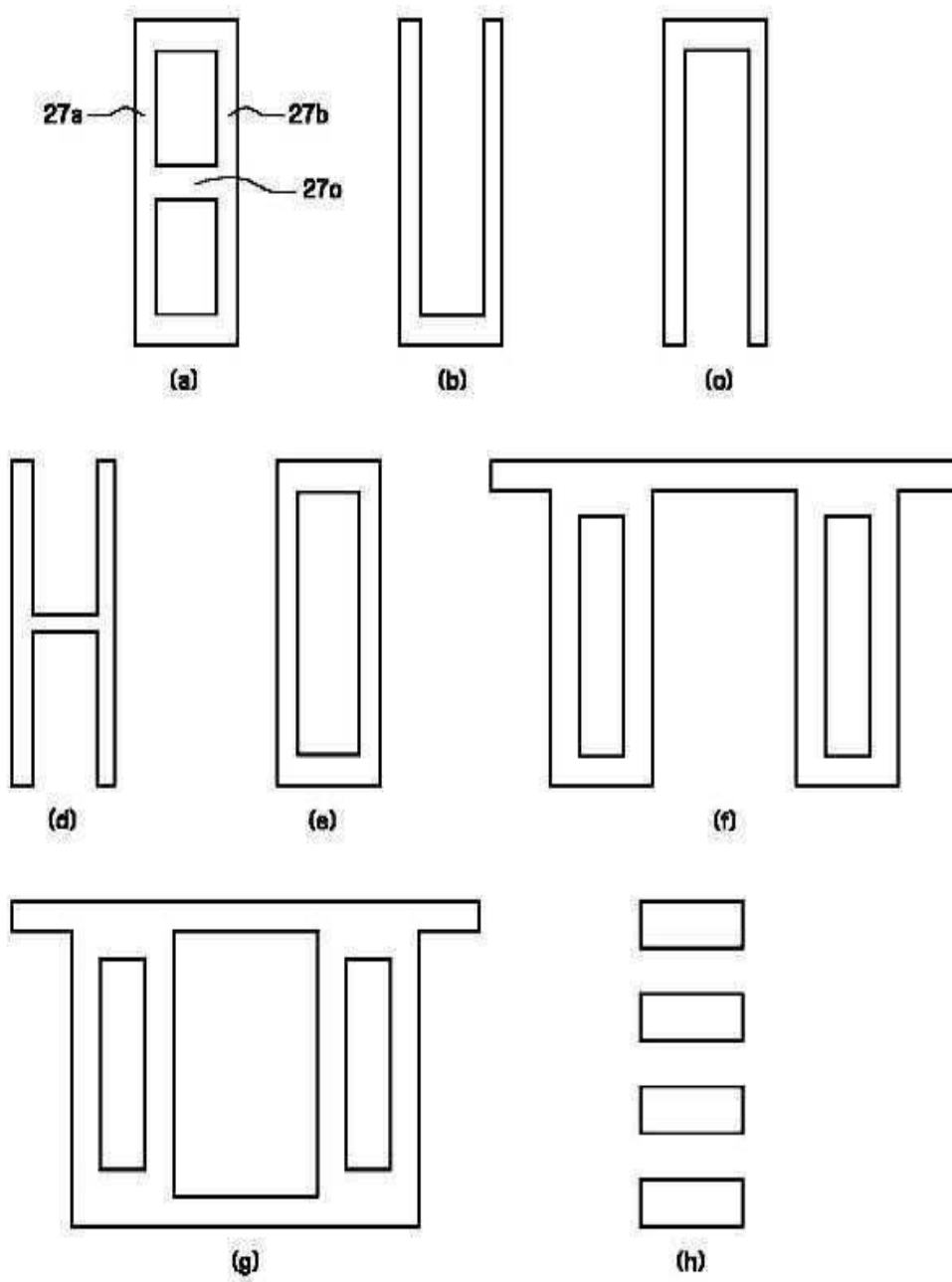
도면6



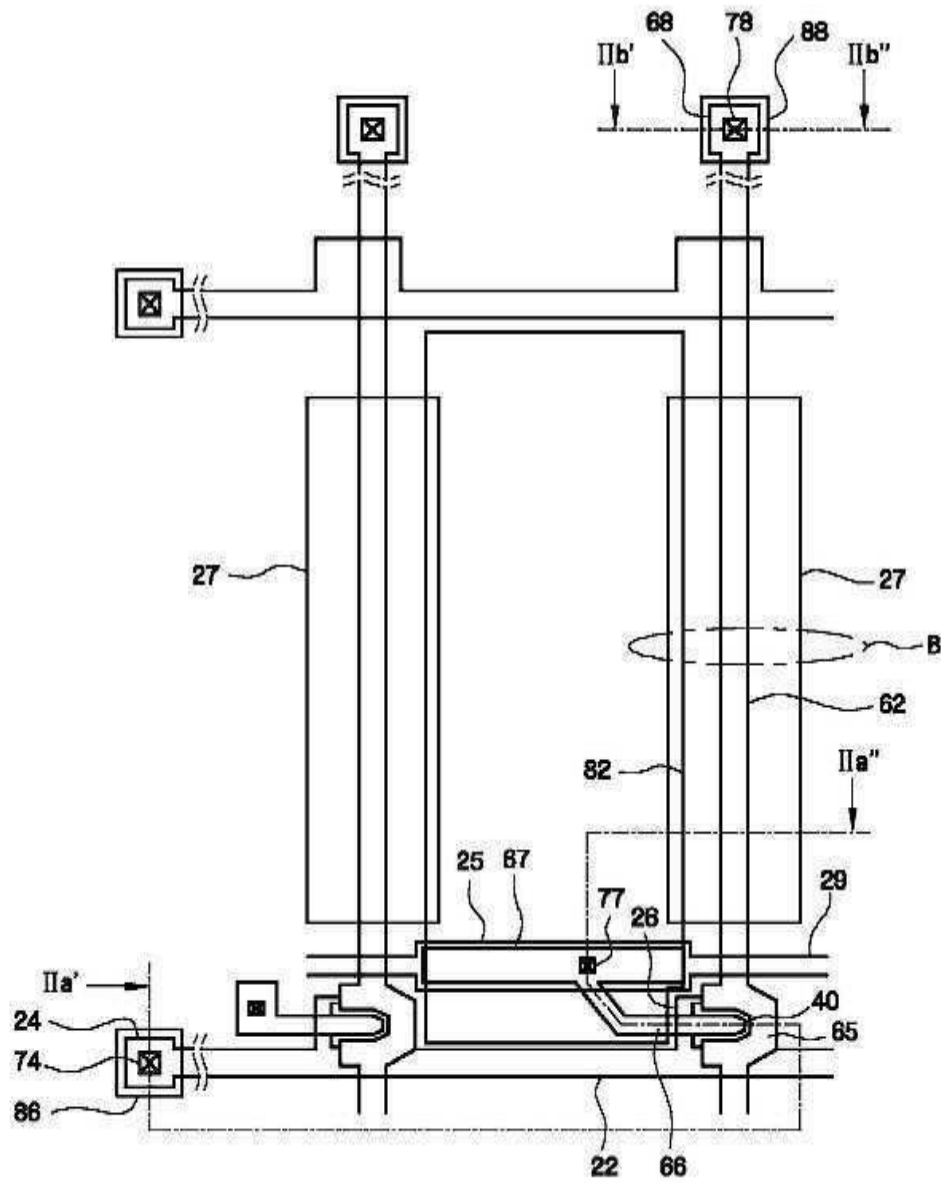
도면7



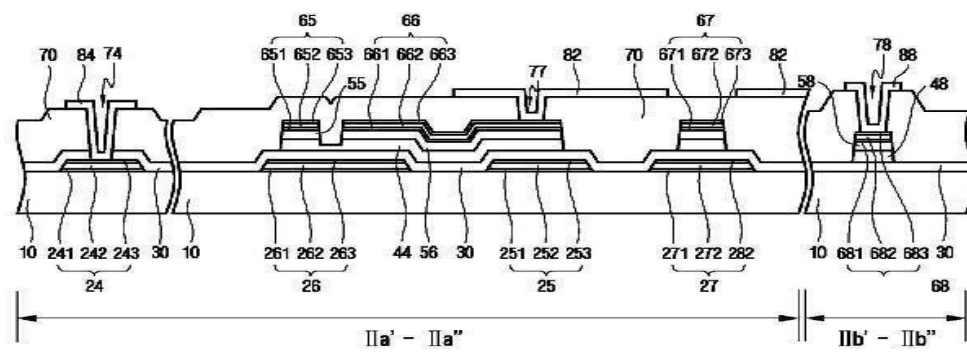
도면8



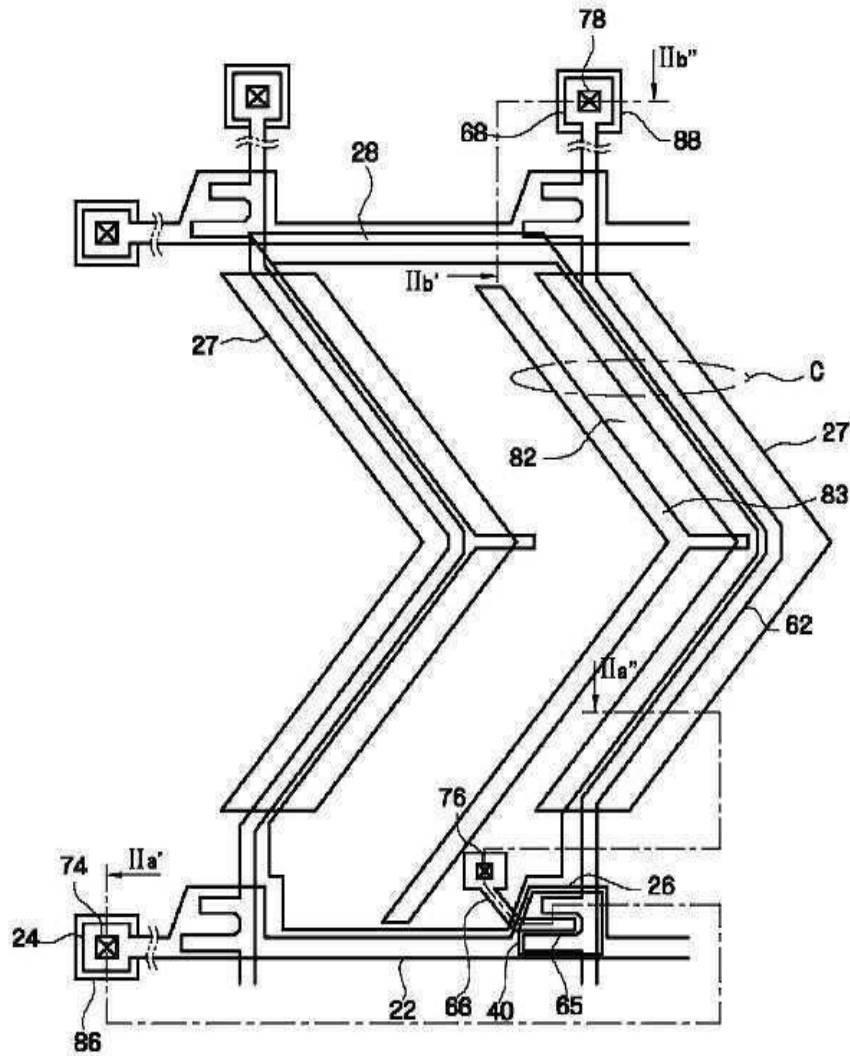
도면9



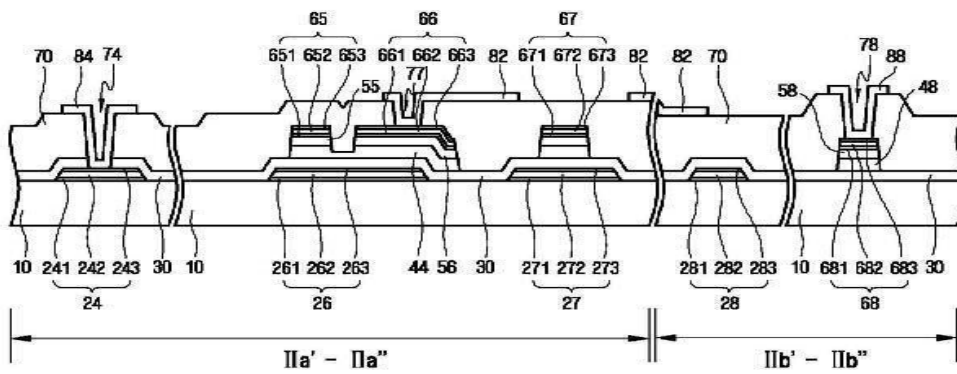
도면10



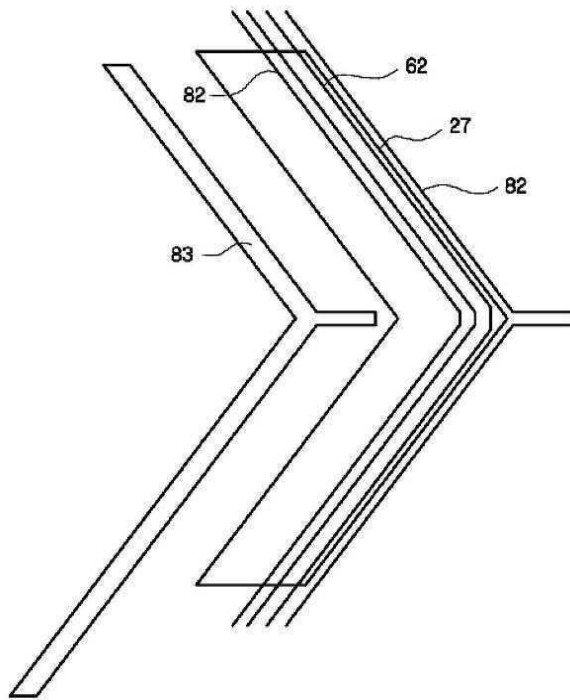
도면11



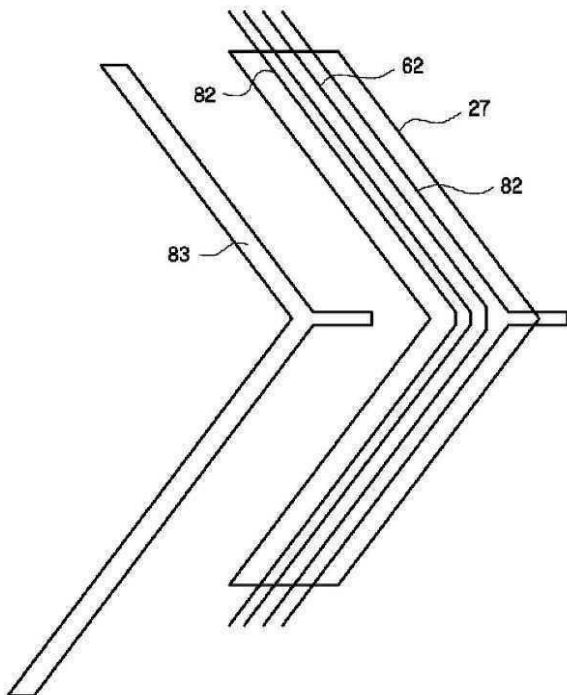
도면12



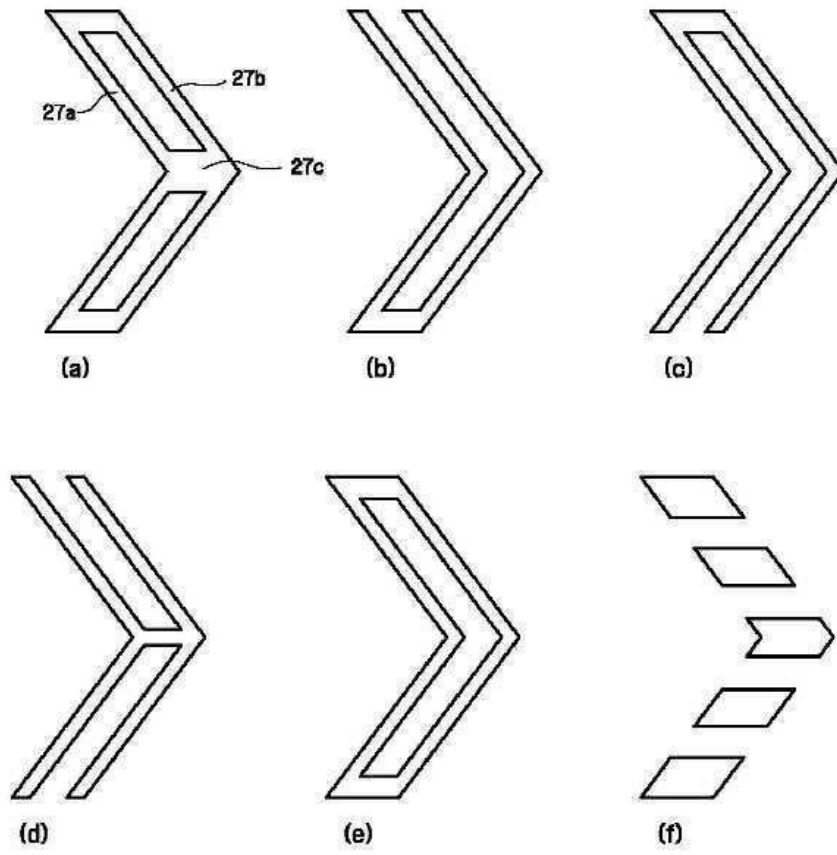
도면13



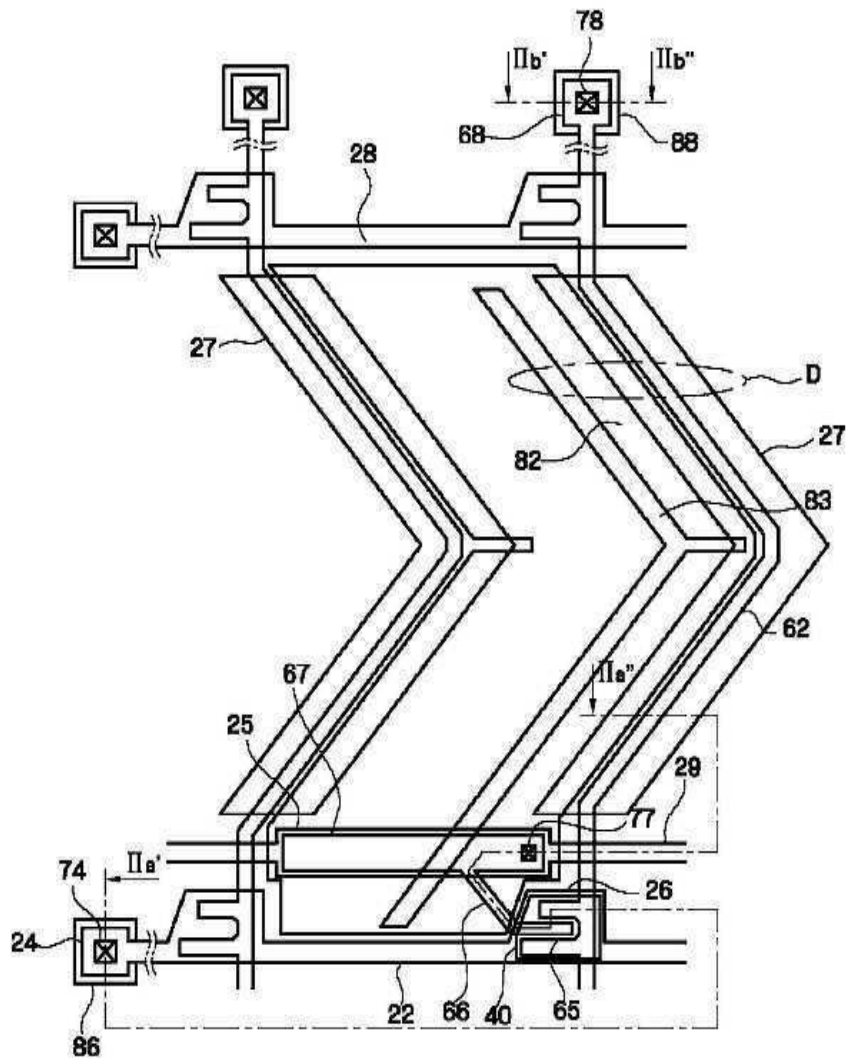
도면14



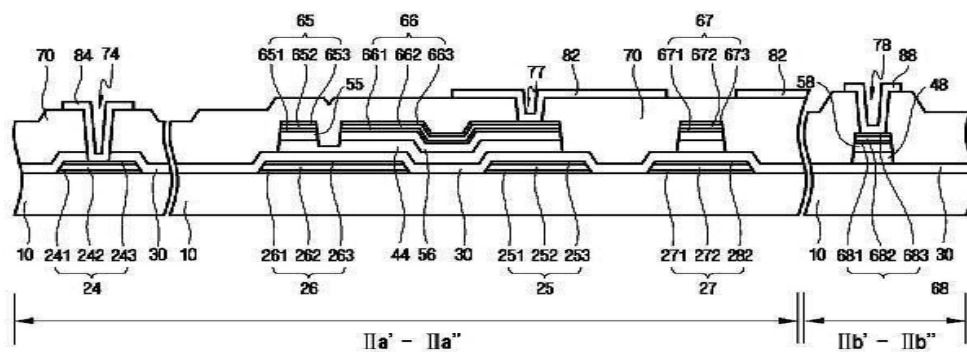
도면15



도면16



도면17



专利名称(译)	薄膜晶体管阵列基板		
公开(公告)号	KR101556160B1	公开(公告)日	2015-10-02
申请号	KR1020150001997	申请日	2015-01-07
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHANG JONG WOONG 장중웅		
发明人	장중웅		
IPC分类号	G02F1/1368 G02F1/1362 G02F1/1343 G09G3/36 G02F1/136		
CPC分类号	G02F1/1368 G02F1/136286 G02F1/134336 G09G3/3648 G09G2320/0252 G09G2300/0426		
其他公开文献	KR1020150011400A		
外部链接	Espacenet		

摘要(译)

提供一种能够提高液晶响应速度的薄膜晶体管阵列基板。在TFT阵列基板，分别分离并越过从薄膜晶体管延伸的所述绝缘基板延伸漏电极，在栅线和数据线，栅极线和数据线的交叉点上形成的漏电极，以限定像素区域部作为至少平行，其是与定向电容电极被部分地与数据线，与所述两个像素电极的至少是重叠的其它部分重叠，形成一个电容性电极，使得开口或相对狭缝到所述数据线；并且至少两个像素电极中的至少一个连接到数据线的第一侧和数据线的第二侧，并且两个像素电极中的另一个与数据线的第二侧相邻设置，该第二侧是数据线的第一侧的相对侧，并且维持线连接到漏电极延伸部它可以完全重叠。

