



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년04월03일
(11) 등록번호 10-1380228
(24) 등록일자 2014년03월26일

(51) 국제특허분류(Int. Cl.)

G02F 1/1345 (2006.01)

(21) 출원번호 10-2008-0068760

(22) 출원일자 2008년07월15일

심사청구일자 2013년07월03일

(65) 공개번호 10-2010-0008270

(43) 공개일자 2010년01월25일

(56) 선행기술조사문헌

KR1020080058840 A

KR100833768 B1

KR1020050097000 A

JP2007322580 A

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

정의현

서울특별시 강서구 등촌로 163, 현대아이파크 11
3동 1301호 (등촌동)

장훈

경북 구미시 홍안로 75, 105동 705호 (옥계동, 옥
계대동한마을타운)

(뒷면에 계속)

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 6 항

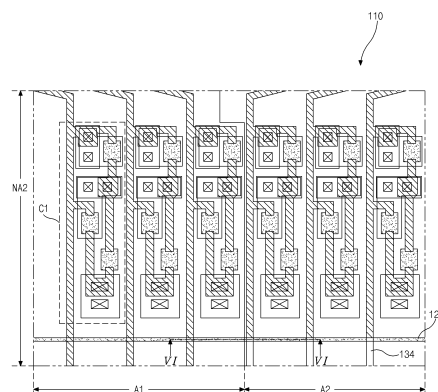
심사관 : 양성지

(54) 발명의 명칭 씨오지 타입 액정표시장치용 어레이 기판

(57) 요약

본 발명은, 표시영역과, 그 주변으로 게이트 패드가 형성된 제 1 비표시영역과 데이터 패드가 형성된 제 2 비표시영역과 상기 표시영역을 사이에 두고 상기 제 2 비표시영역과 대칭되는 부분에 위치하는 제 3 비표시영역이 정의된 기판과; 상기 표시영역에 서로 교차하여 다수의 화소영역을 정의하며 형성된 다수의 게이트 배선 및 데이터 배선과; 상기 다수의 각 화소영역에 구비된 스위칭 소자인 박막트랜지스터와; 상기 다수의 각 화소영역에 상기 박막트랜지스터의 일전극과 연결되며 형성된 화소전극과; 상기 제 1 비표시영역에 서로 이격하며 실장된 칩 형태의 다수의 게이트 구동 집적회로와; 상기 제 2 비표시영역에, 서로 이격하며 실장된 칩 형태의 다수의 데이터 구동 집적회로와; 상기 제 1 표시영역에 상기 다수의 게이트 구동 집적회로 중 하나와 연결되며 동시에 상기 게이트 배선과 연결된 다수의 게이트 연결배선과; 상기 제 2 표시영역에 상기 다수의 데이터 구동 집적회로 중 하나와 연결되며 동시에 상기 데이터 배선과 연결된 다수의 데이터 연결배선과; 상기 제 2 비표시영역에 상기 다수의 모든 데이터 연결배선과 교차하며 이들과 접촉하고 상기 박막트랜지스터를 이루는 하나의 구성요소인 액티브층과 동일한 층에 동일한 물질로 이루어진 반도체 배선을 포함하는 COG 타입 액정표시장치용 어레이 기판을 포함하는 COG 타입 액정표시장치용 어레이 기판을 제공한다.

대표도 - 도5



(72) 발명자

강지원

충청남도 계룡시 두마면 비사벌아파트 103동 701호

임철우

경상북도 구미시 도량동 주공 유먼시아APT 404동
902호

특허청구의 범위

청구항 1

표시영역과, 그 주변으로 게이트 패드가 형성된 제 1 비표시영역과 데이터 패드가 형성된 제 2 비표시영역과 상기 표시영역을 사이에 두고 상기 제 2 비표시영역과 대칭되는 부분에 위치하는 제 3 비표시영역이 정의된 기판과;

상기 표시영역에 서로 교차하여 다수의 화소영역을 정의하며 형성된 다수의 게이트 배선 및 데이터 배선과;

상기 다수의 각 화소영역에 구비된 스위칭 소자인 박막트랜지스터와;

상기 다수의 각 화소영역에 상기 박막트랜지스터의 일전극과 연결되며 형성된 화소전극과;

상기 제 1 비표시영역에 서로 이격하며 실장된 칩 형태의 다수의 게이트 구동 집적회로와;

상기 제 2 비표시영역에, 서로 이격하며 실장된 칩 형태의 다수의 데이터 구동 집적회로와;

상기 제 1 표시영역에 상기 다수의 게이트 구동 집적회로 중 하나와 연결되며 동시에 상기 게이트 배선과 연결된 다수의 게이트 연결배선과;

상기 제 2 표시영역에 상기 다수의 데이터 구동 집적회로 중 하나와 연결되며 동시에 상기 데이터 배선과 연결된 다수의 데이터 연결배선과;

상기 제 2 비표시영역에 상기 다수의 모든 데이터 연결배선과 교차하며 이들과 접촉하고 상기 박막트랜지스터를 이루는 하나의 구성요소인 액티브층과 동일한 층에 동일한 물질로 이루어진 반도체 배선

을 포함하는 COG 타입 액정표시장치용 어레이 기판.

청구항 2

표시영역과, 그 주변으로 게이트 패드가 형성된 제 1 비표시영역과 데이터 패드가 형성된 제 2 비표시영역과 상기 표시영역을 사이에 두고 상기 제 2 비표시영역과 대칭되는 부분에 위치하는 제 3 비표시영역이 정의된 기판과;

상기 표시영역에 서로 교차하여 다수의 화소영역을 정의하며 형성된 다수의 게이트 배선 및 데이터 배선과;

상기 다수의 각 화소영역에 구비된 스위칭 소자인 박막트랜지스터와;

상기 다수의 각 화소영역에 상기 박막트랜지스터의 일전극과 연결되며 형성된 화소전극과;

상기 제 1 비표시영역에 서로 이격하며 실장된 칩 형태의 다수의 게이트 구동 집적회로와;

상기 제 2 비표시영역에, 서로 이격하며 실장된 칩 형태의 다수의 데이터 구동 집적회로와;

상기 제 1 표시영역에 상기 다수의 게이트 구동 집적회로 중 하나와 연결되며 동시에 상기 게이트 배선과 연결된 다수의 게이트 연결배선과;

상기 제 2 표시영역에 상기 다수의 데이터 구동 집적회로 중 하나와 연결되며 동시에 상기 데이터 배선과 연결된 다수의 데이터 연결배선과;

상기 제 3 비표시영역에 상기 다수의 모든 데이터 배선 일끝단과 교차하며 이들과 접촉하고 상기 박막트랜지스터를 이루는 하나의 구성요소인 액티브층과 동일한 층에 동일한 물질로 이루어진 반도체 배선

을 포함하는 COG 타입 액정표시장치용 어레이 기판.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 반도체 배선 상부에는 상기 다수의 데이터 배선 또는 다수의 데이터 연결배선에서 분기한 형태로 이격하는

다수의 금속패턴이 형성된 COG 타입 액정표시장치용 어레이 기판.

청구항 4

제 3 항에 있어서,

상기 반도체 배선과 상기 다수의 금속패턴 사이에는 상기 박막트랜지스터를 이루는 구성요소 중 오믹콘택층을 이루는 동일한 물질로 불순물 비정질 실리콘 패턴이 형성된 것이 특징인 COG 타입 액정표시장치용 어레이 기판.

청구항 5

제 3 항에 있어서,

상기 이격하는 다수의 금속패턴은 그 이격영역이 각 데이터 배선간의 사이영역 또는 각 데이터 연결배선간의 사이영역에 대응되는 것이 특징인 COG 타입 액정표시장치용 어레이 기판.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 박막트랜지스터는, 게이트 전극과, 게이트 절연막과, 액티브층과, 오믹콘택층과, 소스 및 드레인 전극이 순차 적층된 형태를 이루는 COG 타입 액정표시장치용 어레이 기판.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 COG(chip on glass) 타입 액정표시장치용 어레이 기판에 관한 것이다.

배경 기술

[0002] 최근 정보화 사회로 시대가 급발전함에 따라 박형화, 경량화, 저 소비전력화 등의 우수한 특성을 가지는 디스플레이 장치의 필요성이 대두되었고, 이에 따라 평판표시장치(flat panel display)에 대한 개발이 활발히 이루어지고 있으며, 특히 액정표시장치(liquid crystal display)가 해상도, 컬러표시, 화질 등에서 우수하여 노트북이나 데스크탑 컴퓨터의 모니터에 활발하게 적용되고 있다.

[0003] 일반적으로 액정표시장치는 전극이 각각 형성되어 있는 두 기판을 두 전극이 형성되어 있는 면이 마주 대하도록 배치하고 두 기판 사이에 액정 물질을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.

[0004] 좀 더 자세히, 일반적인 액정표시장치의 분해사시도인 도 1을 참조하여 그 구조에 대해 설명하면, 도시한 바와 같이, 액정표시장치는 액정층(30)을 사이에 두고 어레이 기판(10)과 컬러필터 기판(20)이 대면 합착된 구성을 갖는데, 이중 하부의 어레이 기판(10)은 투명한 기판(12)의 상면으로 종횡 교차 배열되어 다수의 화소영역(P)을 정의하는 복수개의 게이트 배선(14)과 데이터 배선(16)을 포함하며, 이들 두 배선(14, 16)의 교차지점에는 박막 트랜지스터(Tr)가 구비되어 각 화소영역(P)에 마련된 화소전극(18)과 일대일 대응 접속되어 있다.

[0005] 또한, 상기 어레이 기판(10)과 마주보는 상부의 컬러필터 기판(20)은 투명기판(22)의 배면으로 상기 게이트 배선(14)과 데이터 배선(16) 그리고 박막트랜지스터(T) 등의 비표시영역을 가리도록 각 화소영역(P)을 테두리하는 격자 형상의 블랙매트릭스(25)가 형성되어 있으며, 이들 격자 내부에서 각 화소영역(P)에 대응되게 순차적으로 반복 배열된 적(R), 녹(G), 청(B)색의 컬러필터 패턴(26a, 26b, 26c)을 포함하는 컬러필터층(26)이 형성되어 있

으며, 상기 블랙매트릭스(25)와 컬러필터층(26)의 전면에 걸쳐 투명한 공통전극(28)이 구비되어 있다.

- [0006] 그리고, 도면상에 도시되지는 않았지만, 이들 두 기관(10, 20)은 그 사이로 개재된 액정층(30)의 누설을 방지하기 위하여 가장자리 따라 실링제(sealant) 등으로 봉합된 상태에서 각 기관(10, 20)과 액정층(30)의 경계부분에는 액정의 분자배열 방향에 신뢰성을 부여하는 상, 하부 배향막이 개재되며, 각 기관(10, 20)의 적어도 하나의 외측면에는 편광판이 구비되어 있다.
- [0007] 또한, 어레이 기관(10)의 외측면으로는 백라이트(back-light)가 구비되어 빛을 공급하는 바, 게이트 배선(14)으로 박막트랜지스터(T)의 온(on)/오프(off) 신호가 순차적으로 스캔 인가되어 선택된 화소영역(P)의 화소전극(18)에 데이터배선(16)의 화상신호가 전달되면 이들 사이의 수직전계에 의해 그 사이의 액정분자가 구동되고, 이에 따른 빛의 투과율 변화로 여러 가지 화상을 표시할 수 있다
- [0008] 이러한 구조를 갖는 액정표시장치에서, 상기 어레이 기관 및 컬러필터 기관과, 이들 두 기관 사이에 개재된 액정층은 액정패널로 정의되며, 액정패널의 외곽에는 이를 구동하기 위한 구동부가 구성된다. 구동부는 여러 가지 제어 신호, 데이터 신호 등을 생성하는 부품들이 실장되는 인쇄회로기판(PCB : printed circuit board)과, 액정패널 및 인쇄회로기판에 연결되고 액정 패널의 배선에 신호를 인가하기 위한 구동 집적회로(drive IC)를 포함하는데, 구동 집적회로를 상기 액정패널에 실장(packaging)시키는 방법에 따라, 칩 온 글래스(COG : chip on glass) 방식, 테이프 캐리어 패키지(TCP : tape carrier package) 방식, 칩 온 필름(COF : chip on film) 방식 등으로 나누어진다.
- [0009] 이중 COG 방식은, TCP 방식 및 COF 방식에 비해 구조가 간단하고 액정표시장치에서 액정패널이 차지하는 비율을 높일 수 있기 때문에 최근에 액정표시장치에 널리 적용되고 있다.
- [0010] 도 2는 종래의 COG타입 액정표시장치용 어레이 기관에 대한 개략적인 평면도이며, 도 3은 도 2의 A영역을 확대 도시한 평면도이다.
- [0011] 도시한 바와 같이 종래의 COG타입 액정표시장치용 어레이 기관(51)은 화상을 표시하는 표시영역(AA)과, 상기 표시영역(AA)의 주변부에 위치하는 제 1, 2 및 제 3 비표시영역(NA1, NA2, NA3)이 정의되고 있다. 그리고, 상기 제 1 비표시영역(NA1)에는, 상기 표시영역(AA)에 구성된 다수의 게이트 배선(63)에 게이트 신호전압을 인가하는 다수의 게이트 구동 집적회로(67)가 위치하고, 상기 제 2 비표시영역(NA2)에는 상기 표시영역(AA)에 구성된 다수의 데이터 배선(65)에 데이터 신호전압을 인가하는 다수의 데이터 구동 집적회로(69a, 69b)가 실장되고 있다.
- [0012] 상기 데이터 구동 집적회로(69a, 69b) 사이의 제 2 비표시영역(NA2)에는 다수의 데이터 패드(미도시)가 형성되고 있으며, 상기 각각 데이터 패드(81)의 일끝단에서 분기하여 표시영역(AA)으로 연장하며 다수의 데이터 연결배선(66)이 형성되어 있으며, 상기 다수의 데이터 연결배선(66)은 표시영역(AA)에 형성된 다수의 데이터 배선(65)과 연결되고 있다. 이때 상기 데이터 연결배선(66)에 있어서는 정전기에 의한 표시영역(AA) 내의 박막트랜지스터(미도시)의 손상을 방지하고자 다수의 박막트랜지스터(미도시) 등으로 구성된 정전기 보상회로(C1)가 구성되고 있다.
- [0013] 전술한 바와 같은 구성을 갖는 종래의 COG방식 액정표시장치용(51) 어레이기관에는 표시영역(AA)이 상기 다수의 데이터 구동 집적회로(69a, 69b)의 수 만큼의 부분영역(A1, A2)으로 나뉘게 됨을 알 수 있으며, 이러한 부분영역(A1, A2) 간에는 그 내부적으로 차징된 캐리어 양을 달리함으로써 등전위가 이루어지지 않아 동일한 신호 전압을 인가하더라도 화상의 밝기 등이 달라지게 되어 표시품질을 저하시키고 있다.
- [0014] 이러한 서로 다른 데이터 구동 집적회로(69a, 69b)와 연결된 부분영역(A1, A2)이 서로 다른 휘도를 보이는 이유는 동일한 데이터 구동 집적회로(69a, 69b)와 연결된 부분영역(A1, A2) 내의 각 화소영역(P)은 이들 화소영역(P)을 정의하는 상기 데이터 배선(65)은 최종적으로 상기 데이터 구동 집적회로(69a, 69b) 연결됨으로써 그 내부적으로 등전위를 형성하게 된다. 하지만, 서로 다른 구동 집적회로와 연결된 부분영역(A1, A2) 간에는 서로 전기적으로 연결되지 않기에 플라즈마 공정 등에 의해 유기 또는 무기 절연물질로 이루어진 보호층 등에 포획된 캐리어의 양을 달리함으로써 이의 영향으로 박막트랜지스터의 문턱전압 쉬프트를 유발하거나 또는 동일한 데이터 신호전압을 인가해도 동일한 휘도를 갖지 않게 되어 부분영역(A1, A2)간 휘도차에 의한 표시품의 저하를 발생시키고 있다.
- [0015] 집적 구동회로가 기관에 형성되지 않는 일반적인 어레이 기관의 경우 모든 데이터 배선은 기관 비표시영역의 최외각에서 쇼팅바에 의해 모두 전기적으로 연결되고 있으며, 따라서 표시영역의 모든 화소전극이 등전위를 이루게 되며, 이 상태에서 제조 공정의 최종 단계에서 상기 쇼팅바는 절단되므로 표시영역 내의 모든 화소전극은 등전위를 이루므로 전술한 표시품의 저하는 발생하지 않지만, COG 타입의 경우 비표시영역의 최외각에 쇼팅바를

형성할 수 없으므로 모든 화소영역에 대해 등전위를 이루도록 하지 못함으로써 휘도차에 의한 표시품의 저하의 문제가 발생하고 있는 것이다.

발명의 내용

해결 하고자하는 과제

[0016] 본 발명은 COG 타입 액정표시장치에 있어 서로 다른 데이터 구동 직접회로의 연결된 부분영역 간의 휘도차에 의한 표시품질 저하를 방지하는 COG 타입 액정표시장치용 어레이 기판을 제공하는 것을 그 목적으로 한다.

과제 해결수단

[0017] 본 발명의 일실시예에 따른 COG타입 액정표시장치용 어레이 기판은, 표시영역과, 그 주변으로 게이트 패드가 형성된 제 1 비표시영역과 데이터 패드가 형성된 제 2 비표시영역과 상기 표시영역을 사이에 두고 상기 제 2 비표시영역과 대칭되는 부분에 위치하는 제 3 비표시영역이 정의된 기판과; 상기 표시영역에 서로 교차하여 다수의 화소영역을 정의하며 형성된 다수의 게이트 배선 및 데이터 배선과; 상기 다수의 각 화소영역에 구비된 스위칭 소자인 박막트랜지스터와; 상기 다수의 각 화소영역에 상기 박막트랜지스터의 일전극과 연결되며 형성된 화소전극과; 상기 제 1 비표시영역에 서로 이격하며 실장된 칩 형태의 다수의 게이트 구동 집적회로와; 상기 제 2 비표시영역에, 서로 이격하며 실장된 칩 형태의 다수의 데이터 구동 집적회로와; 상기 제 1 표시영역에 상기 다수의 게이트 구동 집적회로 중 하나와 연결되며 동시에 상기 게이트 배선과 연결된 다수의 게이트 연결배선과; 상기 제 2 표시영역에 상기 다수의 데이터 구동 집적회로 중 하나와 연결되며 동시에 상기 데이터 배선과 연결된 다수의 데이터 연결배선과; 상기 제 2 비표시영역에 상기 다수의 모든 데이터 연결배선과 교차하며 이들과 접촉하고 상기 박막트랜지스터를 이루는 하나의 구성요소인 액티브층과 동일한 층에 동일한 물질로 이루어진 반도체 배선을 포함한다.

[0018] 본 발명의 또 다른 실시예에 따른 COG타입 액정표시장치용 어레이 기판은, 표시영역과, 그 주변으로 게이트 패드가 형성된 제 1 비표시영역과 데이터 패드가 형성된 제 2 비표시영역과 상기 표시영역을 사이에 두고 상기 제 2 비표시영역과 대칭되는 부분에 위치하는 제 3 비표시영역이 정의된 기판과; 상기 표시영역에 서로 교차하여 다수의 화소영역을 정의하며 형성된 다수의 게이트 배선 및 데이터 배선과; 상기 다수의 각 화소영역에 구비된 스위칭 소자인 박막트랜지스터와; 상기 다수의 각 화소영역에 상기 박막트랜지스터의 일전극과 연결되며 형성된 화소전극과; 상기 제 1 비표시영역에 서로 이격하며 실장된 칩 형태의 다수의 게이트 구동 집적회로와; 상기 제 2 비표시영역에, 서로 이격하며 실장된 칩 형태의 다수의 데이터 구동 집적회로와; 상기 제 1 표시영역에 상기 다수의 게이트 구동 집적회로 중 하나와 연결되며 동시에 상기 게이트 배선과 연결된 다수의 게이트 연결배선과; 상기 제 2 표시영역에 상기 다수의 데이터 구동 집적회로 중 하나와 연결되며 동시에 상기 데이터 배선과 연결된 다수의 데이터 연결배선과; 상기 제 3 비표시영역에 상기 다수의 모든 데이터 배선 일끝단과 교차하며 이들과 접촉하고 상기 박막트랜지스터를 이루는 하나의 구성요소인 액티브층과 동일한 층에 동일한 물질로 이루어진 반도체 배선을 포함한다.

[0019] 이때, 상기 반도체 배선 상부에는 상기 다수의 데이터 배선 또는 다수의 데이터 연결배선에서 분기한 형태로 이격하는 다수의 금속패턴이 형성될 수 있으며, 상기 반도체 배선과 상기 다수의 금속패턴 사이에는 상기 박막트랜지스터를 이루는 구성요소 중 오믹콘택층을 이루는 동일한 물질로 불순물 비정질 실리콘 패턴이 형성된 것이 특징이다.

[0020] 상기 이격하는 다수의 금속패턴은 그 이격영역이 각 데이터 배선간의 사이영역 또는 각 데이터 연결배선간의 사이영역에 대응되는 것이 특징이다.

[0021] 또한, 상기 박막트랜지스터는, 게이트 전극과, 게이트 절연막과, 액티브층과, 오믹콘택층과, 소스 및 드레인 전극이 순차 적층된 형태를 이루는 것이 특징이다.

효 과

[0022] 본 발명에 따른 COG 방식 액정표시장치용 어레이 기판은, 비표시영역의 데이터 연결배선이 형성된 부분에 캐리어의 이동이 가능하도록 하는 캐리어 이동 수단을 구비함으로써 서로 다른 데이터 구동 집적회로와 연결된 표시영역 내의 부분영역간의 등전위를 이루도록 함으로써 이들 부분영역간 휘도차 발생을 억제함으로써 부분적인 휘도차에 의한 표시품질 저하를 방지하는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0023] 이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 상세히 설명한다.
- [0024] 도 4는 본 발명의 실시예에 따른 COG타입 액정표시장치용 어레이 기판의 개략적인 평면도이며, 도 5는 도 4의 B영역을 확대 도시한 평면도이며, 도 6은 도 5를 절단선 VI-VI를 따라 절단한 부분에 대한 단면도이다.
- [0025] 도시한 바와 같이, 본 발명에 따른 COG타입 액정표시장치용 어레이 기판(110)은 표시영역(AA)과, 상기 표시영역(AA)의 주변에 제 1, 제 2 및 제 3 비표시영역(NA1, NA2, NA3)이 정의되고 있다.
- [0026] 한편, 어레이 기판(110)의 표시영역(AA)에는 서로 교차하여 다수의 화소영역(P)을 정의하는 다수의 게이트 배선(113) 및 데이터 배선(126)과, 상기 각 화소영역(P) 내에 상기 각 화소영역(P)을 정의하는 게이트 배선(113) 및 데이터 배선(126)과 연결되며 순차 적층된 게이트 전극(미도시)과 게이트 절연막(117)과 반도체층(미도시)과 이격하는 소스 및 드레인 전극(미도시)으로 구성된 박막트랜지스터(Tr)와, 상기 박막트랜지스터(Tr)의 드레인 전극(미도시)과 연결되는 화소전극(150)이 형성되어 있다.
- [0027] 이때, 상기 다수의 게이트 배선(113)과 다수의 데이터 배선(126)과 각각 연결된 게이트 및 데이터 연결배선(114, 134)은 각각 몇 개의 그룹으로 나뉘어 그 끝단이 각각 상기 제 1 비표시영역(NA1)과 제 2 비표시영역(NA2)으로 연장되고 있으며, 상기 제 1 및 제 2 비표시영역(NA1, NA2)까지 연장된 각 끝단에는 각각 게이트 패드(미도시)와 데이터 패드(미도시)가 구성되고 있다.
- [0028] 상기 표시영역(AA)은 상기 데이터 배선(126)이 더욱 정확히는 상기 다수의 데이터 배선(126)과 연결된 데이터 연결배선(134)이 연결된 데이터 구동 집적회로(165a, 165b)의 개수에 따라 다수의 부분영역(A1, A2)으로 나뉘고 있다. 도면에 있어서는 2개의 데이터 구동 집적회로(165a, 165b)가 구성되어 2개의 부분영역(A1, A2)으로 나뉘고 있음을 보이고 있다.
- [0029] 한편, 전술한 바와 같이 다수의 그룹으로 나뉘어진 형태로 구성된 게이트 패드(미도시) 및 데이터 패드(미도시) 각각은 범프(미도시) 등을 통해 전기적으로 연결되며, 그리고 각 제 1 및 제 2 비표시영역(NA1, NA2)내의 동일 선상에 위치하도록 실장된 다수의 게이트 및 데이터 구동 집적회로(163, 165)와 연결되고 있다.
- [0030] 또한, 이때 상기 각각의 데이터 연결배선(134) 및 게이트 연결배선(114)은 정전기에 의한 표시영역(AA)의 내의 스위칭 소자인 박막트랜지스터(Tr)의 손상을 방지하고자 다수의 박막트랜지스터 등으로 상기 제 1 및 제 2 비표시영역(NA1, NA2)에 구성된 정전기 보상회로(미도시, C1)와 연결되고 있다.
- [0031] 이때 본 발명의 가장 특징적인 구성으로서 상기 데이터 연결배선(134)이 형성된 제 2 비표시영역(NA2)에 있어 상기 각 데이터 연결배선(134)과 연결되며 형성된 정전기 보상회로(C1)가 형성된 부분과 상기 표시영역(AA) 사이의 영역에 대응하여 상기 데이터 연결배선(134)과 접촉 교차하며 등전위 형성을 위한 반도체 배선(123)이 형성되어 있다. 이때 상기 반도체 배선(123)은 게이트 절연막(117) 상부에서 상기 각 데이터 연결배선(134)과는 접촉하며 연결되고 있지만 원활하게 도통되는 금속물질이 아닌 순수 비정질 실리콘 등의 반도체 물질만으로 형성되거나 또는 상기 반도체 물질의 하부층과 상기 데이터 연결배선(134)을 형성한 동일한 금속물질로서 일정간격 이격하는 형태로 상부층을 이루며 다수의 금속패턴(미도시)이 형성되는 구조를 이루고 있다. 이러한 반도체 배선(123)의 구조는 상기 어레이 기판(110)을 5마스크 공정으로 제조(도 5 및 도 6 참조)하느냐 또는 4마스크 공정에 의해 제조(도 7 및 도 8 참조)하느냐에 따른 것이다. 일례로서 도 5와 6에 있어서는 5마스크 공정에 의해 제조됨으로써 순수 비정질 실리콘의 반도체 물질만의 단일층 구조로 이루어진 반도체 배선(123)을 일례로 도시하였다. 4마스크 공정의 경우 표시영역(AA) 내의 각 화소영역(P)에 형성되는 박막트랜지스터(Tr)의 액티브층(미도시)과 오믹콘택층(미도시)의 반도체층(미도시)과 그 상부의 소스 및 드레인 전극(미도시)을 하나의 마스크 공정을 통해 동시에 제조하기 때문이다. 이러한 제조 방법에 대해서는 추후 다시 설명한다.
- [0032] 한편, 상기 데이터 연결배선(134) 모두와 접촉하며 반도체 물질로써 반도체 배선(123)이 형성됨으로써 상기 표시영역(AA) 내의 모든 데이터 배선(126)은 전기적으로 완전 도통된 상태는 아니지만 소수의 캐리어는 이동 가능

한 통로를 갖게된다. 따라서 이후 절연물질로써 보호층 등을 형성하는 과정에서 플라즈마 등에 노출되어 포획되는 캐리어 양이 각 부분영역(A1, A2)별로 달라진다 하여도 상기 반도체 배선(123)을 통해 캐리어의 이동이 이루어지게 되므로 부분영역(A1, A2) 간의 캐리어의 양이 평형을 이루게 되므로 최종완성 후에 각 부분영역(A1, A2)별로 유기된 캐리어 량이 유사한 수준이 되어 이의 영향으로 인한 부분영역(A1, A2)별 휘도차는 발생하지 않게 된다.

[0033] 한편, 이러한 반도체 배선(123)은 전술한 바와 같이 데이터 구동 집적회로(165)가 실장된 제 2 비표시영역(NA 2)에 형성될 수도 있고, 또는 변형예로서 도 7(본 발명의 변형예에 따른 COG 타입 액정표시장치용 어레이 기판의 반도체 배선이 형성된 부분을 확대 도시한 평면도)과 도 8(도 7을 절단선 VIII-VIII을 따라 절단한 부분에 대한 단면도)에 도시한 바와 같이, 상기 반도체 배선(123)은, 상기 제 2 비표시영역(도 4의 NA2)과 상기 표시영역(도 4의 AA)을 사이에 두고 대칭을 이루는 비표시영역 즉 표시영역(도 4의 AA) 하단에 위치한 제 3 비표시영역(NA 3)에 상기 표시영역(도 4의 AA) 외측으로 연장 형성된 각 데이터 배선(126)의 끝단에 대응하여 이들 데이터 배선(126) 모두와 접촉하며 형성될 수도 있다. 이 경우 상기 제 3 비표시영역(NA3)에 있어서도 상기 각 데이터 배선(126)의 끝단에는 각각 정전기 방지회로(C1)가 연결될 수 있으며, 이 경우 상기 반도체 배선(123)은 상기 각각의 정전기 방지회로(C1) 내측으로 상기 표시영역(도 4의 AA)에 인접하여 형성되고 있다. 도면에 있어서는 일례로 4마스크 공정에 의해 제조됨으로써 게이트 절연막(117) 상부로 반도체 물질로 이루어진 반도체 배선(123)이 형성되어 있으며, 그 상부로 이격하는 금속패턴(135)이 형성되고 있는 형태를 나타내었다. 이때 상기 반도체 배선(123)은 그 폭이 동일한 직선 형태가 될 수도 있으며, 또는 도시한 바와같이, 상기 금속패턴(135)이 형성된 부분에서는 제 1 폭을 가지며, 상기 금속패턴(135)이 제거된 부분에서는 상기 제 1 폭보다 큰 제 2 폭을 갖도록 형성될 수도 있다. 이때 상기 이격하는 다수의 금속패턴(135)은 그 이격영역이 각 데이터 배선(126)간의 사이영역 또는 각 데이터 연결배선(미도시)간의 사이영역에 대응되는 것이 특징이다. 이때 상기 금속패턴(135)은 각 데이터 배선(126)에서 분기하는 형태를 이루고 있으며, 이러한 금속패턴(135)은 생략될 수도 있다.

[0034] 이후에는 전술한 바와 같이, 비표시영역에 데이터 연결배선 또는 데이터 배선 모두를 연결시키는 반도체 배선을 포함하는 COG 액정표시장치용 어레이 기판의 제조 방법에 대해 설명한다.

[0035] 도 9a 내지 도 9f는 본 발명에 따른 COG 타입 액정표시장치용 어레이 기판의 하나의 화소영역 내의 스위칭 소자인 박막트랜지스터를 포함하는 부분에 대한 제조 단계별 공정 단면도이며, 도 10a 내지 도 10g는 본 발명에 따른 COG 타입 액정표시장치용 어레이 기판의 비표시영역에 있어 반도체 배선이 형성된 부분에 대한 제조 단계별 공정 단면도로서, 4마스크 제조 공정에 따른 특징을 갖는 도 8에 도시한 부분에 대한 제조 단계별 공정 단면도이다. 이 경우 상기 반도체 배선은 도 8에 있어서는 데이터 배선의 끝단과 연결되어 제 3 비표시영역에 형성되고 있지만, 이러한 반도체 배선은 데이터 연결배선이 형성된 제 2 비표시영역에 형성될 수 있음은 자명하다. 또한, 본 발명의 제조 방법에서는 각 데이터 배선과 게이트 배선과 연결된 정전기 방지회로에 대해서는 언급하지 않았다. 이는 상기 정전기 방지회로를 구성하는 구성요소는 다수의 박막트랜지스터가 되며 이들 각각의 박막트랜지스터는 화소영역 내에 구성되는 스위칭 소자인 박막트랜지스터와 그 구성이 동일하므로 화소영역 내의 박막트랜지스터 제조 방법으로 대체할 수 있기 때문이다.

[0036] 도 9a 및 도 10a에 도시한 바와 같이, 우선, 기판(110) 상에 금속물질을 증착하여 금속층(미도시)을 형성한 후, 그 위로 감광 특성을 갖는 포토레지스트를 전면 도포하고, 상기 포토레지스트를 노광 마스크를 이용하여 노광을 실시하고, 이를 현상한 후, 상기 현상된 포토레지스트 외부로 노출된 금속층(미도시)을 식각하고, 상기 포토레지스트를 스트립(strip)하는 일련의 마스크 공정을 진행하여 상기 금속층(미도시)을 패터닝함으로써 일방향으로 연장하는 게이트 배선(미도시)을 형성하고, 동시에 각 화소영역(P)에는 상기 게이트 배선(미도시)에서 분기한 게이트 전극(115)을 형성한다. 동시에 일측의 비표시영역(미도시)에 있어서는 상기 게이트 배선(미도시)과 연결된 게이트 연결배선(미도시) 및 상기 게이트 연결배선(미도시)의 일끝단에 게이트 패드전극(미도시)을 형성한다.

[0037] 다음, 도 9b 및 도 10b에 도시한 바와 같이, 상기 게이트 배선(미도시)과 게이트 전극(115) 및 노출된 기판(110) 위로 전면 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)을 증착하여 게이트 절연막(117)을 형성하고, 연속하여 상기 게이트 절연막(117) 위로 순수 비정질실리콘과 불순물 비정질 실리콘 및 금속물질을 연속 증착하여 순수 비정질 실리콘층(118)과, 불순물 비정질 실리콘층(119)과 금속물질층(122)을 형성한다.

[0038] 다음, 상기 금속물질층 위로 포토레지스트를 도포하여 포토레지스트층(181)을 형성하고, 노광한 빛을 100% 투과시키는 투과영역(TA)과, 빛을 100% 차단하는 차단영역(BA) 및 빛의 투과량을 0% 내지 100% 사이에서 조절할 수

있는 반투과영역(HTA)을 포함하는 노광 마스크(191)를 상기 포토레지스트층(181) 위로 위치시킨 후, 상기 포토레지스트층(181)에 대해 상기 노광 마스크(191)를 통한 노광을 실시한다.

[0039] 이때, 상기 포토레지스트층(181)을 형성한 포토레지스트가 빛을 받으면, 현상 시 남게되는 네가티브 타입(negative type)인 경우, 상기 어레이 기관(110) 상의 데이터 배선 및 데이터 연결배선과 상기 화소영역(P) 중 소스 및 드레인 전극이 형성되어야 할 부분에 대응해서는 상기 노광 마스크(191)의 투과영역(TA)이, 상기 게이트 전극(115)과 중첩하며, 상기 소스 및 드레인 전극 사이로 노출되는 영역 즉, 채널영역 및, 상기 제 3 비표시영역(NA3)에 있어 반도체 배선이 형성되어야 할 영역 중 데이터 연결배선 사이의 영역에 대해서는 상기 노광 마스크(191)의 반투과영역(HTA)이, 그 외의 영역에 대해서는 상기 노광 마스크(191)의 차단영역(BA)이 대응되도록 상기 노광 마스크(191)를 위치시킨 후, 노광을 실시한다. 이때, 상기 포토레지스트가 포지티브 타입(positive type)인 경우, 투과영역과 차단영역의 상기 어레이 기관에 대응되는 위치를 바꾸어 대응되도록 한 후, 노광을 실시하면 상기 네가티브 타입(negative type)의 포토레지스트를 이용한 것과 동일한 결과를 얻을 수 있다.

[0040] 다음, 전술한 바와 같이 어레이 기관(110) 상에 노광 마스크(191)를 위치시키고, 노광을 실시한 후, 상기 포토레지스트층(181)을 현상하면, 도 9c 및 도 10c에 도시한 바와 같이, 상기 노광 마스크(도 9b, 10b의 191)의 투과영역(도 9b, 10b의 TA)에 대응된 영역에는 두꺼운 제 1 두께를 갖는 제 1 포토레지스트 패턴(181a)이 남게되고, 상기 노광 마스크(도 9b, 10b의 191)의 반투과영역(도 9b, 10b의 HTA)에 대응된 부분은 상기 제 1 두께보다 얇은 제 2 두께를 갖는 제 2 포토레지스트 패턴(181b)이 남게되고, 상기 노광 마스크(도 9b, 10b의 191)의 차단영역(도 9b의 BA)에 대응된 포토레지스트층(도 9b, 10b의 181)은 현상 시 모두 제거되어 상기 금속층(122)을 노출시키게 된다.

[0041] 다음, 도 9d 및 도 10d에 도시한 바와 같이, 상기 제 1 및 제 2 포토레지스트 패턴(181a, 도 9c 및 도 10c의 181b) 외부로 노출된 금속층(도 9c 및 도 10c의 122)과 그 하부의 불순물 비정질 실리콘층(도 9c 및 도 10c의 119) 및 순수 비정질 실리콘층(도 9c 및 도 10c의 118)을 순차적으로 식각함으로써 상기 게이트 절연막(117) 위로 상기 게이트 배선(미도시)과 교차하여 각 화소영역(P)을 정의하며, 동일한 모양으로 패터닝되어 순차 적층된 제 1 순수 비정질 실리콘 패턴(미도시)과 제 1 불순물 비정질 실리콘 패턴(미도시)과 데이터 배선(126)을 형성하고, 동시에 화소영역(P)에 있어서는 상기 데이터 배선(126)과 연결된 소스 드레인 패턴(127)을 형성한다. 이때 상기 소스 드레인 패턴(127) 하부에는 제 2 불순물 비정질 실리콘 패턴(125a)과 순수 비정질 실리콘의 액티브층(124)이 구성되게 된다. 또한, 제 3 비표시영역(NA3)에 있어서는 상기 각 데이터 배선(126)과 각각 연결되는 다수의 데이터 연결배선(미도시)이 형성되며, 상기 다수의 데이터 연결배선(미도시)과 접촉하여 연결되거나 또는 상기 다수의 각 데이터 배선(126) 일끝단과 접촉하며 연결되며 배선형태로서 제 2 순수 비정질 실리콘 패턴(123)과 제 3 불순물 비정질 실리콘 패턴(125b)과 금속배선(128)이 형성된다. 도면에서는 상기 금속배선(128)이 상기 데이터 배선(126)과 연결된 것을 보이고 있다. 또한 상기 데이터 연결배선(미도시)의 끝단에는 데이터 패드전극(미도시)을 형성한다.

[0042] 다음, 상기 데이터 배선(126)과 데이터 연결배선(미도시)과 소스 드레인 패턴(127) 및 배선형태의 금속배선(128)을 형성한 기관(110)에 애싱(ashing) 공정을 진행함으로써 상기 제 2 두께의 포토레지스트 패턴(도 9c 및 도 10c의 181b)을 제거함으로써 화소영역(P)에서는 상기 소스 드레인 패턴(127)의 중앙부를 노출시키고, 제 3 비표시영역(NA3)에서는 상기 각 데이터 배선(126) 사이의 이격영역 또는 각 데이터 연결배선(미도시) 사이의 이격영역에 위치한 상기 금속배선(128) 일부를 노출시킨다.

[0043] 이때, 상기 애싱에 의해 상기 제 1 두께의 포토레지스트 패턴(181a) 또한 그 두께가 얇아지지만 상기 애싱 진행 완료 후에도 소정의 두께를 가지며 여전히 남아있게 된다.

[0044] 다음, 도 9e 및 도 10e에 도시한 바와 같이, 상기 애싱에 의해 제 2 포토레지스트 패턴(도 9c 및 도 10c의 181b)이 제거됨으로써 노출된 소스 드레인 패턴(도 9d의 127)과 그 하부의 제 2 불순물 비정질 실리콘 패턴(도 9d의 125a)을 순차적으로 식각하여 제거함으로써 화소영역(P)에 있어서는 서로 이격하는 소스 및 드레인 전극(131, 133)을 형성하고, 그 하부로 상기 액티브층(124)을 노출시키며 서로 이격하는 불순물 비정질 실리콘의 오믹콘택층(129)을 형성한다. 또한 비표시영역(NA)에 있어서는 데이터 배선(126)간 또는 데이터 연결배선(미도시)간 이격하는 영역 일부의 상기 금속배선(도 10d의 128)과 제 3 불순물 비정질 실리콘 패턴(도 10의 125b)을 제거함으로써 배선형태의 상기 제 2 순수 비정질 실리콘 패턴(123) 상부로 상기 데이터 배선(126) 또는 데이터 연결배선(미도시)에서 분기하며 이격하는 형태의 금속패턴(135)을 형성한다. 이때 상기 금속패턴(135)과 상기 제 2 순수 비정질 실리콘 패턴(123) 사이에는 여전히 제 3 불순물 비정질 실리콘 패턴(125b)이 남아있게 된다. 한편 상기 배선형태의 제 2 순수 비정질 실리콘 패턴(123)은 반도체 배선(123)을 이루게 된다. 이렇게 형성된

반도체 배선(123)은 순수 비정질 실리콘으로 이루어지는 바, 소량의 캐리어는 이를 통해 이동이 가능하며 금속 물질과는 완전한 전기적 도통은 이루어지지 않으므로 데이터 배선(126)간의 쇼트는 발생하지 않는 것이 특징이다. 한편 상기 데이터 배선(126) 또는 데이터 연결배선(미도시)에서 분기하는 형태로 이격하며 형성되는 상기 금속패턴(128)은 생략될 수 있다. 이후 스트립을 진행하여 상기 제 1 포토레지스트 패턴(181a)을 제거한다.

[0045] 다음, 도 9f 및 도 10f에 도시한 바와 같이, 스트립을 진행하여 상기 제 1 포토레지스트 패턴(도 9e 및 10e의 181a)을 제거한다. 이후 상기 데이터 배선(126)과 데이터 연결배선(미도시), 소스 및 드레인 전극(131, 133)과 반도체 배선(123) 위로 전면예 무기절연물질인 산화실리콘(SiO_2) 또는 질화실리콘(SiN_x)을 증착하여 보호층(140)을 형성하고, 이후, 상기 보호층(140)과 그 하부의 게이트 절연막(117)을 패터닝하여 상기 드레인 전극(133)을 일부 노출시키는 드레인 콘택홀(143), 상기 게이트 패드전극(미도시)을 노출시키는 게이트 패드 콘택홀(미도시)과 상기 데이터 패드전극(미도시)을 노출시키는 데이터 패드 콘택홀(미도시)을 형성한다.

[0046] 다음, 상기 드레인 콘택홀(143)과 게이트 및 데이터 패드 콘택홀(미도시)을 갖는 보호층(140) 위로 투명 도전성 물질인 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 전면예 증착하고 패터닝하여 각 화소영역(P)마다 상기 드레인 콘택홀(143)을 통해 상기 드레인 전극(133)과 접촉하는 화소전극(150)과, 상기 게이트 및 데이터 패드 전극(미도시)과 각각 접촉하는 게이트 및 데이터 보조 패드전극(미도시)을 형성함으로써 어레이 기판(110)을 완성한다.

[0047] 한편, 전술한 제조 방법에 있어서는 4마스크 공정을 통한 반도체 배선을 포함하는 어레이 기판의 제조 방법을 일례로 보이고 있지만, 5마스크 공정을 통해 전술한 반도체 배선을 갖는 어레이 기판을 완성할 수도 있다. 이러한 5마스크 공정을 통한 어레이 기판의 제조 방법은 도면없이 4마스크 공정과 차별점이 있는 부분에 대해서는 간단히 설명한다.

[0048] 상기 게이트 배선과 게이트 전극을 형성하고, 그 상부로 게이트 절연막을 형성한다. 이후 상기 게이트 절연막 위로 순수 및 불순물 비정질 실리콘층을 형성 한 후 이를 패터닝하여 화소영역에는 액티브층과 그 상부로 연결된 형태의 불순물 비정질 실리콘 패턴을 형성하고, 동시에 비표시영역에는 순수 및 불순물 비정질 실리콘 이중층 구조의 배선패턴을 형성한다. 이후 금속물질층 증착하고 패터닝하여 상기 불순물 비정질 실리콘 패턴 상부에서 서로 이격하는 소스 및 드레인 전극과 상기 소스 전극과 연결되는 데이터 배선과 및 이와 연결된 데이터 연결배선을 형성하고, 드라이 에칭을 실시하여 상기 소스 및 드레인 전극 사이로 노출된 불순물 비정질 실리콘 패턴과 상기 데이터 배선 또는 데이터 연결배선 사이로 노출된 불순물 비정질 실리콘의 배선 패턴을 제거함으로써 화소영역에 있어서는 상기 소스 및 드레인 전극 하부로 상기 액티브층을 노출시키는 오믹콘택층을 형성하고, 비 표시영역에 있어서는 순수 비정질 실리콘의 반도체 배선을 형성한다. 이후 그 상부로 상기 드레인 전극을 노출시키는 보호층을 형성하고, 그 상부로 상기 드레인 전극과 접촉하는 화소전극을 형성함으로써 5마스크 공정에 따른 어레이 기판을 완성할 수도 있다.

[0049] 한편, 본 발명은 상기 전술한 실시예 및 그 변형예에 한정되지 않고 본 발명의 취지를 벗어나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

도면의 간단한 설명

- [0050] 도 1은 일반적인 액정표시장치에 대한 분해사시도.
- [0051] 도 2는 종래의 COG타입 액정표시장치용 어레이 기판에 대한 개략적인 평면도.
- [0052] 도 3은 도 2의 A영역을 확대 도시한 평면도.
- [0053] 도 4는 본 발명의 실시예에 따른 COG타입 액정표시장치용 어레이 기판의 개략적인 평면도.
- [0054] 도 5는 도 4의 B영역을 확대 도시한 평면도.
- [0055] 도 6은 도 5를 절단선 VI-VI를 따라 절단한 부분에 대한 단면도.
- [0056] 도 7은 본 발명의 변형예에 따른 COG 타입 액정표시장치용 어레이 기판의 반도체 배선이 형성된 부분을 확대 도시한 평면도.
- [0057] 도 8은 도 7을 절단선 VIII-VIII를 따라 절단한 부분에 대한 단면도.
- [0058] 도 9a 내지 도 9f는 본 발명에 따른 COG 타입 액정표시장치용 어레이 기판의 하나의 화소영역 내의 스위칭 소자인 박막트랜지스터를 포함하는 부분에 대한 제조 단계별 공정 단면도.

- [0059]

도 10a 내지 도 10g는 본 발명에 따른 COG 타입 액정표시장치용 어레이 기판의 비표시영역에 있어 반도체 배선이 형성된 부분에 대한 제조 단계별 공정 단면도.
- [0060]

< 도면의 주요 부분에 대한 부호의 설명 >
- [0061]

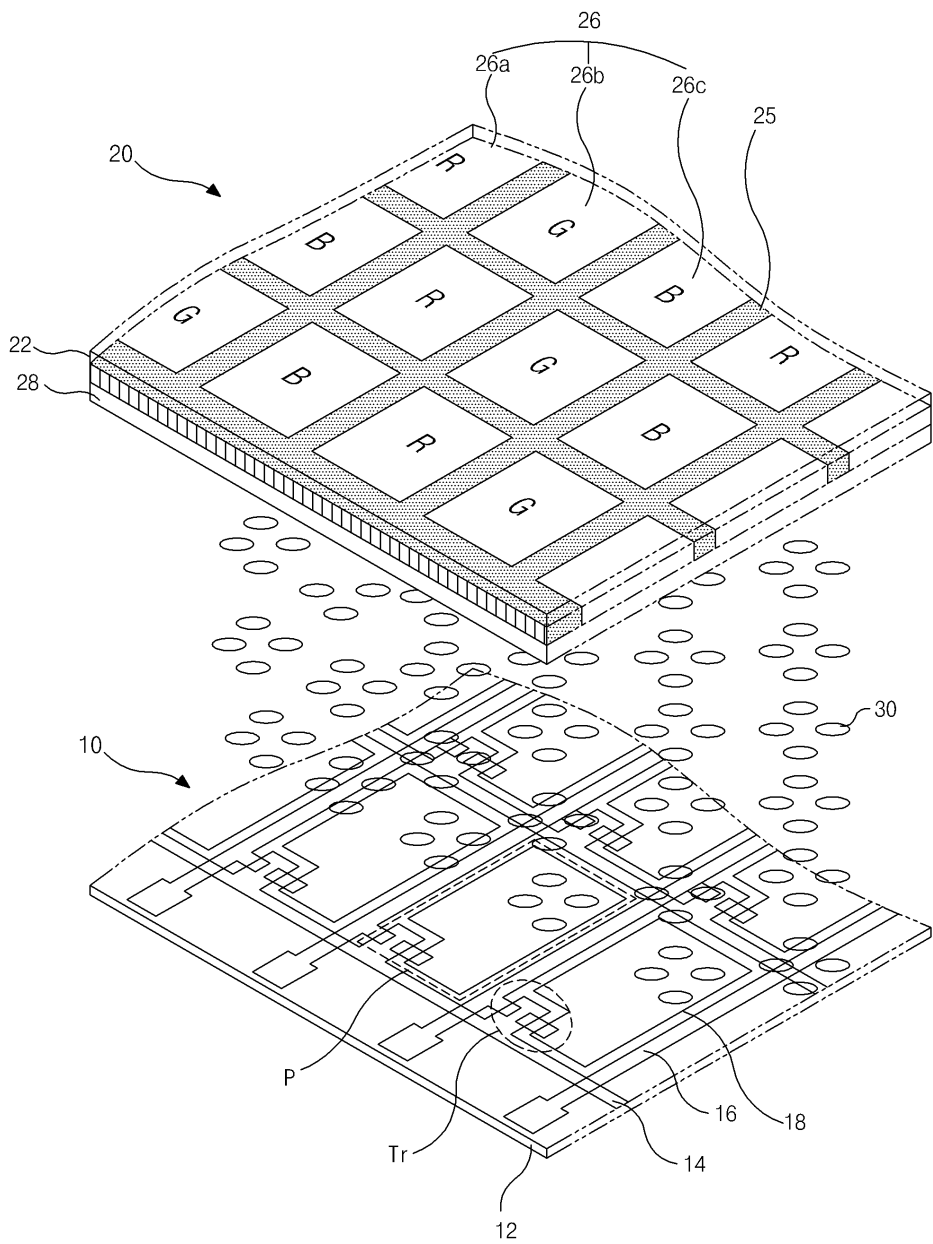
110 : 어레이 기판
- [0062]

134 : 데이터 연결배선
- [0063]

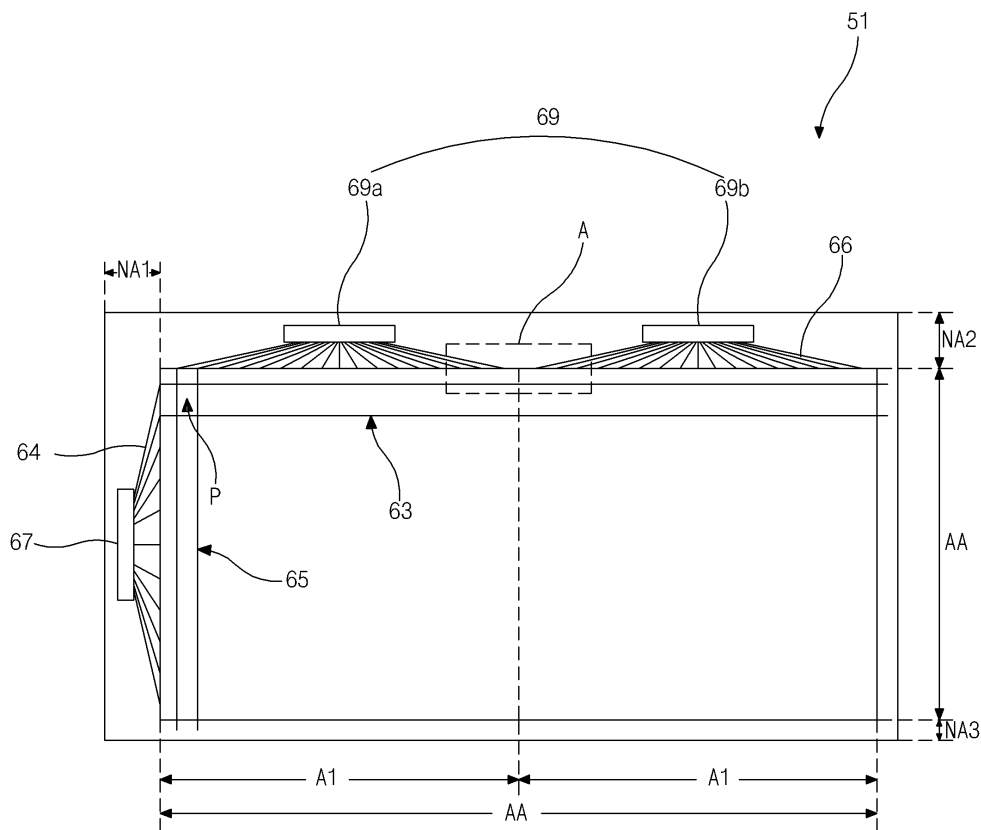
C1 : 정전기 방지회로
- 123 : 반도체 배선
- A1, A2 :부분영역
- NA2 : 제 2 비표시영역

도면

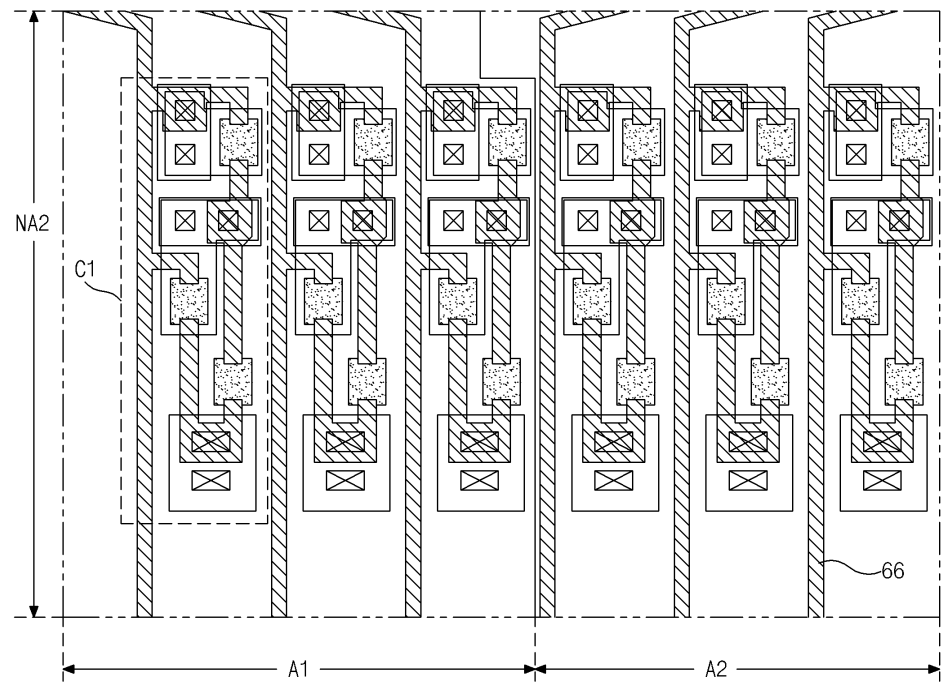
도면1



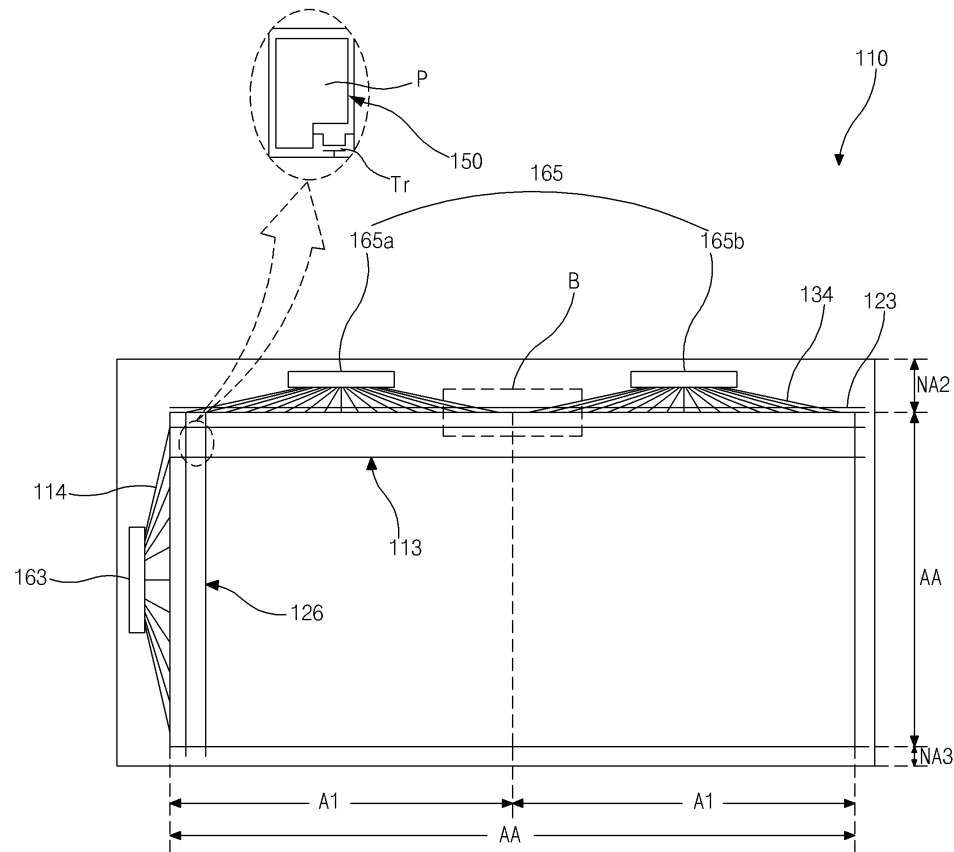
도면2



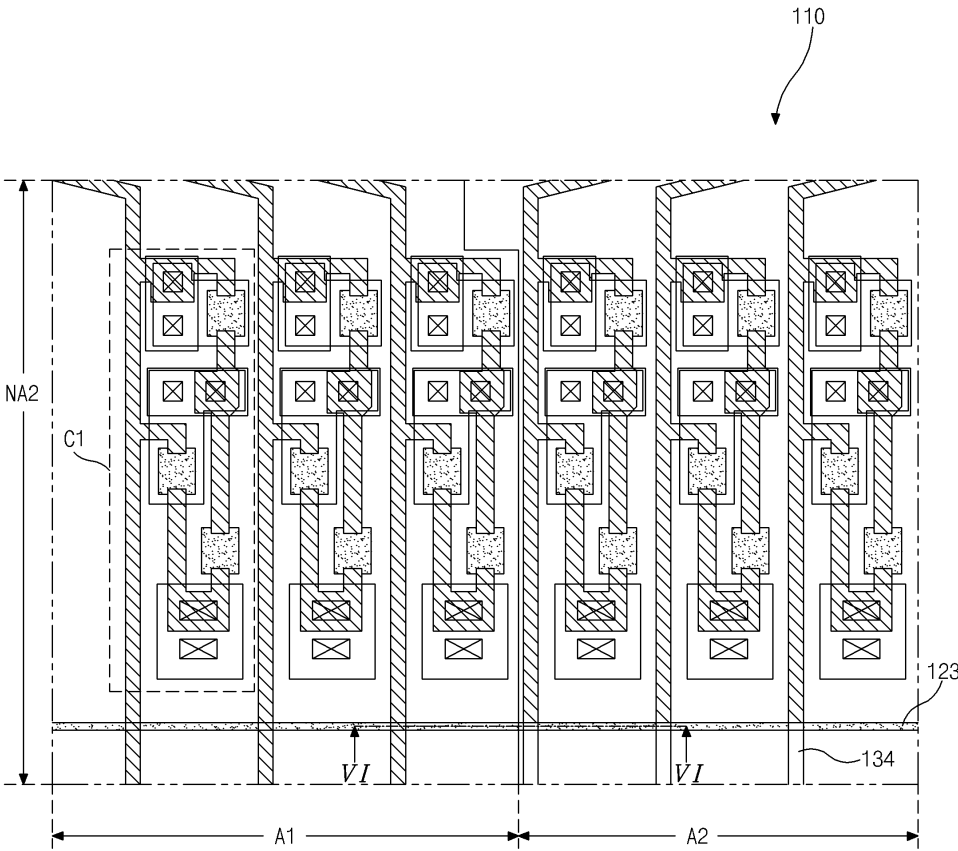
도면3



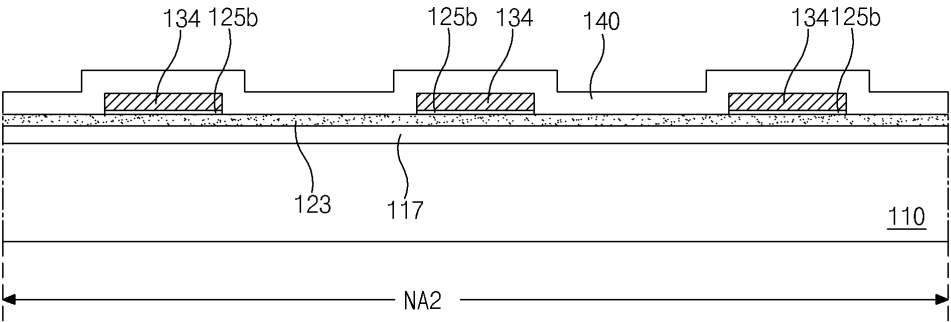
도면4



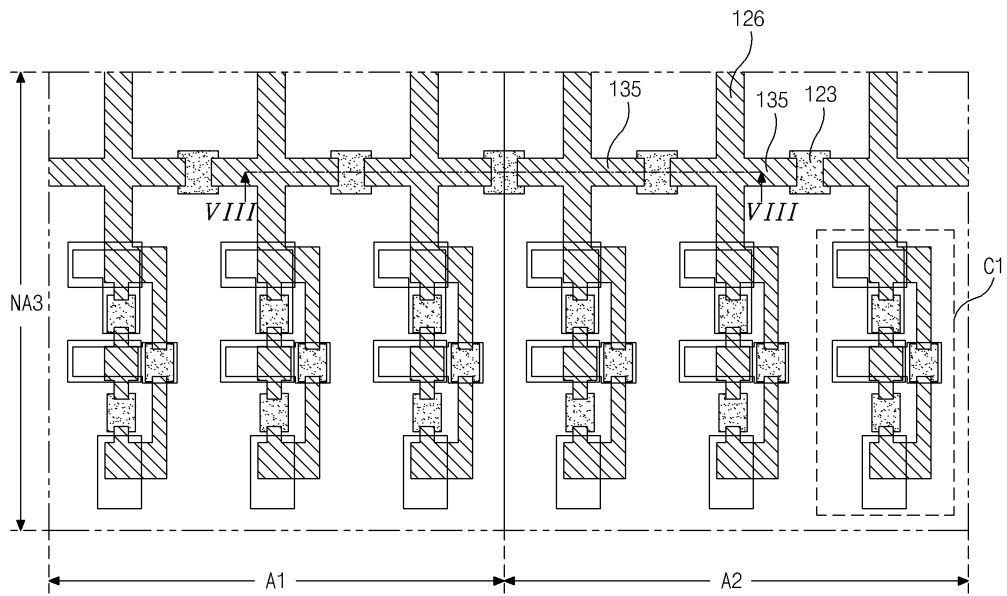
도면5



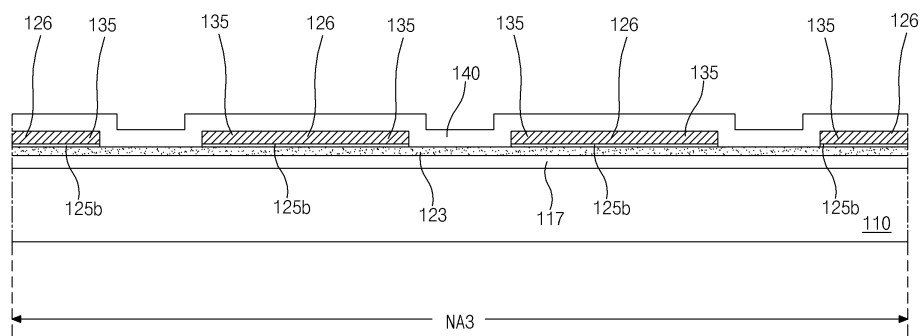
도면6



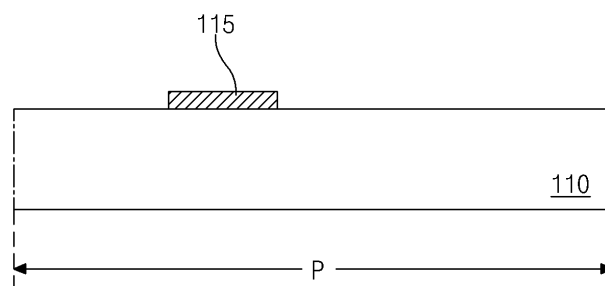
도면7



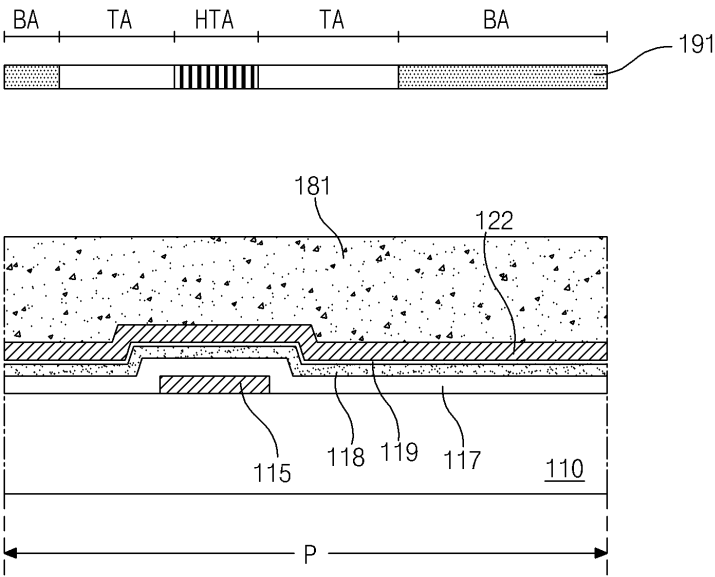
도면8



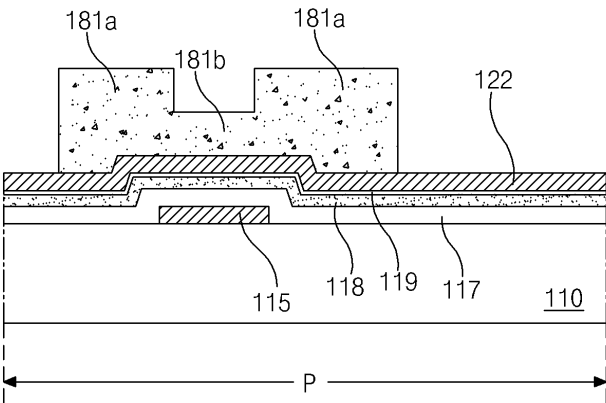
도면9a



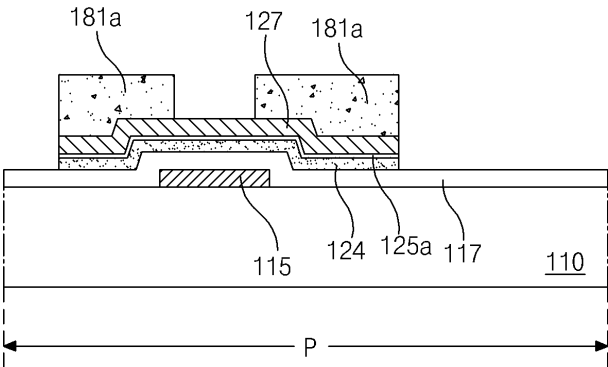
도면9b



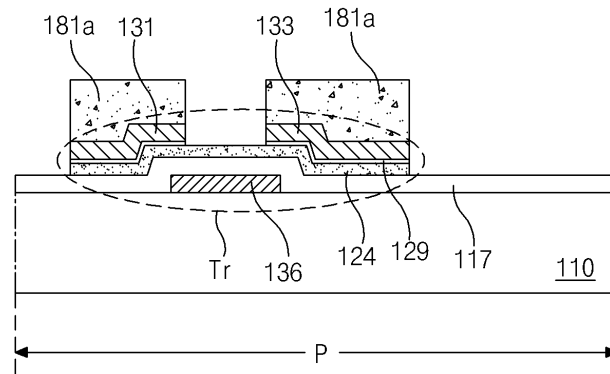
도면9c



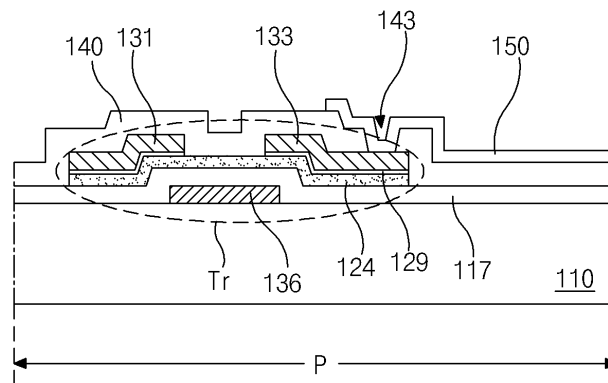
도면9d



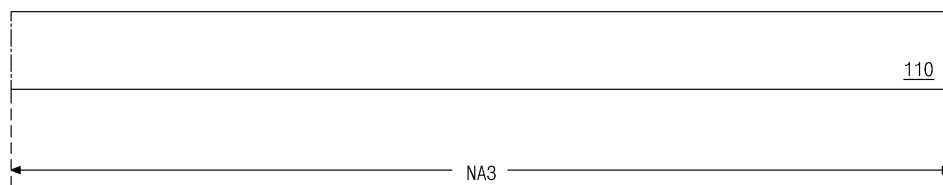
도면9e



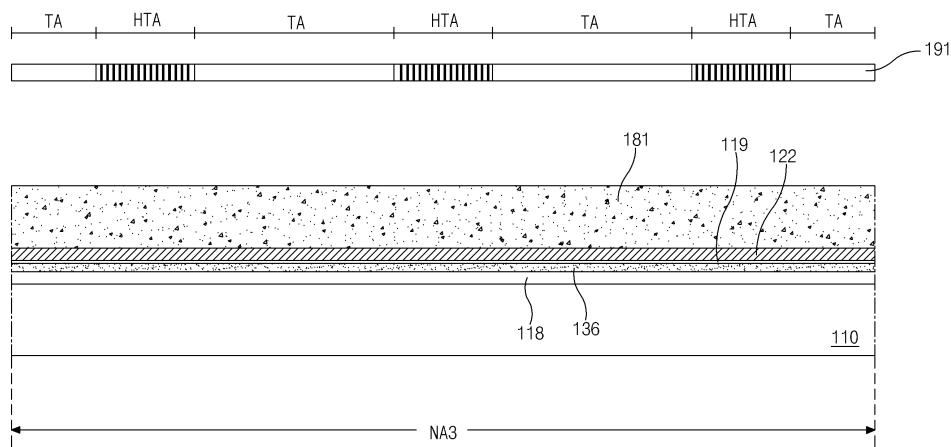
도면9f



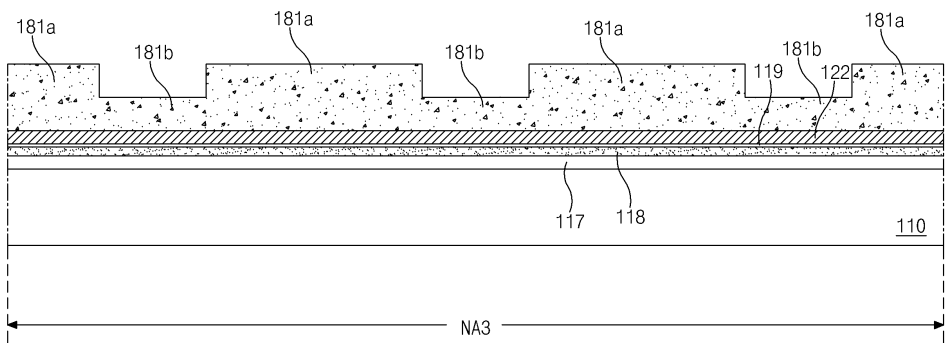
도면10a



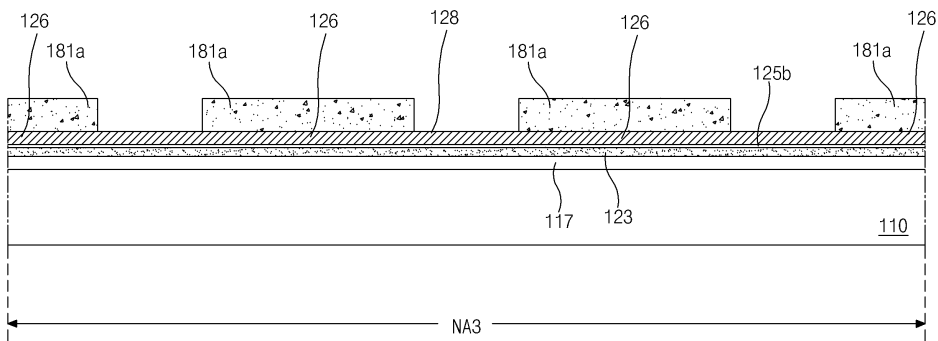
도면10b



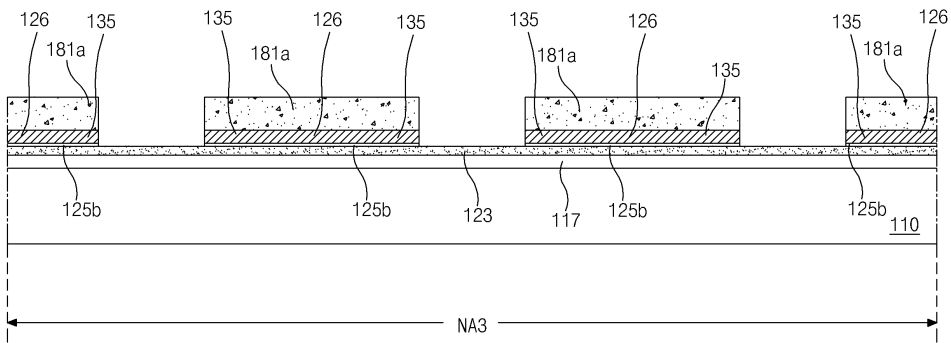
도면10c



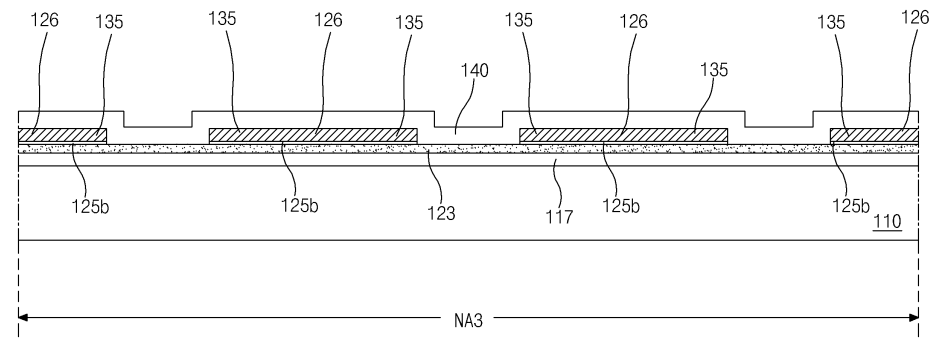
도면10d



도면10e



도면10f



专利名称(译)	一种用于液晶显示器的阵列基板		
公开(公告)号	KR101380228B1	公开(公告)日	2014-04-03
申请号	KR1020080068760	申请日	2008-07-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHUNG EUI HYUN 정의현 JANG HUN 장훈 KANG JI WON 강지원 IM CHUL WOO 임철우		
发明人	정의현 장훈 강지원 임철우		
IPC分类号	G02F1/1345		
CPC分类号	G02F1/1303 G02F1/13452 H01L24/75		
其他公开文献	KR1020100008270A		
外部链接	Espacenet		

摘要(译)

目的：提供一种用于LCD（液晶显示器）设备的COG（玻璃上芯片）型阵列面板，以在非显示区域的数据连接线的形成部分中安装载流子移动单元，从而在部分区域之间形成等电位在显示区域内。组成：数据连接线（134）形成在第二非显示区域（NA2）中。在第二非显示区域中，静电补偿电路（C1）连接到每条数据连接线。对应于静电补偿电路的一部分与显示区域之间的区域，形成半导体线（123）。半导体互连与数据链布线交叉。半导体线形成等电位。载体的移动通过半导体线进行。载体的量实现了部分区域（A1，A2）之间的平衡。

