



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2013년11월29일

(11) 등록번호 10-1335007

(24) 등록일자 2013년11월25일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01) *G02F 1/1343* (2006.01)

(21) 출원번호 10-2011-0122339

(22) 출원일자 2011년11월22일

심사청구일자 2011년11월22일

(65) 공개번호 10-2012-0083837

(43) 공개일자 2012년07월26일

(30) 우선권주장

201110020246.1 2011년01월18일 중국(CN)

(56) 선행기술조사문헌

US05828433 A*

US20090115950 A1*

US20100019998 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

청두 비오이 옵토일렉트로닉스 테크놀로지 컴퍼니
리미티드

중국 611731 쓰촨 프로빈스 청두 하이-테크 디벨
롭먼트 존 (웨스트 존) 허주오 로드 1188호

보에 테크놀로지 그룹 컴퍼니 리미티드

중국 베이징 100016, 차오양 디스트릭트, 지우시
양치아오 로드 10호

(72) 발명자

김 원석

중국 베이징 100176 비디에이 시환중로 8호

김 필석

중국 베이징 100176 비디에이 시환중로 8호

(74) 대리인

리앤목특허법인

전체 청구항 수 : 총 14 항

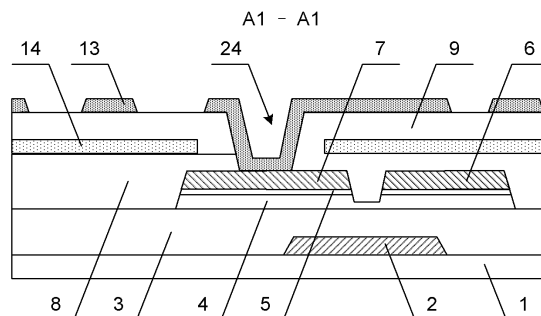
심사관 : 엄인권

(54) 발명의 명칭 박막 트랜지스터 액정디스플레이 어레이기판 및 그 제조방법

(57) 요약

어레이 기판은 화소영역을 한정하는 게이트라인과 데이터라인을 포함하며, 상기 화소영역 내부에 박막트랜지스터 및 공통전극과 전극 스트립 구조의 화소전극이 형성되고, 상기 공통전극은 상기 데이터라인을 덮는 제2 절연층 위에 형성되며, 상기 화소전극은 상기 공통전극을 덮는 제3 절연층 위에 형성된다. 이를 통해 디스플레이 영역의 면적을 증가시키고, 개구율을 효과적으로 향상시켰다.

대표도 - 도2



특허청구의 범위

청구항 1

베이스 기판;

상기 베이스 기판 상에서 박막 트랜지스터 및, 함께 다차원 공간 복합 전기장을 형성하는 공통전극과 전극 스트립 구조의 화소전극이 내부에 형성되는 화소영역을 한정하는 게이트라인과 데이터라인;을 포함하며,

상기 공통전극은 상기 게이트라인, 상기 데이터라인과 상기 박막 트랜지스터를 덮는 제2 절연층 상에 형성되고, 상기 화소전극은 상기 공통전극을 덮는 제3 절연층 상에 형성되며,

상기 박막 트랜지스터는 게이트 전극, 소스전극과 드레인전극을 포함하며,

상기 게이트전극은 게이트절연층으로서의 제1 절연층에 의해 상기 소스전극 및 상기 드레인전극으로부터 떨어져 있고, 상기 게이트전극은 상기 게이트라인과 접속되고, 상기 소스전극은 상기 데이터라인과 접속되며, 상기 드레인전극은 상기 제2 절연층과 상기 제3 절연층에 개설된 화소전극 비어홀을 통해 상기 화소전극과 접속되며,

상기 공통전극은 상기 화소영역의 전체를 커버하며, 상기 화소전극 비어홀이 형성된 영역을 커버하는 비어홀을 포함하는 것을 특징으로 하는 박막 트랜지스터 액정디스플레이 어레이 기판.

청구항 2

제 1항에 있어서,

상기 화소전극 가장자리 부분이 상기 데이터라인 상방에 중첩되는 것을 특징으로 하는 박막 트랜지스터 액정디스플레이 어레이 기판.

청구항 3

삭제

청구항 4

삭제

청구항 5

제 1항에 있어서,

상기 제2 절연층에 게이트라인 본딩영역에 위치하는 제1 비어홀과 데이터라인 본딩영역에 위치하는 제2 비어홀이 개설되고, 상기 제2 절연층에 상기 제1 비어홀을 통해 상기 게이트라인과 접속되는 게이트 접속전극과 상기 제2 비어홀을 통해 상기 데이터라인과 접속되는 데이터 접속전극이 형성되며, 상기 공통전극, 상기 게이트 접속전극과 상기 데이터 접속전극은 동일한 층에 설치되는 것을 특징으로 하는 박막 트랜지스터 액정디스플레이 어레이 기판.

청구항 6

단계 1: 베이스 기판에 게이트라인과 게이트 전극을 형성하는 단계와;

단계 2: 상기 단계 1이 완료된 상기 베이스기판에 데이터라인과 박막 트랜지스터의 활성층, 소스전극과 드레인전극을 형성하는 단계와;

단계 3: 상기 단계 2가 완료된 상기 베이스기판에 제1 비어홀과 제2 비어홀을 구비한 제2 절연층을 형성하여, 상기 제1 비어홀을 게이트라인 본딩영역에 위치시키고, 상기 제2 비어홀을 데이터라인 본딩영역에 위치시키는 단계와;

단계 4: 상기 단계 3이 완료된 상기 베이스기판에 공통전극, 게이트 접속전극과 데이터 접속전극을 형성하고, 상기 드레인전극이 소재한 위치에서 상기 공통전극에 제3 비어홀을 개설하며, 상기 게이트 접속전극을 상기 제1 비어홀을 통해 상기 게이트라인과 접속시키고, 상기 데이터 접속전극은 상기 제2 비어홀을 통해 상기 데이터라

인과 접속시키는 단계;

단계 5: 상기 단계 4가 완료된 상기 베이스기판에 제3 절연층을 형성하고, 상기 제3 절연층 중 상기 드레인전극이 소재한 위치에 상기 드레인전극의 표면을 노출시키는 제4 비어홀을 형성하며, 상기 제4 비어홀을 상기 제3 비어홀 내부에 위치시키는 단계; 및

단계 6: 상기 단계 5가 완료된 상기 베이스기판에 화소전극을 형성하고, 상기 화소전극을 상기 제4 비어홀을 통해 상기 드레인전극과 접속시키는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터 액정디스플레이 어레이 기판의 제조방법.

청구항 7

제 6항에 있어서,

상기 화소전극 가장자리 부분을 상기 데이터라인 상방에 중첩시키는 것을 특징으로 하는 박막 트랜지스터 액정디스플레이 어레이 기판의 제조방법.

청구항 8

제 6항에 있어서, 상기 단계 2는 ,

상기 단계가 완료된 상기 베이스기판에 순차적으로 제1 절연층, 반도체 박막, 도핑 반도체 박막과 소스-드레인 금속박막을 형성하는 단계와;

상기 소스-드레인 금속 박막에 한 층의 포토레지스트를 도포하는 단계와;

하프톤 또는 그레이톤 마스크를 이용하여 상기 포토레지스트를 노광, 현상한 후 상기 포토레지스트가 완전히 남아있는 영역, 상기 포토레지스트가 완전히 제거된 영역과 상기 포토레지스트가 부분적으로 남아있는 영역을 형성하여; 그 중 상기 포토레지스트가 완전히 남아있는 영역을 상기 데이터라인, 상기 소스전극과 상기 드레인전극 패턴이 소재하는 영역에 대응시키고, 상기 포토레지스트가 부분적으로 남아있는 영역을 상기 소스전극과 상기 드레인 전극 사이의 TFT 채널 영역 패턴이 소재하는 영역에 대응시키며, 상기 포토레지스트가 완전히 제거된 영역은 상기 패턴 이외의 영역에 대응시키는 단계와;

제1차 식각 공정을 통해 상기 포토레지스트가 완전히 제거된 영역의 상기 소스-드레인 금속박막, 상기 도핑 반도체 박막과 상기 반도체 박막을 식각하여, 상기 활성층과 상기 데이터라인을 포함하는 패턴을 형성하는 단계와;

애싱 공정을 통해 상기 포토레지스트가 부분적으로 보류된 영역의 상기 포토레지스트를 제거하여, 상기 영역의 상기 소스-드레인 금속박막을 노출시키는 단계와;

제2차 식각 공정을 통해 상기 포토레지스트가 부분적으로 남아있는 영역의 상기 소스-드레인 금속박막과 상기 도핑 반도체 박막을 완전히 식각하고, 일부 두께의 상기 반도체 박막을 식각하여, 상기 소스전극, 상기 드레인전극과 상기 TFT 채널 영역의 패턴을 형성하는 단계와;

나머지 포토레지스트를 박리하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터 액정디스플레이 어레이 기판의 제조방법.

청구항 9

제 6항에 있어서, 상기 단계 3은,

상기 단계가 완료된 상기 베이스기판에 제2 절연층을 형성하고, 패턴형성 공정을 통해 상기 제2 절연층에 상기 제1 비어홀과 상기 제2 비어홀을 형성하여, 상기 제1 비어홀을 상기 게이트라인 본딩영역에 위치시키고, 상기 제1 비어홀 내부의 상기 제1 절연층과 상기 제2 절연층을 식각하여 상기 게이트라인의 표면을 노출시키며, 상기 제2 비어홀을 상기 데이터라인 본딩영역에 위치시키고, 상기 제2 비어홀 내부의 상기 제2 절연층을 식각하여 상기 데이터라인의 표면을 노출시키는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터 액정디스플레이 어레이 기판의 제조방법.

청구항 10

제 6항에 있어서, 상기 단계 4는,

상기 단계가 완료된 상기 베이스기관에 제1 투명 도전 박막을 형성하고, 패턴형성 공정을 통해 상기 제1 투명 도전 박막에 패터닝함으로써, 상기 공통전극, 상기 게이트 접속전극과 상기 데이터 접속전극 및 상기 드레인전극이 소재한 위치의 상기 공통전극 중의 상기 제3 비어홀을 형성하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터 액정디스플레이 어레이 기관의 제조방법.

청구항 11

제 6항에 있어서, 상기 단계 5는,

상기 단계가 완료된 상기 베이스기관에 상기 제3 절연층을 형성하고, 패턴형성 공정을 통해 상기 제3 절연층 중의 상기 제4 비어홀을 형성하며, 상기 제4 비어홀 내부의 상기 제3 절연층과 상기 제2 절연층을 식각하여 상기 드레인전극의 표면을 노출시키는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터 액정디스플레이 어레이 기관의 제조방법.

청구항 12

제 6항에 있어서, 상기 단계 6은,

상기 단계가 완료된 상기 베이스기관에 제2 투명 도전 박막을 형성하고, 패턴형성 공정을 통해 상기 제2 투명 도전 박막에 패터닝함으로써 화소영역 내에 상기 화소전극을 형성하며, 상기 화소전극은 다수의 평행하면서 순차적으로 배열되는 전극 스트립을 구비하여, 상기 제4 비어홀을 통해 상기 드레인 전극과 접속시키고, 각각의 상기 전극 스트립은 단부의 접속 스트립을 통해 서로 접속시키는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터 액정디스플레이 어레이 기관의 제조방법.

청구항 13

베이스 기관;

상기 베이스 기관 상에서 화소영역들을 정의하는 게이트라인들 및 데이터라인들로서, 상기 화소영역들의 각각에서는 박막 트랜지스터 및, 함께 다차원 공간 복합 전기장을 형성하는 공통전극과 전극 스트립 구조의 화소전극이 내부에 형성되는, 상기 게이트라인과 데이터라인;을 포함하며,

상기 박막 트랜지스터의 각각은 게이트전극, 소스전극 및 드레인전극을 포함하며, 상기 게이트전극은 게이트절연층으로서의 제1 절연층에 의해 상기 소스전극 및 상기 드레인전극으로부터 떨어져 있고,

상기 공통전극들은 상기 게이트라인들, 상기 데이터라인들, 및 상기 박막 트랜지스터들을 커버하는 제2 절연층 상에 형성되며, 상기 화소전극들은 상기 공통전극들을 커버하는 제3 절연층 상에 형성되며,

상기 화소전극들의 가장자리 부분들은 상기 데이터라인들 상방에 위치하여 상기 데이터라인들과 중첩되는 것을 특징으로 하는 박막 트랜지스터 액정디스플레이 어레이 기관.

청구항 14

제 13항에 있어서,

상기 게이트전극은 상기 게이트라인과 접속되고, 상기 소스전극은 상기 데이터라인과 접속되며, 상기 드레인전극은 상기 제2 절연층과 상기 제3 절연층에 개설된 제4 비어홀을 통해 상기 화소전극과 접속되는 것을 특징으로 하는 박막 트랜지스터 액정디스플레이 어레이 기관.

청구항 15

제 14항에 있어서,

제3 비어홀이 상기 공통전극 내에 형성되며, 상기 제4 비어홀이 형성된 영역을 커버하는 것을 특징으로 하는 박막 트랜지스터 액정디스플레이 어레이 기관.

청구항 16

제 13항에 있어서,

상기 제2 절연층에 제1 비어홀과 제2 비어홀이 각기 게이트라인 본딩영역과 데이터라인 본딩영역에 대응하여 형성되어 있고,

상기 제2 절연층에 상기 제1 비어홀을 통해 상기 게이트라인과 접속되는 게이트 접속전극과 상기 제2 비어홀을 통해 상기 데이터라인과 접속되는 데이터 접속전극이 형성되며, 상기 공통전극, 상기 게이트 접속전극과 상기 데이터 접속전극은 동일한 층에 설치되는 것을 특징으로 하는 박막 트랜지스터 액정디스플레이 어레이 기판.

명세서

기술분야

[0001] 본 발명은 일종의 박막 트랜지스터 액정디스플레이 어레이기판 및 그 제조방법에 관한 것이다.

배경기술

[0002] 박막트랜지스터 액정디스플레이(Thin Film Transistor Liquid Crystal Display, 약칭 TFT-LCD) 기술에서, 고급 초차원 스위칭기술 (Advanced-Super Dimensional Switching; 약칭 : AD-SDS)은 LCD 화질을 개선하는 기술 중 하나다.

[0003] AD-SDS 기술은 동일한 평면 내의 화소전극 가장자리에 발생하는 평행전기장 및 화소전극층과 공통전극층 사이에 발생하는 수직전기장을 통해 다차원 공간의 복합 전기장을 형성하여, 액정 셀 내부의 화소전극 사이, 전극 바로 위 등 모든 배향 액정분자들이 전부 회전 변환될 수 있도록 함으로써, 평면 배향 액정의 작업효율을 높임과 아울러 투광 효율을 증대시키는 기술이다. AD-SDS 기술은 TFT-LCD 화면품질을 향상시킬 수 있으며, 높은 투과율, 넓은 시야각, 높은 개구율, 낮은 색수차, 짧은 응답시간, 푸시 무라(push Mura)가 없는 등의 장점을 지닌다.

[0004] AD-SDS형 TFT-LCD의 본체 구조는 함께 조립되어 액정이 그 사이에 설치되는 어레이 기판과 컬러필터 기판을 포함한다. 어레이 기판 상에 게이트라인들, 데이터라인들, 화소전극들, 공통전극들 및 박막 트랜지스터들이 형성된다. 컬러필터 기판 상에는 컬러 수지 패턴과 블랙 매트릭스 패턴이 형성된다.

[0005] TFT-LCD 시장의 수요가 확대됨에 따라, 높은 개구율에 대한 요구도 끊임없이 높아지고 있다. 수지 부동태화층(passivation layer)을 이용하여 개구율을 높이는 기술방안이 제시되기도 하였으나, 수지 부동태화층의 재료는 값이 비쌀 뿐만 아니라, 코팅장치와 공정에 대한 요구가 높기 때문에(코팅 두께는 1.5 μ m 미만이 요구됨), 상기 기술방안은 실시원가가 비교적 높은 편이다. 또한 공통전극과 화소전극의 위치 변경을 통해 개구율을 높이는 기술방안도 제시되었는데, 종래의 AD-SDS형 TFT-LCD 어레이 기판 중 공통전극을 기판에 설치하고, 화소전극을 부동태화층에 설치하는 구조 형식에 비해, 상기 기술방안은 화소전극을 데이터라인과 동일한 층에 설치하고, 공통전극을 부동태화층에 설치한다. 연구에서 상기 기술방안은 화소전극과 데이터라인 사이에 광누출 현상이 존재하여, 개구율을 향상시키는데 어느 정도 제약이 있는 것으로 나타났는데, 이는 화소전극과 데이터라인 사이에서 상기 기술방안은 일부 영역에서 다차원 공간 복합 전기장(multi-dimensional space composite field)을 이용하여 액정을 구동시키고, 다른 일부 영역에서는 수평전기장모드(In-Plane Switching, 평면 스위칭 모드라고도 함)로 액정을 구동시키기 때문이다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 해결하고자 하는 과제는, 액정 구동 효율을 향상시키고, 이 영역이 디스플레이 영역으로 변환되도록 함을 통해, 디스플레이 영역의 면적을 최대한으로 증가시켜 개구율을 효과적으로 높일 수 있는 일종의 TFT-LCD 어레이 기판 및 그 제조방법을 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 실시예에서는 베이스 기판과; 상기 베이스 기판 상에서 박막 트랜지스터 및, 다차원 공간 복합 전기장을 형성하는 공통전극과 전극 스트립 구조의 화소전극이 내부에 형성되는 화소영역을 한정하는 게이트라인과 데이터라인을 포함하며, 그 중 상기 공통전극은 상기 게이트라인, 데이터라인과 박막 트랜지스터를 덮는 제2절연층에 형성되고, 상기 화소전극은 상기 공통전극을 덮는 제3절연층에 형성되는 일종의 TFT-LCD 어레이 기판을 제공한다.

- [0008] 본 발명의 실시예에서는 또한
- [0009] 단계 1: 베이스 기판에 게이트라인과 게이트전극을 형성하는 단계;
- [0010] 단계 2: 상기 단계가 완료된 베이스 기판에 데이터라인과 박막트랜지스터의 활성층, 소스전극과 드레인 전극을 형성하는 단계;
- [0011] 단계 3: 상기 단계가 완료된 베이스 기판에 제1 비어홀과 제2 비어홀 패턴을 포함하는 제2 절연층을 형성하여, 상기 제1 비어홀을 게이트라인 본딩영역에 위치시키고, 상기 제2 비어홀은 데이터라인 본딩영역에 위치시키는 단계;
- [0012] 단계 4: 상기 단계가 완료된 베이스 기판에 공통전극, 게이트 접속전극과 데이터 접속전극을 형성하고, 드레인 전극이 소재한 위치에서 공통전극에 제3 비어홀을 개설했으며, 상기 게이트 접속전극을 제1 비어홀을 통해 게이트라인과 접속시키고, 상기 데이터 접속전극은 제2 비어홀을 통해 데이터라인과 접속시키는 단계;
- [0013] 단계 5: 상기 단계가 완료된 베이스 기판에 제3 절연층을 형성하고, 드레인전극이 소재한 위치에서 드레인전극 표면을 노출시키는 제4 비어홀을 형성하며, 상기 제4 비어홀을 제3 비어홀 내에 위치시키는 단계;
- [0014] 단계 6: 상기 단계가 완료된 베이스 기판에 화소전극을 형성하고, 상기 화소전극을 제4 비어홀을 통하여 드레인 전극과 접속시키는 단계;를 포함하는 일종의 TFT-LCD 어레이 기판의 제조방법을 더 제공한다.

발명의 효과

- [0015] 본 발명에 따르면, 데이터라인을 덮는 제2 절연층에 공통전극을 형성하고, 공통전극을 덮는 제3 절연층에 전극 스트립 구조의 화소전극을 형성하여, 화소전극 가장자리 부분을 데이터라인 상방에 위치하도록 데이터라인과 중첩시켜, 화소전극 가장자리와 데이터라인 가장자리 간 영역의 액정이 전부 고급 초차원 스위칭 모드에 의해 구동되도록 함으로써, 액정 구동 효율을 향상시키고, 이 영역이 디스플레이 영역으로 변환되도록 함을 통해, 디스플레이 영역의 면적을 최대한으로 증가시켜 개구율을 효과적으로 높일 수 있는 일종의 TFT-LCD 어레이 기판 및 그 제조방법이 제공된다.

도면의 간단한 설명

- [0016] 도 1은 본 발명인 TFT-LCD 어레이 기판의 평면도이다.
- 도 2는 도 1 중 A1-A1방향의 단면도이다.
- 도 3은 도 1 중 B1-B1방향의 단면도이다.
- 도 4는 본 발명인 TFT-LCD 어레이 기판의 제1차 패턴형성 공정 후의 평면도이다.
- 도 5는 도 4중 A2-A2방향의 단면도이다.
- 도 6은 본 발명인 TFT-LCD 어레이 기판의 제2차 패턴형성 공정 후의 평면도이다.
- 도 7은 도 6 중 A3-A3방향의 단면도이다.
- 도 8은 도 6중 B3-B3방향의 단면도이다.
- 도 9는 본 발명인 TFT-LCD 어레이 기판의 제3차 패턴형성 공정 후의 평면도이다.
- 도 10은 도 9중 A4-A4 방향의 단면도이다.
- 도 11은 도 9중 B4-B4 방향의 단면도이다.
- 도 12는 도 9 중 게이트라인 본딩영역의 단면도이다.
- 도 13은 도 9 중 데이터라인 본딩영역의 단면도이다.
- 도 14는 본 발명인 TFT-LCD 어레이 기판의 제4차 패턴형성 공정 후의 평면도이다.
- 도 15는 도 14 중 A5-A5 방향의 단면도이다.
- 도 16는 도 14 중 B5-B5 방향의 단면도이다.
- 도 17은 도 14 중 게이트라인 본딩영역의 단면도이다.

도 18은 도 14 중 데이터라인 본딩영역의 단면도이다.

도 19는 본 발명의 TFT-LCD 어레이 기판의 제5차 패턴형성 공정 후의 평면도이다.

도 20은 도 19 중 A6-A6 방향의 단면도이다.

도 21은 도 19 중 B6-B6 방향의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 이하 첨부도면과 실시예를 통해, 본 발명의 기술방안에 대하여 좀 더 구체적으로 상세히 설명하고자 한다. 도면 중 각 층의 박막두께와 영역의 크기와 형상은 TFT-LCD 어레이 기판의 실제비율을 반영하지 않으며, 목적은 단지 본 발명의 내용을 설명하기 위한 것이다.
- [0018] 도 1은 본 발명의 실시예의 TFT-LCD 어레이 기판의 평면도로서, 하나의 화소유닛의 구조를 반영한 것이고, 도 2는 도 1 중 A1-A1방향의 단면도이며, 도 3은 도 1 중 B1-B1 방향의 단면도이다.
- [0019] 도 1 ~ 도 3에 도시된 바와 같이, 본 발명의 실시예 중의 TFT-LCD 어레이 기판의 본체구조는 베이스 기판(1)에 형성되는 게이트라인(11), 데이터라인(12), 화소전극(13), 공통전극(14)과 박막트랜지스터를 포함한다. 게이트라인(11)과 데이터라인(12)은 화소영역을 한정하며, 각 화소영역 내에 화소전극(13), 공통전극(14)과 박막트랜지스터가 형성된다. 게이트라인(11)은 박막트랜지스터에게 접속신호 또는 차단신호를 제공하며, 데이터라인(12)은 화소전극(13)에게 데이터 신호를 제공하고, 화소전극(13)에는 공통전극(14)과 함께 다차원 공간 복합전기장을 형성하기 위한 전극스트립이 순차적으로 배열되어 구비된다. 공통전극(14)은 데이터라인(12)을 덮는 제2절연층(8) 위에 형성되고, 화소전극(13)은 공통전극(14)을 덮는 제3절연층(9) 위에 형성된다. 상기 화소전극(13)의 가장자리 부분은 데이터라인 상부에 중첩되게 위치하여(도 2와 도 3 참조), 화소전극(13)과 데이터라인(12) 사이의 영역을 디스플레이 영역의 일부분으로 변환시킴으로써 개구율을 효과적으로 향상시킨다.
- [0020] 구체적으로, 본 발명의 실시예의 TFT-LCD 어레이 기판은 베이스 기판(1)에 형성되는 게이트라인(11)과 게이트전극(2)을 포함하며, 게이트전극(2)은 게이트라인(11)과 접속된다. 제1 절연층(3)은 게이트라인(11)과 게이트전극(2)에 형성되면서 전체 베이스기판(1)을 덮는다. 각 화소유닛의 박막트랜지스터 활성층(반도체층(4)과 도핑 반도체층(5) 포함)은 제1절연층(3) 위에 형성되면서 게이트전극(2)의 상부에 위치하고; 소스전극(6)과 드레인전극(7)은 활성층에 형성되며, 소스전극(6)의 일단은 게이트전극(2)의 상부에 위치하고, 타단은 데이터라인(12)과 접속되며, 드레인전극(7)의 일단은 게이트전극(2)의 상부에 위치하고, 타단은 화소전극(13)과 접속되며, 소스전극(6)과 드레인전극(7) 사이에 TFT 채널영역이 형성된다. TFT 채널영역의 도핑 반도체층(5)은 완전히 식각되며, 또한 일부 두께의 반도체층(4) 역시 식각되어, TFT채널 영역의 반도체층(4)이 노출된다. 도 12, 13을 참조하면, 제2 절연층(8)은 상기 구조 위에 형성되며, 상기 제2 절연층 중 게이트라인 본딩영역에 제1 비어홀이 개설되고, 데이터라인 본딩영역에 제2 비어홀이 개설된다. 게이트라인 본딩영역과 데이터라인 본딩영역은 통상적으로 어레이 기판의 주변 영역에 위치하여, 각각 게이트라인과 데이터라인이 구동칩과 접속되도록 한다. 공통전극(14), 게이트 접속전극과 데이터 접속전극은 제2 절연층(8) 상에 형성되며, 그 중 드레인전극(7)이 소재하는 영역에 위치한 공통전극(14)에 제3 비어홀(23)이 개설되고, 게이트라인 본딩영역에 형성된 게이트 접속전극은 제1 비어홀을 통하여 게이트라인(11)과 접속되며, 데이터 본딩영역에 형성된 데이터 접속전극은 제2 비어홀을 통해 데이터라인(12)과 접속된다. 제3 절연층(9)은 상기 구조 위에 형성되며, 또한 드레인전극(7) 위치에 드레인전극(7) 표면을 노출시키는 제4 비어홀(24)이 개설된다. 제4 비어홀(24)의 면적은 제3 비어홀(23)의 면적보다 작으며, 즉 제3 비어홀(23)이 소재하는 영역에는 제4 비어홀(24)이 소재하는 영역이 포함된다. 각 화소유닛마다, 다수의 평행하면서 순차적으로 배열되는 전극스트립 구조를 포함하는 화소전극(13)이 제3 절연층(9) 위에 형성되는데, 이 다수의 전극스트립은 한편으로는 서로 접속되고, 다른 한편으로는 제4 비어홀(24)을 통하여 드레인전극(7)과 접속된다.
- [0021] 도 4 ~ 도 21은 본 발명의 실시예의 TFT-LCD 어레이 기판의 제조과정 설명도로서, 본 발명의 실시예의 기술방안을 좀 더 구체적으로 설명할 수 있다. 이하 설명에서 칭하는 패턴형성 공정은 포토레지스트 도포, 마스크, 포토레지스트 노광과 현상, 포토레지스트를 사용하여 패턴을 식각하고 포토레지스트를 박리하는 등 공정을 포함하며, 포토레지스트는 양성 포토레지스트를 예로 들었다.
- [0022] 도 4는 본 발명인 TFT-LCD 어레이 기판의 제1차 패턴형성공정 후의 평면도로서, 반영된 것은 하나의 화소유닛 구조이며, 도 5는 도 4중 A2-A2방향의 단면도이다.
- [0023] 먼저, 마그네트론 스퍼터링 또는 열증발법을 이용하여, 베이스기판(1)(예를 들어 유리기판 또는 석영기판)에 한

층의 게이트 금속박막을 증착하고, 도 4와 도 5에 도시된 바와 같이, 일반 마스크를 이용하여 패턴형성 공정을 통해 상기 게이트 금속박막에 게이트라인(11)과 게이트 전극(2)을 포함하는 패턴을 형성하고, 게이트 전극(2)을 게이트라인(11)과 접속시킨다.

[0024] 도 6은 본 발명인 TFT-LCD 어레이 기관의 제2차 패턴구성공정 후의 평면도로서, 반영된 것은 하나의 화소유닛의 구조이며, 도 7은 도 6중 A3-A3 방향의 단면도이고, 도 8은 도 6중 B3-B3 방향의 단면도이다.

[0025] 도 4에 도시된 패턴형성이 완료된 기관에, 먼저 스핀도포 등 방법을 이용하여 한 층의 제1 절연층을 도포한 다음, 플라즈마 증강 화학기상 증착(약칭 PECVD) 방법을 이용하여 반도체 박막과 도핑 반도체박막을 연속 증착한 후, 마그네트론 스퍼터링 또는 열증발법을 이용하여 한 층의 소스-드레인 금속박막을 증착한다. 하프톤 또는 그레이톤 마스크를 이용하여 패턴형성공정을 통해 상기 층에 패터닝함으로써, 도 6 ~ 도 8에 도시된 바와 같이 데이터라인(12)과 박막트랜지스터의 활성층, 소스전극(6), 드레인전극(7)을 포함하는 패턴을 형성한다. 각 TFT마다, 활성층(반도체층(4)과 도핑 반도체층(5)의 적층 포함)을 제1 절연층(3)에 형성함과 아울러 게이트 전극(2)의 상방에 위치시키고, 소스전극(6)과 드레인전극(7)을 활성층에 형성하며, 소스전극(6)의 일단은 게이트 전극(2)의 상방에 위치시키고, 타단은 데이터라인(12)과 접속시킨다. 드레인전극(7)의 일단은 게이트전극(2)의 상방에 위치시켜, 소스전극(6)과 대향으로 설치하며, 소스전극(6)과 드레인전극(7) 사이에 채널 영역을 형성하여, 채널 영역의 도핑 반도체층(5)을 완전히 식각하고, 일부 두께의 반도체층(4) 역시 식각하여, 상기 채널 영역의 반도체층(4)이 노출되도록 한다.

[0026] 본 패턴 형성공정은 일종의 다단계 식각법을 이용한 패턴 형성공정으로서, 통상적인 4차 패턴형성공정에서 데이터라인, 활성층, 소스전극, 드레인전극과 채널 영역 패턴을 형성하는 과정과 동일하며, 공정 과정은 구체적으로 다음과 같다.

[0027] 먼저, 소스-드레인 금속박막에 한 층의 포토레지스트를 도포하고, 하프톤 또는 그레이톤의 마스크를 이용하여 포토레지스트를 노광, 현상한 후, 포토레지스트에 완전 노광영역(포토레지스트가 완전히 제거된 영역), 비노광영역(포토레지스트가 완전히 남아있는 영역)과 부분 노광영역(포토레지스트가 부분적으로 남아있는 영역)을 형성한다. 그 중 비노광영역은 데이터라인, 소스전극과 드레인전극 패턴이 소재하는 영역에 대응되고, 부분 노광영역은 TFT 채널 영역 패턴이 소재하는 영역에 대응되며, 완전 노광영역은 상기 패턴 이외의 영역에 대응된다. 제1차 식각공정을 통해 완전 노광영역의 소스-드레인 금속 박막, 도핑 반도체 박막과 반도체 박막을 완전히 식각하여, 활성층과 데이터라인을 포함하는 패턴을 형성한다. 애싱 공정을 통해 부분 노광영역의 포토레지스트를 제거하여 상기 영역의 소스-드레인 금속박막을 노출시키고, 또한 비노광영역의 포토레지스트 두께를 감소시킨다. 제2차 식각공정을 통해 부분 노광영역의 소스-드레인 금속박막과 도핑 반도체 박막을 완전히 식각하고, 일부 두께의 반도체 박막을 식각하여, 상기 영역의 반도체 박막이 노출되도록 함으로써, 박막트랜지스터의 소스전극, 드레인전극과 채널 영역을 포함하는 패턴을 형성한다. 마지막으로 나머지 포토레지스트를 박리하여 본 발명의 제2차 패턴형성공정을 완료한다. 활성층과 데이터라인이 동일 회차의 패턴형성공정 중에 형성되기 때문에, 데이터라인 하부에는 반도체 박막과 도핑 반도체층 박막이 남게 된다.

[0028] 도 9는 본 발명인 TFT-LCD 어레이 기관의 제3차 패턴형성공정 후의 평면도로서, 반영된 것은 하나의 화소유닛 구조이며, 도 10은 도 9중 A4-A4 방향의 단면도이고, 도 11은 도 9중 B4-B4 방향의 단면도이며, 도 12는 도 9중 게이트라인 본딩영역의 단면도이고, 도 13은 도 9중 데이터라인 본딩영역의 단면도이다.

[0029] 도 6에 도시된 패턴 형성이 완료된 기관에, 스핀도포 등 방법을 이용하여 한 층의 제2 절연층(8)을 도포한 다음, 일반 마스크를 이용하여 패턴 형성공정을 통해 상기 제2 절연층(8)에 패터닝함으로써, 제1 비어홀(21)과 제2 비어홀(22)을 포함하는 패턴을 형성한다. 도 9 ~ 도 13에 도시된 바와 같이, 제1 비어홀(21)을 게이트라인 본딩영역에 위치시키고, 제1 비어홀(21) 내의 제1 절연층(3)과 제2 절연층(8)을 식각을 통해 제거하여 게이트라인(11)의 표면을 노출시키며; 제2 비어홀(22)은 데이터라인 본딩영역에 위치시키고, 제2 비어홀(22) 내의 제2 절연층(8)을 식각을 통해 제거하여 데이터라인(12)의 표면이 노출되도록 한다.

[0030] 도 14는 본 발명인 TFT-LCD 어레이 기관의 제4차 패턴 형성공정 후의 평면도로서, 반영된 것은 하나의 화소유닛 구조이며, 도 15는 도 14 중 A5-A5 방향의 단면도이고, 도 16은 도 14 중 B5-B5 방향의 단면도이며, 도 17은 도 14 중 게이트라인 본딩영역의 단면도이고, 도 18은 도 14 중 데이터라인 본딩영역의 단면도이다.

[0031] 도 9에 도시된 패턴형성이 완료된 기관에, 마그네트론 스퍼터링 또는 열증발법을 이용하여 한 층의 제1 투명 도전박막을 증착하고, 일반 마스크를 이용하여 패턴형성 공정을 통해 상기 투명 도전 박막에 공통전극(14), 게이트 접속전극(15)과 데이터 접속전극(16)을 포함하는 패턴을 형성한다. 공통전극(14)은 전체 화소영역을 커버하

되, 단 드레인전극(7)이 소재하는 영역에 제3 비어홀(23)을 형성하고, 제3 비어홀(23) 내에 제2 절연층(8)을 노출시킨다. 도 14 ~ 도 18에 도시된 바와 같이, 게이트 접속전극(15)은 게이트라인 본딩영역에 형성되어 제1 비어홀(21)을 덮고, 게이트라인(11)과 접속되며, 데이터 접속전극(16)은 데이터 본딩영역에 형성되어 제2 비어홀(22)을 덮고, 데이터라인(12)과 접속된다.

[0032] 도 19는 본 발명인 TFT-LCD 어레이 기판의 제5차 패터닝성공정 후의 평면도로서, 반영된 것은 하나의 화소유닛 구조이며, 도 20은 도 19 중 A6-A6 방향의 단면도이고, 도 21은 도 19 중 B6-B6 방향의 단면도이다.

[0033] 도 14에 도시된 패터닝성이 완료된 기판에, 스핀도포 등 방법을 이용하여 한 층의 제3 절연층(9)을 도포한 다음, 일반 마스크를 이용하여 패터닝 형성공정을 통해 상기 제3 절연층(9)에 패터닝함으로써, 제4 비어홀(24)을 포함하는 패터를 형성한다. 도 19 ~ 도 21에 도시된 바와 같이, 제4 비어홀(24)은 드레인전극(7)이 소재한 위치에 위치하면서, 공통전극(14)에 개설된 제3 비어홀(23) 내부에 위치하며, 제4 비어홀(24) 내부의 제3 절연층(9)과 제2 절연층(8)은 식각을 통해 제거되어, 드레인전극(7)의 표면을 노출시킨다.

[0034] 마지막으로, 도 19에 도시된 패터닝성이 완료된 기판에, 마그네트론 스퍼터링 또는 열증발법을 이용하여, 한 층의 제2 투명 도전박막을 증착하고, 일반적인 마스크를 이용하여 패터닝성 공정을 통해 상기 제2 투명 도전박막에 패터닝함으로써, 화소영역 내에 화소전극(13)을 포함하는 패터를 형성한다. 화소전극(13)은 다수의 평행하면서 순차적으로 배열되는 전극 스트립을 구비하여, 공통전극(14)과 함께 다차원 공간 복합전기장을 형성하며, 한편으로는 화소전극(13)을 제4 비어홀(24)을 통해 드레인전극(7)과 접속시키고, 다른 한편으로는 각 전극스트립을 단부의 접속스트립을 통해 서로 접속시키며, 이와 같이 획득된 제품은 도 1~도 3에 도시된 바와 같다. 제4 비어홀(24)의 면적이 제3 비어홀(23)의 면적보다 작기 때문에, 화소전극(13)과 공통전극(14) 사이의 절연을 보장할 수 있고, 화소전극(13)과 공통전극(14) 간에 단락 현상이 발생하지 않는다.

[0035] 설명해야 할 점은, 상기 도시된 구조와 제조 과정은 단지 본 발명인 TFT-LCD 어레이 기판의 구조 형식 중 하나일 뿐이며, 실제 사용에서는 다른 패터닝성 공정을 이용하여 다른 재료 또는 재료의 조합을 선택하여 본 발명을 실현할 수 있다. 예를 들어, 제1 절연층, 제2 절연층과 제3 절연층은 상기에 도시된 유기 절연층을 채택할 수도 있고, 무기 절연층을 채택할 수도 있다. 무기 절연층(예를 들어 산화물, 질화물 또는 산소질소 화합물)을 채택할 경우, 플라즈마 증강 화학기상 증착(약칭 PECVD)법을 이용하여 증착을 완성할 수 있다. 또한, 제1 절연층과 제2 절연층은 무기 절연층(예를 들어 질화규소)이고, 제3 절연층은 유기 절연층(예를 들어 수지재료)인 구조 형식을 채택할 수도 있다. 또한, 상기 제2차 패터닝성공정은 일반적인 마스크를 이용하는 두 개의 패터닝성 공정을 통해 완성될 수 있다. 즉 일반적인 마스크를 채택한 일차 패터닝성공정을 통해 활성층 패터를 형성하고, 일반적인 마스크를 채택한 다른 일차 패터닝성공정을 통해 데이터라인, 소스전극, 드레인전극과 TFT 채널 영역 패터를 형성한다.

[0036] 본 발명의 실시예에서는 데이터라인을 덮는 제2 절연층에 공통전극을 형성하고, 공통전극을 덮는 제3 절연층에 전극스트립 구조의 화소전극을 형성하여, 화소전극 가장자리 부분을 데이터라인 상방에 위치하도록 데이터라인과 중첩시켜, 화소전극 가장자리와 데이터라인 가장자리 간 영역의 액정이 전부 고압 초차원 스위칭 모드에 의해 구동되도록 함으로써, 액정 구동 효율을 향상시키고, 이 영역이 디스플레이 영역으로 변환되도록 함을 통해, 디스플레이 영역의 면적을 최대한으로 증가시켜 개구율을 효과적으로 높일 수 있는 일종의 TFT-LCD 어레이기판을 제공한다. 수지 부동태화층을 이용한 기술방안에 비해, 본 발명의 실시예는 종래 설비와 공정을 이용하기 때문에 투자비용과 재료비용을 절약할 수 있어, 실시가 간단할 뿐만 아니라, 생산원가도 낮다. 공통전극과 화소전극의 위치를 변경하는 기술방안과 비교할 경우, 본 발명의 실시예는 또한 6차 패터닝성공정을 채택하여, 공정 흐름과 생산원가를 추가하지 않는다는 전제 하에 개구율을 효과적으로 높일 수 있다.

[0037] 본 발명의 실시예의 TFT-LCD 어레이 기판 제조방법은

[0038] 단계 1: 기판에 게이트라인과 게이트 전극을 포함하는 패터를 형성하는 단계.

[0039] 단계 2: 상기 단계가 완료된 기판에 활성층, 데이터라인, 소스전극과 드레인전극을 포함하는 패터를 형성하는 단계;

[0040] 단계 3: 상기 단계가 완료된 기판에 게이트라인 본딩영역에 위치하는 제1 비어홀과 데이터라인 본딩영역에 위치하는 제2 비어홀을 포함하는 제2 절연층을 형성하는 단계;

[0041] 단계 4: 상기 단계가 완료된 기판에 공통전극, 게이트 접속전극과 데이터 접속전극을 포함하는 패터를 형성하며, 드레인 전극이 소재하는 위치의 공통전극에 제3 비어홀을 개설하여, 상기 게이트 접속전극을 제1 비어홀을 통해 게이트라인과 접속시키고, 상기 데이터 접속전극을 제2 비어홀을 통해 데이터라인과 접속시키는 단

계;

[0042] 단계 5: 상기 단계가 완료된 기관에 제3 절연층을 형성하고, 제3 비어홀 내부에 위치하면서, 드레인 전극이 소
재하는 위치에 드레인전극 표면을 노출시키는 제4 비어홀을 형성하는 단계;

[0043] 단계 6: 상기 단계가 완료된 기관에 화소전극을 포함하는 패틴을 형성하여, 상기 화소전극을 제4 비어홀을 통해 드레인전극과 접속시키는 단계를 포함한다.

[0044] 본 발명의 실시예에서는 데이터라인을 덮는 제2 절연층에 공통전극을 형성하고, 공통전극을 덮는 제3 절연층에 전극 스트립 구조의 화소전극을 형성하여, 화소전극 가장자리 부분을 데이터라인 상방에 중첩되게 위치시켜, 화소전극 가장자리와 데이터라인 가장자리 간 영역의 액정이 전부 고압 초차원 스위칭 모드에 의해 구동되도록 함으로써, 액정 구동 효율을 향상시키고, 이 영역을 디스플레이 영역으로 변환함을 통해, 디스플레이 영역의 면적을 최대한 증가시켜 개구율을 효과적으로 향상시킬 수 있는 일종의 TFT-LCD 어레이기판의 제조방법을 제공한다.

[0045] 상기 실시예에서, 단계 1의 실례는, 기판에 게이트 금속박막을 증착하고, 일반적인 마스크를 이용하여 패턴형성 공정을 통해 게이트라인과 게이트 전극을 포함하는 패턴을 형성하고, 게이트 전극을 게이트 라인과 접속시키는 단계를 포함한다.

[0046] 상기 실시예에서, 단계 2의 실례는,

[0047] 상기 단계가 완료된 기판에 순차적으로 제1 절연층, 반도체 박막, 도핑 반도체 박막과 소스-드레인 금속박막을 형성하는 단계와;

[0048] 소스-드레인 금속박막에 한 층의 포토레지스트를 도포하는 단계와;

[0049] 하프톤 또는 그레이톤 마스크를 이용하여 포토레지스트를 노광, 현상한 후 포토레지스트가 완전히 남아있는 영역, 포토레지스트가 완전히 제거된 영역과 포토레지스트가 부분적으로 남아있는 영역을 형성하여; 그 중 포토레지스트가 완전히 남아있는 영역을 데이터라인, 소스전극과 드레인전극 패턴이 소재하는 영역에 대응시키고, 포토레지스트가 부분적으로 남아있는 영역을 소스전극과 드레인 전극 사이의 TFT 채널 영역 패턴이 소재하는 영역에 대응시키며, 포토레지스트가 완전히 제거된 영역은 상기 패턴 이외의 영역에 대응시키는 단계와;

[0050] 제1차 식각 공정을 통해 포토레지스트가 완전히 제거된 영역의 소스-드레인 금속박막, 도핑 반도체 박막과 반도체 박막을 식각하여, 활성층과 데이터라인을 포함하는 패턴을 형성하는 단계와;

[0051] 애싱 공정을 통해 포토레지스트가 부분적으로 보류된 영역의 포토레지스트를 제거하여, 상기 영역의 소스-드레인 금속박막을 노출시키는 단계와;

[0052] 제2차 식각 공정을 통해 포토레지스트가 부분적으로 남아있는 영역의 소스-드레인 금속박막과 도핑 반도체 박막을 완전히 식각하고, 일부 두께의 반도체 박막을 식각하여, 소스전극, 드레인 전극과 TFT 채널 영역의 패턴을 형성하는 단계와;

[0053] 나머지 포토레지스트를 박리하는 단계를 포함한다.

[0054] 상기 실시예에서, 단계 3의 실례는: 상기 단계가 완료된 기판에, 스퍼도포 또는 PECVD 증착법을 이용하여 한 층의 제2 절연층을 형성한 다음, 일반 마스크를 이용하여 패턴형성 공정을 통해 제2 절연층의 제1 비어홀과 제2 비어홀을 포함하는 패턴을 형성하여, 제1 비어홀을 게이트라인 본딩영역에 위치시키고, 제1 비어홀 내부의 제1 절연층과 제2 절연층을 식각하여 게이트라인의 표면을 노출시키며, 제2 비어홀은 데이터라인 본딩영역에 위치시키고, 제2 비어홀 내부의 제2 절연층을 식각하여 데이터라인의 표면을 노출시키는 단계를 포함한다.

[0055] 상기 실시예에서, 단계 4의 실례는: 상기 단계가 완료된 기관에, 마그네트론 스퍼터링 또는 열증발법을 이용하여 제1 투명 도전 박막을 증착하고, 일반 마스크를 이용하여 패턴형성 공정을 통해 공통전극, 게이트 접속전극과 데이터 접속전극을 포함하는 패턴을 형성하고, 공통전극으로 전체 화소영역을 덮으며, 드레인 전극이 소재하는 영역에 제3 비어홀을 형성하고, 제3 비어홀 내부에 제2 절연층을 노출시키며, 게이트 접속전극은 게이트라인 본딩영역에 형성하여, 게이트 접속전극으로 제1 비어홀을 덮고 게이트라인과 접속시키며, 데이터 접속전극을 데이터 본딩영역에 형성하여, 데이터 접속전극으로 제2 비어홀을 덮고 데이터라인과 접속시키는 단계를 포함한다.

[0056] 상기 실시예에서, 단계 5의 실례는: 상기 단계가 완료된 기판에, 스피노도포 또는 PECVD 증착법을 이용하여 제3 절연층을 형성하고, 일반 마스크를 이용하여 패턴형성 공정을 통해 제4 비어홀을 포함하는 패턴을 형성하며, 제4 비어홀을 드레인전극 위치에 위치시키고, 또한 면적을 공통전극에 개설된 제3 비어홀보다 작게 하며, 제4 비

어홀 내부의 제3 절연층과 제2 절연층을 식각하여 드레인전극의 표면을 노출시키는 단계를 포함한다.

[0057] 상기 실시예에서, 단계 6의 실례는: 상기 단계가 완료된 기판에, 마그네트론 스퍼터링 또는 열증발법을 이용하여 제2 투명 도전 박막을 증착하고, 일반 마스크를 이용하여 패턴형성 공정을 통해 화소영역 내에 화소전극을 포함하는 패턴을 형성하며, 화소전극은 다수의 평행하면서 순차적으로 배열되는 전극 스트립을 구비하여, 한편으로 화소전극은 제4 비어홀을 통해 드레인 전극과 접속시키고, 다른 한편으로 각 전극 스트립을 단부의 접속스트립을 통해 서로 접속시키는 단계를 포함한다.

[0058] 본 발명의 실시예의 TFT-LCD 어레이 기판 제조방법의 제조 과정은 이미 상기 도 4~도 13에 도시된 기술방안에서 상세히 소개하였으므로, 여기서는 설명을 생략한다.

[0059] 상기 실시예에서는 공통전극(14)을 전체 화소영역의 플레이트형 전극으로 형성한 것을 예로 들어 설명하였다. 공통전극(14)은 또한 다수의 서로 평행하게 연장되는 슬릿을 더 포함하여, 이러한 슬릿을 화소전극의 전극 스트립과 대응되도록 하거나; 또는 공통전극(14) 역시 다수의 서로 평행하게 연장되는 전극 스트립을 구비하여, 이러한 전극 스트립 사이의 공간을 화소전극의 전극 스트립과 대응되도록 할 수도 있다.

[0060] 마지막으로, 이상의 발명은 단지 본 발명의 기술방안을 설명하기 위한 것으로서 제한적인 것은 아니며, 가능한 바람직한 발명을 참조하여 본 발명에 대해 상세하게 설명한 것으로서, 본 분야의 보통 기술자라면, 본 발명의 기술방안의 정신과 범위를 벗어남이 없이 본 발명의 기술방안을 수정하거나 또는 동등하게 치환할 수 있다는 것을 마땅히 이해할 수 있을 것이다.

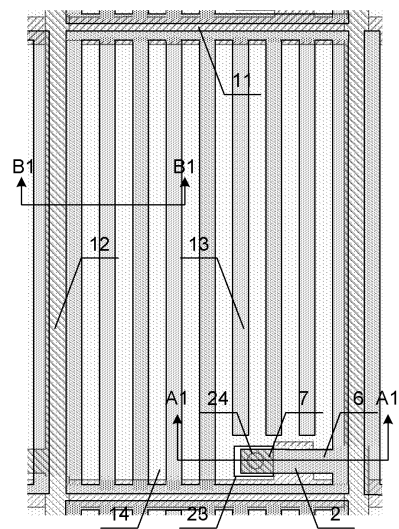
부호의 설명

[0061]

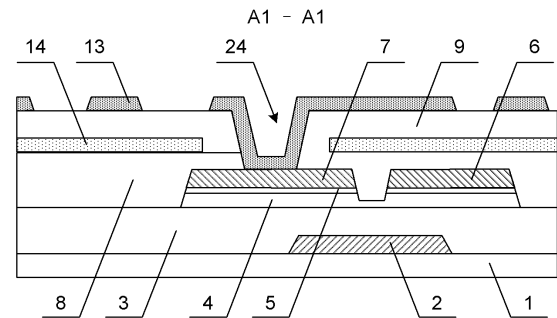
1: 기판	2: 게이트 전극
3: 제1 절연층	4: 반도체층
5: 도핑 반도체층	6: 소스전극
7: 드레인전극	8: 제2 절연층
9: 제3 절연층	11: 게이트라인
12: 데이터라인	13: 화소전극
14: 공통전극	21: 제1 비어홀
22: 제2 비어홀	23: 제3 비어홀
24: 제4 비어홀	

도면

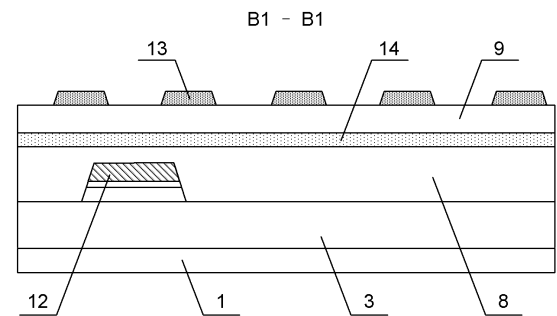
도면1



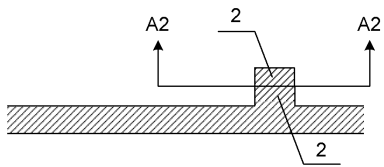
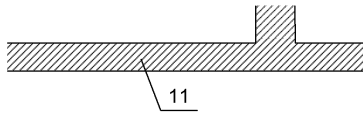
도면2



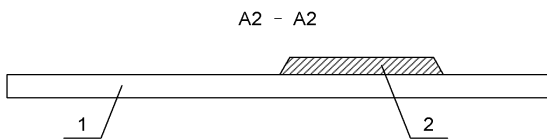
도면3



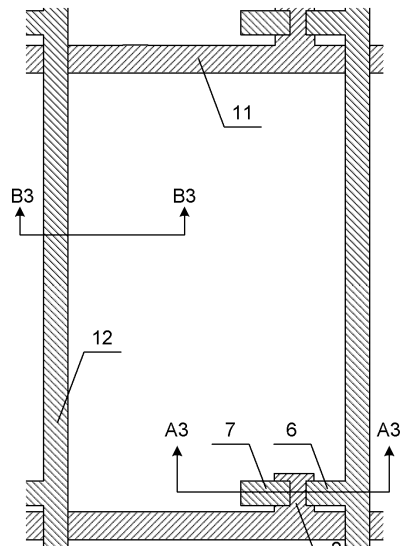
도면4



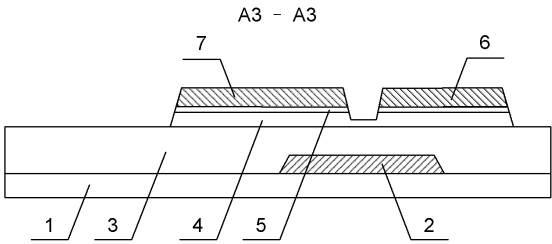
도면5



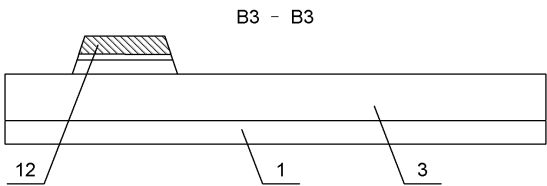
도면6



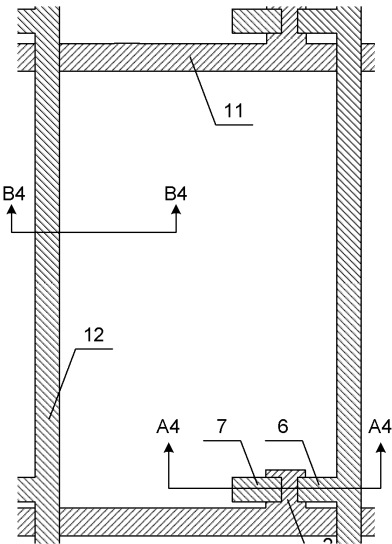
도면7



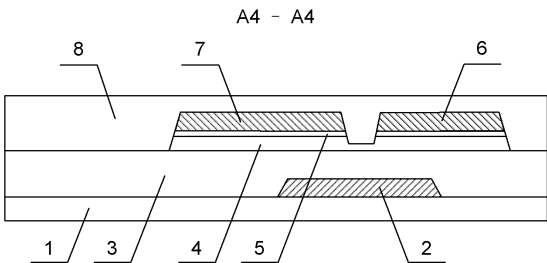
도면8



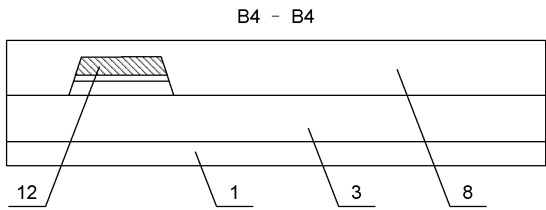
도면9



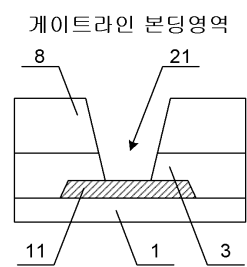
도면10



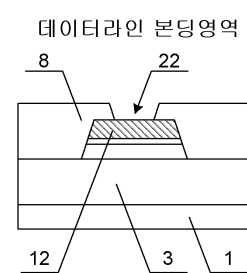
도면11



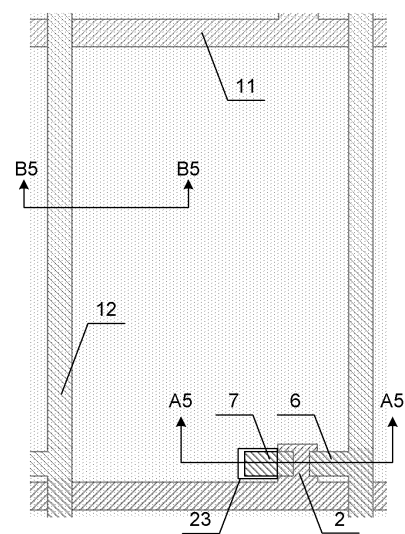
도면12



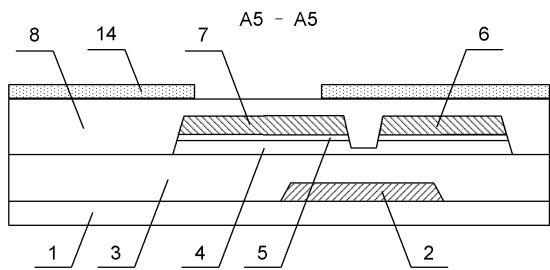
도면13



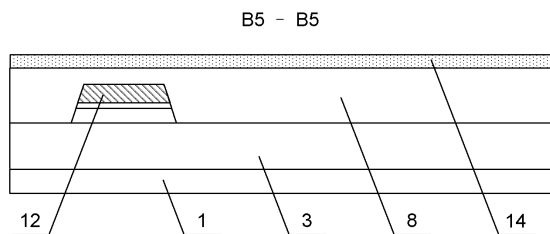
도면14



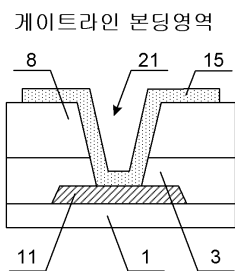
도면15



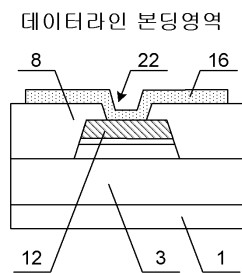
도면16



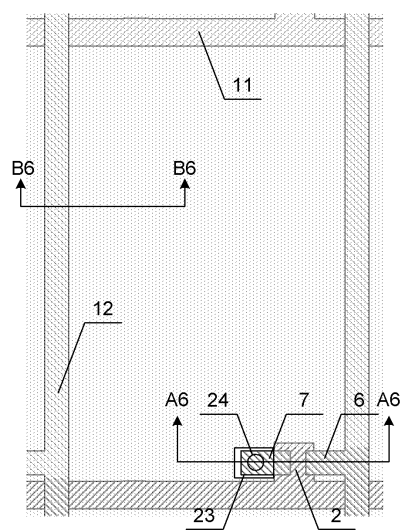
도면17



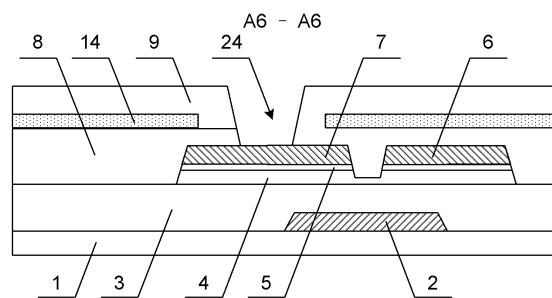
도면18



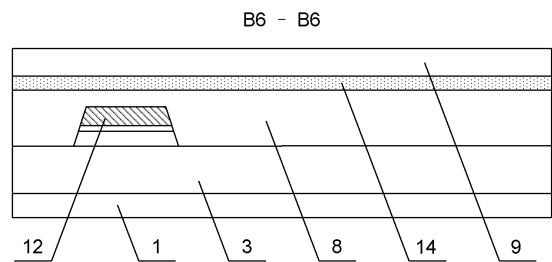
도면19



도면20



도면21



专利名称(译)	薄膜晶体管液晶显示器阵列基板及其制造方法		
公开(公告)号	KR101335007B1	公开(公告)日	2013-11-29
申请号	KR1020110122339	申请日	2011-11-22
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	博科技集团股份有限公司 成都京东方光电科技有限公司		
当前申请(专利权)人(译)	博科技集团股份有限公司 成都京东方光电科技有限公司		
[标]发明人	KIM WON SEOK 김원석 KIM PIL SEOK 김필석		
发明人	김원석 김필석		
IPC分类号	G02F1/1343 G02F1/136		
CPC分类号	G02F1/134363 G02F2001/134372 G02F2201/40 H01L27/124		
优先权	201110020246.1 2011-01-18 CN		
其他公开文献	KR1020120083837A		
外部链接	Espacenet		

摘要(译)

目的：提供一种薄膜晶体管液晶显示器阵列基板及其制造方法，以最大限度地增加显示区域的尺寸，从而有效地增加孔径比。结构：在基础基板上形成薄膜晶体管。公共电极（14）形成多维空间复合电场。栅极线和数据线定义像素区域。在像素区域中形成电极条结构的像素电极。公共电极形成在第二绝缘层上。第二绝缘层覆盖栅极线，数据线和薄膜晶体管。

