



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년09월05일  
(11) 등록번호 10-1303476  
(24) 등록일자 2013년08월28일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2012-0023989

(22) 출원일자 2012년03월08일

심사청구일자 2012년03월08일

(56) 선행기술조사문헌

KR1020100031977 A

KR100707009 B1

KR100458840 B1

KR100587366 B1

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

황정우

충북 옥천군 옥천읍 매화리 107-1

정연수

경상남도 고성군 고성읍 우산리 734

(74) 대리인

특허법인로알

전체 청구항 수 : 총 11 항

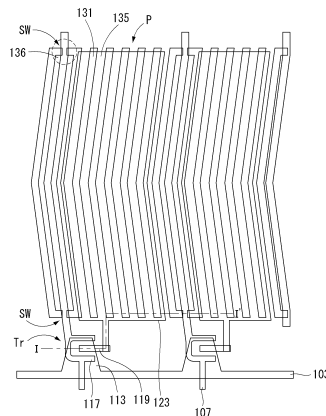
심사관 : 이준석

(54) 발명의 명칭 액정표시장치 어레이 기판 및 그 제조방법

(57) 요약

본 발명의 일 실시예에 따른 액정표시장치 어레이 기판은 기판 상에 일 방향으로 배열된 게이트 라인, 상기 게이트 라인과 교차하여 다수의 화소영역을 정의하는 데이터 라인, 상기 게이트 라인과 상기 데이터 라인의 교차부에 형성된 박막트랜지스터, 상기 박막트랜지스터에 연결된 화소 전극 및 상기 화소 전극과 대향하여 전계를 형성하며, 상기 데이터 라인과 중첩되는 쉴드 라인을 포함하는 공통 전극을 포함하며, 상기 쉴드 라인은 상기 쉴드 라인 중 폭이 좁은 커팅부를 적어도 둘 이상 포함할 수 있다.

대표도 - 도2



## 특허청구의 범위

### 청구항 1

기관 상에 일 방향으로 배열된 게이트 라인;  
 상기 게이트 라인과 교차하여 다수의 화소영역을 정의하는 데이터 라인;  
 상기 게이트 라인과 상기 데이터 라인의 교차부에 형성된 박막트랜지스터;  
 상기 박막트랜지스터에 연결된 화소 전극; 및  
 상기 화소 전극과 대향하여 전계를 형성하며, 상기 데이터 라인과 중첩되는 쉘드 라인을 포함하는 공통 전극;을 포함하며,  
 상기 쉘드 라인은 상기 쉘드 라인 중 폭이 좁은 커팅부를 적어도 둘 이상 포함하는 액정표시장치 어레이 기관.

### 청구항 2

제1 항에 있어서,  
 상기 공통 전극과 상기 쉘드 라인은 일체로 이루어진 액정표시장치 어레이 기관.

### 청구항 3

제1 항에 있어서,  
 상기 쉘드 라인의 폭은 상기 데이터 라인의 폭보다 넓은 액정표시장치 어레이 기관.

### 청구항 4

제3 항에 있어서,  
 상기 쉘드 라인의 커팅부의 폭은 상기 데이터 라인의 폭보다 좁은 액정표시장치 어레이 기관.

### 청구항 5

제1 항에 있어서,  
 상기 쉘드 라인의 커팅부는 하나의 상기 화소영역 내에 둘 이상 형성되는 액정표시장치 어레이 기관.

### 청구항 6

기관 상에 일 방향으로 배열된 게이트 라인;  
 상기 게이트 라인과 교차하여 다수의 화소영역을 정의하는 데이터 라인;  
 상기 게이트 라인과 상기 데이터 라인의 교차부에 형성된 박막트랜지스터;  
 상기 박막트랜지스터에 연결된 화소 전극; 및  
 상기 화소 전극과 대향하여 전계를 형성하며, 상기 데이터 라인과 중첩되는 쉘드 패턴을 포함하는 공통 전극;을 포함하며,  
 상기 쉘드 패턴은 패시베이션막을 관통하는 적어도 둘 이상의 콘택홀을 통해 상기 데이터 라인과 접속하는 액정

표시장치 어레이 기판.

#### 청구항 7

제6 항에 있어서,

상기 쉘드 패턴은 양측이 절단되어 상기 공통 전극과 이격된 액정표시장치 어레이 기판.

#### 청구항 8

제6 항에 있어서,

상기 쉘드 패턴은 상기 패시베이션막 상에 위치하고, 상기 패시베이션막은 상기 데이터 라인 상에 위치하는 액정표시장치 어레이 기판.

#### 청구항 9

제6 항에 있어서,

상기 쉘드 패턴은 둘 이상의 콘택홀에 채워진 콘택패턴에 의해 상기 데이터 라인과 접속하는 액정표시장치 어레이 기판.

#### 청구항 10

기판 상에 일 방향으로 배열된 게이트 라인을 형성하는 단계;

상기 게이트 라인과 교차하며, 다수의 화소영역을 정의하는 데이터 라인을 형성하는 단계;

상기 게이트 라인과 상기 데이터 라인의 교차부에 박막트랜지스터를 형성하는 단계;

상기 박막트랜지스터에 연결된 화소 전극을 형성하는 단계;

상기 화소 전극 상에 패시베이션막을 형성하는 단계;

상기 패시베이션막 상에 공통 전극을 형성하되, 상기 데이터 라인과 중첩되며 폭이 좁은 커팅부를 적어도 둘 이상 포함하는 쉘드 라인을 포함하도록 형성하는 단계;

상기 데이터 라인 중 단락이 발생된 부분과 중첩된 상기 쉘드 라인 양측의 커팅부에 레이저를 조사하여, 상기 쉘드 라인을 단선시켜 쉘드 패턴을 형성하는 단계;

상기 쉘드 패턴의 양측을 식각하여 상기 데이터 라인을 노출시키는 콘택홀들을 형성하는 단계; 및

레이저 CVD 리페어 장치를 이용하여 상기 콘택홀들을 채우는 콘택패턴을 형성하는 단계를 포함하는 액정표시장치 어레이 기판의 제조방법.

#### 청구항 11

제10 항에 있어서,

상기 쉘드 라인을 단선시키는 레이저는 D-UV 레이저(Deep-UV laser)를 이용하는 액정표시장치 어레이 기판의 제조방법.

**명세서**

**기술분야**

[0001] 본 발명은 액정표시장치에 관한 것으로, 보다 자세하게는 데이터 라인의 단락 불량을 리페어할 수 있는 액정표시장치 어레이 기판 및 그 제조방법에 관한 것이다.

## 배경 기술

[0002] 일반적으로, 액정표시장치는 액정의 광학적 이방성과 분극성질을 이용하여 구동된다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다. 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

[0003] 현재는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소 전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD 이하, 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다. 상기 액정표시장치는 공통 전극이 형성된 컬러필터 기판과 화소 전극이 형성된 어레이 기판과, 상기 두 기판 사이에 개재된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통 전극과 화소 전극이 상하로 걸리는 전기장에 의해 액정을 구동하는 방식으로 투과율과 개구율 등의 특성이 우수하다.

[0004] 그러나, 상하로 걸리는 전기장에 의한 액정구동은 시야각 특성이 우수하지 못한 단점을 가지고 있다. 따라서, 상기의 단점을 극복하기 위해 시야각 특성이 우수한 횡전계형 액정표시장치가 제안되었다.

[0005] 도 1은 종래 횡전계형 액정표시장치의 서브픽셀을 나타낸 단면도이다.

[0006] 도 1을 참조하면, 제1 기판(5) 상에 게이트 전극(10)과 게이트 절연막(15)이 형성되고, 액티브층(20)이 게이트 전극(10) 상에 형성된다. 액티브층(20)에는 소스 전극(25a)과 드레인 전극(25b)이 접속되어 스위칭 박막트랜지스터를 구성하고, 화소영역의 가장자리에 데이터 라인(25c)이 형성된다. 그리고, 드레인 전극(25b)에 연결된 화소 전극(41)이 형성된다. 제1 기판(5) 상에 형성된 소자를 보호하는 패시베이션막(30)이 형성되고, 패시베이션막(30) 상에 공통 전극(42)이 형성된다.

[0007] 그리고, 제2 기판(50) 상에 블랙매트릭스(55)와 컬러필터(60)가 형성되고, 이들을 덮는 오버코트층(70)이 형성된다. 제1 기판(5)과 제2 기판(50) 사이에 액정층(80)이 개재되어 종래 횡전계형 액정표시장치를 구성한다.

[0008] 상기 종래 횡전계형 액정표시장치는 데이터 라인(25c)과 인접하는 공통 전극(42)의 커플링 캐패시턴스(coupling capacitance)에 의한 임의의 전위차가 형성되어, 액정이 비정상적으로 구동되는 구동불량이 발생된다.

[0009] 이와 같은 문제점을 해결하기 위해, 쉘드 라인을 데이터 라인 상에 형성하여, 데이터 라인과 공통 전극 사이의 전위차가 형성되는 것을 방지하고자 하였다. 그러나, 데이터 라인의 단락 불량이 발생하였을 때, 데이터 라인 상에 위치한 쉘드 라인에 의해 단락 불량을 리페어하기 어려운 문제점이 있다.

## 발명의 내용

### 해결하려는 과제

[0010] 본 발명은 구동 불량을 방지함과 더불어 데이터 라인의 단락을 리페어할 수 있는 액정표시장치 어레이 기판 및 그 제조방법을 제공한다.

### 과제의 해결 수단

[0011] 상기한 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 액정표시장치 어레이 기판은 기판 상에 일 방향으로 배열된 게이트 라인, 상기 게이트 라인과 교차하여 다수의 화소영역을 정의하는 데이터 라인, 상기 게이트 라인과 상기 데이터 라인의 교차부에 형성된 박막트랜지스터, 상기 박막트랜지스터에 연결된 화소 전극 및 상기 화소 전극과 대향하여 전계를 형성하며, 상기 데이터 라인과 중첩되는 쉘드 라인을 포함하는 공통 전극을 포함하며, 상기 쉘드 라인은 상기 쉘드 라인 중 폭이 좁은 커팅부를 적어도 둘 이상 포함할 수 있다.

[0012] 상기 공통 전극과 상기 쉘드 라인은 일체로 이루어질 수 있다.

- [0013] 상기 쉘드 라인의 폭은 상기 데이터 라인의 폭보다 넓을 수 있다.
- [0014] 상기 쉘드 라인의 커팅부의 폭은 상기 데이터 라인의 폭보다 좁을 수 있다.
- [0015] 상기 쉘드 라인의 커팅부는 하나의 상기 화소영역 내에 둘 이상 형성될 수 있다.
- [0016] 또한, 본 발명의 일 실시예에 따른 액정표시장치 어레이 기판은 기판 상에 일 방향으로 배열된 게이트 라인, 상기 게이트 라인에 교차하여 다수의 화소영역을 정의하는 데이터 라인, 상기 게이트 라인에 상기 데이터 라인의 교차부에 형성된 박막트랜지스터, 상기 박막트랜지스터에 연결된 화소 전극 및 상기 화소 전극과 대향하여 전계를 형성하며, 상기 데이터 라인과 중첩되는 쉘드 패턴을 포함하는 공통 전극을 포함하며, 상기 쉘드 패턴은 패시베이션막을 관통하는 적어도 둘 이상의 콘택홀을 통해 상기 데이터 라인과 접속할 수 있다.
- [0017] 상기 쉘드 패턴은 양측이 절단되어 상기 공통 전극과 이격될 수 있다.
- [0018] 상기 쉘드 패턴은 상기 패시베이션막 상에 위치하고, 상기 패시베이션막은 상기 데이터 라인 상에 위치할 수 있다.
- [0019] 상기 쉘드 패턴은 둘 이상의 콘택홀에 채워진 콘택패턴에 의해 상기 데이터 라인과 접속할 수 있다.
- [0020] 또한, 본 발명의 일 실시예에 따른 액정표시장치 어레이 기판의 제조방법은 기판 상에 일 방향으로 배열된 게이트 라인을 형성하는 단계, 상기 게이트 라인에 교차하며, 다수의 화소영역을 정의하는 데이터 라인을 형성하는 단계, 상기 게이트 라인에 상기 데이터 라인의 교차부에 박막트랜지스터를 형성하는 단계, 상기 박막트랜지스터에 연결된 화소 전극을 형성하는 단계, 상기 화소 전극 상에 패시베이션막을 형성하는 단계, 상기 패시베이션막 상에 공통 전극을 형성하되, 상기 데이터 라인과 중첩되며 폭이 좁은 커팅부를 적어도 둘 이상 포함하는 쉘드 라인을 포함하도록 형성하는 단계, 상기 데이터 라인 중 단락이 발생된 부분과 중첩된 상기 쉘드 라인 양측의 커팅부에 레이저를 조사하여, 상기 쉘드 라인을 단선시켜 쉘드 패턴을 형성하는 단계, 상기 쉘드 패턴의 양측을 식각하여 상기 데이터 라인을 노출시키는 콘택홀들을 형성하는 단계 및 레이저 CVD 리페어 장치를 이용하여 상기 콘택홀들을 채우는 콘택패턴을 형성하는 단계를 포함할 수 있다.
- [0021] 상기 쉘드 라인을 단선시키는 레이저는 D-UV 레이저(Deep-UV laser)를 이용할 수 있다.

### 발명의 효과

- [0022] 본 발명의 액정표시장치 어레이 기판 및 그 제조방법은 데이터 라인에 중첩되는 쉘드 라인에 커팅부를 형성함으로써, 리페어 공정 시 낮은 파워의 레이저를 사용할 수 있어 레이저에 의한 주변부의 손상을 방지할 수 있는 이점이 있다.
- [0023] 또한, 본 발명에서는 블랙 매트릭스(SW)의 구조를 변경하여, 쉘드 라인의 커팅부로 인해 발생할 수 있는 빛샘을 방지할 수 있는 이점이 있다.

### 도면의 간단한 설명

- [0024] 도 1은 종래 횡전계형 액정표시장치의 서브픽셀을 나타낸 단면도.
- 도 2는 본 발명의 일 실시예에 따른 횡전계형 액정표시장치를 나타낸 평면도.
- 도 3은 도 2의 A 영역의 확대도.
- 도 4는 도 2의 도 2의 I-I'에 따라 절취된 단면도.
- 도 5a 및 5b는 본 발명의 일 실시예에 따른 액정표시장치 어레이 기판의 제조방법을 공정별로 나타낸 도면.
- 도 6a는 도 2의 데이터 라인에 쉘드 라인 부분을 나타낸 평면도이고, 도 6b는 도 6a의 II-II'에 따라 절취된 단면도.
- 도 7a는 도 2의 데이터 라인에 쉘드 라인 부분을 나타낸 평면도이고, 도 7b는 도 7a의 II-II'에 따라 절취된 단

면도.

도 8a는 도 2의 데이터 라인과 쉘드 라인 부분을 나타낸 평면도이고, 도 8b는 도 8a의 II-II'에 따라 절취된 단면도.

도 9a는 도 2의 데이터 라인과 쉘드 라인 부분을 나타낸 평면도이고, 도 9b는 도 9a의 II-II'에 따라 절취된 단면도.

도 10은 본 발명의 일 실시예에 따른 액정표시장치 어레이 기관의 블랙 매트릭스 형상을 나타낸 평면도.

### 발명을 실시하기 위한 구체적인 내용

[0025] 이하, 첨부한 도면을 참조하여 본 발명의 일 실시 예들을 상세히 설명하면 다음과 같다.

[0026] 도 2는 본 발명의 일 실시 예에 따른 횡전계형 액정표시장치를 나타낸 평면도이고, 도 3은 도 2의 A 영역의 확대도이다. 하기에서는 설명의 편의를 위해 액정표시장치의 어레이 기관과 서브픽셀들을 나타내고 설명하기로 한다.

[0027] 도 2를 참조하면, 복수의 화소영역(P)을 포함하는 기관(미도시) 상에 일 방향으로 연장되며 배열된 게이트 라인(103)이 위치하고, 상기 게이트 라인(103)과 교차하여 화소영역(P)을 정의하는 데이터 라인(107)이 위치한다. 따라서, 게이트 라인(103)과 데이터 라인(107)의 교차에 의해 복수의 화소영역(P)이 정의된다.

[0028] 각 화소영역(P)에는 상기 게이트 라인(103)에 연결된 게이트 전극(113), 게이트 절연막(미도시), 반도체층(미도시), 오믹 콘택층(미도시), 상기 데이터 라인(107)에 전기적으로 연결된 소스 전극(117), 상기 소스 전극(117)과 이격된 드레인 전극(119)으로 구성된 박막 트랜지스터(Tr)가 위치한다.

[0029] 본 도면에서 상기 박막 트랜지스터(Tr)는 채널을 이루는 영역이 'U' 형태를 이루는 것을 예로 도시하였지만, 이에 한정되지 않으며, 'I'형태로도 이루어질 수 있다. 또한, 상기 박막 트랜지스터(Tr)는 게이트 전극(113)이 게이트 라인(103)으로부터 화소영역(P)으로 돌출된 것을 예로 도시하였지만, 게이트 라인(103) 그 자체로써 이루어질 수도 있다.

[0030] 상기 각 화소영역(P) 내부에서 관 형태의 화소 전극(123)이 상기 박막 트랜지스터(Tr)의 드레인 전극(119)과 연결된다. 상기 복수의 화소영역(P)으로 이루어진 표시영역 전면에는 상기 화소 전극(123)에 대응하여, 바(bar) 형태를 갖는 복수의 개구부(131)를 갖는 공통 전극(135)이 위치한다. 여기서, 상기 공통 전극(135)은 표시영역 전면에 형성되며, 두 개의 화소영역(P)의 평면 형태만을 도시한 도 2에서는 그 경계가 두 개의 서브픽셀(P)을 덮도록 도시되었으나, 표시영역 전면에 형성된다.

[0031] 한편, 본 발명의 공통 전극(135)은 데이터 라인(107)과 중첩되는 쉘드 라인(136)을 포함한다. 쉘드 라인(136)은 표시장치 구동시 데이터 라인(107)과 공통 전극(135) 사이에 불필요한 전계가 형성되는 것을 방지하기 위한 것으로, 쉘드 라인(136)과 데이터 라인(107) 사이에 인위적으로 전계를 형성하여, 데이터 라인(107)과 공통 전극(135) 사이의 전계를 저감하는 역할을 한다.

[0032] 쉘드 라인(136)은 공통 전극(135)과 일체형으로 형성되어, 공통 전극(135)과 동일한 전기 신호가 인가된다. 그리고, 쉘드 라인(136)은 데이터 라인(107)의 형태와 유사하게 라인 형태로 이루어져, 데이터 라인(107)과 대부분 중첩되도록 형성된다.

[0033] 특히, 본 발명의 쉘드 라인(136)은 하나의 화소영역(P)에서 폭이 좁은 커팅부(SW)를 적어도 둘 이상 포함할 수 있다. 즉, 도 2에 도시된 바와 같이, 쉘드 라인(136)은 데이터 라인(107)의 폭보다 넓은 폭으로 대부분 이루어지나, 화소영역(P)의 가장자리 부분에서 데이터 라인(107)의 폭보다 좁은 폭으로 이루어지는 커팅부(SW)가 형성된다.

[0034] 보다 자세하게, 도 3을 참조하면, 쉘드 라인(136)은 제1 폭(W1)과 제2 폭(W2)으로 형성되며, 제1 폭(W1)은 데이터 라인(107)의 폭(W2)보다 넓은 폭이고, 제2 폭(W2)은 데이터 라인(107)의 폭(W2)보다 좁은 폭으로 형성된다. 쉘드 라인(136)의 커팅부(SW)의 폭은 제2 폭(W2)이며, 데이터 라인(107)의 폭(W2)에 대해 10 내지 99%로 형성된다. 여기서, 쉘드 라인(136)의 커팅부(SW)의 폭(W2)이 데이터 라인(107)의 폭(W2)에 대해 10% 이상이면, 쉘드 라인(136)의 배선 저항이 상승하여 공통 전극(135) 전체의 저항이 상승되는 것을 방지할 수 있다. 그리고, 쉘드 라인(136)의 커팅부(SW)의 폭(W2)이 데이터 라인(107)의 폭(W2)에 대해 99% 이하이면, 추후 라인 리페어 공정시 쉘드 라인(136)의 커팅부(SW)를 절단하기 위한 레이저 파워를 낮출 수 있어 주변의 공통 전극(135)의 손상을

방지할 수 있는 이점이 있다.

- [0035] 전술한 본 발명의 쉘드 라인(136)의 커팅부(SW)는 데이터 라인(107)의 단락 등의 불량 발생하였을 때, 데이터 라인(107)을 리페어하기 위한 수단으로 작용한다. 전술한 본 발명의 액정표시장치 어레이 기관의 리페어 방법에 대해서는 후술하는 액정표시장치 어레이 기관의 제조방법에서 구체적으로 서술하기로 한다.
- [0036] 도 4는 도 2의 도 2의 I-I'에 따라 절취된 단면도이다.
- [0037] 도 4를 참조하면, 본 발명의 일 실시예에 따른 액정표시장치 어레이 기관의 제조방법은 기관(101) 상에 일 방향으로 배열된 게이트 라인(미도시)과 일체형의 게이트 전극(113)이 위치한다.
- [0038] 상기 게이트 전극(113) 상에 게이트 전극(113)을 절연시키는 게이트 절연막(114)이 위치하고, 게이트 절연막(114) 상에 상기 게이트 전극(113)과 대응되는 영역에 반도체층(115)이 위치한다. 반도체층(115)의 양측 단부에는 소스 전극(117)과 드레인 전극(119)이 각각 위치한다. 따라서, 게이트 전극(113), 반도체층(115), 소스 전극(117) 및 드레인 전극(119)을 포함하는 박막 트랜지스터(Tr)를 구성한다.
- [0039] 상기 박막 트랜지스터(Tr)의 드레인 전극(119)과 전기적으로 연결되는 화소 전극(123)이 위치하고, 화소 전극(123)과 이격되는 영역에 소스 전극(117)과 연결되는 데이터 라인(107)이 동일 평면 상에 위치한다.
- [0040] 박막 트랜지스터(Tr), 화소 전극(123) 및 데이터 라인(107)을 포함하는 기관(101) 상에 패시베이션막(125)이 위치한다. 그리고, 화소 전극(123)과 대응하는 패시베이션막(125) 상에 복수의 개구부(131)가 형성된 공통 전극(135)이 위치하고, 데이터 라인(107)과 대응되는 위치에는 공통 전극(135)과 전기적으로 연결된 쉘드 라인(136)이 위치한다. 도 4에는 쉘드 라인(136)의 커팅부(SW)를 도시하였다.
- [0041] 따라서, 본 발명의 일 실시예에 따른 액정표시장치 어레이 기관을 이루게 된다. 이하, 도 4에 도시된 액정표시장치 어레이 기관의 제조방법을 설명하면 다음과 같다.
- [0042] 도 5a 및 5b는 본 발명의 일 실시예에 따른 액정표시장치 어레이 기관의 제조방법을 공정별로 나타낸 도면이다.
- [0043] 도 5a를 참조하면, 본 발명의 일 실시예에 따른 액정표시장치 어레이 기관의 제조방법은 기관(미도시) 상에 저저항 특성을 갖는 금속물질 예를 들면 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 크롬(Cr), 몰리브덴(Mo) 중 선택되는 하나의 금속물질을 증착한다. 그리고, 상기 금속물질을 패터닝하여 일 방향으로 연장하는 게이트 라인(미도시) 및 게이트 전극(113)을 형성한다.
- [0044] 이어, 상기 게이트 라인(미도시) 및 게이트 전극(113)이 형성된 기관(101) 전면에 무기절연물질 예를 들면 실리콘산화물(SiO<sub>x</sub>) 또는 실리콘질화물(SiN<sub>x</sub>)을 증착하여 게이트 절연막(114)을 형성한다. 다음, 상기 게이트 절연막(114)이 형성된 기관(101) 상에 비정질 실리콘 또는 비정질 실리콘을 결정화한 다결정 실리콘을 증착하고, 패터닝하여 반도체층(115)을 형성한다.
- [0045] 그리고, 반도체층(115)이 형성된 기관(101) 상에 저저항 특성을 갖는 금속물질 예를 들면 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 크롬(Cr), 몰리브덴(Mo) 중 선택되는 하나의 금속물질을 증착하고 이들을 패터닝하여, 데이터 라인(107), 소스 전극(117) 및 드레인 전극(119)을 형성한다. 본 발명에서는 반도체층(115)과, 소스 전극(117) 및 드레인 전극(119)을 따로 형성하는 것을 설명하였지만, 비정질 실리콘과 금속층을 순차적으로 적층하고 동시에 패터닝하여 반도체층(115)과, 소스 전극(117) 및 드레인 전극(119)을 함께 형성할 수도 있다.
- [0046] 다음, 도 5b를 참조하면, 상기 기관(101) 전면에 투명 도전성 물질 예를 들면 인듐틴옥사이드(ITO) 또는 인듐징크옥사이드(IZO)를 증착하고 각 화소영역 별로 패터닝하여 화소 전극(123)을 형성한다. 이때, 화소 전극(123)은 박막 트랜지스터(Tr)의 드레인 전극(119)과 전기적으로 연결된다.
- [0047] 이어, 상기 화소 전극(123)이 형성된 기관 상에 무기절연물질 예를 들면 실리콘산화물(SiO<sub>x</sub>) 또는 실리콘질화물(SiN<sub>x</sub>)을 증착하여 패시베이션막(125)을 형성한다. 그리고, 기관(101) 전면에 투명 도전성 물질 예를 들면, 인듐틴옥사이드(ITO) 또는 인듐징크옥사이드(IZO)를 증착하고 각 화소영역에 복수의 개구부(131)를 형성하여 공통 전극(135)과 쉘드 라인(136)을 형성한다. 이때, 공통 전극(135)은 기관(101)의 표시영역 전면에 일체형으로 형성된다.
- [0048] 상기와 같이, 본 발명의 일 실시예에 따른 액정표시장치 어레이 기관이 제조된다. 하기에서는 이와 같이 제조된 액정표시장치 어레이 기관의 데이터 라인 리페어 방법에 대해 설명하기로 한다.

- [0049] 도 6a 내지 도 9b는 본 발명의 일 실시예에 따른 액정표시장치 어레이 기관의 리페어 방법을 공정별로 나타낸 도면이다. 여기서, 도 6a는 도 2의 데이터 라인과 쉴드 라인 부분을 나타낸 평면도이고, 도 6b는 도 6a의 II-II'에 따라 절취된 단면도이다. 마찬가지로, 도 7a, 도 8a, 도 9a는 각각 도 2의 데이터 라인과 쉴드 라인 부분을 나타낸 평면도이고, 도 7b, 도 8b, 도 9b는 각각 도 7a, 도 8a 및 도 9a의 단면도이다.
- [0050] 먼저, 도 6a와 도 6b를 참조하면, 앞서 제조된 액정표시장치 어레이 기관에서 데이터 라인(107)의 일부가 단락된 것이 검사과정에서 발견된 경우, 해당 데이터 라인(107)과 대응하는 쉴드 라인(136)에 형성된 커팅부(SW)를 단선시킨다.
- [0051] 보다 자세하게는, 데이터 라인(107)의 단락된 부분을 중심으로 양측에 위치한 쉴드 라인(136)의 각 커팅부(SW)에 레이저를 조사함으로써, 공통 전극(135)과 연결된 쉴드 라인(136)을 단선시킨다. 이때, 사용되는 레이저로는 D-UV 레이저(deep UV laser)일 수 있으며 특별히 한정되지 않는다. 특히, 쉴드 라인(136)의 커팅부(SW)는 폭이 다른 곳보다 매우 좁기 때문에 낮은 파워의 레이저로도 쉽게 단선된다. 즉, 본 발명에서는 종래 폭이 넓은 쉴드 라인(136)을 단선시키기 위해 높은 파워의 레이저를 이용함으로써, 인접한 공통 전극 등을 손상시키는 문제점을 방지할 수 있다.
- [0052] 따라서, 도 7a 및 도 7b에 도시된 바와 같이, 공통 전극(135)과 단선된 쉴드 라인 즉, 쉴드 패턴(137)이 형성된다. 이 쉴드 패턴(137)은 섬 패턴으로 고립된 형상으로 이루어지며, 특히 데이터 라인(107)의 단락된 영역 상에 위치하게 된다.
- [0053] 다음, 도 8a 및 도 8b를 참조하면, 데이터 라인(107)의 단락이 발생한 부분과 인접한 쉴드 패턴(137)의 양측, 즉 데이터 라인(107)의 양 끝단에 대해 레이저를 조사함으로써 제1 콘택홀(CH1) 및 제2 콘택홀(CH2)을 형성한다. 이 경우 상기 제1 콘택홀(CH1) 및 제2 콘택홀(CH2)을 형성하기 위한 레이저 조사는 쉴드 라인(136) 단선을 위한 레이저 조사와는 레이저 발생을 위한 소스, 초점, 파워, 조사 시간 등에 있어 차이가 있으며, 이를 적절히 조절함으로써 무기(또는 유기)절연물질 또는 금속물질까지 태워 없애거나 또는 선택적으로 무기절연물질만을 태워 없앨 수 있게 된다. 따라서, 전술한 요소가 적절히 조절된 레이저를 기관(101)에 조사함으로써 데이터 라인(107)을 노출시키는 제1 콘택홀(CH1) 및 제2 콘택홀(CH2)을 형성할 수 있게 된다.
- [0054] 이후, 도 9a 및 도 9b를 참조하면, 레이저를 이용한 CVD 리페어 장치를 이용하여 데이터 라인(107)을 노출시키는 제1 콘택홀(CH1)에 대응하여 상기 제1 콘택홀(CH1)을 채우는 제1 콘택패턴(CP1)을 형성하고, 연속하여 상기 제2 콘택홀(CH2)에 대응하여 상기 제2 콘택홀(CH2)을 채우는 제2 콘택패턴(CP2)을 형성한다. 따라서, 쉴드 패턴(137)을 통해 단락된 데이터 라인(107)이 전기적으로 연결되어 리페어될 수 있다.
- [0055] 상기와 같이, 본 발명의 일 실시예에 따른 액정표시장치의 제조방법은 데이터 라인과 중첩되는 쉴드 라인에 커팅부를 형성함으로써, 리페어 공정 시 낮은 파워의 레이저를 사용할 수 있어 레이저에 의한 주변부의 손상을 방지할 수 있는 이점이 있다.
- [0056] 한편, 본 발명의 일 실시예에 따른 액정표시장치 어레이 기관은 쉴드 라인의 커팅부에 따른 빗샘 현상을 방지하기 위해, 블랙 매트릭스의 형상을 달리 형성할 수 있다.
- [0057] 도 10은 본 발명의 일 실시예에 따른 액정표시장치 어레이 기관의 블랙 매트릭스 형상을 나타낸 평면도이다. 도 10은 전술한 도 2에 블랙 매트릭스 영역만 표시한 것이다.
- [0058] 도 10을 참조하면, 컬러필터 어레이 기관(미도시)에 형성되는 블랙 매트릭스(BM)는 데이터 라인(107), 박막트랜지스터(Tr), 게이트 라인(103) 등의 배선 및 소자 영역들을 가려주는 역할을 하는 것으로, 일반적으로 화소 전극을 오픈하는 형상으로 이루어진다.
- [0059] 본 발명에서는 쉴드 라인(136)의 커팅부(SW)에 인접하는 영역에 블랙 매트릭스(BM)를 더 덮어주는 구조로 이루어진다. 즉, 커팅부(SW)의 형성으로 인해 커팅부(SW)에 인접하는 영역에서 빗샘이 발생하는 것을 방지하기 위한 것으로, 커팅부(SW)에 인접하는 영역에 블랙 매트릭스(SW)가 더 돌출되어 가릴 수 있도록 형성한다. 즉, 쉴드 라인(136)의 커팅부(SW)에 인접하는 화소 전극(123)의 모서리부에서 화소영역(P) 내부로 더 돌출되도록 블랙 매트릭스(SW)가 형성된다.
- [0060] 상기와 같이, 본 발명에서는 블랙 매트릭스(SW)의 구조를 변경하여, 쉴드 라인의 커팅부로 인해 발생할 수 있는 빗샘을 방지할 수 있는 이점이 있다.
- [0061] 하기 표 1은 종래 액정표시장치 어레이 기관의 리페어에 따른 불량율과 본 발명의 액정표시장치 어레이 기관의

리페어의 불량율을 각 모델 별로 검사하여 나타낸 표이다.

표 1

[0062]

| 모델 | 종래 리페어 방법 |      |       | 본 발명의 리페어 방법 |     |       |
|----|-----------|------|-------|--------------|-----|-------|
|    | 검사수       | 불량수  | 불량율   | 검사수          | 불량수 | 불량율   |
| A  | 15921     | 119  | 0.75% | 25584        | 4   | 0.02% |
| B  | 288349    | 1335 | 0.46% | 251880       | 34  | 0.01% |
| C  | 266150    | 1193 | 0.45% | 13636        | 6   | 0.04% |
| D  | 106387    | 1183 | 1.11% | 46050        | 19  | 0.04% |
| E  | 10019     | 41   | 0.41% | 1248         | 0   | 0.00% |

[0063]

상기 표 1을 참조하면, 종래 데이터 라인 단락 시 리페어한 경우, 리페어 불량율이 0.41 내지 1.11%까지 나타나는 것을 알 수 있었다. 반면에, 본 발명의 쉘드 라인에 커팅부를 형성하여, 리페어한 경우, 리페어 불량율이 0.00 내지 0.04%로 현저하게 감소된 것을 확인할 수 있었다.

[0064]

이상 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

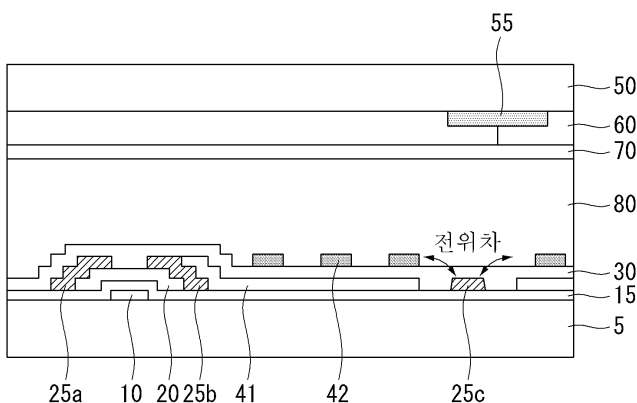
## 부호의 설명

[0065]

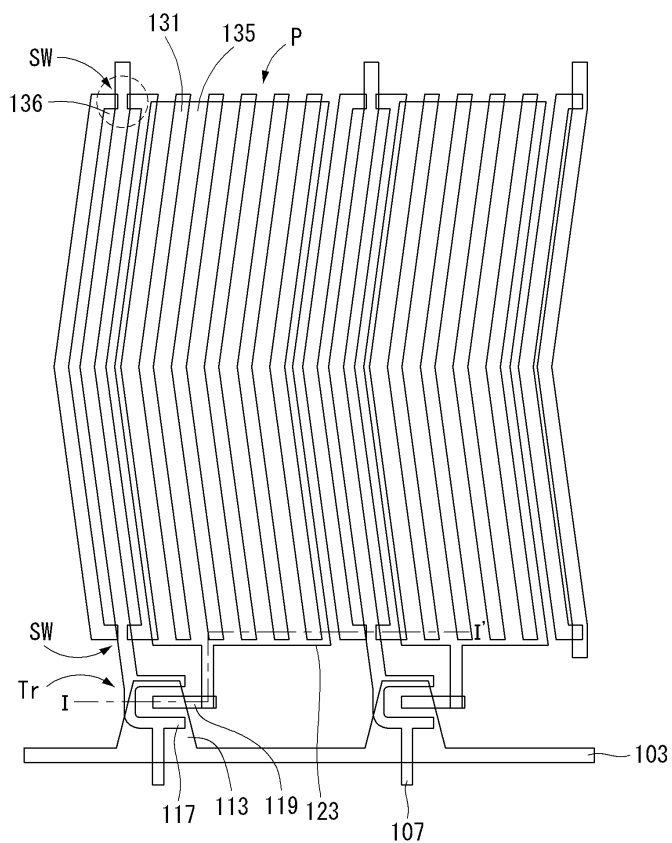
101 : 기관  
103 : 게이트 라인  
113 : 게이트 전극  
107 : 데이터 라인  
117 : 소스 전극  
119 : 데이터 전극  
123 : 화소 전극  
135 : 공통 전극  
136 : 쉘드 라인  
137 : 쉘드 패턴  
SW : 커팅부

## 도면

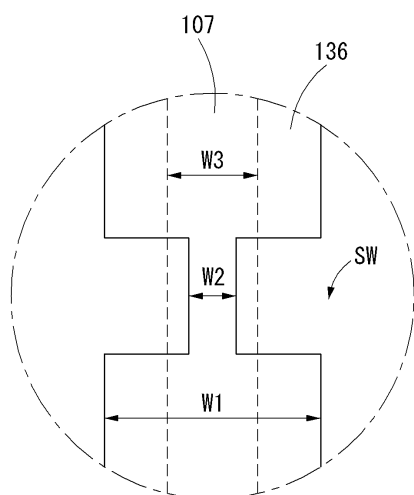
### 도면1



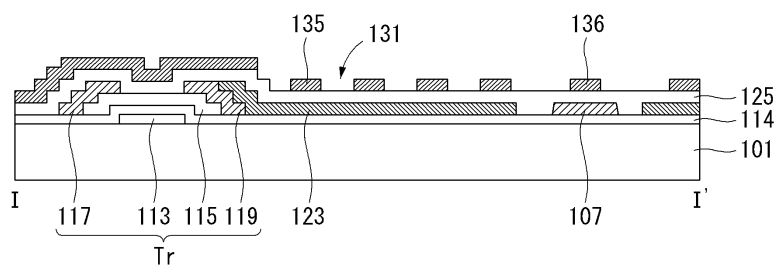
도면2



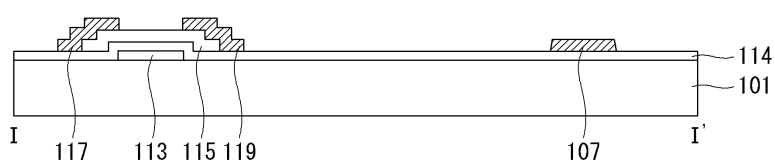
도면3



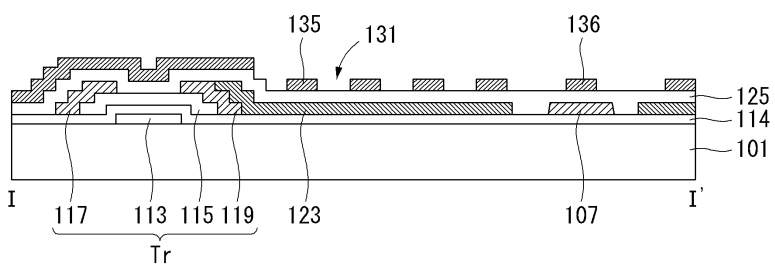
도면4



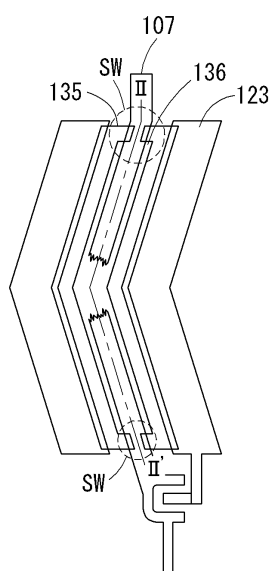
도면5a



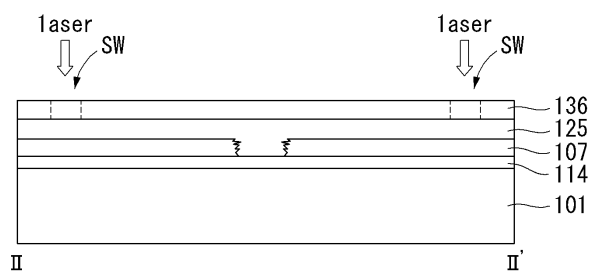
도면5b



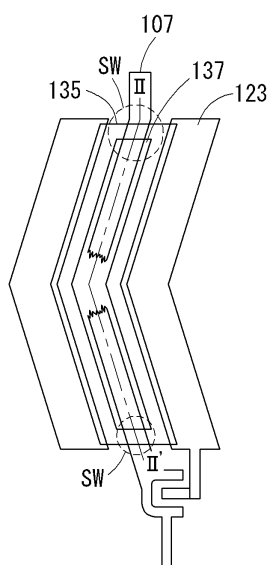
도면6a



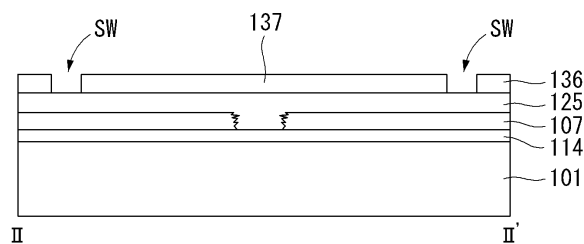
도면6b



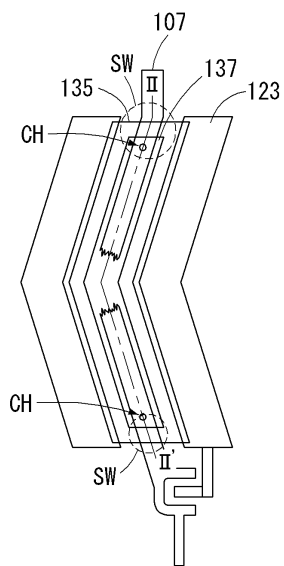
도면7a



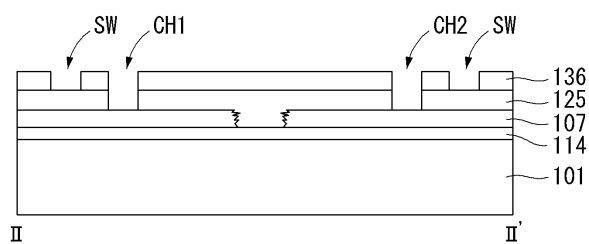
도면7b



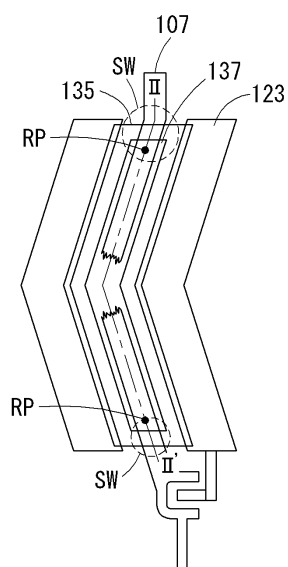
도면8a



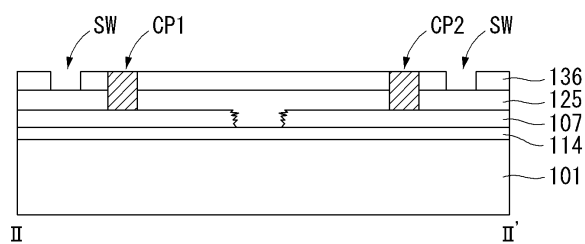
도면8b



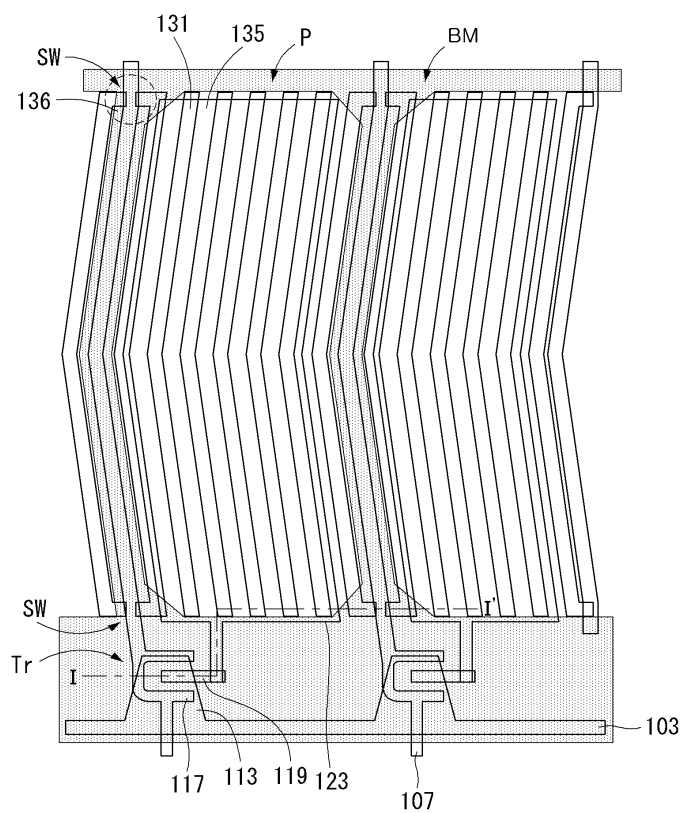
도면9a



도면9b



도면10



|                |                                                                                    |         |            |
|----------------|------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 标题：液晶显示装置及其制造方法                                                                    |         |            |
| 公开(公告)号        | <a href="#">KR101303476B1</a>                                                      | 公开(公告)日 | 2013-09-05 |
| 申请号            | KR1020120023989                                                                    | 申请日     | 2012-03-08 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                                                           |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                                                          |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                                                          |         |            |
| [标]发明人         | HWANG JEONG WOO<br>황정우<br>JEONG YEON SU<br>정연수                                     |         |            |
| 发明人            | 황정우<br>정연수                                                                         |         |            |
| IPC分类号         | G02F1/1343 G02F                                                                    |         |            |
| CPC分类号         | H01L21/77 G02F1/1333 G02F2001/136218 G02F1/1362 G02F1/1368 H01L27/124 G02F1/134363 |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                          |         |            |

#### 摘要(译)

用途：提供一种液晶显示器阵列基板及其制造方法，以通过在与数据线重叠的屏蔽线上形成切割部分来防止由于激光对周边部分的损坏。组成：数据线（107）定义像素区域。在数据线和栅极线的交叉部分中形成薄膜晶体管。像素电极（123）连接到薄膜晶体管。公共电极（135）面向像素电极以形成电场。公共电极包括与数据线重叠的屏蔽线（136）。

