



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2011년12월26일  
(11) 등록번호 10-1098498  
(24) 등록일자 2011년12월19일

(51) Int. Cl.  
*G02F 1/1343* (2006.01) *G02F 1/1335* (2006.01)  
(21) 출원번호 10-2008-0115169  
(22) 출원일자 2008년11월19일  
심사청구일자 2008년11월19일  
(65) 공개번호 10-2009-0085509  
(43) 공개일자 2009년08월07일  
(30) 우선권주장  
200810057694.7 2008년02월04일 중국(CN)  
(56) 선행기술조사문헌  
JP06208130 A\*  
JP평성03081737 A  
JP05119345 A  
KR1020000025568 A  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
베이징 비오이 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드  
중국 베이징 100176 비디에이 시환중로 8호  
(72) 발명자  
지양페이 헤  
중국 베이징 100176 비디에이 지하우안중루 8호  
웨이 왕  
중국 베이징 100176 비디에이 지하우안중루 8호  
(74) 대리인  
리앤목특허법인

전체 청구항 수 : 총 11 항

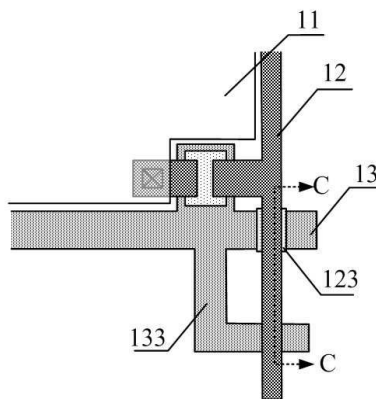
심사관 : 윤성주

**(54) 박막 트랜지스터 액정 디스플레이의 화소 구조**

**(57) 요약**

본 발명의 일실시예는 박막 트랜지스터 액정 디스플레이(TFT-LCD) 어레이 기관의 화소 구조를 제공한다. 화소 구조는, 화소 전극, 게이트 라인, 및 데이터 라인을 포함하고, 게이트 라인 및 데이터 라인은 서로 교차하여 화소 유닛을 한정하고, 게이트 라인과 데이터 라인의 교차 지점에 기생 캐패시터를 형성하고, 게이트 라인 상에 분지가 제공되고, 분지와 데이터 라인 사이에 보호 캐패시터가 형성되고, 보호 캐패시터는 기생 캐패시터와 병렬로 연결되고, 보호 캐패시터의 항복 전압은 기생 캐패시터의 항복 전압에 비하여 작다

**대표도** - 도3a



**특허청구의 범위**

**청구항 1**

화소 전극;  
 게이트 라인; 및  
 데이터 라인;을 포함하고,  
 상기 게이트 라인 및 상기 데이터 라인은 서로 교차하여 화소 유니트를 한정하고,  
 상기 게이트 라인과 상기 데이터 라인의 교차 지점에 기생 캐패시터를 형성하고,  
 상기 게이트 라인에 분지(branch)가 제공되고,  
 상기 분지와 상기 데이터 라인 사이에 보호 캐패시터가 형성되고,  
 상기 보호 캐패시터는 상기 기생 캐패시터와 병렬 연결되고,  
 상기 보호 캐패시터의 두 개의 전극들로서 상기 분지와 상기 데이터 라인 사이의 거리는, 상기 기생 캐패시터의 두 개의 전극들로서 상기 게이트 라인과 상기 데이터 라인 사이의 거리에 비하여 작게 함으로써,  
 상기 보호 캐패시터의 항복 전압은 상기 기생 캐패시터의 항복 전압에 비하여 작은 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이(TFT-LCD) 어레이 기판의 화소 구조.

**청구항 2**

제 1 항에 있어서,  
 상기 분지는 상기 게이트 라인과 동일한 층에 위치하고, 상기 게이트 라인과 함께 형성되고,  
 상기 분지는 상기 데이터 라인과 교차되어 상기 보호 캐패시터를 형성하는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이 어레이 기판의 화소 구조.

**청구항 3**

삭제

**청구항 4**

제 1 항 또는 제 2 항에 있어서,  
 상기 보호 캐패시터의 상기 두 개의 전극들은 게이트 절연층을 통하여 분리되고,  
 상기 기생 캐패시터의 상기 두 개의 전극들은 상기 게이트 절연층 및 활성층을 통하여 분리되는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이 어레이 기판의 화소 구조.

**청구항 5**

제 1 항 또는 제 2 항에 있어서,  
 상기 게이트 라인에 복수의 분지들이 제공되고,  
 상기 복수의 분지들은 상기 데이터 라인과 함께 복수의 보호 캐패시터를 각각 형성하는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이 어레이 기판의 화소 구조.

**청구항 6**

화소 전극;  
 게이트 라인; 및  
 데이터 라인;을 포함하고,  
 상기 게이트 라인 및 상기 데이터 라인은 서로 교차하여 화소 유니트를 한정하고,

상기 게이트 라인과 상기 데이터 라인의 교차 지점에 기생 캐패시터를 형성하고,  
 상기 게이트 라인에 분지(branch)가 제공되고,  
 상기 분지와 상기 데이터 라인 사이에 보호 캐패시터가 형성되고,  
 상기 보호 캐패시터는 상기 기생 캐패시터와 병렬 연결되고,  
 상기 보호 캐패시터의 두 개의 전극들로서 상기 분지와 상기 데이터 라인 사이의 거리는, 상기 기생 캐패시터의 두 개의 전극들로서 상기 게이트 라인과 상기 데이터 라인 사이의 거리에 비하여 작게 함으로써,  
 상기 보호 캐패시터의 항복 전압은 상기 기생 캐패시터의 항복 전압에 비하여 작고,  
 상기 분지는 연장부 및 리드부를 포함하고,  
 상기 연장부의 일단부는 상기 게이트 라인과 일체적으로(integrally) 연결되고,  
 상기 연장부의 타단부는 상기 리드부와 전기적으로 연결되고,  
 상기 리드부는 상기 데이터 라인과 교차하여 상기 보호 캐패시터를 형성하는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이 어레이 기판의 화소 구조.

**청구항 7**

삭제

**청구항 8**

제 6 항에 있어서,  
 상기 보호 캐패시터의 상기 두 개의 전극들은 패시베이션층을 통하여 분리되고,  
 상기 기생 캐패시터의 상기 두 개의 전극들은 게이트 절연층 및 활성층을 통하여 분리되는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이 어레이 기판의 화소 구조.

**청구항 9**

제 6 항에 있어서,  
 상기 리드부는 상기 화소 전극과 동일한 물질로 형성된 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이 어레이 기판의 화소 구조.

**청구항 10**

제 9 항에 있어서,  
 상기 리드부는 비아 홀을 통하여 상기 게이트 라인과 전기적으로 연결되는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이 어레이 기판의 화소 구조.

**청구항 11**

제 10 항에 있어서,  
 상기 리드부는 상기 화소 전극과 동일한 층 내에 위치하는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이 어레이 기판의 화소 구조.

**청구항 12**

제 6 항에 있어서,  
 상기 게이트 라인에 복수의 분지들이 제공되고,  
 상기 복수의 분지들은 상기 데이터 라인과 함께 복수의 보호 캐패시터를 각각 형성하는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이 어레이 기판의 화소 구조.

**청구항 13**

제 1 항에 있어서,

복수의 보호 캐패시터들이 제공되고,

상기 복수의 보호 캐패시터는 상기 기생 캐패시터와 병렬 연결되는 것을 특징으로 하는 박막 트랜지스터 액정 디스플레이 어레이 기관의 화소 구조.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 화소 구조에 관한 것으로서, 더욱 상세하게는, 박막 트랜지스터 액정 디스플레이(TFT-LCD)의 어레이 기관의 화소 구조에 관한 것이다.

**배경기술**

[0002] 현재의 박막 트랜지스터 액정 디스플레이(TFT-LCD)에 있어서, 정전기적 방전(electrostatic discharge, ESD)은 게이트 라인과 데이터 라인의 교차 지점에 발생하고, 이에 따라 게이트 라인과 데이터 라인이 쇼트되는 결함이 발생한다(DGS 결함).

[0003] 도 1a는 종래의 다섯 차례의 마스크(five-mask) 공정을 이용하여 제조한 화소 구조의 개략도이다. 도 1b는 도 1a의 선 A-A를 따라 절취한 단면도이다. 도 1a 및 도 1b를 참조하면, 상기 화소 구조는 화소 전극(11), 데이터 라인(12), 및 게이트 라인(13)을 포함한다. 데이터 라인(12)과 게이트 라인(13)은 서로 교차하여 화소 유닛을 한정한다. 도 1b의 층 구조 내에 도시된 바와 같이, 데이터 라인(12) 및 게이트 라인(13)은 기관(00)과 제1 보호층(15, 패시베이션층) 사이에 위치한다. 데이터 라인(12)이 게이트 라인(13)과 중첩되기 때문에, 상기 교차 지점의 활성층(123)을 통하여, 기생 캐패시터가 형성된다. 상기 기생 캐패시터의 정전기적 방전의 결과로 DGS 결함이 발생할 수 있다.

[0004] 도 2a는 종래의 네 차례의 마스크(four-mask) 공정을 이용하여 제조한 화소 구조의 개략도이다. 도 2b는 도 2a의 선 B-B를 따라 절취한 단면도이다. 도 2a 및 도 2b를 참조하면, 상기 화소 구조는 화소 전극(21), 데이터 라인(22), 및 게이트 라인(23)을 포함한다. 데이터 라인(22)과 게이트 라인(23)은 서로 교차하여 화소 유닛을 한정한다. 도 2b의 층 구조에 도시된 바와 같이, 데이터 라인(22) 및 게이트 라인(23)은 기관(00)과 제2 보호층(25, 패시베이션층) 사이에 위치한다. 데이터 라인(22)이 게이트 라인(23)과 중첩되기 때문에, 상기 교차 지점의 활성층(223)을 통하여, 기생 캐패시터가 형성된다. 상기 기생 캐패시터의 정전기적 방전의 결과로 DGS 결함이 발생하는 경향이 있다.

[0005] 종래의 화소 구조의 단점들 중의 하나는 상기 기생 캐패시터에 정전기적 방전(ESD)이 쉽게 발생하는 것을 방지하는 수단이 없는 것이며, 따라서 정전기적 방전(ESD)이 발생한 후에 수리가 어려우며, 이에 따라 제조 품질과 수율을 감소시킨다.

**발명의 내용**

**해결하고자 하는 과제**

[0006] 본 발명이 이루고자 하는 기술적 과제는, 기생 캐패시터에의 정전기적 방전의 발생을 방지할 수 있는 구조를 가지는 박막 트랜지스터 액정 디스플레이(TFT-LCD)의 어레이 기관의 화소 구조를 제공하는 것이다.

**과제 해결수단**

[0007] 상기 기술적 과제를 달성하기 위한 본 발명의 일실시예에 따른 박막 트랜지스터 액정 디스플레이 어레이 기관의 화소 구조는, 화소 전극, 게이트 라인, 및 데이터 라인을 포함한다. 상기 게이트 라인 및 상기 데이터 라인은 서로 교차하여 화소 유닛을 한정하고, 상기 게이트 라인과 상기 데이터 라인의 교차 지점에 기생 캐패시터를 형성하고, 상기 게이트 라인 상에 분지가 제공되고, 상기 분지와 상기 데이터 라인 사이에 보호 캐패시터가 형성되고, 상기 보호 캐패시터는 상기 기생 캐패시터와 병렬로 연결되고, 상기 보호 캐패시터의 항복 전압은 상기

기생 캐패시터의 항복 전압에 비하여 작다.

**효 과**

[0008] 본 발명의 일부 실시예들에 있어서, 보호 캐패시터가 상기 화소 구조를 위하여 제공되며, 이에 따라 정전기적 방전(electrostatic discharge, ESD)에 의한 결함율을 효과적으로 감소시킬 수 있고, 수율을 개선할 수 있다. 또한, 특히 LCD TV 제품의 제조 비용을 감소시킬 수 있다. 또한, 상기 구조의 보호 설계는 복잡하지 않으며, 상기 구조에 의하여 차지된 디스플레이 영역은 작다. 또한, 상기 구조는 현재의 공정을 기초로 하여 구현될 수 있고, 새로운 제품을 위한 비용이 거의 없다.

**발명의 실시를 위한 구체적인 내용**

[0009] 본 발명에 따른 응용의 더 넓은 범위는 이하의 상세한 설명에 의하여 명백하게 된다. 그러나, 본 발명의 바람직한 실시예들을 개시하는 상세한 설명과 특정한 예들은 예시적으로 제시된 것임을 이해할 수 있으며, 이는 본 기술분야의 당업자에게는 하기의 상세한 설명으로부터 본 발명의 기술적 사상의 범위 내에서 다양한 변화들과 변형들이 가능하기 때문이다.

[0010] 본 발명은 하기에 개시되고 예시적으로 설명되며 본 발명을 한정하기 위한 것을 아닌 상세한 설명 및 도면들을 참조하여 보다 더 상세하게 이해될 수 있다.

[0011] 제1 실시예

[0012] 본 실시예는 다섯 차례의 마스크(five-mask) 공정을 이용하여 제조된 박막 트랜지스터 액정 디스플레이(TFT-LCD) 어레이 기판의 예시적인 화소 구조를 제공한다. 이러한 다섯 차례의 마스크 공정은 TFT-LCD 어레이 기판의 화소 구조를 제조하는 현재 사용하는 방법들 중의 하나이다. 본 실시예에 있어서, 상기 다섯 차례의 마스크 공정은 이하와 같이 수행된다.

[0013] 1. 기판 상에 게이트 금속층을 증착하고, 포토레지스트막을 제공하는 공정, 노출하는 공정, 및 식각 공정을 통하여 상기 게이트 금속층을 패터닝하여 상기 기판 상에 게이트 라인, 상기 게이트 라인의 분지(分枝, branch) 및 게이트 전극을 형성한다.

[0014] 2. 게이트 절연층 및 활성층을 증착하고, 포토레지스트막을 제공하는 공정, 노출하는 공정, 및 식각 공정을 통하여 상기 활성층을 패터닝하여 활성층 패턴을 형성한다.

[0015] 3. 소오스/드레인 금속층을 증착하고, 포토레지스트막을 제공하는 공정, 노출하는 공정, 및 식각 공정을 통하여 상기 소오스/드레인 금속층을 패터닝하여 데이터 라인, 소오스 전극, 및 드레인을 형성한다.

[0016] 4. 패시베이션층을 증착하고, 포토레지스트막을 제공하는 공정, 노출하는 공정, 및 식각 공정을 통하여 상기 패시베이션층을 패터닝하여 그 내부에 상기 소오스 전극을 노출하는 비아 홀을 형성한다.

[0017] 5. 화소 전극층을 증착하고, 포토레지스트막을 제공하는 공정, 노출하는 공정, 및 식각 공정을 통하여 상기 화소 전극층을 패터닝하여 상기 비아 홀을 통하여 상기 소오스 전극과 의 교차되는 화소 전극을 형성한다.

[0018] 도 3a에 도시된 바와 같이, 본 실시예의 화소 구조는 화소 전극(11), 데이터 라인(12) 및 게이트 라인(13)을 포함한다. 데이터 라인(12) 및 게이트 라인(13)은 서로 교차하여 화소 유니트를 한정하고, 기생 캐패시터가 게이트 라인(13)과 데이터 라인(12)의 교차 지점에 형성되며, 이는 도 3a의 선 C-C를 따라 절취한 단면도인 도 3b에 도시되어 있다. 상기 기생 캐패시터의 상부 전극은 데이터 라인(12)이고, 상기 기생 캐패시터의 하부 전극은 게이트 라인(13)이다. 상기 기생 캐패시터의 상기 두 개의 전극들 사이의 거리는 도 3b에 화살표로 도시된 바와 같이 D1이다.

[0019] 분지(133)는 게이트 라인(13)으로부터 연장되고, 데이터 라인(12)과 교차된다. 분지(133)와 데이터 라인(12) 사이에 보호 캐패시터가 형성된다. 분지(133)는 게이트 라인(13)과 동일한 층 내에 위치한다. 분지(133) 및 게이트 라인(13)은 함께(integrally) 형성될 수 있고, 분지(133)와 데이터 라인(12)은 서로 교차하여 보호 캐패시터를 형성한다. 본 실시예에 있어서, 분지(133) 및 게이트 라인(13)은 동일한 층 내에 형성될 수 있고, 함께(integrally) 형성될 수 있고, 이에 따라 게이트 라인(13) 및 분지(133)는 하나의 동일한 포토리소그래피 공정에서 형성될 수 있다.

[0020] 도 3b에 도시된 바와 같이, 상기 보호 캐패시터의 상부 전극은 데이터 라인(12)에 의하여 형성되고, 하부 전극은 분지(133)에 의하여 형성된다. 상기 보호 캐패시터의 두 개의 전극들 사이의 거리는 도 3b의 화살표로 도시된 바와 같이 D2이다. 도면들로부터, 상기 기생 캐패시터의 상기 두 개의 전극들 사이의 거리 D1은 제1 보호층(게이트 절연층)(14)의 두께와 활성층(123)의 두께의 합과 동일하고, 상기 보호 캐패시터의 상기 두 개의 전극들 사이의 거리 D2는 단지 제1 보호층(14)의 두께와 동일하다. 상기 보호 캐패시터의 상기 두 개의 전극들 사이에 활성층(123)이 제공되지 않으므로, 상기 보호 캐패시터의 상기 두 개의 전극들 사이의 거리 D2는 상기 기생 캐패시터의 상기 두 개의 전극들 사이의 거리 D1에 비하여 작고, 상기 보호 캐패시터의 항복 전압은 상기 기생 캐패시터의 항복 전압에 비하여 작다.

[0021] 도 3c는 상기 보호 캐패시터들 및 기생 캐패시터의 등가 회로도이다. 도 3c에 도시된 바와 같이, 상기 보호 캐패시터는 상기 기생 캐패시터와 병렬로 연결되고, 따라서 상기 두 개의 캐패시터들을 가로지르는 전압은 서로 동일하다. 하기의 수학식1을 참조한다.

**수학식 1**

[0022]  $E = F/D$

[0023] 여기에서 E는 전기장의 크기, F는 전압, D는 캐패시터의 두 개의 전극들 사이의 거리이다. 상기 두 개의 전극들 사이의 유전 매질이 상기 두 개의 캐패시터들에서 동일한 경우에는, 상기 두 개의 전극들 사이의 거리(D)가 감소됨에 따라 전기장 크기(E)가 증가하고, 상기 전기장 크기(E)가 높으면, 캐패시터의 항복(breakdown)이 발생할 수 있다. 따라서, 본 실시예에 있어서, 게이트 라인(13) 상에 또는 데이터 라인(12) 상에 정전기가 존재하는 경우에는, 상기 보호 캐패시터의 항복 전압이 상기 기생 캐패시터의 항복 전압에 비하여 작기 때문에, 상기 보호 캐패시터가 상기 기생 캐패시터에 비하여 더 용이하게 항복될 수 있다. 정전기적 방전(ESD)이 발생하는 경우에 있어서, 상기 보호 캐패시터의 항복이 먼저 발생하고, 이에 따라 정전기는 방전될 수 있고, 상기 기생 캐패시터는 보호되고 정상 동작할 수 있다. 상기 보호 캐패시터가 항복된 후에, 레이저를 이용하여 분지(133)를 절단하여 분지(133)를 게이트 라인(13)으로부터 분리하여 상기 화소 유니트를 수선할 수 있고, 따라서 상기 화소 유니트는 정상 동작할 수 있다.

[0024] 또한, 하나 이상의 보호 캐패시터가 제공될 수 있다. 도 3d에 도시된 바와 같이, 두 개의 분지들(133, 134)이 형성되고, 데이터 라인(12)과 각각 교차되어 상기 기생 캐패시터와 병렬로 연결되는 두 개의 보호 캐패시터들을 형성한다. 이와 유사하게, 두 개의 분지들의 경우와 실질적으로 동일한 방법으로 더 많은 분지들이 제공될 수 있으며, 이에 대하여는 간명함을 위하여 본 명세서에서 생략하기로 한다.

[0025] 또한, 작은 항복 전압에 의하여 종종 발생하는 보호 캐패시터의 항복을 방지하고 이에 따라 증가되는 수선 비용을 방지하기 위하여, 막의 두께, 면적, 매질의 유전율 등을 적절하게 선택하여 상기 캐패시터들의 항복 전압을 적절한 범위로 제어할 수 있다. 또한, 다른 항복 전압들의 다른 보호 캐패시터들을 형성하여, 여러 단계의 보호를 상기 화소 구조에 대하여 구현할 수 있다.

[0026] 본 실시예의 화소 구조와 함께 다섯 차례의 마스크 공정을 이용하여 형성한 화소 구조를 위하여 상기 보호 캐패시터를 제공한다. 따라서, 특히 LCD TV 제품에 대하여, 정전기적 방전(ESD)에 기인하는 결함율을 효과적으로 감소시킬 수 있고, 수율을 증가시킬 수 있고, 또한 비용을 감소시킬 수 있다. 또한, 본 실시예의 화소 구조의 보호 설계는 간단하고, 상대적으로 작은 디스플레이 영역을 차지하며, 현재의 제조 공정을 기초로 하여 구현할 수 있고, 비용을 증가시키지 않는다.

[0027] 제2 실시예

[0028] 본 실시예는 네 차례의 마스크(four-mask) 공정을 이용하여 제조된 박막 트랜지스터 액정 디스플레이(TFT-LCD) 어레이 기판의 다른 예시적인 화소 구조를 제공한다. 이러한 네 차례의 마스크 공정은 TFT-LCD 어레이 기판의 화소 구조를 제조하는 현재 사용하는 방법들 중의 하나이다. 본 실시예에 있어서, 상기 네 차례의 마스크 공정은 이하와 같이 수행된다.

[0029] 1. 기판 상에 게이트 금속층을 증착하고, 포토레지스트막을 제공하는 공정, 노출하는 공정, 및 식각 공정을 통하여 상기 게이트 금속층을 패터닝하여 상기 기판 상에 게이트 라인, 상기 게이트 라인의 연장부 및 게이트 전

극을 형성한다.

- [0030] 2. 게이트 절연층, 활성층, 및 소오스/드레인 금속층을 증착하고, 포토레지스트막을 제공하는 공정, 하프톤 마스크(half tone mask) 또는 그레이톤 마스크(gray tone mask)를 이용하여 노출하는 공정, 및 두 번의 식각 공정들을 통하여 상기 활성층 및 상기 소오스/드레인 금속층을 패터닝하여 활성층 패턴, 데이터 라인, 소오스 전극, 및 드레인 전극을 형성한다.
- [0031] 3. 패시베이션층을 증착하고, 포토레지스트막을 제공하는 공정, 노출하는 공정, 및 식각 공정을 통하여 상기 패시베이션층을 패터닝하여 그 내부에 상기 소오스 전극을 노출하는 비아 홀 및 상기 게이트 라인의 상기 연장부를 노출하는 비아 홀을 형성한다.
- [0032] 4. 화소 전극층을 증착하고, 포토레지스트막을 제공하는 공정, 노출하는 공정, 및 식각 공정을 통하여 상기 화소 전극층을 패터닝하여 상기 소오스 전극을 노출하는 상기 비아 홀을 통하여 상기 소오스 전극과 연결되는 화소 전극을 형성하고, 상기 연장부를 노출하는 상기 비아 홀을 통하여 상기 연장부와 연결되는 리드부를 형성한다.
- [0033] 도 4a에 도시된 바와 같이, 본 실시예의 화소 구조는 화소 전극(21), 데이터 라인(22) 및 게이트 라인(23)을 포함한다. 데이터 라인(22) 및 게이트 라인(23)은 서로 교차하여 화소 유니트를 한정하고, 기생 캐패시터가 게이트 라인(23)과 데이터 라인(22)의 교차 지점에 형성되며, 이는 도 4a의 선 D-D를 따라 절취한 단면도인 도 4b에 도시되어 있다. 상기 기생 캐패시터의 상부 전극은 데이터 라인(22)이고, 상기 기생 캐패시터의 하부 전극은 게이트 라인(23)이다. 상기 기생 캐패시터의 상기 두 개의 전극들 사이의 거리는 도 4b에 화살표로 도시된 바와 같이 D1이다.
- [0034] 본 실시예에 있어서, 도 4b에 도시된 바와 같이, 활성층(223)이 게이트 라인(23)에 상응하는 영역에 제공되고 또한 데이터 라인(22)을 따라서 연장되기 때문에 상기 화소 구조는 네 차례의 마스크 공정을 이용하여 제조된다. 본 실시예에 있어서, 상술한 제1 실시예의 게이트 라인(13)과 함께(integrally) 형성되는 분지(133)는 더 이상 기능하지 못하며, 이는 상기 분지와 상기 데이터 라인 사이에 형성된 상기 보호 캐패시터의 두 개의 전극들 사이의 거리가 상기 기생 캐패시터의 두 개의 전극들 사이의 거리에 비하여 작지 않기 때문이다. 따라서, 형성된 보호 캐패시터의 항복 전압은 상기 기생 캐패시터의 항복 전압에 비하여 작지 않다. 따라서, 기생 캐패시터를 보호하는 목적을 달성할 수 없다.
- [0035] 상술한 문제점을 해결하기 위하여, 제2 실시예에서 상기 분지는 변형되어, 연장부(233)와 리드부(235)를 포함한다. 연장부(233)의 일단부는 게이트 라인(23)과 연결되고, 연장부(233)의 타단부는 리드부(235)와 연결된다. 리드부(235)는 데이터 라인(23)과 교차되어, 보호 캐패시터를 형성한다. 특히, 도 4c에 도시된 바와 같이, 리드부(235)의 물질은 화소 전극(21)의 물질과 동일하고, 상기 패시베이션층 내의 비아 홀(234)을 통하여 연장부(233)와 전기적으로 연결된다. 리드부(235)는 게이트 라인(23)과 동일한 층에 제공되지는 않고, 화소 전극(21)과 동일한 층에 제공된다. 따라서, 리드부(235)는 화소 전극(21)에 대한 동일한 포토리소그래피 공정에서 형성될 수 있다.
- [0036] 도 4b에 도시된 바와 같이, 상기 기생 캐패시터의 두 개의 전극들 사이의 거리 D1은 상기 제1 보호층(24, 게이트 절연층)의 두께 및 활성층(223)의 두께와 동일하고, 상기 보호 캐패시터의 두 개의 전극들의 거리 D3은 제2 보호층(25)의 두께에만 동일하다. 상기 층 구조를 형성하기 위하여 상기 층들의 두께를 제어하여, 상기 기생 캐패시터의 상기 두 개의 전극들 사이의 거리 D1에 비하여 상기 보호 캐패시터의 상기 두 개의 전극들 사이의 거리 D3가 작게하는 것이 용이하다.
- [0037] 도 3c에 도시된 예와 유사하게, 본 실시예의 상기 보호 캐패시터는 상기 기생 캐패시터와 병렬 연결된다. 상기 두 개의 전극들 사이의 거리(D)가 감소되면, 전기장 크기(E)는 증가되고, 상기 캐패시터의 항복은 더 용이하게 발생할 수 있다. 따라서, 정전기적 방전이 발생하고, 더 작은 항복 전압의 보호 캐패시터가 더 용이하게 항복될 수 있고, 더 큰 항복 전압의 기생 캐패시터가 보호된다.
- [0038] 또한, 본 실시예에서 하나 이상의 보호 캐패시터가 형성될 수 있다. 도 4d에 도시된 바와 같이, 게이트 라인(23)의 연장부들과 연결된 두 개의 리드부들(235, 236)은 각각 데이터 라인(22)과 교차하고, 이에 따라 상기 기생 캐패시터와 병렬 연결된 두 개의 보호 캐패시터들을 형성한다. 상기 연장부는 하나일 수 있다. 또한, 작은 항복 전압에 의하여 종종 발생하는 보호 캐패시터의 항복을 방지하고 이에 따라 증가되는 수선 비용을 방지하기 위하여, 막의 두께, 면적, 매질의 유전율 등을 적절하게 선택하여 상기 캐패시터들의 항복 전압을 적절한 범위로 제어할 수 있다. 또한, 다른 항복 전압들의 다른 보호 캐패시터들을 형성하여, 여러 단계의 보호를 상기 화

소 구조에 대하여 구현할 수 있다.

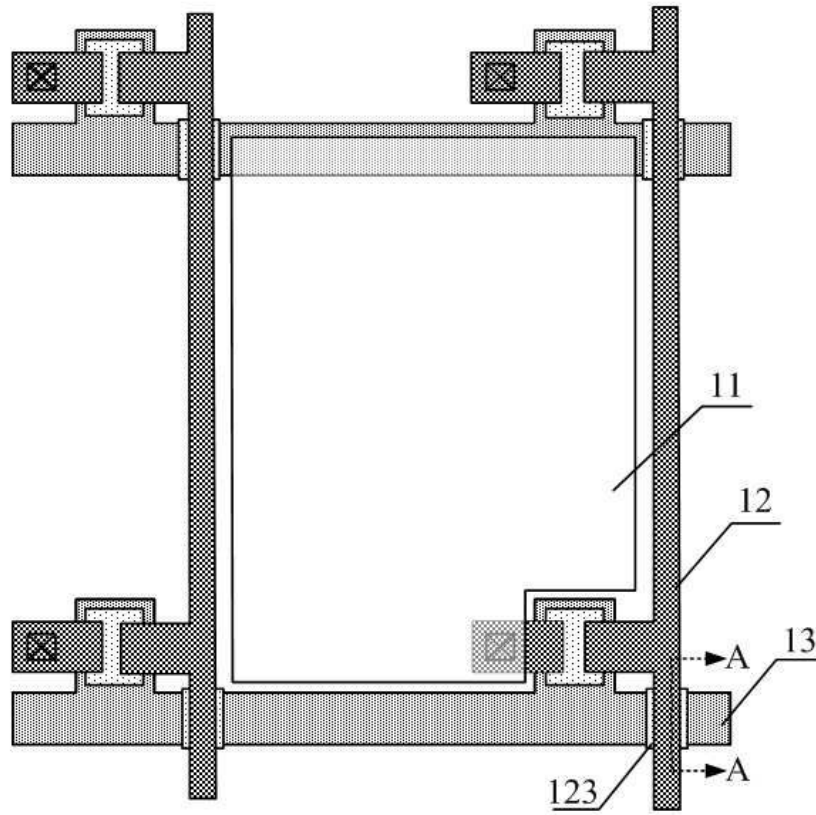
- [0039] 본 실시예의 화소 구조와 함께 다섯 차례의 마스크 공정을 이용하여 형성한 화소 구조를 위하여 상기 보호 캐패시터를 제공한다. 따라서, 특히 LCD TV 제품에 대하여, 정전기적 방전(ESD)에 기인하는 결함율을 효과적으로 감소시킬 수 있고, 수율을 증가시킬 수 있고, 또한 비용을 감소시킬 수 있다. 또한, 상기 화소 구조의 보호 설계는 간단하고, 상대적으로 작은 디스플레이 영역을 차지하며, 현재의 제조 공정을 기초로 하여 구현할 수 있고, 비용을 증가시키지 않는다.
- [0040] 개시된 본 발명의 실시예들은 다양한 방법들에 의하여 변화할 수 있음이 명백하다. 이러한 변화들은 본 발명의 기술적 사상을 벗어나지 않으며, 본 기술 분야의 당업자에게 명백한 변형들은 하기의 청구항들의 범위 내에 포함되도록 의도된다

**도면의 간단한 설명**

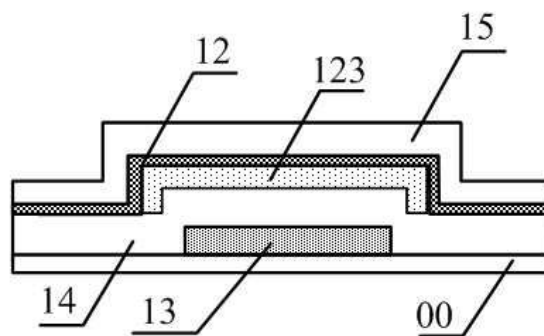
- [0041] 도 1a는 종래의 다섯 차례의 마스크 공정을 이용하여 제조한 화소 구조의 개략도이다.
- [0042] 도 1b는 도 1a의 선 A-A를 따라 절취한 단면도이다.
- [0043] 도 2a는 종래의 네 차례의 마스크 공정을 이용하여 제조한 화소 구조의 개략도이다.
- [0044] 도 2b는 도 2a의 선 B-B를 따라 절취한 단면도이다.
- [0045] 도 3a는 본 발명의 제1 실시예에 따른 화소 구조의 개략도이다.
- [0046] 도 3b는 도 3a의 선 C-C를 따라 절취한 단면도이다.
- [0047] 도 3c는 본 발명의 제1 실시예에 따른 보호 캐패시터들 및 기생 캐패시터의 등가 회로도이다.
- [0048] 도 3d는 본 발명의 제1 실시예에 따른 두 개의 보호 캐패시터들을 가지는 화소 구조의 개략도이다.
- [0049] 도 4a는 본 발명의 제2 실시예에 따른 화소 구조의 개략도이다.
- [0050] 도 4b는 도 4a의 선 D-D를 따라 절취한 단면도이다.
- [0051] 도 4c는 도 4a의 선 E-E를 따라 절취한 단면도이다.
- [0052] 도 4d는 본 발명의 제1 실시예에 따른 두 개의 보호 캐패시터들을 가지는 화소 구조의 개략도이다.
- [0053] \* 도면의 주요부분에 대한 부호의 설명 \*
- [0054] 00: 기판, 11: 화소전극, 12, 22: 데이터 라인, 13, 23: 게이트 라인
- [0055] 14, 24: 게이트 절연층, 15, 25: 패시베이션층, 123, 223: 활성층
- [0056] 133, 134: 분지, 233: 연장부, 234: 비아 홀, 235, 236: 리드부

도면

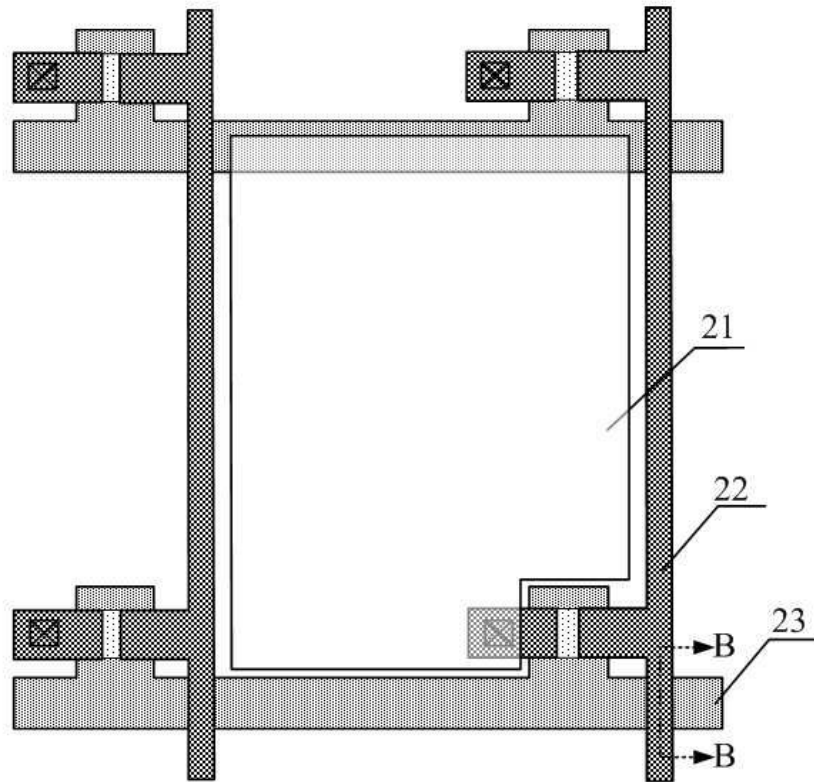
도면1a



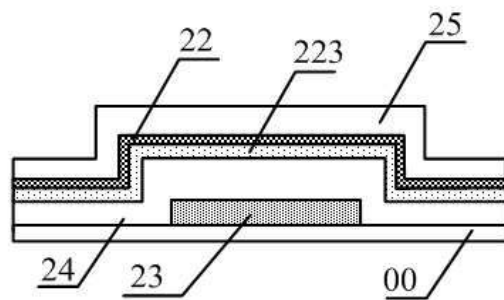
도면1b



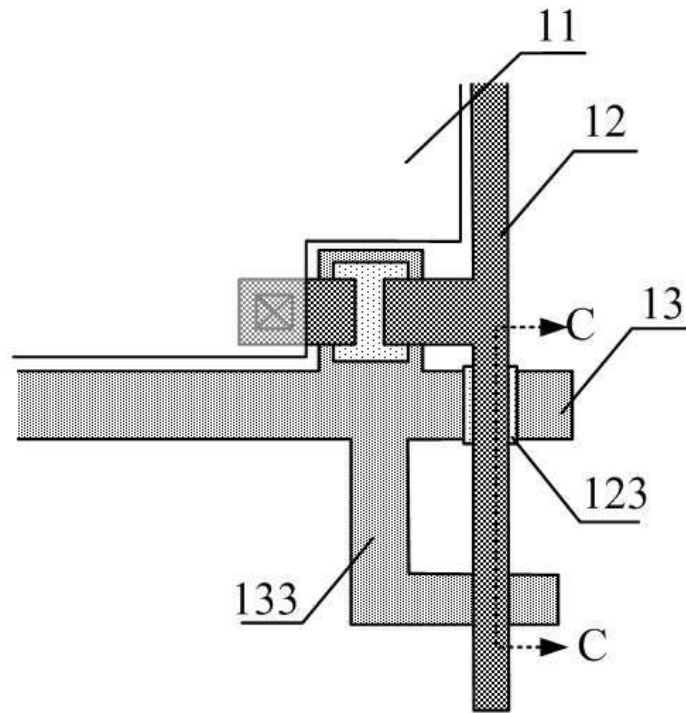
도면2a



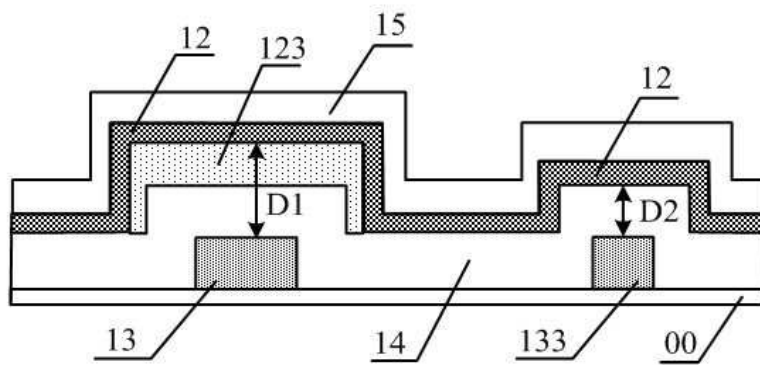
도면2b



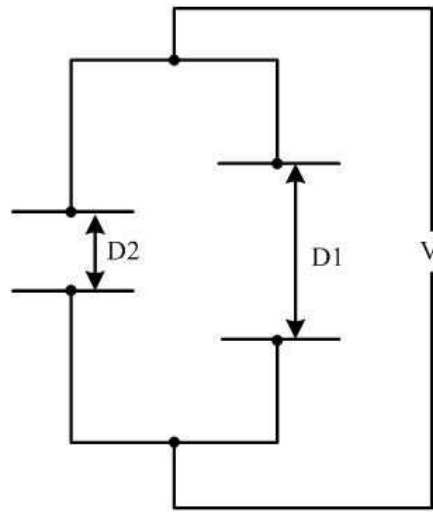
도면3a



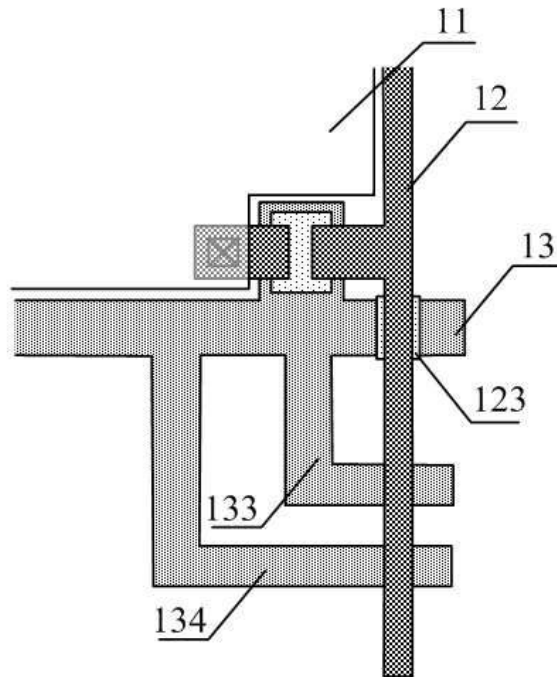
도면3b



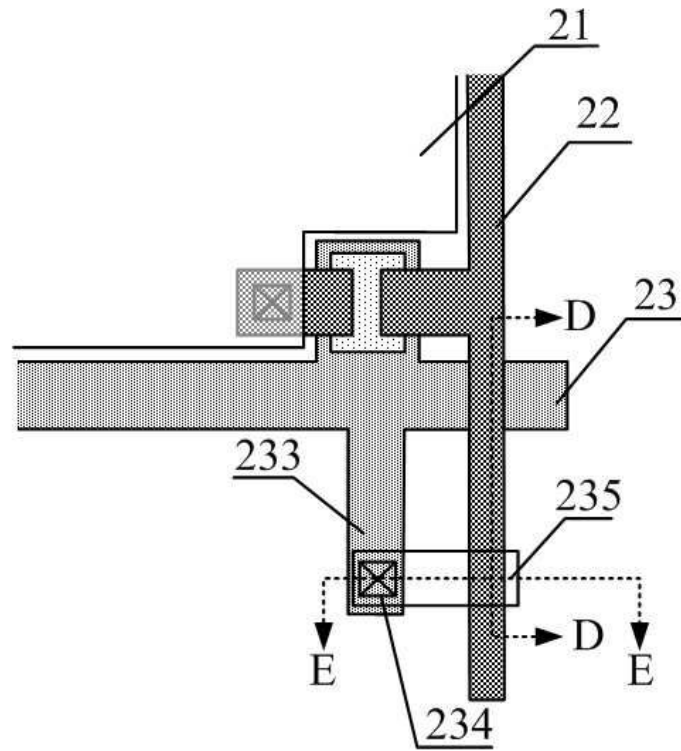
도면3c



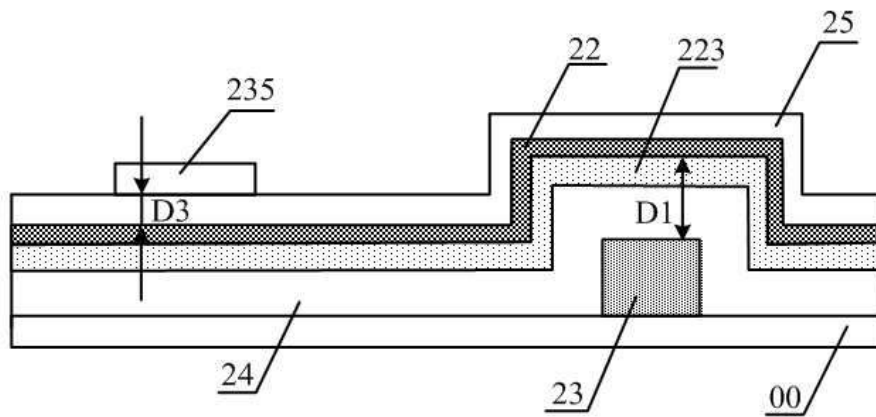
도면3d



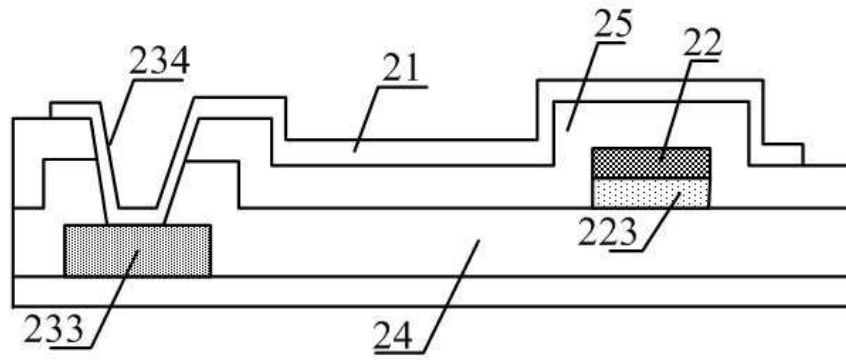
도면4a



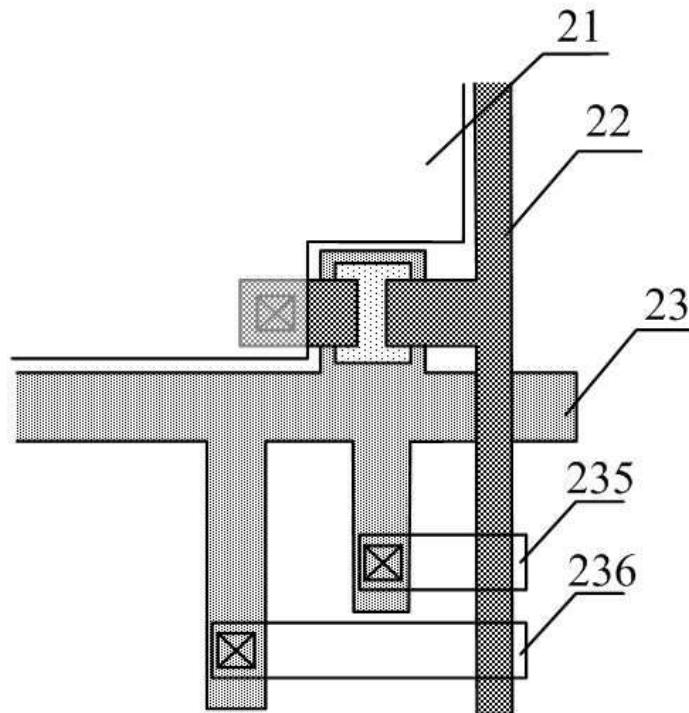
도면4b



도면4c



도면4d



专利名称(译)	像素结构的薄膜晶体管液晶显示器		
公开(公告)号	<a href="#">KR101098498B1</a>	公开(公告)日	2011-12-26
申请号	KR1020080115169	申请日	2008-11-19
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	XIANGFEI HE 지양페이헤 WEI WANG 웨이왕		
发明人	지양페이헤 웨이왕		
IPC分类号	G02F1/1343 G02F G02F1/1335		
CPC分类号	G02F1/136213 G02F1/136286 G02F2001/13606		
优先权	200810057694.7 2008-02-04 CN		
其他公开文献	KR1020090085509A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

根据本发明的一个实施例提供一种薄膜晶体管液晶显示器 ( TFT-LCD ) 阵列基板的像素结构，包括像素电极，栅极线和数据线，栅极线和数据线相互交叉。定义像素单元并在栅极线和日期线之间的交叉点处形成寄生电容器，其中在栅极线上提供分支并且在分支和数据线之间形成保护电容器并且并联连接对于寄生电容器，保护电容器的电容小于寄生电容器的电容。

