



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0106640
(43) 공개일자 2008년12월09일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

(21) 출원번호 10-2007-0054294

(22) 출원일자 2007년06월04일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

정관욱

경기도 수원시 영통구 영통동 벽적골9단지 주공아파트 909동802호

태승규

경기 수원시 영통구 영통동 벽적골8단지아파트 822동 404호

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 20 항

(54) 표시 장치의 구동 장치 및 이를 포함하는 표시 장치

(57) 요약

본 발명은 표시 장치의 구동 장치 및 이를 포함하는 표시 장치에 관한 것이다.

서로 연결되어 있는 복수의 스테이지를 포함하는 표시 장치의 구동 장치는, 상기 각 스테이지는 제1 내지 제7 트랜지스터와 제1 및 제2 축전기를 포함하고, 상기 제7 트랜지스터는 상기 제1 축전기의 일단에 연결되어 있으며, 상기 제7 트랜지스터의 채널 폭에 대한 상기 제1 축전기의 면적의 비는 40 이하이며, 상기 제7 트랜지스터의 제어 단자인 게이트와 출력 단자인 소스의 중첩 거리는 4 μ m이다.

이러한 방식으로, 트랜지스터의 채널 폭에 대한 축전기의 면적의 비를 40 이하로 함으로써 저온 테스트시 불량률을 획기적으로 줄일 수 있다.

대표도

샘플	T4(W)	T5(W)	T7(W)	C1(A)	C1/T7	C1/(T4+T5)	이상유무
2.2" CIF	100	300	100	3933	39.330	9.833	무
2.46" TF	100	300	100	4133	41.330	10.333	유
5.0" VGA	500	800	300	16933	56.443	13.025	유
1.82" WTR	150	350	150	4000	26.667	8.000	무
1.9" STR	100	250	150	2533	16.887	7.237	무
2.3" S3	100	440	100	4533	45.330	8.394	무
2.5" DSC	100	350	100	4133	41.330	9.184	무
3.5" PMP 1CHIP	200	600	230	10600	41.087	13.250	무
1.71" TMR QCIF	100	250	150	2400	16.000	6.857	무
2.2" RAZR	100	250	150	2600	17.333	7.429	무
4.0" Triple-gate TF	150	500	135	7000	51.852	10.769	무
2.56" RIM	100	380	100	4133	41.330	8.610	무
1.66" QCIF	100	350	100	3867	38.670	8.593	무
2.22" CCR	100	220	100	4333	43.330	13.541	무
2.83" LAND	100	350	100	4133	41.330	9.184	무
4.0" Triple	150	500	150	7000	46.667	10.769	유
7.0" Triple	200	600	200	6467	32.335	8.084	무
1.8" LANDSCAPE	100	250	100	3600	36.000	10.286	무
1.55" QCIF	100	250	100	2267	22.670	6.477	무
1.2" QQF04	100	250	100	2200	22.000	6.286	유
1.46" QCIF	100	220	100	5000	50.000	15.625	유
2.0" V KAISER	100	490	100	4200	42.000	7.119	무
2.3" GVGA	100	330	100	4600	46.000	10.698	무
2.46" TF(Tomtom)	100	640	100	7333	73.330	9.909	무

특허청구의 범위

청구항 1

서로 연결되어 있는 복수의 스테이지를 포함하는 표시 장치의 구동 장치로서,
상기 각 스테이지는 제1 내지 제7 트랜지스터와 제1 및 제2 축전기를 포함하고,
상기 제7 트랜지스터는 제1 축전기의 일단에 연결되어 있으며,
상기 제7 트랜지스터의 채널 폭에 대한 상기 제1 축전기의 면적의 비는 40 이하인
표시 장치의 구동 장치.

청구항 2

제1항에서,
상기 제7 트랜지스터의 제어 단자인 게이트와 출력 단자인 소스의 중첩 거리는 $4\mu\text{m}$ 인 표시 장치의 구동 장치.

청구항 3

제2항에서,
상기 각 스테이지는 세트 단자, 리세트 단자, 게이트 전압 단자, 출력 단자와 제1 및 제2 클록 단자를 갖는 표시 장치의 구동 장치.

청구항 4

제3항에서,
상기 제1 트랜지스터는 상기 제1 클록 단자와 상기 출력 단자 사이에 연결되어 있으며 제어 단자가 제1 접점에 연결되어 있고,
상기 제2 트랜지스터는 상기 세트 단자에 제어 단자와 입력 단자가 공통적으로 연결되어 있으며 출력 단자가 상기 제1 접점에 연결되어 있으며,
상기 제3 트랜지스터는 상기 제1 접점과 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 리세트 단자에 연결되어 있고,
상기 제4 트랜지스터는 상기 제1 접점과 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 제2 접점에 연결되어 있으며,
상기 제5 트랜지스터는 상기 출력 단자와 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제2 접점에 연결되어 있고,
상기 제6 트랜지스터는 상기 출력 단자와 상기 제1 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제2 클록 단자에 연결되어 있으며,
상기 제7 트랜지스터는 상기 제2 접점과 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제1 접점에 연결되어 있고,
상기 제1 축전기는 상기 제1 클록 단자와 상기 제2 접점 사이에 연결되어 있으며,
상기 제2 축전기는 상기 제1 접점과 상기 출력 단자 사이에 연결되어 있는
표시 장치의 구동 장치.

청구항 5

제4항에서,
상기 스테이지는 상기 표시 장치에 집적되어 있는 표시 장치의 구동 장치.

청구항 6

서로 연결되어 있는 복수의 스테이지를 포함하는 표시 장치의 구동 장치로서,
상기 각 스테이지는 제1 내지 제7 트랜지스터와 제1 및 제2 축전기를 포함하고,
상기 제4 및 제5 트랜지스터는 제1 축전기의 일단에 공통적으로 연결되어 있으며,
상기 제4 및 제5 트랜지스터의 채널 폭의 합에 대한 상기 제1 축전기의 면적의 비는 7 이상인
표시 장치의 구동 장치.

청구항 7

제6항에서,
상기 제4 및 제5 트랜지스터의 제어 단자인 게이트와 출력 단자인 소스의 중첩 거리는 각각 $4\mu\text{m}$ 인 표시 장치의
구동 장치.

청구항 8

제7항에서,
상기 각 스테이지는 세트 단자, 리세트 단자, 게이트 전압 단자, 출력 단자와 제1 및 제2 클록 단자를 갖는 표
시 장치의 구동 장치.

청구항 9

제8항에서,
상기 제1 트랜지스터는 상기 제1 클록 단자와 상기 출력 단자 사이에 연결되어 있으며 제어 단자가 제1 접점에
연결되어 있고,
상기 제2 트랜지스터는 상기 세트 단자에 제어 단자와 입력 단자가 공통적으로 연결되어 있으며 출력 단자가 상
기 제1 접점에 연결되어 있으며,
상기 제3 트랜지스터는 상기 제1 접점과 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 리세
트 단자에 연결되어 있고,
상기 제4 트랜지스터는 상기 제1 접점과 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 제2 접점
에 연결되어 있으며,
상기 제5 트랜지스터는 상기 출력 단자와 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제2
접점에 연결되어 있고,
상기 제6 트랜지스터는 상기 출력 단자와 상기 제1 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기
제2 클록 단자에 연결되어 있으며,
상기 제7 트랜지스터는 상기 제2 접점과 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제1
접점에 연결되어 있고,
상기 제1 축전기는 상기 제1 클록 단자와 상기 제2 접점 사이에 연결되어 있으며,
상기 제2 축전기는 상기 제1 접점과 상기 출력 단자 사이에 연결되어 있는
표시 장치의 구동 장치.

청구항 10

제9항에서,
상기 스테이지는 상기 표시 장치에 집적되어 있는 표시 장치의 구동 장치.

청구항 11

서로 연결되어 있는 복수의 스테이지를 포함하는 게이트 구동부를 포함하는 표시 장치로서,
 상기 각 스테이지는 제1 내지 제7 트랜지스터와 제1 및 제2 축전기를 포함하고,
 상기 제7 트랜지스터는 제1 축전기의 일단에 연결되어 있으며,
 상기 제7 트랜지스터의 채널 폭에 대한 상기 제1 축전기의 면적의 비는 40 이하인
 표시 장치.

청구항 12

제11항에서,
 상기 제7 트랜지스터의 제어 단자인 게이트와 출력 단자인 소스의 중첩 거리는 $4\mu\text{m}$ 인 표시 장치.

청구항 13

제12항에서,
 상기 각 스테이지는 세트 단자, 리세트 단자, 게이트 전압 단자, 출력 단자와 제1 및 제2 클록 단자를 갖는 표시 장치.

청구항 14

제13항에서,
 상기 제1 트랜지스터는 상기 제1 클록 단자와 상기 출력 단자 사이에 연결되어 있으며 제어 단자가 제1 접점에 연결되어 있고,
 상기 제2 트랜지스터는 상기 세트 단자에 제어 단자와 입력 단자가 공통적으로 연결되어 있으며 출력 단자가 상기 제1 접점에 연결되어 있으며,
 상기 제3 트랜지스터는 상기 제1 접점과 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 리세트 단자에 연결되어 있고,
 상기 제4 트랜지스터는 상기 제1 접점과 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 제2 접점에 연결되어 있으며,
 상기 제5 트랜지스터는 상기 출력 단자와 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제2 접점에 연결되어 있고,
 상기 제6 트랜지스터는 상기 출력 단자와 상기 제1 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제2 클록 단자에 연결되어 있으며,
 상기 제7 트랜지스터는 상기 제2 접점과 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제1 접점에 연결되어 있고,
 상기 제1 축전기는 상기 제1 클록 단자와 상기 제2 접점 사이에 연결되어 있으며,
 상기 제2 축전기는 상기 제1 접점과 상기 출력 단자 사이에 연결되어 있는
 표시 장치.

청구항 15

제14항에서,
 상기 게이트 구동부는 상기 표시 장치에 집적되어 있는 표시 장치.

청구항 16

서로 연결되어 있는 복수의 스테이지를 포함하는 게이트 구동부를 포함하는 표시 장치로서,
 상기 각 스테이지는 제1 내지 제7 트랜지스터와 제1 및 제2 축전기를 포함하고,

상기 제4 및 제5 트랜지스터는 제1 축전기의 일단에 공통적으로 연결되어 있으며,
상기 제4 및 제5 트랜지스터의 채널 폭의 합에 대한 상기 제1 축전기의 면적의 비는 7 이상인
표시 장치.

청구항 17

제16항에서,
상기 제4 및 제5 트랜지스터의 제어 단자인 게이트와 출력 단자인 소스의 중첩 거리는 각각 $4\mu\text{m}$ 인 표시 장치.

청구항 18

제17항에서,
상기 각 스테이지는 세트 단자, 리세트 단자, 게이트 전압 단자, 출력 단자와 제1 및 제2 클록 단자를 갖는 표시 장치.

청구항 19

제18항에서,
상기 제1 트랜지스터는 상기 제1 클록 단자와 상기 출력 단자 사이에 연결되어 있으며 제어 단자가 제1 접점에 연결되어 있고,
상기 제2 트랜지스터는 상기 세트 단자에 제어 단자와 입력 단자가 공통적으로 연결되어 있으며 출력 단자가 상기 제1 접점에 연결되어 있으며,
상기 제3 트랜지스터는 상기 제1 접점과 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 리세트 단자에 연결되어 있고,
상기 제4 트랜지스터는 상기 제1 접점과 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 제2 접점에 연결되어 있으며,
상기 제5 트랜지스터는 상기 출력 단자와 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제2 접점에 연결되어 있고,
상기 제6 트랜지스터는 상기 출력 단자와 상기 제1 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제2 클록 단자에 연결되어 있으며,
상기 제7 트랜지스터는 상기 제2 접점과 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제1 접점에 연결되어 있고,
상기 제1 축전기는 상기 제1 클록 단자와 상기 제2 접점 사이에 연결되어 있으며,
상기 제2 축전기는 상기 제1 접점과 상기 출력 단자 사이에 연결되어 있는
표시 장치.

청구항 20

제19항에서,
상기 게이트 구동부는 상기 표시 장치에 집적되어 있는 표시 장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <27> 본 발명은 표시 장치의 구동 장치 및 이를 포함하는 표시 장치에 관한 것이다.
- <28> 최근, 무겁고 큰 음극선관(cathode ray tube, CRT)을 대신하여 유기 전계 발광 표시 장치(organic light emitting diode display, OLED), 플라스마 표시 장치(plasma display panel, PDP), 액정 표시 장치(liquid crystal display, LCD)와 같은 평판 표시 장치가 활발히 개발 중이다.
- <29> PDP는 기체 방전에 의하여 발생하는 플라스마를 이용하여 문자나 영상을 표시하는 장치이며, 유기 발광 표시 장치는 특정 유기물 또는 고분자들의 전계 발광을 이용하여 문자 또는 영상을 표시한다. 액정 표시 장치는 두 표시판의 사이에 들어 있는 액정층에 전기장을 인가하고, 이 전기장의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다.
- <30> 이러한 표시 장치 중에서 예를 들어 액정 표시 장치는 스위칭 소자를 포함하는 화소와 표시 신호선이 구비된 표시판, 그리고 표시 신호선 중 게이트선에 게이트 온 전압과 게이트 오프 전압을 내보내어 화소의 스위칭 소자를 턴온/오프시키는 게이트 구동부와 표시 신호선 중 데이터선에 데이터 전압을 내보내어 턴온된 스위칭 소자를 통하여 화소에 인가하는 데이터 구동부를 포함한다.
- <31> 이러한 중소형 표시 장치는 물론 대형 표시 장치에서 원가 절감 등을 위하여 게이트 구동부가 화소의 스위칭 소자와 동일한 공정으로 형성되어 표시판부에 집적되어 있는 경우가 있다.
- <32> 게이트 구동부는 실질적으로 시프트 레지스터로서 서로 연결되어 있으며 일렬로 배열되어 있는 복수의 스테이지를 포함하고, 첫 번째 스테이지가 주사 시작 신호를 인가받아 게이트 출력을 내보내는 동시에 다음 스테이지에 캐리 출력(carry output)을 내보내어 순차적으로 게이트 출력을 생성한다. 이러한 캐리 출력은 게이트 출력을 사용할 수도 있다.

발명이 이루고자 하는 기술적 과제

- <33> 이때, 스테이지는 복수의 트랜지스터를 포함하는데, 이 트랜지스터는 온도에 따라 구동 전류가 변화하며 여러 원인으로 인해 전체적으로 시프트 레지스터 자체의 출력 불량으로 이어진다.
- <34> 따라서, 이러한 점을 감안하여 제조 단계에서 미리 저온 테스트 과정을 거쳐서 스테이지의 결함 여부를 가려낸다. 하지만, 현재 적용중인 설계 규칙에 따른 시프트 레지스터도 불량으로 나타나고 있어 새로운 설계 규칙 수립이 시급하다.
- <35> 따라서, 본 발명이 이루고자 하는 기술적 과제는 새로운 설계 규칙이 적용된 표시 장치의 구동 장치 및 이를 포함하는 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

- <36> 이러한 기술적 과제를 이루기 위한 본 발명의 한 실시예에 따라 서로 연결되어 있는 복수의 스테이지를 포함하는 표시 장치의 구동 장치는, 상기 각 스테이지는 제1 내지 제7 트랜지스터와 제1 및 제2 축전기를 포함하고, 상기 제7 트랜지스터는 제1 축전기의 일단에 연결되어 있으며, 상기 제7 트랜지스터의 채널 폭에 대한 상기 제1 축전기의 면적의 비는 40 이하이다.
- <37> 이 때, 상기 제7 트랜지스터의 제어 단자인 게이트와 출력 단자인 소스의 중첩 거리는 4 μ m일 수 있다.
- <38> 한편, 상기 각 스테이지는 세트 단자, 리세트 단자, 게이트 전압 단자, 출력 단자와 제1 및 제2 클록 단자를 가질 수 있다.
- <39> 또한, 상기 제1 트랜지스터는 상기 제1 클록 단자와 상기 출력 단자 사이에 연결되어 있으며 제어 단자가 제1 접점에 연결되어 있고, 상기 제2 트랜지스터는 상기 세트 단자에 제어 단자와 입력 단자가 공통적으로 연결되어 있으며 출력 단자가 상기 제1 접점에 연결되어 있으며, 상기 제3 트랜지스터는 상기 제1 접점과 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 리세트 단자에 연결되어 있고, 상기 제4 트랜지스터는 상기 제1 접점과 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 제2 접점에 연결되어 있으며, 상기 제5 트랜지스터는 상기 출력 단자와 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제2 접점에 연결되어 있고, 상기 제6 트랜지스터는 상기 출력 단자와 상기 제1 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제2 클록 단자에 연결되어 있으며, 상기 제7 트랜지스터는 상기 제2 접점과 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제1 접점에 연결되어 있고, 상기 제1 축전기는 상기 제1 클록 단자와 상기 제2 접점 사이에 연결되어 있으며, 상기 제2 축전기는 상기 제1 접점과 상기 출력 단자 사이에 연

결되어 있을 수 있다.

<40> 또한, 상기 스테이지는 상기 표시 장치에 집적되어 있을 수 있다.

<41> 본 발명의 다른 실시예에 따라 서로 연결되어 있는 복수의 스테이지를 포함하는 표시 장치의 구동 장치는, 상기 각 스테이지는 제1 내지 제7 트랜지스터와 제1 및 제2 축전기를 포함하고, 상기 제4 및 제5 트랜지스터는 제1 축전기의 일단에 공통적으로 연결되어 있으며, 상기 제4 및 제5 트랜지스터의 채널 폭의 합에 대한 상기 제1 축전기의 면적의 비는 7 이상일 수 있다. 이 때, 상기 제4 및 제5 트랜지스터의 제어 단자인 게이트와 출력 단자인 소스의 중첩 거리는 각각 $4\mu\text{m}$ 일 수 있다.

<42> 또한, 상기 각 스테이지는 세트 단자, 리세트 단자, 게이트 전압 단자, 출력 단자와 제1 및 제2 클록 단자를 가질 수 있다.

<43> 이 때, 상기 제1 트랜지스터는 상기 제1 클록 단자와 상기 출력 단자 사이에 연결되어 있으며 제어 단자가 제1 접점에 연결되어 있고, 상기 제2 트랜지스터는 상기 세트 단자에 제어 단자와 입력 단자가 공통적으로 연결되어 있으며 출력 단자가 상기 제1 접점에 연결되어 있으며, 상기 제3 트랜지스터는 상기 제1 접점과 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 리세트 단자에 연결되어 있고, 상기 제4 트랜지스터는 상기 제1 접점과 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 제2 접점에 연결되어 있으며, 상기 제5 트랜지스터는 상기 출력 단자와 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제2 접점에 연결되어 있고, 상기 제6 트랜지스터는 상기 출력 단자와 상기 제1 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제2 클록 단자에 연결되어 있으며, 상기 제7 트랜지스터는 상기 제2 접점과 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제1 접점에 연결되어 있고, 상기 제1 축전기는 상기 제1 클록 단자와 상기 제2 접점 사이에 연결되어 있으며, 상기 제2 축전기는 상기 제1 접점과 상기 출력 단자 사이에 연결되어 있을 수 있다.

<44> 또한, 상기 스테이지는 상기 표시 장치에 집적되어 있을 수 있다.

<45> 본 발명의 한 실시예에 따라 서로 연결되어 있는 복수의 스테이지를 포함하는 게이트 구동부를 포함하는 표시 장치는, 상기 각 스테이지는 제1 내지 제7 트랜지스터와 제1 및 제2 축전기를 포함하고, 상기 제7 트랜지스터는 제1 축전기의 일단에 연결되어 있으며, 상기 제7 트랜지스터의 채널 폭에 대한 상기 제1 축전기의 면적의 비는 40 이하이다.

<46> 이 때, 상기 제7 트랜지스터의 제어 단자인 게이트와 출력 단자인 소스의 중첩 거리는 $4\mu\text{m}$ 일 수 있다.

<47> 한편, 상기 각 스테이지는 세트 단자, 리세트 단자, 게이트 전압 단자, 출력 단자와 제1 및 제2 클록 단자를 가질 수 있다.

<48> 또한, 상기 제1 트랜지스터는 상기 제1 클록 단자와 상기 출력 단자 사이에 연결되어 있으며 제어 단자가 제1 접점에 연결되어 있고, 상기 제2 트랜지스터는 상기 세트 단자에 제어 단자와 입력 단자가 공통적으로 연결되어 있으며 출력 단자가 상기 제1 접점에 연결되어 있으며, 상기 제3 트랜지스터는 상기 제1 접점과 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 리세트 단자에 연결되어 있고, 상기 제4 트랜지스터는 상기 제1 접점과 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 제2 접점에 연결되어 있으며, 상기 제5 트랜지스터는 상기 출력 단자와 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제2 접점에 연결되어 있고, 상기 제6 트랜지스터는 상기 출력 단자와 상기 제1 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제2 클록 단자에 연결되어 있으며, 상기 제7 트랜지스터는 상기 제2 접점과 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제1 접점에 연결되어 있고, 상기 제1 축전기는 상기 제1 클록 단자와 상기 제2 접점 사이에 연결되어 있으며, 상기 제2 축전기는 상기 제1 접점과 상기 출력 단자 사이에 연결되어 있을 수 있다.

<49> 또한, 상기 게이트 구동부는 상기 표시 장치에 집적되어 있을 수 있다.

<50> 본 발명의 다른 실시예에 따라 서로 연결되어 있는 복수의 스테이지를 포함하는 게이트 구동부를 포함하는 표시 장치는, 상기 각 스테이지는 제1 내지 제7 트랜지스터와 제1 및 제2 축전기를 포함하고, 상기 제4 및 제5 트랜지스터는 제1 축전기의 일단에 공통적으로 연결되어 있으며, 상기 제4 및 제5 트랜지스터의 채널 폭의 합에 대한 상기 제1 축전기의 면적의 비는 7 이상일 수 있다. 이 때, 상기 제4 및 제5 트랜지스터의 제어 단자인 게이트와 출력 단자인 소스의 중첩 거리는 각각 $4\mu\text{m}$ 일 수 있다.

<51> 또한, 상기 각 스테이지는 세트 단자, 리세트 단자, 게이트 전압 단자, 출력 단자와 제1 및 제2 클록 단자를 가

질 수 있다.

- <52> 이 때, 상기 제1 트랜지스터는 상기 제1 클록 단자와 상기 출력 단자 사이에 연결되어 있으며 제어 단자가 제1 접점에 연결되어 있고, 상기 제2 트랜지스터는 상기 세트 단자에 제어 단자와 입력 단자가 공통적으로 연결되어 있으며 출력 단자가 상기 제1 접점에 연결되어 있으며, 상기 제3 트랜지스터는 상기 제1 접점과 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 리세트 단자에 연결되어 있고, 상기 제4 트랜지스터는 상기 제1 접점과 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 제2 접점에 연결되어 있으며, 상기 제5 트랜지스터는 상기 출력 단자와 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제2 접점에 연결되어 있고, 상기 제6 트랜지스터는 상기 출력 단자와 상기 제1 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제2 클록 단자에 연결되어 있으며, 상기 제7 트랜지스터는 상기 제2 접점과 상기 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제1 접점에 연결되어 있고, 상기 제1 축전기는 상기 제1 클록 단자와 상기 제2 접점 사이에 연결되어 있으며, 상기 제2 축전기는 상기 제1 접점과 상기 출력 단자 사이에 연결되어 있을 수 있다.
- <53> 또한, 상기 게이트 구동부는 상기 표시 장치에 집적되어 있을 수 있다.
- <54> 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
- <55> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- <56> 먼저, 도 1 및 도 2를 참고하여 본 발명의 한 실시예에 따른 표시 장치에 대하여 상세하게 설명하며, 액정 표시 장치를 한 예로 설명한다.
- <57> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.
- <58> 도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300) 및 이와 연결된 게이트 구동부(400) 및 데이터 구동부(500), 데이터 구동부(500)에 연결된 게조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.
- <59> 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선(G_1-G_m , D_1-D_m)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다. 반면, 도 2에 도시한 구조로 볼 때 액정 표시판 조립체(300)는 서로 마주하는 하부 및 상부 표시판(100, 200)과 그 사이에 들어 있는 액정층(3)을 포함한다.
- <60> 신호선(G_1-G_m , D_1-D_m)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(G_1-G_m)과 데이터 신호를 전달하는 복수의 데이터선(D_1-D_m)을 포함한다. 게이트선(G_1-G_m)은 대략 행 방향으로 뻗으며 서로가 거의 평행하고, 데이터선(D_1-D_m)은 대략 열 방향으로 뻗으며 서로가 거의 평행하다.
- <61> 각 화소(PX), 예를 들면 i 번째($i=1, 2, \dots, n$) 게이트선(G_i)과 j 번째($j=1, 2, \dots, m$) 데이터선(D_j)에 연결된 화소(PX)는 신호선(G_i , D_j)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)(Clc) 및 유지 축전기(storage capacitor)(Cst)를 포함한다. 유지 축전기(Cst)는 필요에 따라 생략할 수 있다.
- <62> 스위칭 소자(Q)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 게이트선(G_i)과 연결되어 있고, 입력 단자는 데이터선(D_j)과 연결되어 있으며, 출력 단자는 액정 축전기(Clc) 및 유지 축전기(Cst)와 연결되어 있다.
- <63> 액정 축전기(Clc)는 하부 표시판(100)의 화소 전극(191)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(191, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(191)은 스위칭 소자(Q)와 연결되며 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가받는다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(191, 270) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.

- <64> 액정 축전기(Clc)의 보조적인 역할을 하는 유지 축전기(Cst)는 하부 표시판(100)에 구비된 별개의 신호선(도시하지 않음)과 화소 전극(191)이 절연체를 사이에 두고 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압(Vcom) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기(Cst)는 화소 전극(191)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.
- <65> 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 화소 전극(191)에 대응하는 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(230)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(230)는 하부 표시판(100)의 화소 전극(191) 위 또는 아래에 형성할 수도 있다.
- <66> 액정 표시판 조립체(300)의 바깥 면에는 빛을 편광시키는 적어도 하나의 편광자(도시하지 않음)가 부착되어 있다.
- <67> 다시 도 1을 참고하면, 제조 전압 생성부(800)는 화소(PX)의 투과율과 관련된 두 별개의 제조 전압 집합(또는 기준 제조 전압 집합)을 생성한다. 두 별 중 한 별은 공통 전압(Vcom)에 대하여 양의 값을 가지고 다른 한 별은 음의 값을 가진다.
- <68> 게이트 구동부(400)는 액정 표시판 조립체(300)에 집적되어 있고, 게이트선(G_1-G_n)과 연결되어 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선(G_1-G_n)에 인가한다.
- <69> 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(D_1-D_m)에 연결되어 있으며, 제조 전압 생성부(800)로부터의 제조 전압을 선택하고 이를 데이터 신호로서 데이터선(D_1-D_m)에 인가한다. 그러나 제조 전압 생성부(800)가 모든 제조에 대한 전압을 모두 제공하는 것이 아니라 정해진 수의 기준 제조 전압만을 제공하는 경우에, 데이터 구동부(500)는 기준 제조 전압을 분압하여 전체 제조에 대한 제조 전압을 생성하고 이 중에서 데이터 신호를 선택한다.
- <70> 신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등을 제어한다.
- <71> 게이트 구동부(400)를 제외한 구동 장치(500, 600, 700, 800) 각각은 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 이와는 달리, 이들 구동 장치(500, 600, 700, 800)가 신호선(G_1-G_n , D_1-D_m) 및 박막 트랜지스터 스위칭 소자(Q) 따위와 함께 액정 표시판 조립체(300)에 집적될 수도 있다. 또한, 구동 장치(500, 600, 700, 800)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.
- <72> 그러면 이러한 액정 표시 장치의 동작에 대하여 상세하게 설명한다.
- <73> 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 입력 제어 신호의 예로는 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등이 있다.
- <74> 신호 제어부(600)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 입력 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다.
- <75> 게이트 제어 신호(CONT1)는 주사 시작을 지시하는 주사 시작 신호(STV1, STV2)와 게이트 온 전압(Von)의 출력 주기를 제어하는 적어도 하나의 클럭 신호(CLK1, CLK2)를 포함한다. 게이트 제어 신호(CONT1)는 또한 게이트 온 전압(Von)의 지속 시간을 한정하는 출력 인에이블 신호(OE)를 더 포함할 수 있다.
- <76> 데이터 제어 신호(CONT2)는 한 행[묶음]의 화소(PX)에 대한 영상 데이터의 전송 시작을 알리는 수평 동기 시작 신호(STH)와 데이터선(D_1-D_m)에 데이터 신호를 인가하라는 로드 신호(LOAD) 및 데이터 클럭 신호(HCLK)를 포함한다. 데이터 제어 신호(CONT2)는 또한 공통 전압(Vcom)에 대한 데이터 신호의 전압 극성(이하 "공통 전압에 대

한 데이터 신호의 전압 극성"을 줄여 "데이터 신호의 극성"이라 함)을 반전시키는 반전 신호(RVS)를 더 포함할 수 있다.

- <77> 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 행[묶음]의 화소(PX)에 대한 디지털 영상 신호(DAT)를 수신하고, 각 디지털 영상 신호(DAT)에 대응하는 게조 전압을 선택함으로써 디지털 영상 신호(DAT)를 아날로그 데이터 신호로 변환한 다음, 이를 해당 데이터선(D_1-D_m)에 인가한다.
- <78> 게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(V_{on})을 게이트선(G_1-G_n)에 인가하여 이 게이트선(G_1-G_n)에 연결된 스위칭 소자(Q)를 턴온시킨다. 그러면, 데이터선(D_1-D_m)에 인가된 데이터 신호가 턴온된 스위칭 소자(Q)를 통하여 해당 화소(PX)에 인가된다.
- <79> 화소(PX)에 인가된 데이터 신호의 전압과 공통 전압(V_{com})의 차이는 액정 축전기(C_{lc})의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자들은 화소 전압의 크기에 따라 그 배열을 달리하며 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판 조립체(300)에 부착된 편광자에 의하여 빛의 투과율 변화로 나타난다.
- <80> 1 수평 주기["1H"라고도 쓰며, 수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기와 동일함]를 단위로 하여 이러한 과정을 되풀이함으로써, 모든 게이트선(G_1-G_n)에 대하여 차례로 게이트 온 전압(V_{on})을 인가하여 모든 화소(PX)에 데이터 신호를 인가하여 한 프레임(frame)의 영상을 표시한다.
- <81> 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소(PX)에 인가되는 데이터 신호의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 신호의 극성이 바뀌거나(보기: 행 반전, 점 반전), 한 화소행에 인가되는 데이터 신호의 극성도 서로 다를 수 있다(보기: 열 반전, 점 반전).
- <82> 그러면 본 발명의 한 실시예에 따른 표시 장치의 구동 장치에 대하여 도 3 내지 도 6을 참고로 하여 상세히 설명한다.
- <83> 도 3은 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이며, 도 4는 도 3에 도시한 게이트 구동부용 시프트 레지스터의 j 번째 스테이지의 회로도인 예이고, 도 5는 도 3에 도시한 게이트 구동부의 신호 파형도이며, 도 6은 도 4에 도시한 트랜지스터의 일반적인 구조를 개략적으로 나타내는 도면이다.
- <84> 설명의 편의를 위하여 클럭 신호(CLK1, CLK2)의 하이 레벨에 해당하는 전압의 크기는 게이트 온 전압(V_{on})과 동일하고 이를 고전압이라 하며, 로우 레벨에 해당하는 전압의 크기는 게이트 오프 전압(V_{off})과 동일하고 이를 저전압이라 한다.
- <85> 도 3에 도시한 게이트 구동부(400)는 게이트선(G_1-G_n)에 각각 연결되어 있는 복수의 스테이지(410)를 포함하는 시프트 레지스터로서, 주사 시작 신호(STV1, STV2), 클럭 신호(CLK1, CLK2) 및 게이트 오프 전압(V_{off})이 입력된다.
- <86> 각 스테이지(410)는 세트 단자(S), 리세트 단자(R), 게이트 전압 단자(GV), 출력 단자(OUT), 그리고 클럭 단자(CK1, CK2)를 포함한다.
- <87> 각 스테이지(410), 예를 들면 j 번째 스테이지[ST(j)]의 세트 단자(S)에는 전단 스테이지[ST($j-1$)]의 게이트 출력, 즉 전단 게이트 출력[Gout($j-1$)]이, 리세트 단자(R)에는 후단 스테이지[ST($j+1$)]의 게이트 출력, 즉 후단 게이트 출력[Gout($j+1$)]이 입력되고, 클럭 단자(CK1, CK2)에는 클럭 신호(CLK1, CLK2)가 각각 입력된다. 출력 단자(OUT)는 게이트선(G_j)과 전단 및 후단 스테이지[ST($j-1$), ST($j+1$)]로 게이트 출력[Gout(j)]을 내보낸다. 이와는 달리, 전단 및 후단 스테이지[ST($j-1$), ST($j+1$)]로 출력되는 캐리 신호를 내보내는 별개의 출력 단자를 하나 더 둘 수 있으며, 출력 단자(OUT)에 연결되는 버퍼를 더 둘 수도 있다.
- <88> 정리하면, 각 스테이지(410)는 전단 게이트 출력[Gout($j-1$)]과 후단 게이트 출력[Gout($j+1$)]에 기초하고 클럭 신호(CLK1, CLK2)에 동기하여 게이트 출력을 생성한다.
- <89> 단, 시프트 레지스터(400)의 첫 번째 스테이지(ST1)에는 전단 게이트 출력 대신 주사 시작 신호(STV1)가 입력되며, 마지막 스테이지(ST(n))에는 후단 게이트 출력 대신 주사 시작 신호(STV2)가 입력된다. 주사 시작 신호(STV1, STV2)는 폭이 1H로서 1 프레임의 시작과 끝에 각각 하나씩 입력되는 1 프레임 주기의 신호이다.

- <90> 클록 신호(CLK1, CLK2)는 듀티비(duty ratio)가 약 50%이고 2H의 주기를 가지며 차례로 180°의 위상차를 가진다.
- <91> 이때, 예를 들어 j번째 스테이지[ST(j)]의 클록 단자(CK1)에 클록 신호(CLK1)가, 클록 단자(CK2)에 클록 신호(CLK2)가 입력되는 경우, 이에 인접한 (j-1)번째 및 (j+1)번째 스테이지[ST(j-1), ST(j+1)]의 클록 단자(CK1)에는 클록 신호(CLK2)가, 클록 단자(CK2)에는 클록 신호(CLK1)가 입력된다.
- <92> 도 4를 참고하면, 본 발명의 한 실시예에 따른 게이트 구동부(400)의 각 스테이지, 예를 들면 j번째 스테이지는 적어도 하나의 NMOS 트랜지스터(T1-T7) 및 축전기(C1, C2)로 이루어져 있다. 그러나 NMOS 트랜지스터 대신 PMOS 트랜지스터를 사용할 수도 있다. 또한, 축전기(C1, C2)는 실제로 공정시에 형성되는 게이트와 드레인/소스간 기생 용량(parasitic capacitance)일 수 있다.
- <93> 트랜지스터(T2)는 제어 단자와 입력 단자가 세트 단자(S)에 연결되어 있으며, 전단 게이트 출력[Gout(j-1)]을 접점(J1)으로 전달한다.
- <94> 트랜지스터(T3)는 제어 단자가 리세트 단자(R)에 연결되어 있으며, 게이트 오프 전압(Voff)을 접점(J1)으로 출력한다.
- <95> 트랜지스터(T4)와 트랜지스터(T5)의 제어 단자는 접점(J2)에 공통적으로 연결되어 있으며, 게이트 오프 전압(Voff)을 접점(J1)과 출력 단자(OUT)로 각각 전달한다.
- <96> 트랜지스터(T6)는 클록 단자(CK2)에, 트랜지스터(T7)는 접점(J1)에 연결되어 게이트 오프 전압(Voff)을 접점(J2)과 출력 단자(OUT)로 각각 전달한다.
- <97> 트랜지스터(T1)는 제어 단자가 접점(J1)에 연결되어 있으며 클록 신호(CLK1)를 출력 단자(OUT)로 전달한다.
- <98> 축전기(C1)는 클록 단자(CK1)와 접점(J2)사이에 연결되어 있으며, 축전기(C2)는 접점(J1)과 출력 단자(OUT)사이에 연결되어 있다.
- <99> 그러면 도 4에 도시한 시프트 레지스터의 동작에 대하여 j번째 스테이지를 예를 들어 설명한다.
- <100> j번째 스테이지[ST(j)]가 클록 신호(CLK1)에 동기하여 게이트 출력을 생성하는 경우, 전단 및 후단 스테이지[ST(j-1), ST(j+1)]는 클록 신호(CLK2)에 동기하여 게이트 출력을 생성한다.
- <101> 먼저, 클록 신호(CLK2) 및 전단 게이트 출력[Gout(j-1)]이 하이가 되면, 트랜지스터(T2)와 트랜지스터(T6)가 턴온된다. 그러면 트랜지스터(T2)는 고전압을 접점(J1)으로 전달하여 두 트랜지스터(T1, T7)를 턴온시킨다. 이에 따라, 트랜지스터(T7)는 저전압을 접점(J2)으로, 트랜지스터(T6)는 출력단(OUT)으로 전달한다. 또한, 트랜지스터(T1)가 턴온되어 클록 신호(CLK1)가 출력단(OUT)으로 출력되는데, 이 때 클록 신호(CLK1)가 저전압이므로, 게이트 출력[Gout(j)]은 저전압을 유지한다. 이와 동시에, 축전기(C2)는 고전압과 저전압의 차에 해당하는 크기의 전압을 충전한다. 예를 들어, 일반적으로 고전압은 17V이고 저전압은 -8V이므로 25V에 해당하는 전압을 충전한다.
- <102> 이 때, 후단 게이트 출력[Gout(j+1)]이 로우이므로 리세트 단자(R)의 입력 역시 로우이다. 따라서, 리세트 단자(R)와 접점(J2)에 제어 단자가 연결되어 있는 트랜지스터(T3, T4, T5)는 턴오프 상태이다.
- <103> 이어, 클록 신호(CLK1)가 하이가 되고 클록 신호(CLK2)가 로우가 되면 트랜지스터(T6)가 턴오프된다. 이에 따라, 출력단(OUT)은 게이트 오프 전압(Voff)과는 차단되는 동시에 클록 신호(CLK1)에 연결되어 고전압을 게이트 출력[Gout(j)]으로서 내보낸다. 이때, 축전기(C1)에는 고전압과 저전압의 차에 해당하는 전압이 충전된다. 한편, 축전기(C2)의 일단, 즉 접점(J1)의 전위는 고전압만큼 더 상승한다. 또한, 트랜지스터(T7)의 제어 단자와 출력 단자, 즉 게이트(GT)와 소스(S0) 사이의 중첩으로 생기는 기생 용량으로 인해 제어 단자인 접점(J1)의 전압이 증가하면 출력 단자인 접점(J2)의 전위도 도시한 것처럼 소폭 상승한다.
- <104> 다음, 후단 게이트 출력[Gout(j+1)]이 하이가 되면, 트랜지스터(T3)가 턴온되어 저전압을 접점(J1)으로 전달한다. 이에 따라, 트랜지스터(T1)가 턴오프되어 클록 신호(CLK1)와 출력단(OUT)의 연결이 차단된다.
- <105> 이와 동시에, 클록 신호(CLK2)가 하이가 되어 트랜지스터(T6)가 턴온되면서 출력단(OUT)과 게이트 오프 전압(Voff)이 연결되므로, 출력단(OUT)은 저전압을 내보낸다. 또한, 트랜지스터(T7)가 턴오프되면서 접점(J2)은 부유 상태가 되므로 접점(J2)은 이전 전압인 저전압을 유지한다.
- <106> 이어, 후단 게이트 출력[Gout(j+1)]과 클록 신호(CLK2)가 로우가 되면, 접점(J1, J2)은 부유 상태에서 이전 전

압을 유지한다. 이때, 축전기(C1)의 일단은 클록 신호(CLK1)에 연결되어 있으므로, 부유 상태인 접점(J2)의 전위는 클록 신호(CLK1)의 레벨에 따라 변화한다.

- <107> 이후에는 출력단(OUT)은 접점(J2)이 고전압이 될 때, 즉 클록 신호(CLK1)가 하이일 때 트랜지스터(T5)를 통하여 게이트 오프 전압(Voff)에 연결되고, 클록 신호(CLK2가 하이일 때는 트랜지스터(T6)를 통하여 게이트 오프 전압(Voff)에 연결된다.
- <108> 이러한 방식으로, 첫 번째 스테이지(ST1)부터 마지막 스테이지[ST(n)]까지 게이트 출력을 생성하고 난 후 마지막 스테이지[ST(n)]의 리셋 단자(R)에는 주사 시작 신호(STV2)가 입력되면서 한 프레임 동안의 동작이 완료된다.
- <109> 그러면, 본 발명의 한 실시예에 따른 액정 표시 장치의 구동 장치의 설계 규칙에 대하여 도 7 및 도 8을 참고로 하여 상세히 설명한다.
- <110> 도 7은 여러 액정 표시 장치에 대한 저온 테스트 결과를 나타내는 표이며, 도 8은 임의의 액정 표시 장치에 대하여 본 발명의 한 실시예에 따른 설계 규칙을 적용하기 전과 후를 비교한 표이다.
- <111> 여기서, 표에 나타난 트랜지스터(T4, T5, T7)는 채널 폭(W)을 나타내고 단위는 μm 이며, 축전기(C1)는 면적(A)을 나타낸다. 각 트랜지스터(T4, T5, T7)의 중첩 거리(OLd)는 $1.4\mu\text{m}$ 이다. 따라서, C1/T7과 C1/(T4+T5)는 차원이 달라 엄밀하게 비(ratio)라고는 할 수 없으나, 설명의 편의상 비라 한다. 참고로, 예를 들어 첫 번째 샘플 2.2" CIF에서 축전기(C1)의 면적과 트랜지스터(T7)의 면적의 비는 39.330이 아니라 28.092가 된다.
- <112> 또한, 저온 테스트라 함은 앞에서 설명한 것처럼 고전압에 해당하는 게이트 온 전압(Von)은 17V이고 저전압에 해당하는 게이트 오프 전압(Voff)은 -8V이므로 게이트 온 신호의 크기는 상온에서는 25V이지만, 게이트 온 전압(Von)은 낮추고 게이트 오프 전압(Voff)은 크게 하여 게이트 온 신호의 크기를 14V로 줄여서 행하는 테스트를 말한다.
- <113> 이 때, 도 7에 나타난 표에서 오른쪽 마지막 열에 나타난 것은 저온 테스트시의 이상 유무를 나타내는 것으로서, 모두 24개의 샘플 중 5개가 불량으로 판정되었다.
- <114> 이를 분석하여 보면 트랜지스터(T7)의 채널 폭에 대한 축전기(C1)의 면적의 비가 5개 중 4개가 40 이상일 때 불량임을 알 수 있으며, 이에 대한 원인을 분석하면 다음과 같다.
- <115> 트랜지스터(T7)의 제어 단자와 출력 단자, 즉 게이트(GT)와 소스(S0) 사이의 기생 용량으로 인해 제어 단자인 접점(J1)의 전압이 증가하면 출력 단자인 접점(J2)의 전위도 상승하기 때문인 것으로 풀이된다. 특히, 저온에서는 트랜지스터(T7)의 소스로 흐르는 전류의 시정수(time constant)가 상온에 비하여 커져 전류는 천천히 감소하게 되므로 그 만큼 접점(J2)의 전위는 상승하게 된다. 이로 인해 앞에서 설명한 j번째 스테이지[ST(j)]의 동작의 경우에 트랜지스터(T5)를 턴온시켜 출력단(OUT)으로 게이트 오프 전압(Voff)을 전달함으로써 클록 신호(CLK1)의 하이 레벨의 전압을 게이트 출력으로 내보내는 것을 방해하기 때문인 것으로 풀이된다.
- <116> 즉, 접점(J2)의 전위는 축전기(C1)의 용량과 트랜지스터(T7)의 기생 용량의 비에 의하여 정해지고 이 용량은 일반적으로 축전기의 면적에 비례하므로, 축전기(C1)의 면적이 트랜지스터(T7)의 면적보다 어느 정도 이상보다 크면 접점(J2)의 전위가 주로 상승하는 것으로 볼 수 있다. 달리 말하면, 표에 나타난 것처럼 트랜지스터(T7)의 채널 폭에 대한 축전기(C1)의 면적의 비가 40 이상일 때 대체적으로 불량으로 나타남을 알 수 있다.
- <117> 한편, 불량으로 판정된 1.2"FF04의 경우에는 트랜지스터(T7)의 채널 폭에 대한 축전기(C1)의 면적의 비가 40을 넘지 않지만, 두 트랜지스터(T4, T5)의 채널 폭의 합에 대한 축전기(C1)의 면적의 비가 7 이하인 경우에 불량으로 나타났다.
- <118> 따라서, 본 발명의 실시예에 따른 설계 규칙은 트랜지스터(T7)의 채널 폭에 대한 축전기(C1)의 면적의 비가 40 이하이고, 두 트랜지스터(T4, T5)의 채널 폭에 대한 축전기(C1)의 면적의 비는 7 이상인 것이 바람직하다. 이러한 것은 도 7의 표에서 보는 것처럼, 둘 중 하나를 충족시키면 된다.
- <119> 이러한 새로운 설계 규칙을 적용하여 4.0" TMR이라는 액정 표시 장치에 대하여 저온 테스트를 행한 결과 불량이 나타나지 않음을 확인하였다. 즉, 트랜지스터(T7)의 채널 폭을 $20\mu\text{m}$ 증가시켜 트랜지스터(T7)의 채널 폭에 대한 축전기(C1)의 면적의 비를 40 이하로 만든 결과 불량이 나타나지 않음을 확인하였다. 물론 앞에서 설명하였지만, 각 트랜지스터(T4, T5, T7)의 게이트와 소스의 중첩 거리는 $4\mu\text{m}$ 이다.

발명의 효과

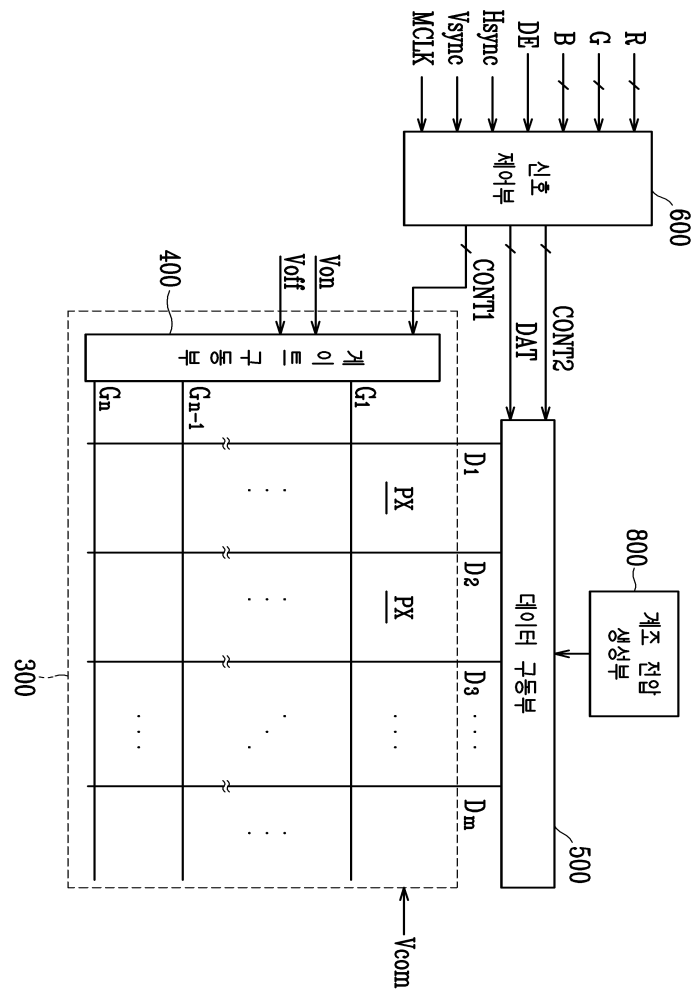
- <120> 앞에서 설명한 것처럼, 본 발명의 실시예에 따른 설계 규칙은 트랜지스터(T7)의 채널 폭에 대한 축전기(C1)의 면적의 비가 40 이하이고, 두 트랜지스터(T4, T5)의 채널 폭의 합에 대한 축전기(C1)의 면적의 비는 7 이상인 것이 바람직하다. 이와 같은 새로운 설계 규칙에 따르면 저온 테스트시 불량을 획기적으로 줄일 수 있다.
- <121> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

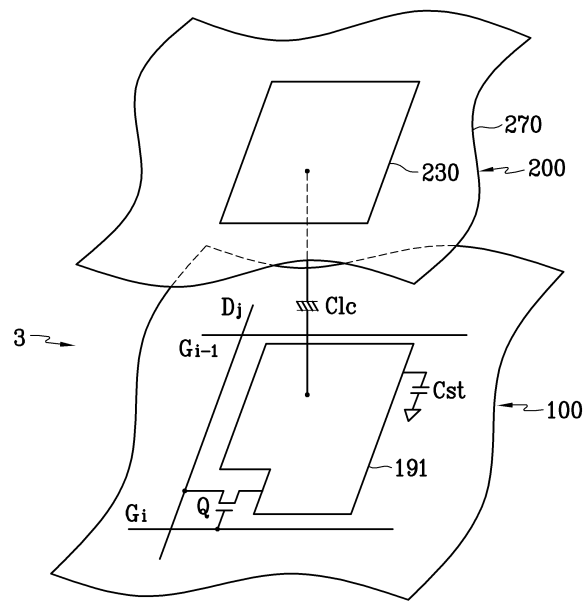
- <1> 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 상세하게 설명함으로써 본 발명을 분명하게 하고자 한다.
- <2> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.
- <3> 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.
- <4> 도 3은 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이다.
- <5> 도 4는 도 3에 도시한 게이트 구동부용 시프트 레지스터의 j 번째 스테이지의 회로도의 한 예이다.
- <6> 도 5는 도 3에 도시한 게이트 구동부의 신호 파형도이다.
- <7> 도 6은 도 4에 도시한 트랜지스터의 구조를 개략적으로 나타내는 도면이다.
- <8> 도 7은 여러 액정 표시 장치에 대한 저온 테스트 결과를 나타내는 표이다.
- <9> 도 8은 임의의 액정 표시 장치에 대하여 본 발명의 한 실시예에 따른 설계 규칙을 적용하기 전과 후를 비교한 표이다.
- <10> <도면 부호에 대한 설명>
- <11> 3: 액정층 100: 하부 표시판
- <12> 191: 화소 전극 200: 상부 표시판
- <13> 230: 색 필터 270: 공통 전극
- <14> 300: 액정 표시판 조립체 400: 게이트 구동부
- <15> 410: 스테이지 500: 데이터 구동부
- <16> 600: 신호 제어부 800: 계조 전압 생성부
- <17> R, G, B: 입력 영상 데이터 DE: 데이터 인에이블 신호
- <18> MCLK: 메인 클록 Hsync: 수평 동기 신호
- <19> Vsync: 수직 동기 신호 CONT1: 게이트 제어 신호
- <20> CONT2: 데이터 제어 신호 DAT: 출력 영상 신호
- <21> PX: 화소 Clc: 액정 축전기
- <22> Cst: 유지 축전기 Q: 스위칭 소자
- <23> STV1, STV2: 주사 시작 신호 CLK1, CLK2: 클록 신호
- <24> S: 세트 단자 R: 리세트 단자
- <25> GV: 게이트전압단자 OUT: 출력 단자
- <26> CK1, CK2: 클록 단자

도면

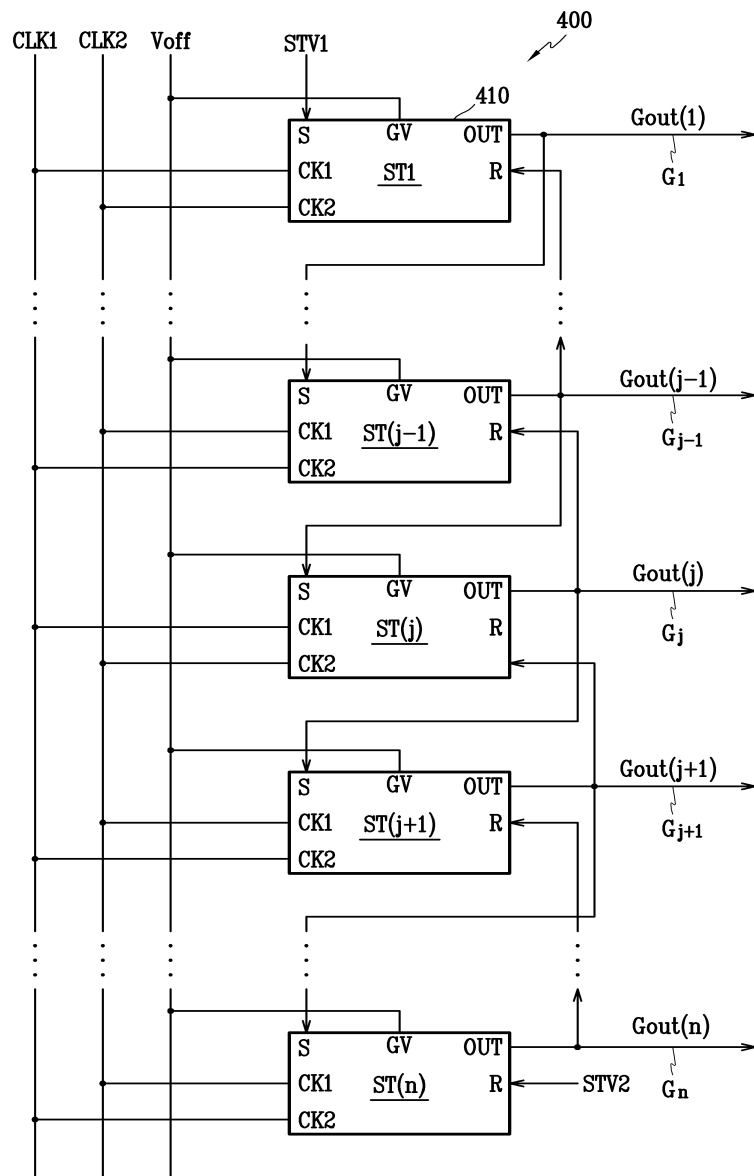
도면1



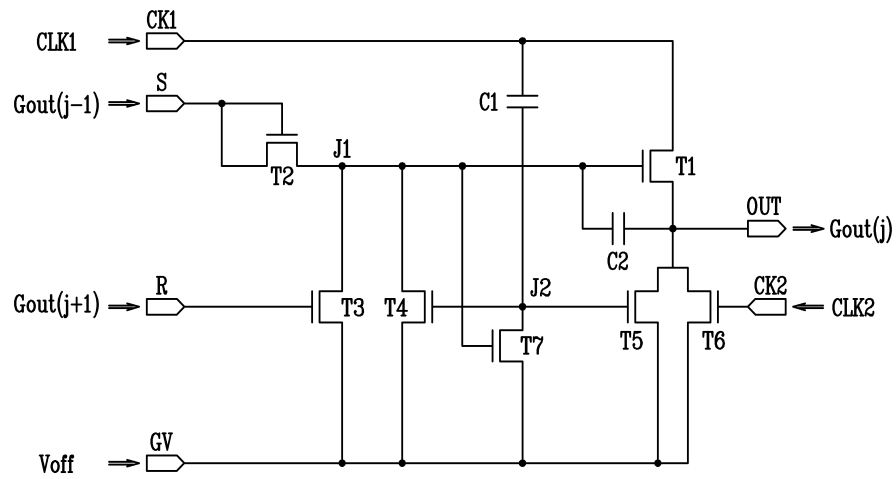
도면2



도면3

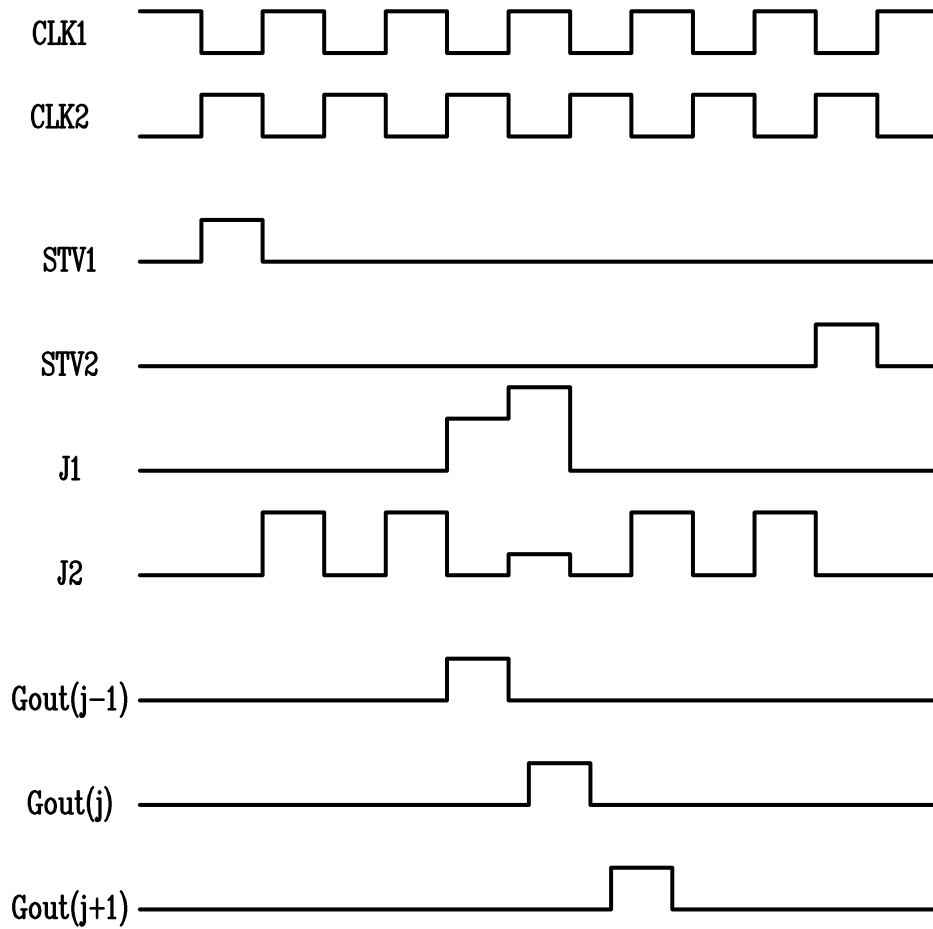


도면4

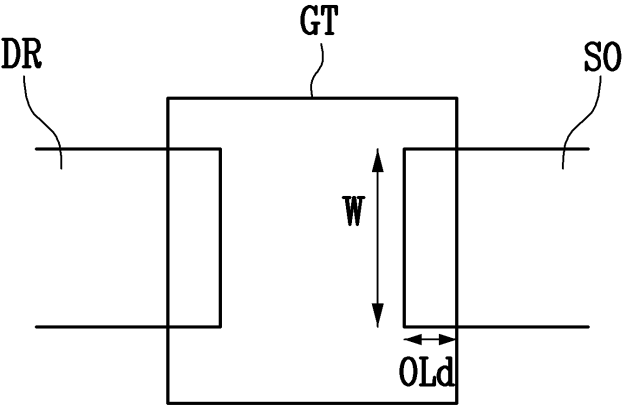


410

도면5



도면6



도면7

상품	T4(W)	T5(W)	T7(W)	C1(A)	C1/T7	C1/(T4+T5)	이상유무
2.2" CIF	100	300	100	3933	39.330	9.833	무
2.46" TF	100	300	100	4133	41.330	10.333	유
5.0" VGA	500	800	300	16933	56.443	13.025	유
1.82" MTR	150	350	150	4000	26.667	8.000	무
1.9" STR	100	250	150	2533	16.887	7.237	무
2.3" S3	100	440	100	4533	45.330	8.394	무
2.5" DSC	100	350	100	4133	41.330	9.184	무
3.5" PMP 1CHIP	200	600	230	10600	41.087	13.250	무
1.71" TMR QCIF	100	250	150	2400	16.000	6.857	무
2.2" RAZR	100	250	150	2600	17.333	7.429	무
4.0" Triple-gate TF	150	500	135	7000	51.852	10.769	무
2.56" RIM	100	380	100	4133	41.330	8.610	무
1.66" QCIF	100	350	100	3867	38.670	8.593	무
2.22" CCR	100	220	100	4333	43.330	13.541	무
2.83" LAND	100	350	100	4133	41.330	9.184	무
4.0" Triple	150	500	150	7000	46.667	10.769	유
7.0" Triple	200	600	200	6467	32.335	8.084	무
1.8" LANDSCAPE	100	250	100	3600	36.000	10.286	무
1.55" QCIF	100	250	100	2267	22.670	6.477	무
1.2" QQF04	100	250	100	2200	22.000	6.286	유
1.46" QCIF	100	220	100	5000	50.000	15.625	유
2.0QV_KAISER	100	490	100	4200	42.000	7.119	무
2.3" GVGA	100	330	100	4600	46.000	10.698	무
2.46" TF(Tomtom)	100	640	100	7333	73.330	9.909	무

도면8

	T4(W)	T5(W)	T7(W)	C1(A)	C1/T7	C1/(T4+T5)
4.0" TMR 수정 전	150	500	150	6400	42.667	9.846
4.0" TMR 수정 후	150	500	170	6400	37.647	9.846

专利名称(译)	显示设备驱动设备和包括其的显示设备		
公开(公告)号	KR1020080106640A	公开(公告)日	2008-12-09
申请号	KR1020070054294	申请日	2007-06-04
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JUNG KWAN WOOK 정관욱 TAE SEUNG GYU 태승규		
发明人	정관욱 태승규		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G11C19/28 G09G3/20 G09G3/3685 G09G2310/0275		
其他公开文献	KR101393635B1		
外部链接	Espacenet		

摘要(译)

本发明涉及显示装置的驱动装置和包括该驱动装置的显示装置。用于包括连接的多级的显示装置的驱动装置连接到第七晶体管的一端，第一轴电力每级包括第一至第七晶体管以及第一和第二电容器。并且第一轴电力的面积与第七晶体管的沟道宽度的比率可以是作为栅极的源极和作为第七晶体管的控制端子的输出端子的重叠距离，其为40或更小是4 μm 。这样，在低温测试中，通过使电容器的面积下降到晶体管的沟道宽度小于40，可以显著降低劣势。液晶显示器，低温，测试，通道，容量，面积。

샘플	T4(W)	T5(W)	T7(W)	C1(A)	C1/T7	C1/(T4+T5)	이상유무
2.2" CIF	100	300	100	3933	39.330	9.833	무
2.46" TF	100	300	100	4133	41.330	10.333	유
5.0" VGA	500	800	300	16933	56.443	13.025	유
1.82" MTR	150	350	150	4000	26.667	8.000	무
1.9" STR	100	250	150	2533	16.887	7.237	무
2.3" S3	100	440	100	4533	45.330	8.394	무
2.5" DSC	100	350	100	4133	41.330	9.184	무
3.5" PMP 1CHIP	200	600	230	10600	41.087	13.250	무
1.71" TMR QCIF	100	250	150	2400	16.000	6.857	무
2.2" RAZR	100	250	150	2600	17.333	7.429	무
4.0" Triple-gate TF	150	500	135	7000	51.852	10.769	무
2.56" RIM	100	380	100	4133	41.330	8.610	무
1.66" QCIF	100	350	100	3867	38.670	8.593	무
2.22" CCR	100	220	100	4333	43.330	13.541	무
2.83" LAND	100	350	100	4133	41.330	9.184	무
4.0" Triple	150	500	150	7000	46.667	10.769	유
7.0" Triple	200	600	200	6467	32.335	8.084	무
1.6" _LANDSCAPE	100	250	100	3600	36.000	10.286	무
1.55" QCIF	100	250	100	2267	22.670	6.477	무
1.2" QQF04	100	250	100	2200	22.000	6.286	유
1.46" QCIF	100	220	100	5000	50.000	15.625	유
2.0QV_KAISER	100	490	100	4200	42.000	7.119	무
2.3" GVGA	100	330	100	4600	46.000	10.698	무
2.46" TF(Tomtom)	100	640	100	7333	73.330	9.909	무