



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0030212
(43) 공개일자 2008년04월04일

(51) Int. Cl.

G09G 3/20 (2006.01) G09G 3/36 (2006.01)
G09G 3/30 (2006.01) G11C 19/00 (2006.01)

(21) 출원번호 10-2006-0095981

(22) 출원일자 2006년09월29일
심사청구일자 없음

(71) 출원인

삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자

신섭
서울 강동구 명일동 15번지 삼익아파트 601동 1503호

김영구

서울특별시 서초구 방배동 430-5 초원빌라 201호

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 7 항

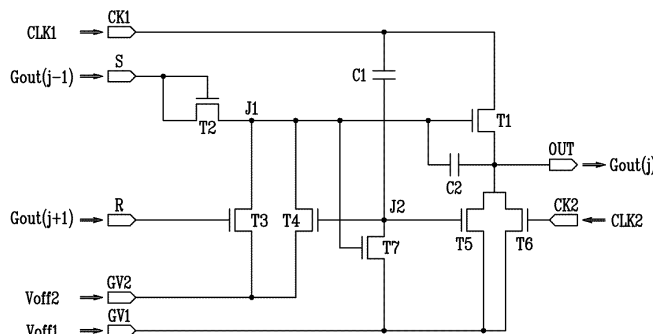
(54) 표시 장치의 구동 장치

(57) 요약

본 발명은 표시 장치의 구동 장치에 관한 것이다.

서로 연결되어 있는 복수의 스테이지를 포함하는 표시 장치의 구동 장치는, 상기 각 스테이지는 복수의 트랜지스터 및 축전기를 포함하고, 상기 각 스테이지는 주사 시작 신호, 복수의 클록 신호 및 제1 및 제2 게이트 오프 전압(Voff1, Voff2)을 입력받으며, 상기 각 스테이지는 주사 시작 신호, 복수의 클록 신호 및 제1 및 제2 게이트 오프 전압(Voff1, Voff2)을 입력받으며, 상기 트랜지스터 중 일부는 상기 제1 게이트 오프 전압에 연결되어 있고, 일부는 상기 제2 게이트 오프 전압에 연결되어 있다. 이와 같이, 일부 트랜지스터를 제1 게이트 오프 전압(Voff1)보다 낮은 제2 게이트 오프 전압(Voff2)에 연결시켜 다른 트랜지스터의 게이트-드레인간 전압을 음의 값으로 만들어서 점점의 누설 전류를 줄일 수 있다. 이로 인해, 트랜지스터가 정확하게 동작하도록 하여 화면이 비정상적으로 표시되는 것을 방지할 수 있다.

대표도



특허청구의 범위

청구항 1

서로 연결되어 있는 복수의 스테이지를 포함하는 표시 장치의 구동 장치로서,

상기 각 스테이지는 복수의 트랜지스터 및 축전기를 포함하고,

상기 각 스테이지는 주사 시작 신호, 복수의 클록 신호 및 제1 및 제2 게이트 오프 전압(Voff1, Voff2)을 입력 받으며,

상기 트랜지스터 중 일부는 상기 제1 게이트 오프 전압에 연결되어 있고, 일부는 상기 제2 게이트 오프 전압에 연결되어 있는

표시 장치의 구동 장치.

청구항 2

제1항에서,

상기 제2 게이트 오프 전압이 상기 제1 게이트 오프 전압보다 작은 표시 장치의 구동 장치.

청구항 3

제1항에서,

상기 각 스테이지는 세트 단자, 리세트 단자, 제1 및 제2 게이트 전압 단자, 출력 단자와 제1 및 제2 클록 단자를 가지며,

상기 복수의 트랜지스터 및 축전기는

상기 제1 클록 단자와 상기 출력 단자 사이에 연결되어 있으며 제어 단자가 제1 접점에 연결되어 있는 제1 트랜지스터,

상기 세트 단자에 제어 단자와 입력 단자가 공통적으로 연결되어 있으며 출력 단자가 상기 제1 접점에 연결되어 있는 제2 트랜지스터,

상기 제1 접점과 상기 제2 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 리세트 단자에 연결되어 있는 제3 트랜지스터,

상기 제1 접점과 상기 제2 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 제2 접점에 연결되어 있는 제4 트랜지스터,

상기 출력 단자와 상기 제1 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제2 접점에 연결되어 있는 제5 트랜지스터,

상기 출력 단자와 상기 제1 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제2 클록 단자에 연결되어 있는 제6 트랜지스터,

상기 제2 접점과 상기 제1 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제1 접점에 연결되어 있는 제7 트랜지스터,

상기 제1 클록 단자와 상기 제2 접점 사이에 연결되어 있는 제1 축전기, 그리고

상기 제1 접점과 상기 출력 단자 사이에 연결되어 있는 제2 축전기

를 각각 포함하는

표시 장치의 구동 장치.

청구항 4

제3항에서,

상기 제1 게이트 전압 단자에는 상기 제1 게이트 오프 전압이 입력되고, 상기 제2 게이트 전압 단자에는 상기 제2 게이트 오프 전압이 입력되는 표시 장치의 구동 장치.

청구항 5

제4항에서,

상기 제2 게이트 오프 전압이 상기 제1 게이트 오프 전압보다 작은 표시 장치의 구동 장치.

청구항 6

제5항에서,

상기 제1 게이트 오프 전압은 -10V이고, 상기 제2 게이트 오프 전압은 -15V인 표시 장치의 구동 장치.

청구항 7

제1항에서,

상기 스테이지는 상기 표시 장치에 집적되어 있는 표시 장치의 구동 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <25> 본 발명은 표시 장치의 구동 장치에 관한 것이다.
- <26> 최근, 무겁고 큰 음극선관(cathode ray tube, CRT)을 대신하여 유기 전계 발광 표시 장치(organic light emitting diode display, OLED), 플라즈마 표시 장치(plasma display panel, PDP), 액정 표시 장치(liquid crystal display, LCD)와 같은 평판 표시 장치가 활발히 개발 중이다.
- <27> PDP는 기체 방전에 의하여 발생하는 플라즈마를 이용하여 문자나 영상을 표시하는 장치이며, 유기 발광 표시 장치는 특정 유기물 또는 고분자들의 전계 발광을 이용하여 문자 또는 영상을 표시한다. 액정 표시 장치는 두 표시판의 사이에 들어 있는 액정층에 전기장을 인가하고, 이 전기장의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다.
- <28> 이러한 표시 장치 중에서 예를 들어 액정 표시 장치는 스위칭 소자를 포함하는 화소와 표시 신호선이 구비된 표시판, 그리고 표시 신호선 중 게이트선에 게이트 온 전압과 게이트 오프 전압을 내보내어 화소의 스위칭 소자를 턴온/오프시키는 게이트 구동부와 표시 신호선 중 데이터선에 데이터 전압을 내보내어 턴온된 스위칭 소자를 통하여 화소에 인가하는 데이터 구동부를 포함한다.
- <29> 이러한 중소형 표시 장치는 물론 대형 표시 장치에서 원가 절감 등을 위하여 게이트 구동부가 화소의 스위칭 소자와 동일한 공정으로 형성되어 표시판부에 집적되어 있는 경우가 있다.
- <30> 게이트 구동부는 실질적으로 시프트 레지스터로서 서로 연결되어 있으며 일렬로 배열되어 있는 복수의 스테이지를 포함하고, 첫 번째 스테이지가 주사 시작 신호를 인가받아 게이트 출력을 내보내는 동시에 다음 스테이지에 캐리 출력(carry output)을 내보내어 순차적으로 게이트 출력을 생성한다. 이러한 캐리 출력은 게이트 출력을 사용할 수도 있다.

발명이 이루고자 하는 기술적 과제

- <31> 이때, 각 시프트 레지스터는 복수의 트랜지스터를 포함하는데, 특정 트랜지스터의 경우 게이트와 드레인 사이의 전압이 동일하여 누설 전류(leakage current)가 많이 흐른다. 이로 인해, 일정한 전압을 유지하지 못하여 출력단이 이상 동작함으로써 전체적으로 화면의 이상을 초래할 수가 있다.
- <32> 따라서, 본 발명이 이루고자 하는 기술적 과제는 누설 전류를 감소시켜 신뢰성있는 표시 장치의 구동 장치를 제

공하는 것이다.

발명의 구성 및 작용

- <33> 이러한 기술적 과제를 이루기 위한 본 발명의 한 실시예에 따라 서로 연결되어 있는 복수의 스테이지를 포함하는 표시 장치의 구동 장치는, 상기 각 스테이지는 복수의 트랜지스터 및 축전기를 포함하고, 상기 각 스테이지는 주사 시작 신호, 복수의 클록 신호 및 제1 및 제2 게이트 오프 전압(Voff1, Voff2)을 입력받으며, 상기 트랜지스터 중 일부는 상기 제1 게이트 오프 전압에 연결되어 있고, 일부는 상기 제2 게이트 오프 전압에 연결되어 있다.
- <34> 이때, 상기 제2 게이트 오프 전압이 상기 제1 게이트 오프 전압보다 작을 수 있다.
- <35> 또한, 상기 각 스테이지는 세트 단자, 리세트 단자, 제1 및 제2 게이트 전압 단자, 출력 단자와 제1 및 제2 클록 단자를 가지며,
- <36> 상기 복수의 트랜지스터 및 축전기는, 상기 제1 클록 단자와 상기 출력 단자 사이에 연결되어 있으며 제어 단자가 제1 접점에 연결되어 있는 제1 트랜지스터, 상기 세트 단자에 제어 단자와 입력 단자가 공통적으로 연결되어 있으며 출력 단자가 상기 제1 접점에 연결되어 있는 제2 트랜지스터, 상기 제1 접점과 상기 제2 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 리세트 단자에 연결되어 있는 제3 트랜지스터, 상기 제1 접점과 상기 제2 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 제2 접점에 연결되어 있는 제4 트랜지스터, 상기 출력 단자와 상기 제1 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제2 접점에 연결되어 있는 제5 트랜지스터, 상기 출력 단자와 상기 제1 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제2 클록 단자에 연결되어 있는 제6 트랜지스터, 상기 제2 접점과 상기 제1 게이트 전압 단자 사이에 연결되어 있으며 제어 단자가 상기 제1 접점에 연결되어 있는 제7 트랜지스터, 상기 제1 클록 단자와 상기 제2 접점 사이에 연결되어 있는 제1 축전기, 그리고 상기 제1 접점과 상기 출력 단자 사이에 연결되어 있는 제2 축전기를 각각 포함할 수 있다.
- <37> 이때, 상기 제1 게이트 전압 단자에는 상기 제1 게이트 오프 전압이 입력되고, 상기 제2 게이트 전압 단자에는 상기 제2 게이트 오프 전압이 입력될 수 있다.
- <38> 여기서, 상기 제2 게이트 오프 전압이 상기 제1 게이트 오프 전압보다 작을 수 있으며, 예를 들어 상기 제1 게이트 오프 전압은 -10V이고, 상기 제2 게이트 오프 전압은 -15V일 수 있다.
- <39> 한편, 상기 스테이지는 상기 표시 장치에 집적되어 있을 수 있다.
- <40> 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
- <41> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- <42> 먼저, 도 1 및 도 2를 참고하여 본 발명의 한 실시예에 따른 표시 장치에 대하여 상세하게 설명하며, 액정 표시 장치를 한 예로 설명한다.
- <43> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.
- <44> 도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300) 및 이와 연결된 게이트 구동부(400) 및 데이터 구동부(500), 게이트 구동부(400)에 연결된 게이트 전압 생성부(700), 데이터 구동부(500)에 연결된 게조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.
- <45> 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선(G_1-G_n , D_1-D_m)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다. 반면, 도 2에 도시한 구조로 볼 때 액정 표시판 조립체(300)는 서로 마주하는 하부 및 상부 표시판(100, 200)과 그 사이에 들어 있는 액정층(3)을 포함한다.
- <46> 신호선(G_1-G_n , D_1-D_m)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(G_1-G_n)과 데이터 신호를

전달하는 복수의 데이터선(D₁-D_m)을 포함한다. 게이트선(G₁-G_n)은 대략 행 방향으로 뻗으며 서로가 거의 평행하고, 데이터선(D₁-D_m)은 대략 열 방향으로 뻗으며 서로가 거의 평행하다.

- <47> 각 화소(PX), 예를 들면 i번째(i=1, 2, , n) 게이트선(G_i)과 j번째(j=1, 2, , m) 데이터선(D_j)에 연결된 화소(PX)는 신호선(G_i, D_j)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)(Clc) 및 유지 축전기(storage capacitor)(Cst)를 포함한다. 유지 축전기(Cst)는 필요에 따라 생략할 수 있다.
- <48> 스위칭 소자(Q)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 게이트선(G_i)과 연결되어 있고, 입력 단자는 데이터선(D_j)과 연결되어 있으며, 출력 단자는 액정 축전기(Clc) 및 유지 축전기(Cst)와 연결되어 있다.
- <49> 액정 축전기(Clc)는 하부 표시판(100)의 화소 전극(191)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(191, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(191)은 스위칭 소자(Q)와 연결되며 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가받는다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(191, 270) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.
- <50> 액정 축전기(Clc)의 보조적인 역할을 하는 유지 축전기(Cst)는 하부 표시판(100)에 구비된 별개의 신호선(도시하지 않음)과 화소 전극(191)이 절연체를 사이에 두고 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압(Vcom) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기(Cst)는 화소 전극(191)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.
- <51> 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 화소 전극(191)에 대응하는 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(230)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(230)는 하부 표시판(100)의 화소 전극(191) 위 또는 아래에 형성할 수도 있다.
- <52> 액정 표시판 조립체(300)의 바깥 면에는 빛을 편광시키는 적어도 하나의 편광자(도시하지 않음)가 부착되어 있다.
- <53> 다시 도 1을 참고하면, 계조 전압 생성부(800)는 화소(PX)의 투과율과 관련된 두 벌의 계조 전압 집합(또는 기준 계조 전압 집합)을 생성한다. 두 벌 중 한 벌은 공통 전압(Vcom)에 대하여 양의 값을 가지고 다른 한 벌은 음의 값을 가진다.
- <54> 게이트 전압 생성부(700)는 게이트 온 전압(Von)과 복수의 게이트 오프 전압(Voff1, Voff2)을 생성한다.
- <55> 게이트 구동부(400)는 액정 표시판 조립체(300)에 집적되어 있고, 게이트선(G₁-G_n)과 연결되어 게이트 전압 생성부(700)로부터의 게이트 온 전압(Von)과 게이트 오프 전압(Voff1, Voff2)의 조합으로 이루어진 게이트 신호를 게이트선(G₁-G_n)에 인가한다.
- <56> 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(D₁-D_m)에 연결되어 있으며, 계조 전압 생성부(800)로부터의 계조 전압을 선택하고 이를 데이터 신호로서 데이터선(D₁-D_m)에 인가한다. 그러나 계조 전압 생성부(800)가 모든 계조에 대한 전압을 모두 제공하는 것이 아니라 정해진 수의 기준 계조 전압만을 제공하는 경우에, 데이터 구동부(500)는 기준 계조 전압을 분압하여 전체 계조에 대한 계조 전압을 생성하고 이 중에서 데이터 신호를 선택한다.
- <57> 신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등을 제어한다.
- <58> 게이트 구동부(400)를 제외한 구동 장치(500, 600, 700, 800) 각각은 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 이와는 달리, 이들 구동 장치(500, 600, 700, 800)가 신호선(G₁-G_n, D₁-D_m) 및 박막 트랜지스터 스위칭 소자(Q) 따위와 함께 액정 표시판 조립체

(300)에 집적될 수도 있다. 또한, 구동 장치(500, 600, 700, 800)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.

- <59> 그러면 이러한 액정 표시 장치의 동작에 대하여 상세하게 설명한다.
- <60> 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 입력 제어 신호의 예로는 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등이 있다.
- <61> 신호 제어부(600)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 입력 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다.
- <62> 게이트 제어 신호(CONT1)는 주사 시작을 지시하는 주사 시작 신호(STV1, STV2)와 게이트 온 전압(Von)의 출력 주기를 제어하는 적어도 하나의 클럭 신호(CLK1, CLK2)를 포함한다. 게이트 제어 신호(CONT1)는 또한 게이트 온 전압(Von)의 지속 시간을 한정하는 출력 인에이블 신호(OE)를 더 포함할 수 있다.
- <63> 데이터 제어 신호(CONT2)는 한 행[묶음]의 화소(PX)에 대한 영상 데이터의 전송 시작을 알리는 수평 동기 시작 신호(STH)와 데이터선(D₁-D_m)에 데이터 신호를 인가하라는 로드 신호(LOAD) 및 데이터 클럭 신호(HCLK)를 포함한다. 데이터 제어 신호(CONT2)는 또한 공통 전압(Vcom)에 대한 데이터 신호의 전압 극성(이하 "공통 전압에 대한 데이터 신호의 전압 극성"을 줄여 "데이터 신호의 극성"이라 함)을 반전시키는 반전 신호(RVS)를 더 포함할 수 있다.
- <64> 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 행[묶음]의 화소(PX)에 대한 디지털 영상 신호(DAT)를 수신하고, 각 디지털 영상 신호(DAT)에 대응하는 게조 전압을 선택함으로써 디지털 영상 신호(DAT)를 아날로그 데이터 신호로 변환한 다음, 이를 해당 데이터선(D₁-D_m)에 인가한다.
- <65> 게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트선(G₁-G_n)에 인가하여 이 게이트선(G₁-G_n)에 연결된 스위칭 소자(Q)를 턴온시킨다. 그러면, 데이터선(D₁-D_m)에 인가된 데이터 신호가 턴온된 스위칭 소자(Q)를 통하여 해당 화소(PX)에 인가된다.
- <66> 화소(PX)에 인가된 데이터 신호의 전압과 공통 전압(Vcom)의 차이는 액정 축전기(C1c)의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자들은 화소 전압의 크기에 따라 그 배열을 달리하며 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판 조립체(300)에 부착된 편광자에 의하여 빛의 투과율 변화로 나타난다.
- <67> 1 수평 주기["1H"라고도 쓰며, 수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기와 동일함]를 단위로 하여 이러한 과정을 되풀이함으로써, 모든 게이트선(G₁-G_n)에 대하여 차례로 게이트 온 전압(Von)을 인가하여 모든 화소(PX)에 데이터 신호를 인가하여 한 프레임(frame)의 영상을 표시한다.
- <68> 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소(PX)에 인가되는 데이터 신호의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 신호의 극성이 바뀌거나(보기: 행 반전, 점 반전), 한 화소행에 인가되는 데이터 신호의 극성도 서로 다를 수 있다(보기: 열 반전, 점 반전).
- <69> 그러면 본 발명의 한 실시예에 따른 표시 장치의 구동 장치에 대하여 도 3 내지 도 6을 참고로 하여 상세히 설명한다.
- <70> 도 3은 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이며, 도 4는 도 3에 도시한 게이트 구동부용 시프트 레지스터의 j 번째 스테이지의 회로도인 한 예이고, 도 5는 도 3에 도시한 게이트 구동부의 신호 파형도이며, 도 6은 도 3에 도시한 게이트 구동부를 이루는 트랜지스터의 누설 전류 특성을 비교한 그래프이다.
- <71> 설명의 편의를 위하여 클럭 신호(CLK1, CLK2)의 하이 레벨에 해당하는 전압의 크기는 게이트 온 전압(Von)과 동일하고 이를 고전압이라 하며, 로우 레벨에 해당하는 전압의 크기는 제1 게이트 오프 전압(Voff1)과 동일한 것은 제1 저전압이라하고 제2 게이트 오프 전압(Voff2)과 동일한 것은 제2 저전압이라 한다. 이때, 제1 게이트

오프 전압(Voff1)이 제2 게이트 오프 전압(Voff2)보다 크다. 즉, 제2 저전압이 제1 저전압보다 작다.

- <72> 도 3에 도시한 게이트 구동부(400)는 게이트선(G_1 - G_n)에 각각 연결되어 있는 복수의 스테이지(410)를 포함하는 시프트 레지스터로서, 주사 시작 신호(STV1, STV2), 클록 신호(CLK1, CLK2) 및 제1 및 제2 게이트 오프 전압(Voff1, Voff2)이 입력된다.
- <73> 각 스테이지(410)는 세트 단자(S), 리세트 단자(R), 제1 및 제2 게이트 전압 단자(GV1, GV2), 출력 단자(OUT), 그리고 클록 단자(CK1, CK2)를 포함한다.
- <74> 각 스테이지(410), 예를 들면 j번째 스테이지[ST(j)]의 세트 단자(S)에는 전단 스테이지[ST(j-1)]의 게이트 출력, 즉 전단 게이트 출력[Gout(j-1)]이, 리세트 단자(R)에는 후단 스테이지[ST(j+1)]의 게이트 출력, 즉 후단 게이트 출력[Gout(j+1)]이 입력되고, 클록 단자(CK1, CK2)에는 클록 신호(CLK1, CLK2)가 각각 입력된다. 출력 단자(OUT)는 게이트선(G_j)과 전단 및 후단 스테이지[ST(j-1), ST(j+1)]로 게이트 출력[Gout(j)]을 내보낸다. 이와는 달리, 전단 및 후단 스테이지[ST(j-1), ST(j+1)]로 출력되는 캐리 신호를 내보내는 별개의 출력 단자를 하나 더 둘 수 있으며, 출력 단자(OUT)에 연결되는 버퍼를 더 둘 수도 있다.
- <75> 정리하면, 각 스테이지(410)는 전단 게이트 출력[Gout(j-1)]과 후단 게이트 출력[Gout(j+1)]에 기초하고 클록 신호(CLK1, CLK2)에 동기하여 게이트 출력을 생성한다.
- <76> 단, 시프트 레지스터(400)의 첫 번째 스테이지(ST1)에는 전단 게이트 출력 대신 주사 시작 신호(STV1)가 입력되며, 마지막 스테이지[ST(n)]에는 후단 게이트 출력 대신 주사 시작 신호(STV2)가 입력된다. 주사 시작 신호(STV1, STV2)는 폭이 1H로서 1 프레임의 시작과 끝에 각각 하나씩 입력되는 1 프레임 주기의 신호이다.
- <77> 클록 신호(CLK1, CLK2)는 듀티비(duty ratio)가 약 50%이고 2H의 주기를 가지며 차례로 180°의 위상차를 가진다.
- <78> 이때, 예를 들어 j번째 스테이지[ST(j)]의 클록 단자(CK1)에 클록 신호(CLK1)가, 클록 단자(CK2)에 클록 신호(CLK2)가 입력되는 경우, 이에 인접한 (j-1)번째 및 (j+1)번째 스테이지[ST(j-1), ST(j+1)]의 클록 단자(CK1)에는 클록 신호(CLK2)가, 클록 단자(CK2)에는 클록 신호(CLK1)가 입력된다.
- <79> 도 4를 참고하면, 본 발명의 한 실시예에 따른 게이트 구동부(400)의 각 스테이지, 예를 들면 j번째 스테이지는 적어도 하나의 NMOS 트랜지스터(T1-T7) 및 축전기(C1, C2)로 이루어져 있다. 그러나 NMOS 트랜지스터 대신 PMOS 트랜지스터를 사용할 수도 있다. 또한, 축전기(C1, C2)는 실제로 공정시에 형성되는 게이트와 드레인/소스간 기생 용량(parasitic capacitance)일 수 있다.
- <80> 트랜지스터(T2)는 제어 단자와 입력 단자가 세트 단자(S)에 연결되어 있으며, 전단 게이트 출력[Gout(j-1)]을 접점(J1)으로 전달한다.
- <81> 트랜지스터(T3)는 제어 단자가 리세트 단자(R)에 연결되어 있으며, 제2 게이트 오프 전압(Voff2)을 접점(J1)으로 출력한다.
- <82> 트랜지스터(T4)와 트랜지스터(T5)의 제어 단자는 접점(J2)에 공통적으로 연결되어 있으며, 트랜지스터(T4)는 제2 게이트 오프 전압(Voff2)을 접점(J1)으로, 트랜지스터(T5)는 제1 게이트 오프 전압(Voff1)을 출력 단자(OUT)로 전달한다.
- <83> 트랜지스터(T6)는 클록 단자(CK2)에, 트랜지스터(T7)는 접점(J1)에 연결되어 제1 게이트 오프 전압(Voff1)을 각각 접점(J2)과 출력 단자(OUT)로 전달한다.
- <84> 트랜지스터(T1)는 제어 단자가 접점(J1)에 연결되어 있으며 클록 신호(CLK1)를 출력 단자(OUT)로 전달한다.
- <85> 축전기(C1)는 클록 단자(CK1)와 접점(J2) 사이에 연결되어 있으며, 축전기(C2)는 접점(J1)과 출력 단자(OUT) 사이에 연결되어 있다.
- <86> 그러면 도 4에 도시한 시프트 레지스터의 동작에 대하여 j번째 스테이지를 예를 들어 설명한다.
- <87> j번째 스테이지[ST(j)]가 클록 신호(CLK1)에 동기하여 게이트 출력을 생성하는 경우, 전단 및 후단 스테이지[ST(j-1), ST(j+1)]는 클록 신호(CLK2)에 동기하여 게이트 출력을 생성한다.
- <88> 먼저, 클록 신호(CLK2) 및 전단 게이트 출력[Gout(j-1)]이 하이가 되면, 트랜지스터(T2)와 트랜지스터(T6)가 턴 온된다. 그러면 트랜지스터(T2)는 고전압을 접점(J1)으로 전달하여 두 트랜지스터(T1, T7)를 턴 온시킨다. 이

에 따라, 트랜지스터(T7)는 제1 저전압을 접점(J2)으로, 트랜지스터(T6)는 제1 저전압을 출력단(OUT)으로 전달한다. 또한, 트랜지스터(T1)가 턴온되어 클록 신호(CLK1)가 출력단(OUT)으로 출력되는데, 이 때 클록 신호(CLK1)가 제1 저전압이므로, 게이트 출력[Gout(j)]은 제1 저전압을 유지한다. 이와 동시에, 축전기(C2)는 고전압과 제1 저전압의 차에 해당하는 크기의 전압을 충전한다.

<89> 이 때, 후단 게이트 출력[Gout(j+1)]이 로우이므로 리셋 단자(R)의 입력 역시 로우이다. 따라서, 리셋 단자(R)와 접점(J2)에 제어 단자가 연결되어 있는 트랜지스터(T3, T4, T5)는 턴오프 상태이다.

<90> 이어, 클록 신호(CLK1)가 하이가 되고 클록 신호(CLK2)가 로우가 되면 두 트랜지스터(T5, T6)가 턴오프된다. 이에 따라, 출력단(OUT)은 제1 게이트 오프 전압(Voff)과는 차단되는 동시에 클록 신호(CLK1)에 연결되어 고전압을 게이트 출력[Gout(j)]으로서 내보낸다. 이때, 축전기(C1)에는 고전압과 제1 저전압의 차에 해당하는 전압이 충전된다. 한편, 축전기(C2)의 일단, 즉 접점(J1)의 전위는 고전압만큼 더 상승한다.

<91> 이어, 클록 신호(CLK1)가 로우가 되면, 접점(J1)이 부유 상태이므로 이전 전압을 유지하여 트랜지스터(T1)는 턴온 상태를 유지하고, 출력단(OUT)은 로우인 클록 신호(CLK1)를 출력한다. 또한, 트랜지스터(T7) 역시 턴온 상태를 유지하므로 접점(J2)은 제1 저전압을 유지한다.

<92> 다음, 후단 게이트 출력[Gout(j+1)]이 하이가 되면, 트랜지스터(T3)가 턴온되어 제2 저전압을 접점(J1)으로 전달한다. 이에 따라, 트랜지스터(T1)가 턴오프되어 클록 신호(CLK1)와 출력단(OUT)의 연결이 차단된다.

<93> 이와 동시에, 클록 신호(CLK2)가 하이가 되어 트랜지스터(T6)가 턴온되면서 출력단(OUT)과 제1 게이트 오프 전압(Voff1)이 연결되므로, 출력단(OUT)은 제1 저전압을 계속해서 내보낸다. 또한, 트랜지스터(T7)가 턴오프되면서 접점(J2)은 부유 상태가 되므로 접점(J2)은 이전 전압인 제1 저전압을 유지한다. 이때, 트랜지스터(T7)의 제어 단자는 접점(J1)에, 입력 단자는 제1 게이트 오프 전압(Voff1)에 연결되어 있으며, 제어 단자와 입력 단자 사이의 전압, 즉 게이트와 드레인 사이의 전압(Vgd)은 제2 게이트 오프 전압과 제1 게이트 오프 전압의 차에 해당하므로 음의 값을 갖는다.

<94> 이로 인해, 트랜지스터의 I-V 특성을 나타낸 도 6의 그래프에서 보는 것처럼, 누설 전류를 현격하게 줄일 수 있음을 알 수 있다.

<95> 즉, 본 발명의 실시예처럼 제1 게이트 오프 전압(Voff1)보다 작은 제2 게이트 오프 전압(Voff2)을 두 트랜지스터(T3, T4)의 입력단에 연결하는 경우와 종래와 같이 트랜지스터(T3, T4)를 제1 게이트 오프 전압에 연결하는 경우를 비교해 보면 알 수 있다.

<96> 예를 들어 제1 게이트 오프 전압(Voff1)이 -10V이고 제2 게이트 오프 전압(Voff2)이 -15V일 때, 본 발명의 실시예에 따른 누설 전류(I11)는 종래의 누설 전류(I12)에 비하여 거의 100배 가량 줄어든다. 이때의 누설 전류는 트랜지스터(T7)의 출력 단자, 즉 접점(J2)에서 입력 단자, 즉 제1 게이트 오프 전압 단자(GV2)로 흐르는 전류인데, 이를 줄이는 것은 접점(J2)의 전위를 확실하게 줄일 수 있다. 따라서, 접점(J2)의 전위가 높아져 트랜지스터(T4, T5)가 턴온되는 것을 방지함으로써 화상이 비정상적으로 표시되는 것을 방지한다.

<97> 이어, 후단 게이트 출력[Gout(j+1)]과 클록 신호(CLK2)가 로우가 되면, 접점(J1, J2)은 부유 상태에서 이전 전압을 유지한다. 이때, 축전기(C1)의 일단은 클록 신호(CLK1)에 연결되어 있으므로, 부유 상태인 접점(J2)의 전위는 클록 신호(CLK1)의 레벨에 따라 변화한다.

<98> 이후에는 출력단(OUT)은 접점(J2)의 고전압이 될 때, 즉 클록 신호(CLK1)가 하이일 때 트랜지스터(T5)를 통하여 제1 게이트 오프 전압(Voff1)에 연결되고, 클록 신호(CLK2)가 하이일 때는 트랜지스터(T6)를 통하여 제1 게이트 오프 전압(Voff1)에 연결된다.

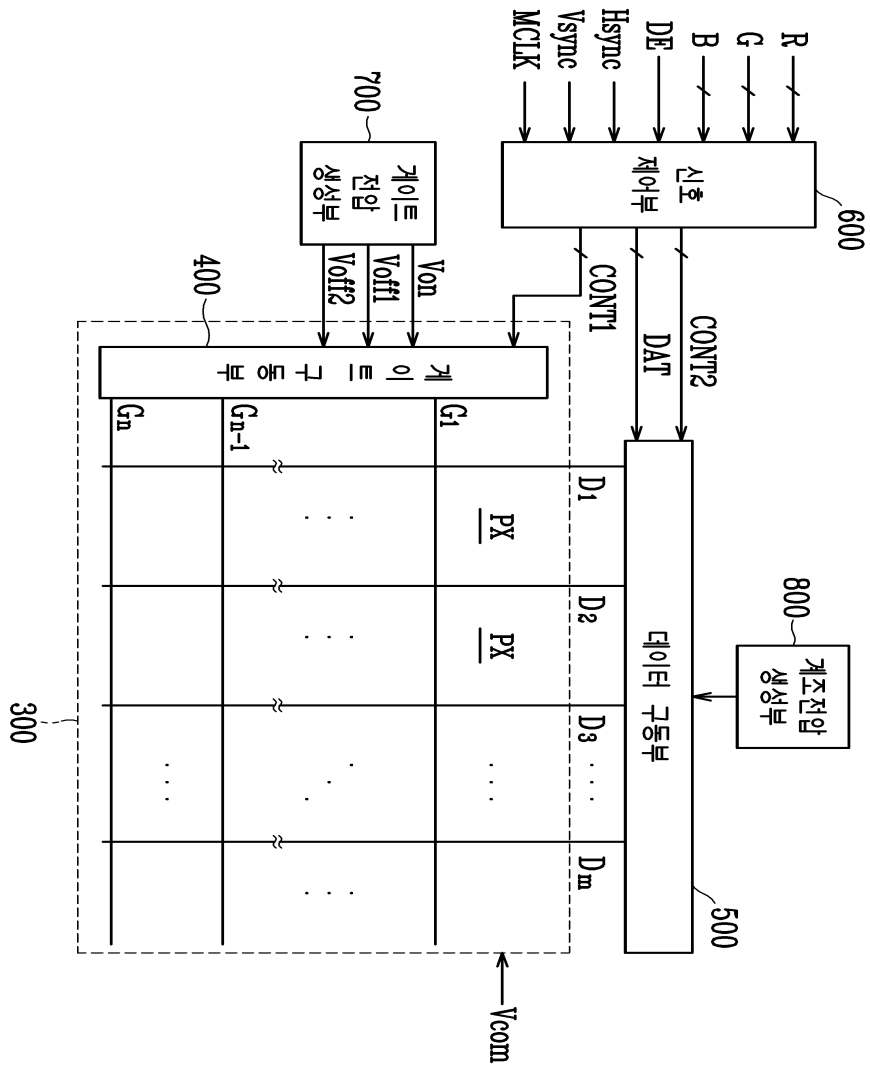
<99> 이러한 방식으로, 첫 번째 스테이지(ST1)부터 마지막 스테이지[ST(n)]까지 게이트 출력을 생성하고 난 후 마지막 스테이지[ST(n)]의 리셋 단자(R)에는 주사 시작 신호(STV2)가 입력되면서 한 프레임 동안의 동작이 완료된다.

발명의 효과

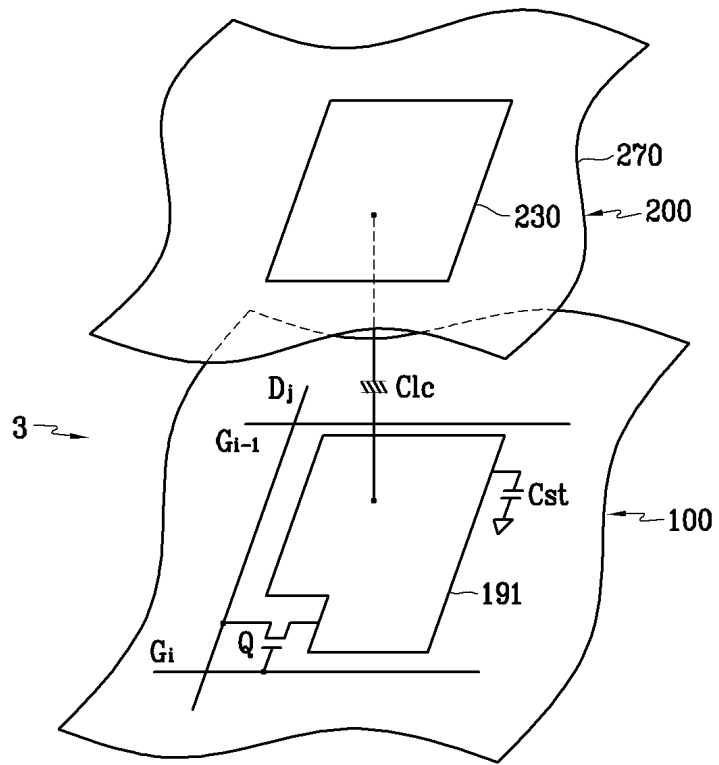
<100> 이와 같이, 두 트랜지스터(T3, T4)를 제1 게이트 오프 전압(Voff1)보다 낮은 제2 게이트 오프 전압(Voff2)에 연결시켜 트랜지스터(T7)의 게이트 드레인간 전압을 음의 값으로 만듦으로써 접점(J2)의 누설 전류를 줄일 수 있다. 이로 인해, 두 트랜지스터(T4, T5)를 정확하게 동작하도록 하여 화면이 비정상적으로 표시되는 것을 방지할 수 있다.

도면

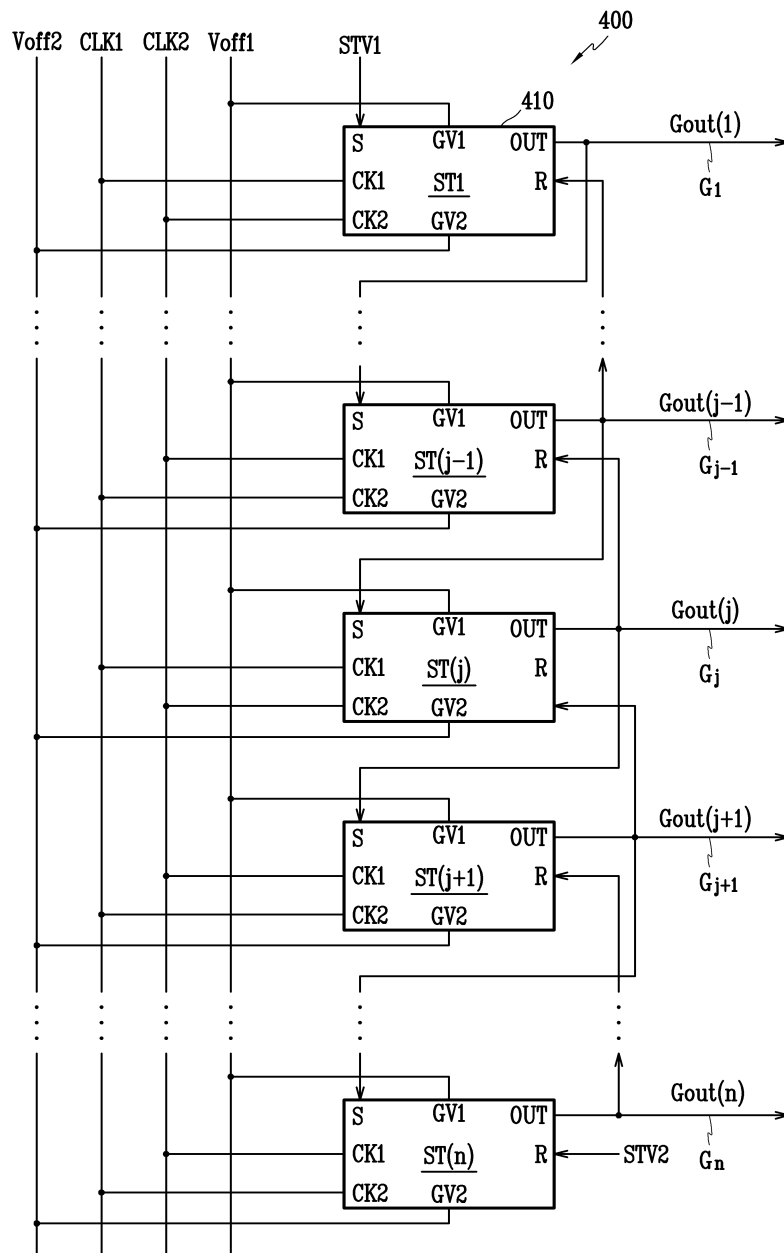
도면1



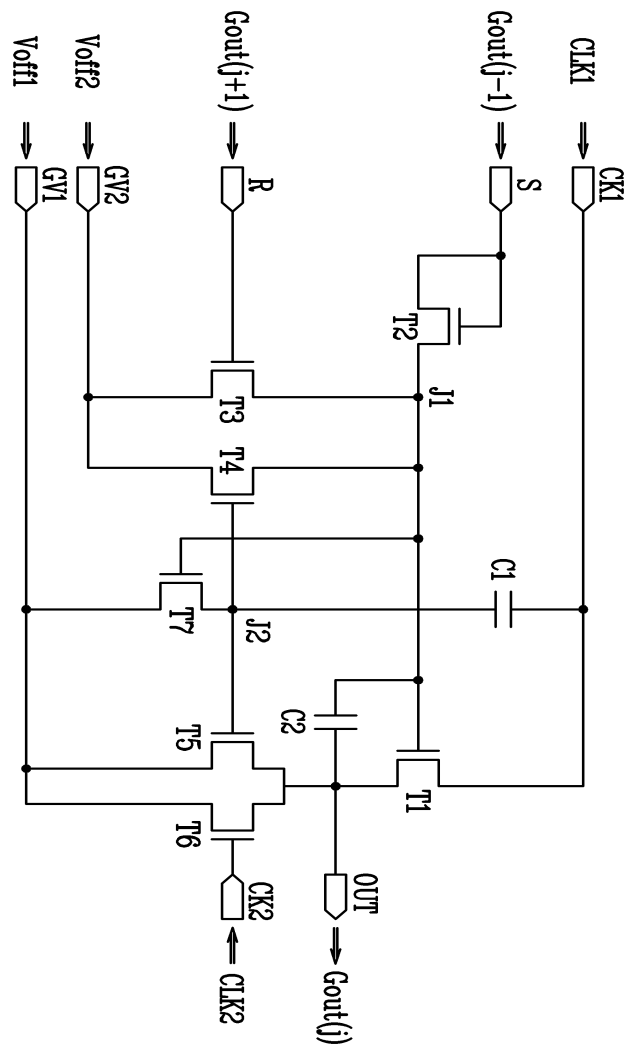
도면2



도면3

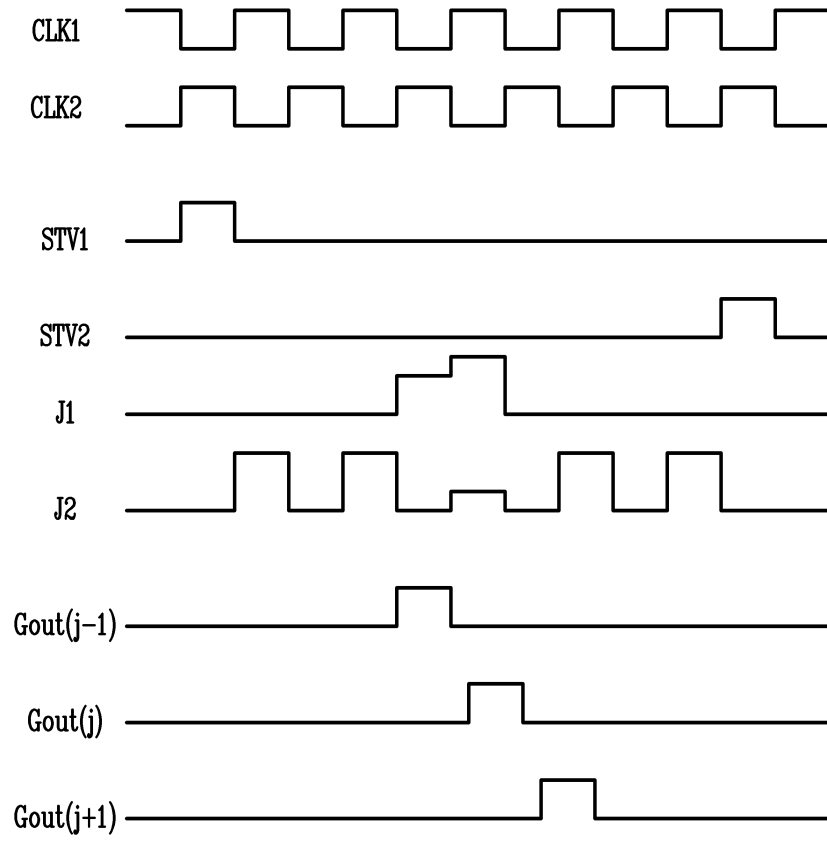


도면4

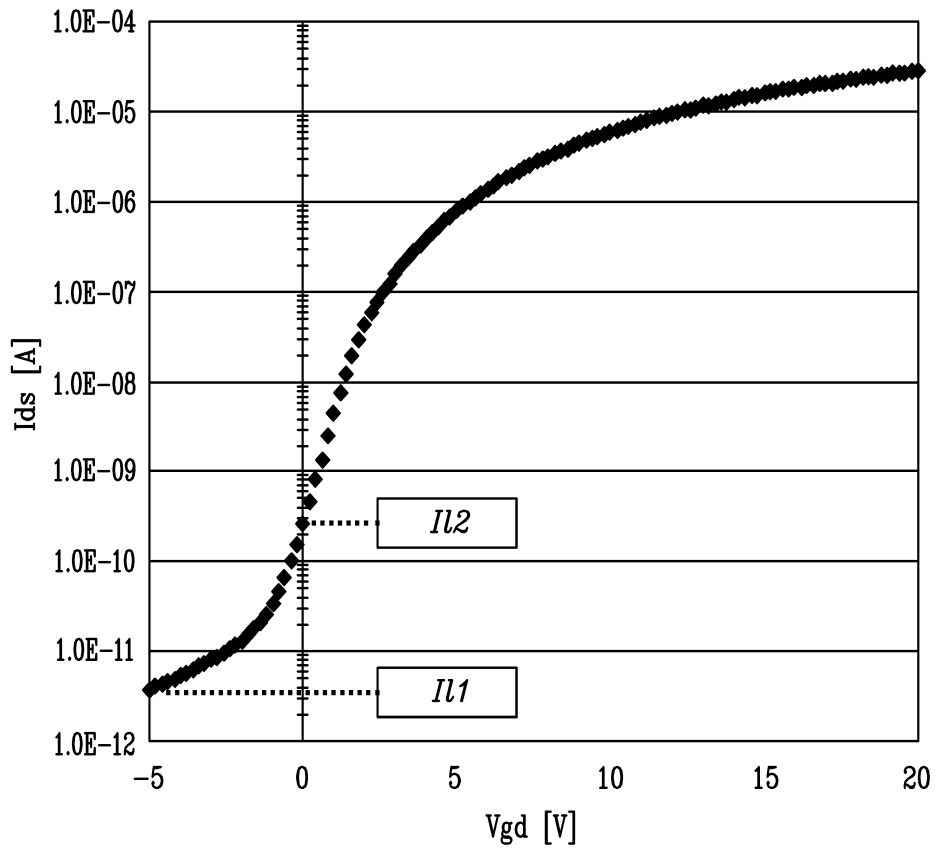


410

도면5



도면6



专利名称(译)	一种显示装置的驱动装置		
公开(公告)号	KR1020080030212A	公开(公告)日	2008-04-04
申请号	KR1020060095981	申请日	2006-09-29
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SHIN SEOB 신섭 KIM YEONG KOO 김영구		
发明人	신섭 김영구		
IPC分类号	G09G3/20 G09G3/36 G09G3/30 G11C19/00		
CPC分类号	G09G2320/02 G09G3/3677 G11C19/184		
其他公开文献	KR101240655B1		
外部链接	Espacenet		

摘要(译)

本发明涉及显示装置的驱动装置。用于包括每级连接的多级的显示装置的驱动装置包括多个晶体管和电容器。扫描开始信号和多个时钟信号以及第一和第二栅极截止电压 (Voff1 , Voff2) 被输入到每个级。并且部分连接在晶体管与第一栅极截止电压之间。部分连接到第二栅极截止电压。这样，通过一些晶体管连接到低于第一栅极截止电压 (Voff1) 的第二栅极截止电压 (Voff2) 并使另一个晶体管的漏极之间的栅极电压为负值，触点的漏电流可以减少。由此，可以防止晶体管精确地操作并且屏幕被异常指示。液晶显示器，栅极截止电压，晶体管，漏电流。

