(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
G02F 1/136 (2006.01)

(11) 공개번호 10-2006-0133834
(43) 공개일자 2006년12월27일

(21) 출원번호 10-2005-0053692
(22) 출원일자 2005년06월21일
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 채정헌
경기도 안산시 단원구 고잔동 672번지 주공아파트 904동 204호

(74) 대리인 박장원

전체 청구항 수 : 총 7 항

(54) 산화아연을 박막트랜지스터의 액티브층으로 사용하는액정표시소자의 제조방법

(57) 요약

본 발명은 반도체 특성과 습식각 특성을 가지는 산화아연을 액티브층으로 채용하는 박막트랜지스터의 제조방법에 관한 것이다. 본 발명의 박막트랜지스터 제조방법은 도전층을 습식각에 의해 패턴닝하여 소스 및 드레인전극을 형성하는 공정에서 단지 습식각 시간을 더하는 것 만으로 채널 영역 상부의 오믹 컨택층을 제거할 수 있어, 박막트랜지스터 제조공정을 단축할 수 있다.

대표도

도 4

특허청구의 범위

청구항 1.

기판상에 게이트전극을 형성하는 것과;

상기 게이트전극상에 제 1 절연층을 형성하는 것과;

상기 제 1 절연층상에 산화아연으로 구성되는 액티브층을 형성하는 것과;

상기 액티브층의 상부에 오믹컨택층을 형성하는 것과;

상기 오믹컨택층상에 도전층을 형성하는 것과;

상기 도전층상에 감광막을 도포하고 소스 및 드레인 전극을 정의하는 감광막 패턴을 형성하는 것과;

상기 감광막 패턴을 마스크로 상기 도전층 및 채널 상부의 오믹컨택층을 동시에 식각하여 소스 및 드레인 전극을 형성하는 것과;

상기 소스 및 드레인 전극상에 제 2 절연층을 형성하는 것과;

상기 드레인전극과 연결되는 화소전극을 형성하는 것을 포함하는 액정표시소자 제조방법.

청구항 2.

제 1항에 있어서, 상기 오믹 컨택층을 형성하는 것은

상기 액티브층상에 산화아연과 불순물 이온을 동시에 증착하는 것을 포함하는 액정표시소자 제조방법

청구항 3.

제 1 항에 있어서, 상기 소스 및 드레인전극을 형성하는 것은

상기 오믹컨택층상에 감광막을 도포하는 것과;

상기 감광막을 소스 및 드레인 전극 패턴을 포함하는 마스크를 적용하여 노광하는 것과;

상기 노광된 감광막을 현상하여 소스 및 드레인 전극을 정의하는 감광막 패턴을 형성하는 것과;

상기 감광막 패턴을 식각 마스크로 적용하여 상기 도전층을 식각하여 소스 및 드레인 전극을 형성하는 것과;

상기 소스 및 드레인전극 사이로 정의되는 채널층의 상부의 오믹컨택층을 더 식각하는 것을 포함하는 액정표시소자 제조방법.

청구항 4.

제 3 항에 있어서, 상기 오믹컨택층 아래의 산화아연으로 구성되는 액티브층을 과도식각하는 액정표시소자 제조방법.

청구항 5.

제 3 또는 4항에 있어서, 상기 식각은 동일한 습식각인 것을 특징으로 하는 액정표시소자 제조방법.

청구항 6.

제 5 항에 있어서, 상기 도전층은 알루미늄, 알루미늄합금,몰리브덴, 볼리브덴 합금, 구리 및 크롬중에서 선택되는 것을 특징으로 하는 액정표시소자 제조방법.

청구항 7.

제 5 항에 있어서, 상기 습식각은 HCl 또는 HNO_3 또는 HF를 포함하는 에천트를 적용하여 이루어지는 것을 특징으로 하는 액정표시소자 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 산화아연(ZnO)을 채널층으로 사용하는 박막트랜지스터 제조방법에 관한 것이다.

표시소자들, 특히 액정표시소자(Liquid Crystal Display Device)와 같은 평판표시장치(Flat Panel Display)에서는 각각의 화소에 박막트랜지스터와 같은 능동소자가 구비되어 표시소자를 구동하는데, 이러한 방식의 표시소자의 구동방식을 흔히 액티브 매트릭스(Active Matrix) 구동방식이라 한다. 이러한 액티브 매트릭스방식에서는 상기한 능동소자가 매트릭스 형식으로 배열된 각각의 화소에 배치되어 해당 화소를 구동하게 된다.

도 1은 액티브 매트릭스방식의 액정표시소자를 나타내는 도면이다. 도면에 도시된 구조의 액정표시소자는 능동소자로서 박막트랜지스터(Thin Film Transistor;10)를 사용하는 박막트랜지스터 액정표시소자이다. 도면에 도시된 바와 같이, 종횡으로 N×M개의 화소가 배치된 박막트랜지스터 액정표시소자의 각 화소에는 외부의 구동회로로부터 주사신호가 인가되는 게이트라인(3)과 화상신호가 인가되는 데이터라인(5)의 교차영역에 형성된 박막트랜지스터(10)를 포함하고 있다. 박막트랜지스터는 상기 게이트라인(3)과 연결된 게이트 전극(11)과, 상기 게이트 전극(11) 위에 형성되어 게이트 전극(11)에 주사신호가 인가됨에 따라 활성화되는 반도체층(12)과, 상기 반도체층(12) 위에 형성된 소스전극(13) 및 드레인 전극(14)으로 구성된다. 상기 화소의 표시영역에는 상기 소스전극(13) 및 드레인 전극(14)과 연결되어 반도체층(12)이 활성화됨에 따라 상기 소스전극(13) 및 드레인 전극(14)을 통해 화상신호가 인가되어 액정(도면표시하지 않음)을 동작시키는 화소전극(16)이 형성되어 있다.

도 2는 도 1의 I-I'선 단면도로서, 상기 도면을 참조하여 액정표시소자의 구조를 더욱 상세히 설명한다.

도면에 도시된 바와 같이, 박막트랜지스터(10)는 유리와 같은 투명한 물질로 이루어진 제1기판(20) 위에 형성되어 있다. 상기 박막트랜지스터(10)는 제1기판(20) 위에 형성된 게이트 전극(11)과, 상기 게이트 전극(11)이 형성된 제1기판(20) 전체에 걸쳐 적층된 게이트절연층(22)과, 상기 절연층(22)위에 형성된 반도체층(12)과, 상기 반도체층(12) 위에 형성된 소스전극(13) 및 드레인 전극(14)과, 상기 제1기판(120) 전체에 걸쳐 적층된 보호층(passivation layer;24)으로 구성된다. 상기 보호층(24) 위에는 보호층(24)에 형성된 컨택홀(26)을 통해 박막트랜지스터(10)의 드레인 전극(14)에 접속되는 화소전극(16)으로 구성된다.

한편, 유리와 같은 투명한 물질로 이루어진 제2기판(30)에는 박막트랜지스터(10) 형성영역이나 화소와 화소 사이와 같은 화상 비표시영역에 형성되어 상기 화상비표시영역으로 광이 투과하는 것을 방지하는 블랙매트릭스(32)와, 적, 녹, 청색으로 이루어져 실제 컬러를 구현하는 컬러필터층(34)이 형성되어 있으며, 상기 제1기판(20) 및 제2기판(30)이 합착되고 그 사이에 액정층(40)이 형성되어 액정표시소자를 완성한다.

이러한 액정표시소자는 주로 마스크를 이용한 포토리소그래피공정과 같은 복잡한 공정에 의해 제작되는데, 도 3에 액정표시소자 제조방법이 도시되어 있다.

우선, 도 3a에 도시된 바와 같이, 제1기판(20) 위에 금속을 적층하여 금속층(11a)을 형성한 후 그 위에 감광성의 포토레지스트층(photoresist;60a)을 형성한다. 도면에는 도시하지 않았지만, 적층된 포토레지스트층(60a)은 일정한 온도에서 베이킹된다. 그후, 상기 포토레지스트층(60a) 위에 마스크(70)를 위치시킨 상태에서 자외선(Ultraviolet light)과 같은 광을 조사하고 현상액을 작용하면, 도 3b에 도시된 바와 같이 금속층(11a)위에는 포토레지스트패턴(60)이 형성된다. 이때, 상기 포토레지스트는 네거티브(negative) 포토레지스트로서, 자외선이 조사되지 않은 영역이 현상액에 의해 제거된다.

이어서, 상기 포토레지스트패턴(60)으로 금속층(11a)의 일부를 블로킹한 상태에서 상기 금속층(11a)에 식각액를 인가하면, 도 3c에 도시된 바와 같이, 제1기판(20) 위에 게이트 전극(11)이 형성된다.

그후, 도 3d에 도시된 바와 같이, 제1기판(20) 전체에 걸쳐서 게이트절연층(22)을 형성한 후 그 위에 반도체층(12a)을 형성한다. 상기와 같이 적층된 반도체층(12a) 위에 포토레지스층을 적층하고 마스크를 위치시킨 후 자외선을 조사하고 현상액을 작용하면, 반도체층(12a) 위에는 포토레지스트패턴(62)이 형성된다. 상기 포토레지스트패턴(62)으로 반도체층(12a)의 일부를 블로킹한 상태에서 식각액를 작용하면, 도 3e에 도시된 바와 같이, 게이트 전극(11) 위에 반도체층(12)이 형성된다.

이어서, 도 3f에 도시된 바와 같이, 제1기판(20) 전체에 걸쳐서 금속을 적층한 후 마스크로 포토레지스트패턴을 형성하고 상기 포토레지스트패턴을 이용하여 상기 금속을 식각하여 반도체층(12) 위에 소스전극(13) 및 드레인 전극(14)을 형성함으로써 제1기판(20) 위에 박막트랜지스터를 완성한다.

한편, 도 3g에 도시된 바와 같이, 소스 전극(13) 및 드레인 전극(14)이 형성된 제1기판(20)에는 보호층(24)이 적층되어 상기 박막트랜지스터를 보호한다. 이후, 상기와 같은 포토공정(즉, 마스크를 이용한 포토레지스트공정)에 의해 박막트랜지스터의 드레인 전극(14) 위의 보호층(24)을 식각하여 컨택홀(contact hole;26)을 형성한다.

이어서, 도 3h에 도시된 바와 같이, 상기 보호층(24) 위에 ITO(Indium Tin Oxide)와 같은 투명물질을 적층한 후 포토공정에 의해 식각하여 상기 보호층(24) 위에 화소전극(16)을 형성한다. 이때, 상기 화소전극(16)은 보호층(24)에 형성된 컨택홀(26)을 통해 박막트랜지스터의 드레인 전극(14)에 전기적으로 접속된다.

한편, 도 3i에 도시된 바와 같이, 제2기판(30) 상에 블랙매트릭스(32)와 컬러필터층(34)을 형성한 후, 상기 제1기판(20) 및 제2기판(30)을 합착한 후 그 사이에 액정층(40)을 형성하여 액정표시소자를 완성한다.

그런데, 상기 액정표시소자의 스위칭 소자는 채널층으로 반도체층을 사용하고 있다. 상기 반도체층으로는 비정질실리콘 또는 폴리실리콘등이 가장 널리 알려져 있으며, 또한 가장 널리 사용되고 있다.

그러나 상기 공정에서 채널층으로 비정질실리콘 또는 폴리실리콘의 반도체층을 사용하고 소스 및 드레인으로는 금속층을 사용하기 때문에 상기 두 층은 서로 다른 식각 방법에 의해 패턴닝된다. 즉, 통상. 반도체층은 건식식각 방법에 의해 패턴닝되고 금속층은 습식식각에 의해 패턴닝된다.

그러므로 반도체층을 상에 금속층을 형성한 다음, 상기 금속층을 패터닝하여 소스 및 드레인 전극을 형성하는 공정에서 상기 금속층을 사진식각하여 소스 및 드레인 전극을 형성하는 것과, 상기 소스 및 드레인 전극 사이의 채널층 상부의 오믹 컨택층을 제거하는 것에 있어서 습식각 공정과 건식각 공정을 동시에 진행하여야 하는 번거로움이 있다.

발명이 이루고자 하는 기술적 과제

그러므로 본 발명은 반도체층을 대신하여 전기적 반도체특성을 가지는 산화아연층을 사용하는 액정표시소자를 제공하는 것을 목적으로 한다. 또한 습식각에 패턴닝이 가능한 상기 산화아연층의 식각특성을 이용해 액정표시소자의 제조공정을 단축 방법을 제공하는 것을 목적으로 한다.

발명의 구성

상기 목적을 달성하는 본 발명의 액정표시소자의 제조방법은 기판상에 게이트전극을 형성하는 것과; 상기 게이트전극상에 제 1 절연층을 형성하는 것과; 상기 제 1 절연층상에 산화아연으로 구성되는 액티브층을 형성하는 것과; 상기 액티브층의 상부에 오믹컨택층을 형성하는 것과; 상기 오믹컨택층상에 도전층을 형성하는 것과; 상기 도전층상에 감광막을 도포하고 소스 및 드레인 전극을 정의하는 감광막 패턴을 형성하는 것과; 상기 감광막 패턴을 마스크로 상기 도전층 및 채널 상부의 오믹컨택층을 동시에 식각하여 소스 및 드레인 전극을 형성하는 것과; 상기 소스 및 드레인 전극상에 제 2 절연층을 형성하는 것과; 상기 드레인전극과 연결되는 화소전극을 형성하는 것을 포함하는 것을 특징으로 한다.

상기 오믹 컨택층을 형성하는 것은 상기 액티브층상에 산화아연과 불순물 이온을 동시에 증착하는 것을 포함하는 것을 특징으로 한다.

상기 소스 및 드레인전극을 형성하는 것은 상기 오믹컨택층상에 감광막을 도포하는 것과; 상기 감광막을 소스 및 드레인 전극 패턴을 포함하는 마스크를 적용하여 노광하는 것과; 상기 노광된 감광막을 현상하여 소스 및 드레인 전극을 정의하는 감광막 패턴을 형성하는 것과; 상기 감광막 패턴을 식각 마스크로 적용하여 상기 도전층을 식각하여 소스 및 드레인 전극을 형성하는 것과; 상기 소스 및 드레인전극 사이로 정의되는 채널층의 상부의 오믹컨택층을 더 식각하는 것을 포함하는 것을 특징으로 한다.

상기 공정에서 상기 오믹컨택층 아래의 산화아연으로 구성되는 액티브층을 과도식각하여 상기 소스 및 드레인 전극을 전기적으로 완전히 분리하는 것을 특징으로 한다.

또한, 상기 식각은 동일한 습식각인 것을 특징으로 한다.

또한, 상기 도전층은 알루미늄, 알루미늄합금,몰리브덴, 볼리브덴 합금, 구리 및 크롬중에서 선택되는 것을 특징으로 하며, 상기 습식각은 HCl 또는 HNO_3 또는 HF등의 산을 포함하는 에천트를 적용하여 이루어지는 것을 특징으로 한다.

이하, 도 4를 참조하여 본 발명의 박막트랜지스터의 구조를 살펴본다. 본 발명의 박막 트랜지스터는 종래의 일반적인 박막 트랜지스터에 비해 액티브층이 반도체 특성을 가지는 산화아연층으로 구성된다는 데 특징이 있다.

도 4를 참조하면, 투명한 기판(401)상에 제 1 전극층(402a) 및 제 2 전극층(402b)이 적층된 게이트 전극(402)이 형성되어 있다. 상기 제 1 전극층(402a)은 알루미늄 합금층일 수 있고, 상기 제 2 전극(402b)은 몰리브덴층일 수 있다.

상기 알루미늄 합금층은 게이트 전극의 도전성을 향상시키며, 상기 몰리브덴층은 액정표시패널의 화소영역 외곽에 형성되는 회로부의 게이트 패드의 컨택특성을 향상시킨다.

상기 게이트 전극(402)은 실리콘 질화층 또는 실리콘 산화층으로 구성될 수 있는 게이트절연층(403)에 의해 덮혀있다.

또한 상기 게이트 절연층(403)상에는 산화아연층으로 구성되는 액티브층(404)이 형성되어 있다. 상기 산화아연층(404)은 종래의 액티브층으로 사용되는 실리콘층과는 달리 습식각이 우수한 특징을 가진다. 또한 상기 산화아연(ZnO)층은 반도체 특성을 가지는 것이 보고되어 있어 스위칭 소자에 적용될 수 있다.

상기 산화아연층(404) 상부에는 산화아연층(404)에 불순물 이온이 더 도핑된 오믹 컨택층(405)이 더 형성되어 있다.

상기 산화아연층(404)는 도전성을 가지는 소스 및 드레인 전극과 전기적 접촉 특성, 즉 오믹 컨택 특성이 좋지 않아, 신호의 흐름에 장벽으로 작용하므로, 상기 산화아연층(404)과 도전층의 소스 및 드레인전극 사이의 오믹 컨택특성을 향상시키기 위해 불순물 이온이 산화아연층에 더해진 오믹 컨택층(405)을 더 형성한다.

또한, 상기 오믹 컨택층(405)상에는 도전층인 소스 및 드레인전극(406a,406b)이 형성되어 있다. 상기 소스 및 드레인 전극(406a,406b)은 전기적으로 서로 분리되어 있다. 그러므로 상기 소스 및 드레인 전극 아래에 형성되는 오믹 컨택층(405) 또한 채널 영역에서 전기적으로 분리되어 있다.

본 발명은 오믹 컨택층(405)에 의해 신호가 전달되는 것을 방지하기 위해 채널 영역은 오버 에치되어 있다. 즉, 채널 영역에 형성되는 오믹 컨택층(405)를 완전히 제거하기 위해 채널영역은 오믹 컨택층과 그 아래의 산화아연층이 일부 오버 에치되어 있다.

상기 소스 및 드레인 전극(406a,406b)은 패시베이션층(407)의해 덮혀져 있다.

또한,상기 패시베이션층(407)에는 상기 드레이전극(406b)을 노출시키는 컨택홀이 더 형성되고 상기 컨택홀을 통해 드레인전극(406b)와 연결되는 화소전극(408)이 더 형성된다.

그러므로 본 발명의 박막트랜지스터는 액티브층이 산화아연층으로 구성되는 데, 제 1 특징이 있으며, 채널 영역의 산화아연층이 오버 에치되어 소스 및 드레인 전극이 전기적으로 완전히 분리되는데 다른 특징이 있다.

이하, 도 5a~5e를 참조하여 본 발명의 박막트랜지스터를 형성하는 방법을 살펴본다.

본 발명의 박막트랜지스터는 습식각 특성이 우수한 산화아연층을 액티브층으로 사용하기 때문에 습식각에 의해 형성될 수 있는 소스 및 드레인 전극 형성 단계에서 동시에 채널 영역을 분리할 수 있다.

도 5a을 참조하면, 투명한 기판(401)상에 제 1 전극층인 알루미늄 합금층(402a)과 제 2 전극층인 몰리브덴 층을 연속하여 형성한다.

이어서, 상기 제 1 및 제 2 전극층을 사진식각 공정을 진행하여 게이트전극(402)를 형성한다. 즉, 상기 제 1 및 제 2 전극층상에 포토레지스트를 도포하는 것, 상기 포토레지스트에 게이트전극 패턴이 형성된 마스크를 적용하여 노광하는 것, 상기 노광된 포토레지스를 현상하는 것, 상기 현상된 포토레지스 패턴을 식각 마스크로 적용하여 상기 제 1 및 제 2 전극층을 식각하여 게이트 전극을 형성하는 것, 상기 포토레지스 패턴을 제거하는 것을 포함하는 사진식각 공정에 의해 게이트 전극(402)를 형성한다. 상기에서 식각방법으로는 습식식각이 사용될 수 있다.

게이트 전극(402)이 형성된 다음, 도 5b를 참조하면, 상기 게이트전극(402)상에 게이트절연층(403)을 형성한다. 상기 게이트절연층(403)은 실리콘 산화층 또는 실리콘 질화층등의 투명한 절연성의 무기막을 사용할 수 있다. 상기 게이트 절연층(403)은 플라즈마화학기상층착(PECVD)방법등에 의해 형성될 수 있다.

이어서, 상기 게이트절연층(403)상에 산화아연(ZnO)층과 불순물 이온이 도핑된 오믹 컨택층(405)를 연속하여 형성한다. 상기 산화아연층(ZnO)은 화학기상층착방법 또는 스퍼터링 방법등에 의해 게이트절연층(403)상에 형성될 수 있다. 상기 오믹 컨택층(405)은 화학기상층착방법에 의해 산화아연층이 형성될 때, 5족 또는 3족등의 불순물 이온을 함께 증착시킴으로서 형성될 수 있다. 즉, 산화아연과 불순물 이온을 혼합하여 증착하므로써 오믹 컨택층을 형성할 수 있다.

상기와 같이, 화학기상증착방법등에 의해 산화아연층과 오믹 컨택층을 형성한 다음, 상기 산화아연층과 오믹 컨택층을 패턴닝하여 액티브층(404)를 형성한다.

상기 액티브층(404)은 상기 산화아연층을 사진식각방법에 의해 식각하므로써 이루어 질 수 있다.

즉, 상기 산화아연층 및 오믹 컨택층상에 포토레지스트를 도포하는 것, 상기 포토레지스트에 마스크를 적용하여 노광하는 것, 상기 노광된 포토레지스트를 현상하는 것, 상기 현상된 포토레지스트 패턴을 마스크로 적용하여 상기 오믹 컨택층 및 산화아연층을 식각하는 것, 상기 포토레지스트 패턴을 제거하는 것을 포함하여 이루어 질 수 있다.

상기 식각방법으로는 습식각을 사용할 수 있다. 상기 습식각은 상기 게이트 전극(402)을 형성하는 동일한 식각액에 의해 이루어 질 수 있다.

상기 사진식각(photolithography) 방법에 의해 액티브층(404)이 정의된 후, 도 5c~5d를 참조하면, 상기 액티브층(404)상에 도전층(406)을 형성한다.

상기 도전층(406)은 알루미늄(Al),알루미늄합금(AlNd), 몰리브덴(Mo), 몰리브덴 화합물(MoW), 크롬(Cr), 구리(Cu)등을 포함하는 금속층 중에서 선택될 수 있다. 상기 도전층(406)은 습식각 특성이 우수한 도전성 물질이면 바람직하다. 왜냐하면, 상기 도전층(406)과 상기 액티브층의 일부는 동일한 습식각액으로 제거되므로써 공정을 단축할 수 있기 때문이다.

상기 도전층(406)은 스퍼터링 방법에 의해 상기 액티브층(404)이 형성된 기판상에 형성될 수 있다. 그러므로 상기 도전층(406)은 오믹 캔택층(405)를 개재한 채, 상기 액티브층(404)와 연결된다.

이어서, 도 5d를 참조하면, 상기 도전층(406)을 사진식각 공정에 의해 패터닝하여 소스 및 드레인 전극을 형성한다. 상기 사진식각 공정은 상기의 사진식각 공정과 동일하게 진행된다.

상기 사진식각 공정에 의해 소스 및 드레인 전극(406a,406b)은 채널층을 사이에 두고 서로 전기적으로 분리된다. 그러나, 채널층의 상부에는 전기적 전도성을 가지는 오믹 컨택층(405)이 더 형성되어 있기 때문에 채널 영역의 오믹 컨택층을 제거해야 한다.

종래의 실리콘 반도체층을 사용하는 박막트랜지스터의 경우, 실리콘층은 습식각에 의해 식각되지 않기 때문에 습식각에 의해 소스 및 드레인 전극을 형성한 다음, 채널 영역의 오믹 컨택층을 제거하기 위해 챔버를 바꾸어 건식 식각 공정을 진행했다.

그러나 본 발명의 액티브층(404)은 습식 식각 특성이 우수한 산화아연으로 구성되므로 상기 도전층(406)을 습식각 한 후 식각 시간을 단지 더하는 것 만으로 채널 영역의 오믹 컨택층(405)를 제거할 수 있다.

즉, 본 발명의 소스 및 드레인 전극 형성 공정은 상기 도전층(406)상에 포토레지스트를 도포하는 것, 상기 포토레지스트에 마스크를 적용하여 노광하는 것, 상기 노광된 포토레지스트를 현상하는 것, 상기 현상에 의해 형성되는 포토레지스트 패턴을 마스크로 적용하여 상기 도전층을 습식각하는 것, 상기 습식각을 더 진행하여 채널 영역 상부의 오믹 컨택층을 제거하는 것을 포함하여 이루어진다.

도 5d를 참조하면, 본 발명은 상기 채널 영역 상부의 오믹 컨택층을 완전히 제거하기 위해 오믹 컨택층(405) 및 그 하부의 산화아연층의 일부를 오버 에치한다.

그 결과, 상기 소스 및 드레인 전극(406a,406b)과 채널 영역 상부의 오믹 컨택층(405)은 한 번의 습식각 공정에 의해 동시에 제거될 수 있다.

상기 습식각에 적용되는 식각액은 HCl, HNO_3, HF계열의 에천트를 적용할 수 있다. 상기 에천트에 포함되는 염산(HCl) 또는 질산(HNO_3) 또는 불산(HF)의 중량 %는 식각액의 강도에 따라 100%이하에서 조절될 수 있다.

습식각에 의해 상기 소스 및 드레인전극(406a,406b)이 형성된 다음, 도 5e를 참조하면, 상기 소스 및 드레인 전극을 덮는 패시베이션층을 더 형성한다. 상기 패시베이션층(407)은 하부에 형성된 박막트랜지스터를 보호하는 기능과 더불어 박막트랜지스터가 형성된 기판을 평탄화시키는 기능도 수행한다.

그러므로 상기 패시베이션층(407)은 절연 특성을 가지는 무기막 또는 유기막을 사용할 수 있다. 상기 박막트랜지스터가 액정표시소자에 적용될 경우, 상기 패시베이션층은 투명한 절연층인 것이 바람직하다.

이어서, 상기 패시베이션층(407)상에 마스크 공정을 더 진행하여 상기 드레인전극(306b)를 노출시키는 컨택홀을 형성한다.

이어서, 상기 컨택홀을 통해 상기 드레인전극(406b)와 연결되는 화소전극(408)을 형성한다. 상기 화소전극(408)은 상기 패시베이션층(407)상에 ITO등의 투명전극을 형성하는 것, 사진식각 공정을 통해 상기 투명전극을 패턴닝하는 것을 통해 이루어 질 수 있다.

상기 공정을 통해 산화 아연을 액티브층으로 사용하는 박막트랜지스터는 완성된다.

발명의 효과

본 발명은 습식각 특성이 우수하고 반도체 특성을 가지는 산화아연층을 액티브층으로 채용하여 박막트랜지스터의 제조공정을 단축하는 효과를 얻을 수 있다. 본 발명은 습식각을 통해 소스 및 드레인 전극을 형성하는 과정에서 식각장소의 변경이나, 식각 물질의 변경없이 단지 습식각 시간을 더 하는 것만으로 소스 및 드레인 전극과 채널 영역 상부의 오믹 컨택층을 제거하여 전기적으로 완전히 분리되는 소스 및 드레인 전극을 형성할 수 있다. 그러므로 공정의 단축과 사용되는 장비의 감소를 구현하여 생산성을 향상시킬 수 있다.

도면의 간단한 설명

도 1은 일반적인 매트릭스 방식의 액정표시패널의 구조를 나타내는 평면도.

도 2는 일반적인 액정표시패널의 스위칭 소자를 포함하는 단면도.

도 3a~3i는 박막트랜지스터를 포함하는 일반적인 액정표시소자의 제조공정 수순도.

도 4는 본 발명의 박막트랜지스터를 포함하는 액정표시소자의 단면도.

도 5a~5e는 본 발명의 액정표시소자의 제조공정을 나타내는 수순도.

**********도면의 주요부분에 대한 부호의 설명**********

401:기판 402:게이트전극

403:게이트절연층 404:산화아연으로 구성되는 액티브층

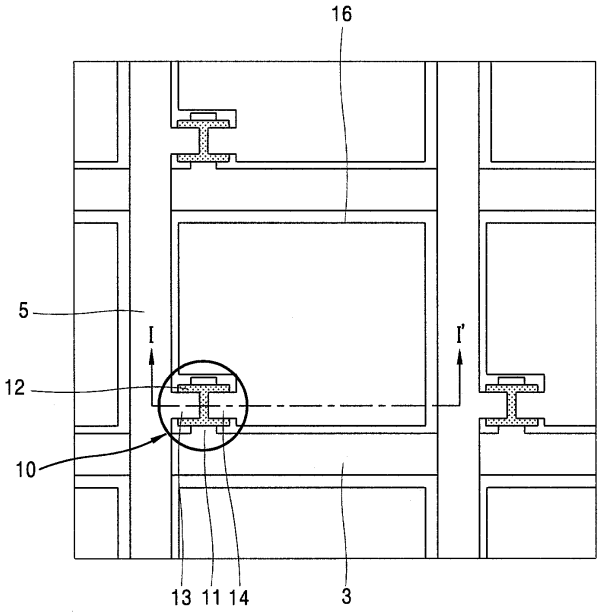
405:오믹 컨택층 406a:소스 전극

406b:드레인 전극 407:패시베이션층

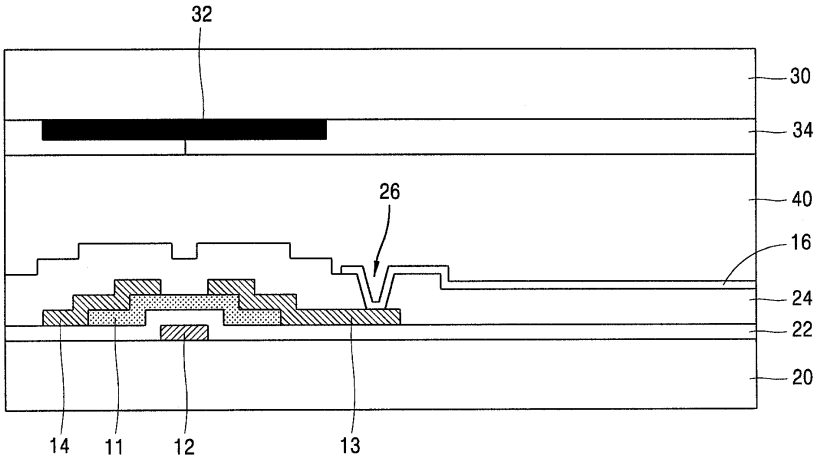
408:화소전극

도면

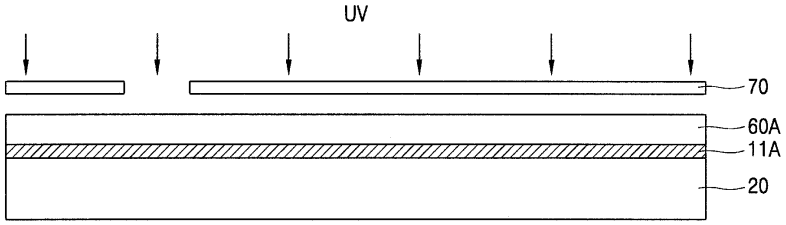
도면1



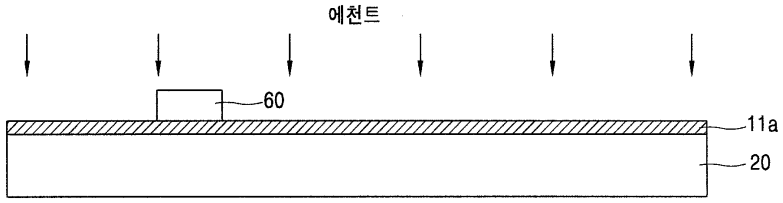
도면2



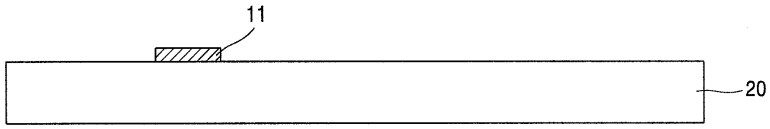
도면3a



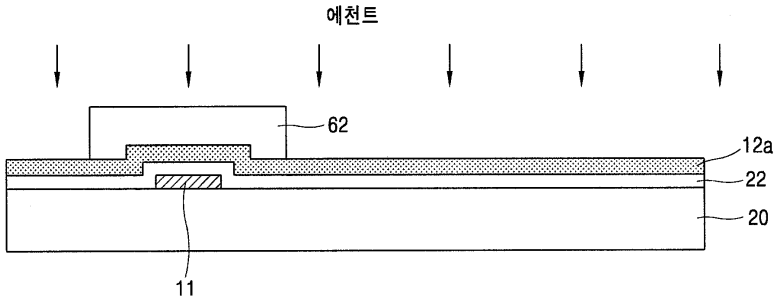
도면3b



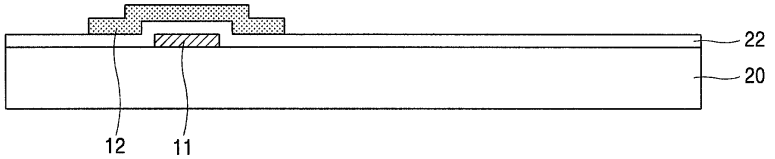
도면3c



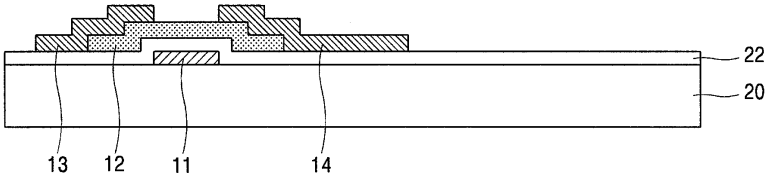
도면3d



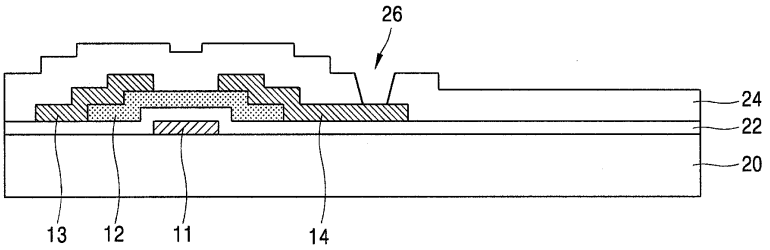
도면3e



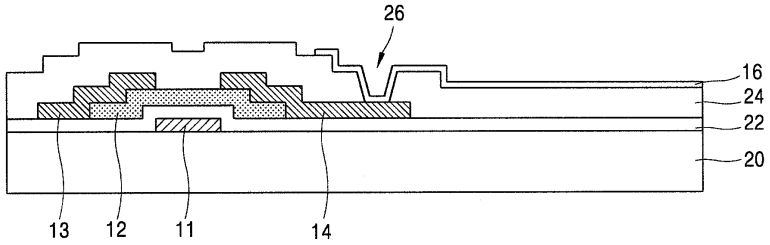
도면3f



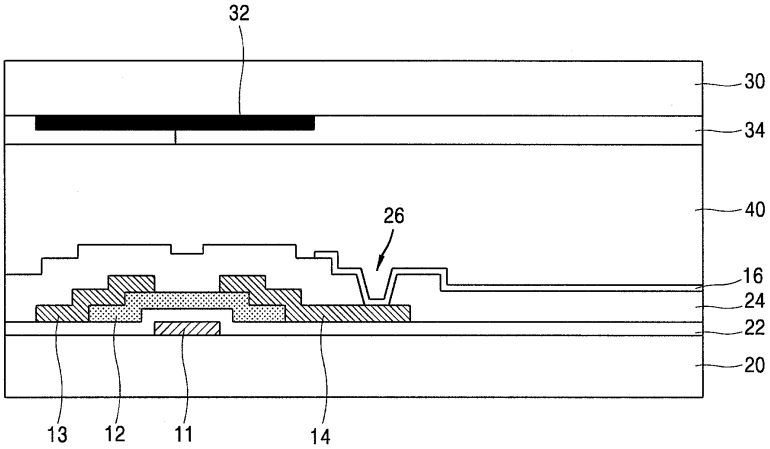
도면3g



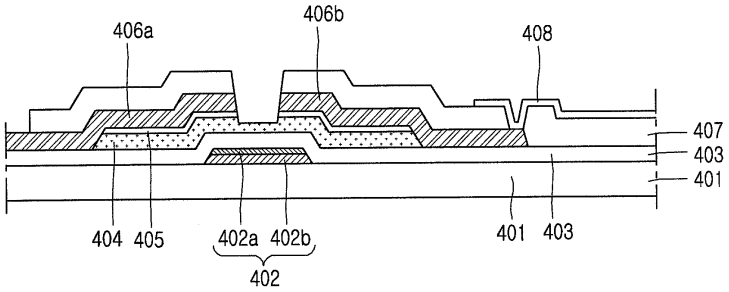
도면3h



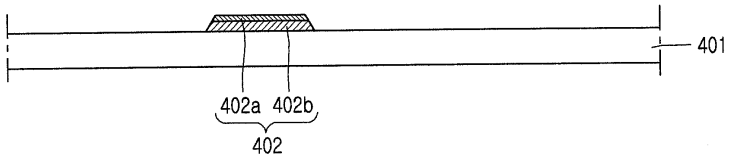
도면3i



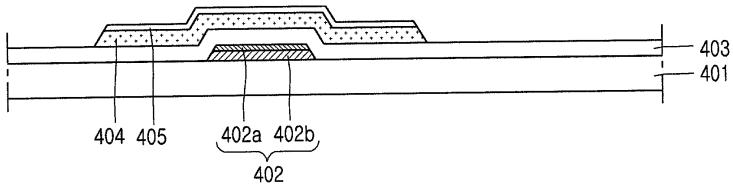
도면4



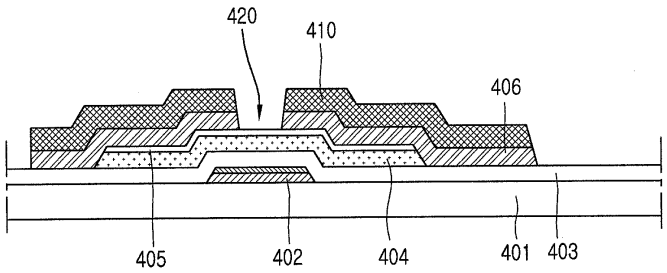
도면5a



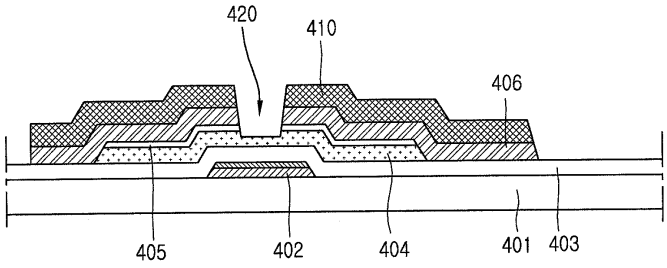
도면5b



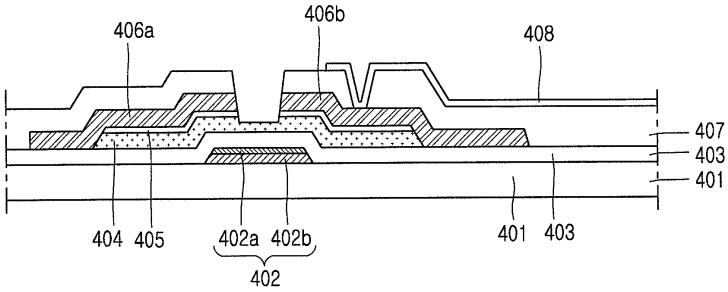
도면5c



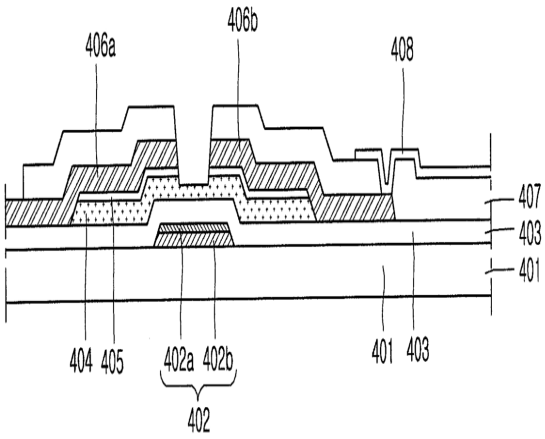
도면5d


420
410
406
405
402
404
401
403

도면5e


406a
406b
408
407
403
401
404
405
402a
402b
402
401
403

专利名称(译)	一种使用氧化锌作为薄膜晶体管的有源层制造液晶显示元件的方法		
公开(公告)号	KR1020060133834A	公开(公告)日	2006-12-27
申请号	KR1020050053692	申请日	2005-06-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHAE JUNG HUN		
发明人	CHAE,JUNG HUN		
IPC分类号	G02F1/136		
CPC分类号	H01L29/7869 G02F1/1368 H01L29/78603		
代理人(译)	PARK，JANG WON		
外部链接	Espacenet		

摘要(译)

本发明涉及一种薄膜晶体管的制造方法，该方法采用对有源层具有半导体芯片特性和湿蚀刻特性的氧化锌。在本发明的薄膜晶体管制造方法中，形成源极和漏极的工艺是用湿法刻蚀图案化导电层，湿法刻蚀时间仅加入沟道区域上部的欧姆接触层即可除去。可以缩短薄膜晶体管的制造工艺。氧化锌，ZnO，湿法蚀刻，薄膜晶体管。