

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0060338
G02F 1/1343 (2006.01) (43) 공개일자 2006년06월05일

(21) 출원번호 10-2004-0099385
(22) 출원일자 2004년11월30일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자 박정준
충청남도 천안시 쌍용2동 1547번지 월봉일성아파트 511동 205호
(74) 대리인 유미특허법인

심사청구 : 없음

(54) 박막 트랜지스터 표시판의 제조 방법

요약

본 발명의 실시예에 따른 박막 트랜지스터 표시판의 제조 방법은, 게이트선을 형성하는 단계, 상기 게이트선 위에 게이트 절연막과 반도체층을 형성하는 단계, 제1 내지 제3 도전막을 적층하는 단계, 상기 제3 도전막 위에 제1 부분과 상기 제1 부분보다 두께가 얇은 제2 부분을 포함하는 감광막을 형성하는 단계, 상기 감광막을 마스크로 하여 상기 제3 내지 제1 도전막을 차례로 식각하여 소스 전극 및 드레인 전극을 형성하는 단계, 상기 감광막의 제2 부분과 함께 상기 반도체층을 식각하여 저항성 접촉 부재를 형성하는 단계, 그리고 상기 감광막의 제1 부분을 제거하는 단계를 포함한다.

이러한 방식으로, 불순물 반도체의 돌출부를 없애므로써 누설 전류를 감소시켜 박막 트랜지스터의 특성을 향상시키는 한편, 돌출부의 제거를 위한 별도의 공정을 생략할 수 있어 전체적인 공정 시간을 단축시킬 수 있다.

대표도

도 10b

색인어

액정표시장치, 반투과형, 고감도, 감광막, 식각, 돌출부, 누설전류

명세서

도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이다.

도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 공통 전극 표시판의 배치도이다.

도 3은 도 1 및 도 2의 두 표시판을 포함하는 본 발명의 한 실시예에 따른 액정 표시 장치의 배치도이다.

도 4는 도 3에 도시한 액정 표시 장치를 IV-IV'선을 따라 잘라 도시한 단면도이다.

도 5, 도 7, 도 9 및 도 11은 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판을 제조하는 중간 과정에서의 박막 트랜지스터 표시판의 배치도이다.

도 6은 도 5에 도시한 박막 트랜지스터 표시판을 VI-VI' 선을 따라 잘라 도시한 단면도로서 도 4의 다음 단계를 도시한 단면도이다.

도 8은 도 7에 도시한 박막 트랜지스터 표시판을 VIII-VIII' 선을 따라 잘라 도시한 단면도로서 도 6의 다음 단계를 도시한 단면도이다.

도 10a 내지 도 10c는 도 9에 도시한 박막 트랜지스터 표시판을 X-X' 선을 따라 잘라 도시한 단면도로서 박막 트랜지스터 표시판을 제조하는 순서에 따라 도시한 단면도이다.

도 12는 도 11에 도시한 박막 트랜지스터 표시판을 XII-XII' 선을 따라 잘라 도시한 단면도로서 도 10b의 다음 단계를 도시한 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 표시판의 제조 방법에 관한 것이다.

액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전계 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전계 생성 전극에 전압을 인가하여 액정층에 전계를 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전계 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 액정층을 통과하는 빛의 투과율을 조절하는 표시 장치이다.

액정 표시 장치 중에서도 현재 주로 사용되는 것은 전계 생성 전극이 두 표시판에 각각 구비되어 있는 것이다. 이 중에서도 한 표시판에는 복수의 화소 전극이 행렬의 형태로 배열되어 있고 다른 표시판에는 하나의 공통 전극이 표시판 전면을 덮고 있는 구조의 액정 표시 장치가 주류이다. 이 액정 표시 장치에서의 화상의 표시는 각 화소 전극에 별도의 전압을 인가함으로써 이루어진다. 이를 위해서 화소 전극에 인가되는 전압을 스위칭하기 위한 삼단자 소자인 박막 트랜지스터를 각 화소 전극에 연결하고 이 박막 트랜지스터를 제어하기 위한 신호를 전달하는 게이트선과 화소 전극에 인가될 전압을 전달하는 데이터선을 표시판에 설치한다.

이러한 액정 표시 장치에서, 신호 지연을 방지하기 위하여 영상 신호를 전달하는 데이터선 또는 데이터선은 알루미늄(Al) 또는 알루미늄 합금(Al alloy) 등과 같이 낮은 비저항 물질을 사용하는 것이 일반적이다. 이때, 알루미늄은 물리적 또는 화학적 특성이 약하기 때문에 접촉 특성이 우수한 다른 금속을 계재하여 알루미늄 또는 알루미늄 합금과 함께 이중막 또는 삼중막으로 게이트선 및 데이터선을 형성하는 것이 바람직하다. 이러한 금속 중에 몰리브덴을 포함하는 도전막은 알루미늄을 포함하는 도전막과 하나의 식각 조건으로 패터닝이 가능하여 유리하게 사용된다.

발명이 이루고자 하는 기술적 과제

하지만, 감광막을 형성한 후 감광막을 마스크로 하여 도전막을 식각하고 그 아래의 불순물 반도체를 식각하는 경우에는 감광막 하부의 언더 컷으로 인해 불순물 반도체가 돌출된다. 이러한 돌출부는 박막 트랜지스터가 턴오프된 상태에서도 정공이 생성되어 누설 전류를 증가시키고 화면상에서 얼룩을 발생시키는 문제가 있다. 또한, 이러한 돌출부를 제거하기 위하여 산소 플라즈마 애싱 처리를 하는데, 이러한 애싱 처리로 인해 공정 시간이 증가한다.

본 발명이 이루고자 하는 기술적 과제는 이러한 종래의 문제점을 해결할 수 있는 박막 트랜지스터 표시판 및 이의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

이러한 과제를 해결하기 위한 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법은, 게이트선을 형성하는 단계, 상기 게이트선 위에 게이트 절연막과 반도체층을 형성하는 단계, 제1 내지 제3 도전막을 적층하는 단계, 상기 제3 도전막 위에 제1 부분과 상기 제1 부분보다 두께가 얇은 제2 부분을 포함하는 감광막을 형성하는 단계, 상기 감광막을 마스크로 하여 상기 제3 내지 제1 도전막을 차례로 식각하여 소스 전극 및 드레인 전극을 형성하는 단계, 상기 감광막의 제2 부분과 함께 상기 반도체층을 식각하여 저항성 접촉 부재를 형성하는 단계, 그리고 상기 감광막의 제1 부분을 제거하는 단계를 포함한다.

이때, 상기 감광막의 제2 부분의 형성은 투과 영역을 갖는 마스크를 사용하여 이루어지거나, 고감도 감광막을 사용하여 이루어질 수 있다.

상기 소스 및 드레인 전극의 경계선과 상기 저항성 접촉 부재의 경계선이 일치하는 것이 바람직하다.

한편, 상기 제3 내지 제1 도전막의 식각은 습식 식각일 수 있으며, 상기 반도체층의 식각은 건식 식각일 수 있다.

본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법은, 보호막을 형성하는 단계, 그리고 상기 보호막 위에 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 더 포함할 수 있다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 박막 트랜지스터 표시판 및 이의 제조 방법에 대하여 설명한다.

먼저, 도 1 내지 도 4를 참고로 하여 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 상세하게 설명한다.

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치용 공통 전극 표시판의 배치도이고, 도 3은 도 1의 박막 트랜지스터 표시판과 도 2의 박막 트랜지스터 표시판으로 이루어진 액정 표시 장치의 배치도이고, 도 4는 도 3의 액정 표시 장치를 IV-IV'선을 따라 잘라 도시한 단면도이다.

본 발명의 한 실시예에 따른 액정 표시 장치는 박막 트랜지스터 표시판(100), 공통 전극 표시판(200), 이들 두 표시판(100, 200) 사이에 삽입되어 있는 액정층(3)을 포함한다.

먼저, 도 1, 도 3 및 도 4를 참고로 하여 박막 트랜지스터 표시판(100)에 대하여 상세하게 설명한다.

절연 기판(110) 위에 복수의 게이트선(gate line)(121)과 복수의 유지 전극선(storage electrode lines)(131a, 131b)과 복수의 용량성 보조 전극(136)이 형성되어 있다.

게이트선(121)은 주로 가로 방향으로 뻗어 있고 서로 분리되어 있으며, 게이트 신호를 전달한다. 각 게이트선(121)은 위로 튀어나온 복수의 게이트 전극(gate electrode)(124)과 다른 층 또는 외부 장치의 접속을 위한 면적이 넓은 끝 부분(129)을 포함한다.

각각의 유지 전극선(131a, 131b)은 주로 가로 방향으로 뻗어 있으며, 서로 이웃하는 게이트선(121) 사이에서 각각 쌍으로 배치되어 있다. 각각의 유지 전극선(131a, 131b)은 이웃하는 게이트선(121) 부근에 위치하고 있으며, 아래 위로 돌출한 유지 전극(137a, 137b)을 각각 포함한다. 두 유지 전극선(131a, 131b)은 이웃하는 게이트선(121)의 중간에 위치한 가로 선에 대하여 대칭 구조를 이룬다. 유지 전극선(131a, 131b)에는 액정 표시 장치의 공통 전극 표시판(200)의 공통 전극(common electrode)(270)에 인가되는 공통 전압(common voltage) 따위의 소정의 전압이 인가된다.

각각의 용량성 보조 전극(136)은 이웃하는 두 게이트선(121) 사이의 중앙에 위치하며, 가로 방향으로 긴 직사각형 모양으로서 끝 부분에 게이트선(121)에 대하여 약 45°기울어진 빗변을 가져 깔때기 모양을 이룬다.

게이트선(121), 유지 전극선(131a, 131b) 및 용량성 보조 전극(136)은 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속, 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 따위로 이루어지는 것이 바람직하며, 단일막 구조를 가지거나 다층막 구조로 이루어질 수 있다. 다층막, 예를 들어 물리적 성질이 다른 두 개의 막, 즉 하부막과 그 위의 상부막을 포함할 수 있다. 하나의 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)이나 은 합금 등 은 계열의 금속, 구리(Cu)나 구리 합금 등 구리 계열의 금속으로 이루어질 수 있다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 크롬, 몰리브덴(Mo), 몰리브덴 합금, 탄탈륨(Ta), 또는 티타늄(Ti) 등으로 이루어질 수 있다. 두 도전막의 좋은 예로는 크롬/알루미늄-네오디뮴(Nd) 합금 또는 몰리브덴 또는 몰리브덴 합금/알루미늄 합금을 들 수 있다.

또한 게이트선(121), 유지 전극선(131a, 131b) 및 용량성 보조 전극(136)의 측면은 기판(110)의 표면에 대하여 경사져 있으며 그 경사각은 약 30-80°인 것이 바람직하다.

게이트선(121), 유지 전극선(131a, 131b) 및 용량성 보조 전극(136) 위에는 질화규소(SiN_x) 따위로 이루어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

게이트 절연막(140) 상부에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 등으로 이루어진 복수의 섬형 반도체(154)가 형성되어 있다. 각각의 섬형 반도체(154)는 주로 게이트 전극(124)의 상부에 위치하며, 이후의 데이터선(171)이 지나갈 게이트선(121)의 상부까지 확장되어 있다. 섬형 반도체(154)와 동일한 층으로 데이터선(171)이 지나갈 유지 전극선(131)의 상부에도 버퍼층이 추가될 수 있다.

반도체(154)의 상부에는 실리사이드(silicide) 또는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 복수의 섬형 저항성 접촉 부재(ohmic contact)(163, 165)가 형성되어 있다. 두 섬형 저항성 접촉 부재(163, 165)는 쌍을 이루어 반도체(154) 위에 배치되어 있는데, 게이트 전극(124)을 중심으로 서로 마주한다.

섬형의 반도체(154)와 저항성 접촉 부재(163, 165)의 측면 역시 기판(110)의 표면에 대하여 경사져 있으며 그 경사각은 30-80°인 것이 바람직하다.

저항 접촉 부재(163, 165) 및 게이트 절연막(140) 위에는 각각 복수의 데이터선(data line)(171)과 이로부터 분리되어 있는 복수의 드레인 전극(drain electrode)(177a, 177b) 및 드레인 전극(177a, 177b)에 연결되어 있는 용량성 결합 전극(176)이 형성되어 있다.

데이터선(171)은 주로 세로 방향으로 뻗어 게이트선(121) 및 유지 전극선(131a, 131b)과 교차하며 데이터 전압(data voltage)을 전달한다. 각 데이터선(171)은 다른 층 또는 외부 장치와의 접속을 위한 넓은 끝 부분(179)을 가지고 있다.

각각의 드레인 전극(175)은 각각의 유지 전극(137a, 137b)과 중첩하는 직사각형 확장부(177a, 177b)를 포함한다. 드레인 전극의 확장부(177a, 177b) 변은 유지 전극(137a, 137b)의 변과 실질적으로 평행하며, 서로 이웃하는 게이트선(121)의 중심선에 대하여 대칭 구조를 이룬다. 데이터선(171) 각각은 복수의 돌출부를 포함하며, 이 돌출부는 반도체(154) 상부에

위치하는 드레인 전극(175)의 한쪽 끝 부분을 일부 둘러싸는 소스 전극(173)을 이룬다. 하나의 게이트 전극(124), 하나의 소스 전극(173) 및 하나의 드레인 전극(175)은 반도체(154)와 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 반도체(154)에 형성된다.

용량성 결합 전극(176)은 용량성 보조 전극(136)과 중첩하고, 용량성 보조 전극(136)의 변과 평행한 변을 가져 왼쪽 일부는 깔때기 구조를 가진다. 용량성 결합 전극(176)은 경계선 안에서 용량성 보조 전극(136)의 상부에 위치하는 개구부(76)를 가진다.

드레인 전극(175)은 드레인 전극(175)의 두 확장부(177a, 177b)와 용량성 결합 전극(176)을 서로 연결하며, 데이터선(171)에 인접하고 평행하며 서로 인접한 게이트선(121)의 중심선에 대하여 대칭으로 뻗은 연결부(178a, 178b)를 가진다. 따라서, 드레인 전극(175), 용량성 결합 전극(176) 및 용량성 보조 전극(136)은 서로 이웃하는 게이트선(121)의 중심선에 대하여 대칭 구조를 가진다. 이때, 연결부(178a, 178b)는 게이트선(121)과 데이터선(171)으로 둘러싸인 영역의 최외각 가장자리에 배치되어 화상이 표시되는 투과 영역을 감소시키지 않으며, 투과 영역의 가장자리에서 발생하는 텍스처를 차단하는 기능을 가진다.

이때, 데이터선(171) 및 용량성 결합 전극(176)은 다른 물질, 특히 IZO(indium zinc oxide) 또는 ITO(indium tin oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴(Mo), 몰리브덴 합금[보기: 몰리브덴-알루미늄(MoAl₂) 합금], 크롬(Cr) 등으로 이루어진 상부막(171r)과 데이터 신호의 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열의 금속으로 이루어진 중간막(171q)과 알루미늄 계열의 금속이 반도체(151) 또는 저항성 접촉 부재(161, 165)로 확산되는 것을 방지하기 위한 금속, 이를테면 몰리브덴(Mo), 몰리브덴 합금[보기: 몰리브덴-텅스텐(MoW) 합금], 크롬(Cr) 등으로 이루어진 하부막(171p)을 포함한다. 도 4에서 소스 전극(173), 드레인 전극(175) 및 데이터선(171)의 끝 부분(179)의 하부막, 중간막 및 상부막은 각각 도면 부호 173p, 173q, 703, 175p, 175q, 705 및 179p, 179q, 709로 표시되어 있다.

데이터선(171), 용량성 결합 전극(176) 및 드레인 전극(175)도 게이트선(121) 및 유지 전극선(131a, 131b)과 마찬가지로 그 측면이 약 30-80°의 각도로 각각 경사져 있다.

저항성 접촉 부재(163, 165)는 그 하부의 반도체(154)와 그 상부의 데이터선(171) 및 드레인 전극(175) 사이에만 존재하며 접촉 저항을 낮추어 주는 역할을 한다. 섬형 반도체(154)는 소스 전극(173)과 드레인 전극(175) 사이를 비롯하여 데이터선(171) 및 드레인 전극(175)에 가리지 않고 노출된 부분을 가지고 있다.

데이터선(171), 드레인 전극(175) 및 용량성 결합 전극(176)과 이들로 덮이지 않고 노출된 반도체(154) 부분의 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기 물질, 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등 4.0 이하의 저유전율 절연 물질, 또는 무기 물질인 질화 규소나 산화 규소 따위로 이루어진 것이 바람직하다.

보호막(180)에는 드레인 전극(175)의 확장부(177a, 177b)와 데이터선(171)의 끝 부분(179)을 각각 드러내는 복수의 접촉 구멍(contact hole)(182, 185a, 185b)이 형성되어 있으며, 게이트 절연막(140)과 함께 용량성 보조 전극(136)과 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(181, 186)이 형성되어 있다. 접촉 구멍(181, 182, 185a, 185b, 186)은 다각형 또는 원 모양 등 다양한 모양으로 만들어질 수 있다. 접촉 구멍(181, 182)의 면적은 약 0.5mm×15μm 이상, 약 2mm×60μm 이하인 것이 바람직하다. 접촉 구멍(181, 182, 185a, 185b, 186)의 측벽은 30° 내지 85°의 각도로 기울어져 있거나 계단형이다.

이때, 용량성 보조 전극(136)을 드러내는 접촉 구멍(186)은 용량성 결합 전극(176)의 개구부(76) 안에 위치하여 접촉 구멍(186)의 측벽에 의해 발생하는 단차로 인하여 액정 분자의 배열이 왜곡되어 이 부분에서 누설되는 빛이 발생하더라도 용량성 결합 전극(176)에 의해 차단된다. 따라서, 화소의 개구율이 확보하면서 디스크리네이션(disclination)이 발생하는 것을 차단할 수 있다. 용량성 보조 전극(136)을 드러내는 접촉 구멍(186)을 용량성 결합 전극(176)의 밖에 배치하기 위해서는 단차로 인하여 발생하는 액정 분자의 배열 왜곡을 차단하기 위해 용량성 보조 전극(136)을 확장해야 하고, 그 폭은 공정 마진(margin)까지 고려하여 넓혀야 하므로 화소의 개구율을 저하시킨다.

보호막(180) 위에는 ITO 또는 IZO로 이루어진 복수의 제1 내지 제3 화소 전극(pixel electrode)(190a, 190b, 190c), 차폐 전극(shielding electrode)(88) 및 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다. 이와는 달리,

제1 내지 제3 화소 전극(190a, 190b, 190c)은 투명한 도전성 폴리머로 만들어질 수도 있고, 반사형 액정 표시 장치의 경우에는 제1 내지 제3 화소 전극(190a, 190b, 190c)이 불투명한 반사성 금속으로 만들어질 수도 있다. 이 경우, 접촉 보조 부재(81, 82)는 제1 내지 제3 화소 전극(190a, 190b, 190c)과 다른 물질, 예를 들면 ITO나 IZO로 만들어질 수 있다.

제1 내지 제3 화소 전극(190a, 190b, 190c)은 접촉 구멍(185a, 185b, 186)을 통하여 드레인 전극(175)과 물리적·전기적으로 연결되어 드레인 전극(175)으로부터 데이터 전압을 인가 받는다.

화소 전극(190)과 공통 전극(270)은 축전기[이하 “액정 축전기(liquid crystal capacitor)”라 함]를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지하는데, 전압 유지 능력을 강화하기 위하여 액정 축전기와 병렬로 연결된 다른 축전기를 두며 이를 유지 축전기(storage electrode)라 한다. 유지 축전기는 화소 전극(190)과 유지 전극선(131a, 131b)의 중첩 등으로 만들어지며, 유지 축전기의 정전 용량, 즉 유지 용량을 늘리기 위하여, 유지 전극선(131a, 131b)에 유지 전극(137a, 137b)을 두고 화소 전극(190)에 연결된 드레인 전극(175)을 연장 및 확장시켜 중첩시킴으로써 단자 사이의 거리를 가깝게 하고 중첩 면적을 크게 한다.

제1 내지 제3 화소 전극(190a, 190b, 190c)은 데이터선(171)과 게이트선(121)으로 둘러싸인 영역 내에 거의 존재하고 경계의 대부분이 게이트선(121) 및 데이터선(171)과 평행하여 직사각형을 이룬다. 제1 내지 제3 화소 전극(190a, 190b, 190c)은 서로 분리되어 있는데, 제1 및 제2 화소 전극(190a, 190b)은 서로 분리되어 있으며 제3 화소 전극(190c)을 중심으로 상부 및 하부에 위치하는 두 부분으로 이루어져 있으며, 제3 화소 전극(190c)은 제1 화소 전극(190a)과 제2 화소 전극(190b) 사이에 끼인 형태이다. 제1 및 제2 화소 전극(190a, 190b)과 제3 화소 전극(190c)은 서로 마주하며 게이트선(121)에 대하여 $\pm 45^\circ$ 기울어진 변을 가지고 있어 서로 이웃하는 게이트선(121) 사이의 중심선에 대하여 대칭 구조를 가진다.

제1 및 제2 화소 전극(190a, 190b)은 각각 접촉 구멍(185a, 185b)을 통하여 한 쌍의 드레인 전극(177a, 177b)과 물리적으로 연결되어 이로부터 직접 데이터 전압을 인가 받는다. 제3 화소 전극(190c)은 접촉 구멍(186)을 통하여 용량성 보조 전극(136)과 연결되어 있는데, 용량성 보조 전극(136)은 드레인 전극(175)과 연결된 용량성 결합 전극(176)과 중첩한다. 따라서, 제3 화소 전극(190c)은 제1 화소 및 제2 전극(190a, 190b)에 전자기적으로 결합(용량성)되어 있다.

각 화소 전극(190)은 모퉁이에서 모퉁이되어 있으며, 모퉁이된 빗변은 게이트선(121)에 대하여 약 45도의 각도를 이룬다.

화소 전극(190)은 중앙 절개부(91, 92), 하부 절개부(93a, 94a, 95a) 및 상부 절개부(93b, 94b, 95b)를 가지며, 화소 전극(190)은 이들 절개부(91-95b)에 의하여 복수의 영역으로 분할된다. 절개부(91-95b)는 용량성 결합 전극(176)의 가로 중심선 또는 서로 이웃하는 게이트선(121) 사이의 중심선에 대하여 거의 대칭 구조를 이루고 있으며, 제1 및 제2 화소 전극(190a, 190b)의 두 부분과 제3 화소 전극(190c)은 마주하는 두 절개부(93a, 93b)를 통하여 분리되어 있다.

하부 및 상부 절개부(93a-95a, 93b-95b)는 대략 화소 전극(190)의 왼쪽 변에서부터 오른쪽 변으로 비스듬하게 뻗어 있으며, 화소 전극(190)을 가로 방향으로 이등분하는 중심선으로 나누는 하반면과 상반면에 각각 위치하고 있다. 하부 및 상부 절개부(93a-95a, 93b-95b)는 게이트선(121)에 대하여 약 45도의 각도를 이루며 서로 수직하게 뻗어 있으며, 중앙 절개부(91, 92)는 하부 절개부(93a-95a)와 상부 절개부(93b-95b)에 각각 거의 평행한 한 쌍의 분지로 이루어져 있다. 중앙 절개부(91, 92)는 중앙에서 가로 방향으로 뻗은 가로부를 가진다.

따라서, 화소 전극(190)의 상반면과 하반면은 절개부(91, 92, 93a, 93b, 94a, 94b, 95a, 95b)에 의하여 각각 여섯 개의 영역으로 나누어지며, 이러한 영역들은 화소 전극(190)을 상하로 나누는 이등분선 또는 서로 이웃하는 게이트선(121) 사이의 중심선에 대하여 대칭 구조를 가진다. 또한, 드레인 전극(177a, 177b), 유지 전극선(131a, 131b), 용량성 결합 전극(176) 및 용량성 보조 전극(136) 등과 같은 박막으로 가지지 않는 영역도 화소 전극(190)을 상하로 나누는 이등분선 또는 서로 이웃하는 게이트선(121) 사이의 중심선에 대하여 대칭 구조를 가진다. 이 때, 영역의 수효 또는 절개부의 수효는 화소의 크기, 화소 전극의 가로변과 세로 변의 길이 비, 액정층(3)의 종류나 특성 등 설계 요소에 따라서 달라진다.

화소 전극(190)은 또한 이웃하는 게이트선(121) 또는 데이터선(171)과 중첩되어 개구율(aperture ratio)을 높이고 있다.

접촉 보조 부재(81, 82)는 접촉 구멍(181, 182)을 통하여 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 각각 연결된다. 접촉 보조 부재(81, 82)는 게이트선(121)의 노출된 끝 부분(129) 및 데이터선(171)의 노출된 끝 부분(179)과 외부 장치와의 접촉성을 보완하고 이들을 보호하는 역할을 한다. 접촉 보조 부재(81, 82)는 이방성 도전막(도시하지 않음) 등을 통하여 외부 장치와 연결된다.

게이트 구동 회로가 박막 트랜지스터 표시판(100)에 집적되는 경우에는 접촉 보조 부재(81)는 게이트 구동 회로의 금속층과 게이트선(121)을 연결하는 역할을 할 수 있다. 마찬가지로 데이터 구동 회로가 박막 트랜지스터 표시판(100)에 집적되는 경우에 접촉 보조 부재(82)는 데이터 구동 회로의 금속층과 데이터선(171)을 연결하는 역할을 할 수 있다.

차폐 전극(88)은 데이터선(171) 및 게이트선(121)을 따라 뻗어 있으며 데이터선(171) 상부에 위치하는 부분은 데이터선(171)을 완전히 덮으며, 게이트선(121) 상부에 위치하는 부분은 게이트선(121)의 폭보다 작은 폭을 가지며 게이트선(121)의 경계선 안에 위치한다. 그러나 그 너비를 조절하여 데이터선(171)보다 작을 수도 있으며, 게이트선(121)의 경계선 밖에 위치하는 경계선을 가질 수 있다. 차폐 전극(88)에는 공통 전압이 인가되는데, 이를 위하여 보호막(180) 및 게이트 절연막(140)의 접촉 구멍(도시하지 않음)을 통하여 유지 전극선(131)에 연결되거나, 공통 전압을 박막 트랜지스터 표시판(100)에서 공통 전극 표시판(200)으로 전달하는 단락점(short point)(도시하지 않음)에 연결될 수도 있다. 이때, 개구율 감소가 최소가 되도록 차폐 전극(88)과 화소 전극(190) 사이의 거리를 최소로 하는 것이 바람직하다.

이와 같이 공통 전압이 인가되는 차폐 전극(88)을 데이터선(171) 상부에 배치하면 차폐 전극(88)이 데이터선(171)과 화소 전극(190) 사이 및 데이터선(171)과 공통 전극(270) 사이에서 형성되는 전계를 차단하여 화소 전극(190)의 전압 왜곡 및 데이터선(171)이 전달하는 데이터 전압의 신호 지연이 줄어든다.

또한, 화소 전극(190)과 차폐 전극(88)의 단락을 방지하기 위하여 이들 사이에 거리를 두어야 하므로, 화소 전극(190)이 데이터선(171)으로부터 더 멀어져 이들 사이의 기생 용량이 줄어든다. 더욱이, 액정층(3)의 유전율(permittivity)이 보호막(180)의 유전율보다 높기 때문에, 데이터선(171)과 차폐 전극(88) 사이의 기생 용량이 차폐 전극(88)이 없을 때 데이터선(171)과 공통 전극(270) 사이의 기생 용량에 비하여 작다.

뿐만 아니라, 화소 전극(190)과 차폐 전극(88)이 동일한 층으로 만들어지기 때문에 이들 사이의 거리가 일정하게 유지되며 이에 따라 이들 사이의 기생 용량이 일정하다.

다음, 도 2 내지 도 4를 참고로 하여, 공통 전극 표시판(200)에 대하여 설명한다.

투명한 유리 등으로 이루어진 절연 기판(210) 위에 차광 부재(220)가 형성되어 있으며, 차광 부재(220)는 화소 전극(190)과 마주보며 화소 전극(190)과 거의 동일한 모양을 가지는 복수의 개구부를 가지고 있다. 이와는 달리 차광 부재(220)는 데이터선(171)에 대응하는 부분과 박막 트랜지스터에 대응하는 부분으로 이루어질 수도 있다.

기판(210) 위에는 또한 복수의 색필터(230)가 형성되어 있으며 차광 부재(230)로 둘러싸인 영역 내에 대부분 위치한다. 색필터(230)는 화소 전극(190)을 따라서 세로 방향으로 길게 뻗을 수 있다. 색필터(230)는 적색, 녹색 및 청색 등의 원색 중 하나를 표시할 수 있다.

색필터(230)의 위에는 덮개막(250)이 형성되어 있다.

덮개막(250)의 위에는 ITO, IZO 등의 투명한 도전체 따위로 이루어진 공통 전극(270)이 형성되어 있다.

공통 전극(270)은 복수 벌의 절개부(71-76b) 집합을 가진다.

한 벌의 절개부(71-76b)는 하나의 화소 전극(190)과 마주 보며 중앙 절개부(71, 72, 73), 하부 절개부(74a, 75a, 76a) 및 상부 절개부(74b, 75b, 76b)를 포함한다. 절개부(71-76b) 각각은 인접한 화소 전극(190)의 절개부(91-95b) 사이 또는 가장자리 절개부(95a, 95b)와 화소 전극(190)의 빗변 사이에 배치되어 있다. 또한, 각 절개부(71-76b)는 화소 전극(190)의 절개부(91-95b)와 평행하게 뻗은 적어도 하나의 사선부를 포함한다.

하부 및 상부 절개부(74a-76a, 74b-76b) 각각은 대략 화소 전극(190)의 오른쪽 변에서 아래쪽 또는 위쪽 변을 향하여 뻗은 사선부, 그리고 사선부의 각 끝에서부터 화소 전극(190)의 변을 따라 변과 중첩하면서 뻗으며 사선부와 둔각을 이루는 가로부 및 세로부를 포함한다.

중앙 절개부(71, 72, 73)는 대략 화소 전극(190)의 왼쪽 변에서부터 가로부로 뻗은 중앙 가로부, 이 중앙 가로부의 끝에서 중앙 가로부와 빗각을 이루며 화소 전극(190)의 왼쪽 변을 향하여 뻗은 한 쌍의 사선부, 그리고 사선부의 각 끝에서부터 화소 전극(190)의 왼쪽 변을 따라 왼쪽 변과 중첩하면서 뻗으며 사선부와 둔각을 이루는 중단 세로부를 포함한다.

절개부(71-76b)의 수효는 설계 요소에 따라 달라질 수 있으며, 차광 부재(220)가 절개부(71-76b)와 중첩하여 절개부(71-76b) 부근의 빛샘을 차단할 수 있다.

표시판(100, 200)의 안쪽 면에는 수직 배향막(11, 21)이 각각 도포되어 있고, 바깥쪽 면에는 편광판(12, 22)이 구비되어 있다.

두 편광판(12, 22)의 투과축은 직교하며 이중 한 투과축은 게이트선(121)에 대하여 나란하다. 반사형 액정 표시 장치의 경우에는 두 개의 편광판(12, 22) 중 하나가 생략될 수 있다.

액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자(310)는 전계가 없는 상태에서 그 장축이 두 표시판의 표면에 대하여 수직을 이루도록 배향되어 있다. 따라서 입사광은 직교 편광자(12, 22)를 통과하지 못하고 차단된다.

표시판(100, 200)과 편광자(12, 22)의 사이에는 각각 액정층(3)의 지연값을 보상하기 위한 위상 지연 필름(retardation film)이 깔 수 있다. 위상 지연 필름은 복굴절성(birefringence)을 가지며 액정층(3)의 복굴절성을 역으로 보상하는 역할을 한다. 지연 필름으로는 일축성 또는 이축성 광학 필름을 사용할 수 있으며, 특히 음성(negative) 일축성 광학 필름을 사용할 수 있다.

액정 표시 장치는 또한 편광자(12, 22), 위상 지연 필름, 표시판(100, 200) 및 액정층(3)에 빛을 공급하는 조명부(backlight unit)를 포함할 수 있다.

또한 공통 전극(270)과 차폐 전극(88)에 동일한 공통 전압이 인가되므로 둘 사이에는 전계가 거의 없다. 따라서 공통 전극(270)과 차폐 전극(88) 사이에 위치한 액정 분자들(310)은 초기 수직 배향 상태를 그대로 유지하므로 이 부분에 입사된 빛은 투과되지 못하고 차단된다.

한편, 액정 분자(310)들의 경사 방향과 편광자(12, 22)의 투과축이 45도를 이루면 최고 휘도를 얻을 수 있는데, 본 실시예의 경우 모든 도메인에서 액정 분자(310)들의 경사 방향이 게이트선(121)과 45°의 각을 이루며 게이트선(121)은 표시판(100, 200)의 가장자리와 수직 또는 수평이다. 따라서 본 실시예의 경우 편광자(12, 22)의 투과축을 표시판(100, 200)의 가장자리에 대하여 수직 또는 평행이 되도록 부착하면 최고 휘도를 얻을 수 있을 뿐 아니라 편광자(12, 22)를 저렴하게 제조할 수 있다.

공통 전극(270)에 공통 전압을 인가하고 화소 전극(190)에 데이터 전압을 인가하면 표시판의 표면에 거의 수직인 주 전계(primary electric field)가 생성된다. 액정 분자(310)들은 전계에 응답하여 그 장축이 전계의 방향에 수직을 이루도록 방향을 바꾸고자 한다. 한편, 공통 전극(270) 및 화소 전극(190)의 절개부(71-76b, 91-95b)와 화소 전극(190)의 변은 주 전계를 왜곡하여 액정 분자들의 경사 방향을 결정하는 수평 성분을 만들어낸다. 주 전계의 수평 성분은 절개부(71-75b, 91-96b)의 변과 화소 전극(190)의 변에 수직이다. 또한 절개부(71-76b, 91-95b)의 마주보는 두 변에서의 주 전계의 수평 성분은 서로 반대 방향이다.

이러한 전계를 통하여 절개부(71-76b, 91-95b)는 액정층(3)의 액정 분자가 기울어지는 방향을 제어한다. 인접하는 절개부(71-76b, 91-95b)에 의하여 정의되거나 절개부(76a, 76b)와 화소 전극(190)의 오른쪽 빗변에 의하여 정의되는 각 도메인 내에 있는 액정 분자는 절개부(71-76b, 91-95b)의 길이 방향에 대하여 수직을 이루는 방향으로 기울어진다. 각 도메인의 가장 긴 변 2개는 거의 나란하고 게이트선(121)과 약 ± 45 도를 이루며, 도메인 내에서 액정 분자 대부분은 4방향으로 기울어진다.

절개부(71-76b, 91-95b)의 너비는 약 $9\mu\text{m}$ 내지 약 $12\mu\text{m}$ 인 것이 바람직하다.

적어도 하나의 절개부(71-76b, 91-95b)는 돌기(protrusion)(도시하지 않음)나 함몰부(depression)(도시하지 않음)로 대체할 수 있다. 돌기는 유기물 또는 무기물로 만들어질 수 있고 전계 생성 전극(190, 270)의 위 또는 아래에 배치될 수 있으며 그 너비는 약 $5\mu\text{m}$ 내지 약 $10\mu\text{m}$ 인 것이 바람직하다.

화소 전극(190) 절개부(91-95b)의 경계에서 이와 인접한 절개부(71-76b)의 경계까지의 간격과 화소 전극(190)의 경계에서 이와 인접한 공통 전극(270) 절개부(76a, 76b)의 경계까지의 간격은 약 $12\mu\text{m}$ 내지 약 $20\mu\text{m}$ 인 것이 바람직하며, 약 $17\mu\text{m}$ 에서 약 $19\mu\text{m}$ 범위인 것이 더욱 바람직하다. 이와 같은 범위로 간격을 정하였더니 개구율은 감소하였지만 액정의 응답 속도가 빨라져 필요한 투과율을 확보할 수 있었다.

그러면 도 1 내지 도 4에 도시한 액정 표시 장치용 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법에 대하여 도 5 내지 도 12와 도 1, 도 3 및 도 4를 참고로 하여 상세하게 설명한다.

도 5, 도 7, 도 9 및 도 11은 도 1 및 도 3과 도 4에 도시한 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법의 중간 단계에서의 박막 트랜지스터 표시판의 배치도로서 그 순서에 따라 나열한 것이고, 도 6, 도 8, 도 10a 내지 도 10c, 도 12는 각각 도 5, 도 7, 도 9 및 도 11에 도시한 박막 트랜지스터 표시판을 VI-VI', VIII-VIII', X-X' 및 XII-XII' 선을 따라 잘라 도시한 단면도이다.

먼저, 도 5 및 도 6을 참조하면, 크롬, 몰리브덴 또는 몰리브덴 합금, 알루미늄 계열 금속 또는 은 계열 금속 등으로 이루어진 도전막을 절연 기판(110) 위에 스퍼터링 증착하고 습식 또는 건식 식각하여 복수의 게이트 전극(124) 및 끝 부분(129)을 포함하는 게이트선(121)과 복수의 유지 전극(137a, 137b)을 포함하는 한 쌍의 유지 전극선(131a, 131b)과 용량성 보조 전극(136)을 형성한다.

이어, 도 7 및 도 8에 도시한 것처럼, 약 1,500-5,000Å 두께의 게이트 절연막(140), 약 500-2,000Å 두께의 진성 비정질 규소층(intrinsic amorphous silicon), 약 300-600Å 두께의 불순물 비정질 규소층(extrinsic amorphous silicon)의 삼층막을 연속하여 적층하고, 불순물 비정질 규소층과 진성 비정질 규소층을 사진식각하여 게이트 절연막(140) 위에 복수의 섬형 불순물 반도체(164)와 복수의 섬형 진성 반도체(154)를 형성한다.

다음으로, 도 9 내지 도 10c에 도시한 것처럼, 몰리브덴 또는 몰리브덴 합금의 하부 금속막(170p)과 알루미늄 또는 알루미늄 합금의 중간 금속막(170q), 그리고 몰리브덴 또는 몰리브덴 합금의 상부 금속막(170r)을 스퍼터링 등으로 연속하여 적층한 다음, 감광막을 도포하고 그 위에 광 마스크(40)를 정렬한다.

광 마스크(40)는 투과 영역(D), 차광 영역(E) 및 슬릿형 반투과 영역(F)을 포함한다.

이러한 광마스크(40)를 통하여 감광막에 빛을 조사한 후 현상하면 도 8a에 도시한 바와 같이, 두께가 두꺼운 제1 부분(52)과 얇은 제2 부분(54)이 남는다. 제2 부분(54)은 도시한 것처럼 경사가 작으면서 부드러운 프로파일을 가지고 끝 부분으로 갈수록 얇아진다. 이러한 제2 부분(54)은 박막 트랜지스터의 채널이 형성되는 부분, 즉 소스 전극과 드레인 전극 사이의 가장자리를 따라 형성되는 것이 바람직하다.

이어 도 10b에 도시한 것처럼 감광막(52, 54)을 마스크로 하여 상부, 중간 및 하부 금속막(170r, 170q, 170p)을 식각하여 소스 전극(173), 드레인 전극(175), 용량성 결합 전극(176), 데이터선(171) 및 데이터선의 끝부분(179)의 상부막(173r, 175r, 171r, 176r, 179r), 중간막(173q, 175q, 171q, 176q, 179q) 및 하부막(173p, 175p, 171p, 176p, 179p)을 형성하는 한편, 용량성 결합 전극(176)에 위치하는 개구부(76)를 형성한다.

이어, 건식 식각으로 불순물 반도체(164)를 식각하여 섬형 저항성 접촉 부재(163, 165)를 완성하는 한편 그 아래의 진성 반도체(154)를 드러낸다. 이때, 두께가 얇은 제2 부분(54)도 식각되어 도 10c에 도시한 바와 같이 제1 부분(52)만 남게 되면서 하부막(173p, 175p)의 바깥으로 저항성 접촉 부재(163, 165)가 노출되지 않는다. 따라서, 박막 트랜지스터가 턴오프 되었을 때 발생하는 누설 전류를 억제할 수 있어 화면상의 얼룩 불량을 해결할 수 있다.

또한, 저항성 접촉 부재(163, 165)의 노출된 부분을 제거하기 위한 별도의 산소 플라즈마를 이용한 애싱 공정을 행하지 않으므로 공정 시간을 단축시킬 수 있다.

한편, 본 발명의 다른 실시예에 따르면 반투과 영역(F)을 제외한 투과 영역(D)과 차광 영역(E)을 갖는 마스크를 사용하고, 감광막은 고감도 감광막을 사용하여 불순물 반도체(164)를 식각할 수 있다. 그러면, 감광막을 노광할 때 빛의 회절로 인하여 차광 영역(E)의 안쪽으로 빛이 도달하게 되고, 빛이 도달한 부분에서 부드러운 프로파일을 갖는 감광막을 형성할 수 있다. 따라서, 반투과 영역을 갖는 마스크를 사용하여 통상의 감광막 패턴을 형성하는 것과 동일한 효과를 얻을 수 있다.

다음으로, 도 11 및 도 12에 도시한 것처럼 보호막(180)을 적층하고 사진 식각 공정으로 게이트 절연막(140)과 함께 건식 식각하여 데이터선(171)의 끝 부분(179)과 드레인 전극(175)의 일부를 노출시키는 복수의 접촉 구멍(182, 185a, 185b)을 형성하고, 용량성 결합 전극(176)의 개구부(76) 내의 용량성 보조 전극(136) 및 게이트선(121)의 끝 부분(129) 위에 위치한 게이트 절연막(140)의 부분을 노출시키는 복수의 접촉 구멍(186, 181)을 형성한다.

마지막으로, 도 1, 도 3 및 도 4에 도시한 것처럼 약 400-500Å 두께의 IZO막 또는 ITO막을 스퍼터링으로 적층하고 사진 식각하여 보호막(180)과 드레인 전극(175), 용량성 보조 전극(136), 데이터선(171)의 끝 부분(179) 및 게이트선(121)의 끝 부분(129)의 노출된 부분 위에 복수의 화소 전극(190), 복수의 접촉 보조 부재(81, 82) 및 복수의 차폐 전극(88)을 형성한다.

발명의 효과

이와 같이, 박막 트랜지스터의 채널이 형성되는 부분에는 두께가 얇은 감광막을 형성하여 불순물 반도체를 식각함으로써, 소스 및 드레인 전극의 하부막에서 불순물 반도체가 노출되는 것을 방지할 수 있다. 이로 인해 누설 전류의 발생을 억제하는 것은 물론, 노출된 반도체를 제거하기 위한 별도의 공정을 행하지 않아도 되므로 공정 시간을 단축시킬 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

(57) 청구의 범위

청구항 1.

게이트선을 형성하는 단계,

상기 게이트선 위에 게이트 절연막과 반도체층을 형성하는 단계,

제1 내지 제3 도전막을 적층하는 단계,

상기 제3 도전막 위에 제1 부분과 상기 제1 부분보다 두께가 얇은 제2 부분을 포함하는 감광막을 형성하는 단계,

상기 감광막을 마스크로 하여 상기 제3 내지 제1 도전막을 차례로 식각하여 소스 전극 및 드레인 전극을 형성하는 단계,

상기 감광막의 제2 부분과 함께 상기 반도체층을 식각하여 저항성 접촉 부재를 형성하는 단계, 그리고

상기 감광막의 제1 부분을 제거하는 단계

를 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 2.

제1항에서,

상기 감광막의 제2 부분의 형성은 투과 영역을 갖는 마스크를 사용하여 이루어지는 박막 트랜지스터 표시판의 제조 방법.

청구항 3.

제1항에서,

상기 감광막의 제2 부분의 형성은 고감도 감광막을 사용하여 이루어지는 박막 트랜지스터 표시판의 제조 방법.

청구항 4.

제2항 또는 제3항에서,

상기 소스 및 드레인 전극의 경계선과 상기 저항성 접촉 부재의 경계선이 일치하는 박막 트랜지스터 표시판의 제조 방법.

청구항 5.

제4항에서,

상기 제3 내지 제1 도전막의 식각은 습식 식각인 박막 트랜지스터 표시판의 제조 방법.

청구항 6.

제5항에서,

상기 반도체층의 식각은 건식 식각인 박막 트랜지스터 표시판의 제조 방법.

청구항 7.

제1항에서,

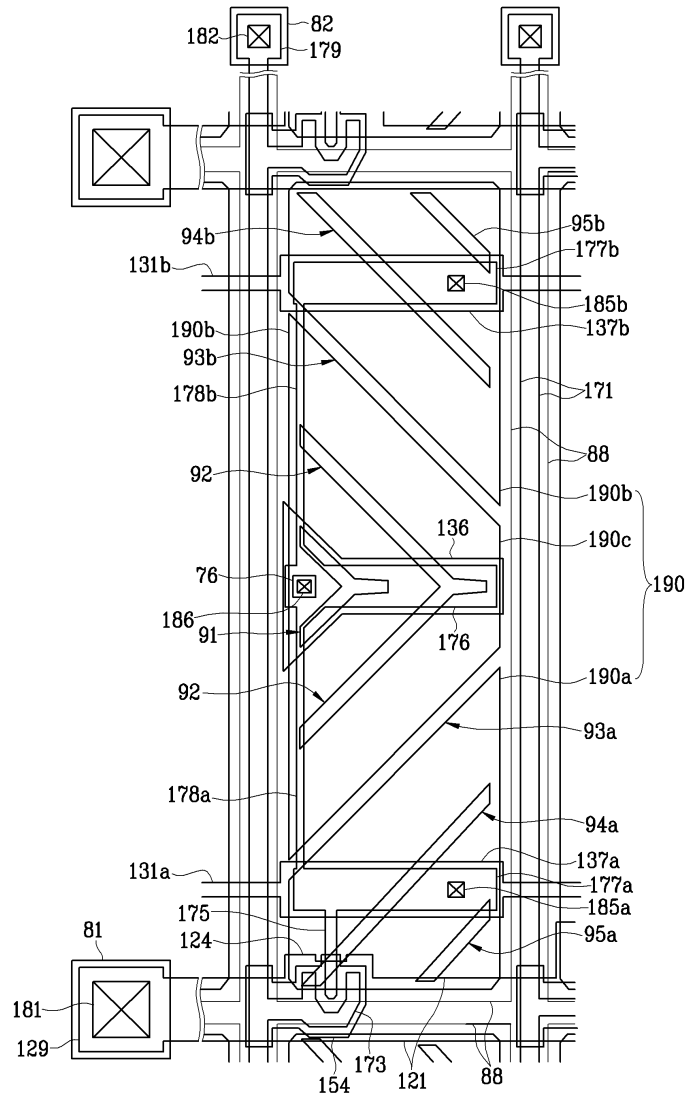
보호막을 형성하는 단계, 그리고

상기 보호막 위에 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계

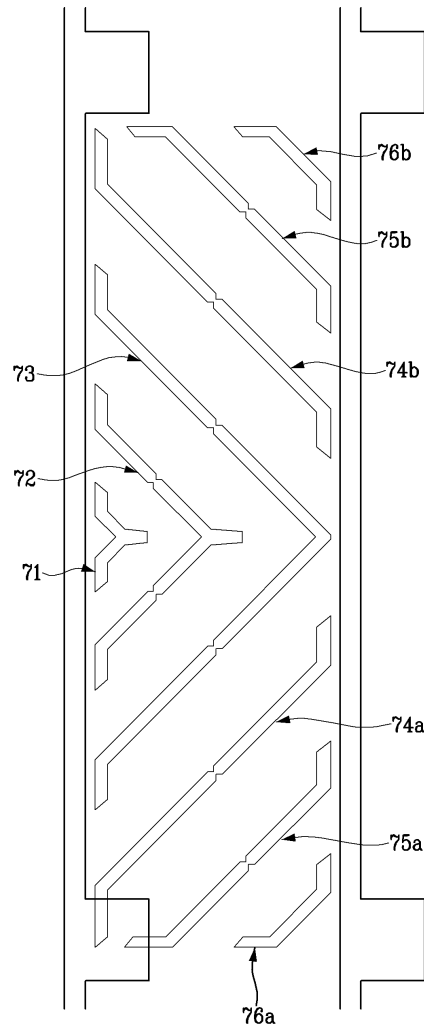
를 더 포함하는 박막 트랜지스터 표시판의 제조 방법.

도면

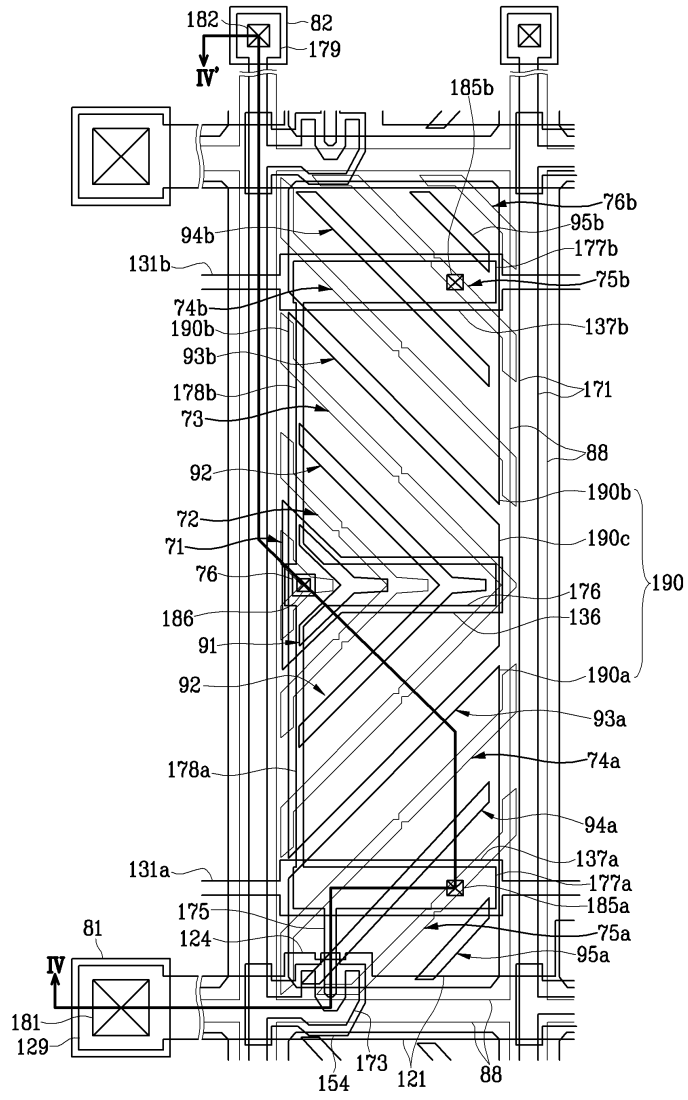
도면1



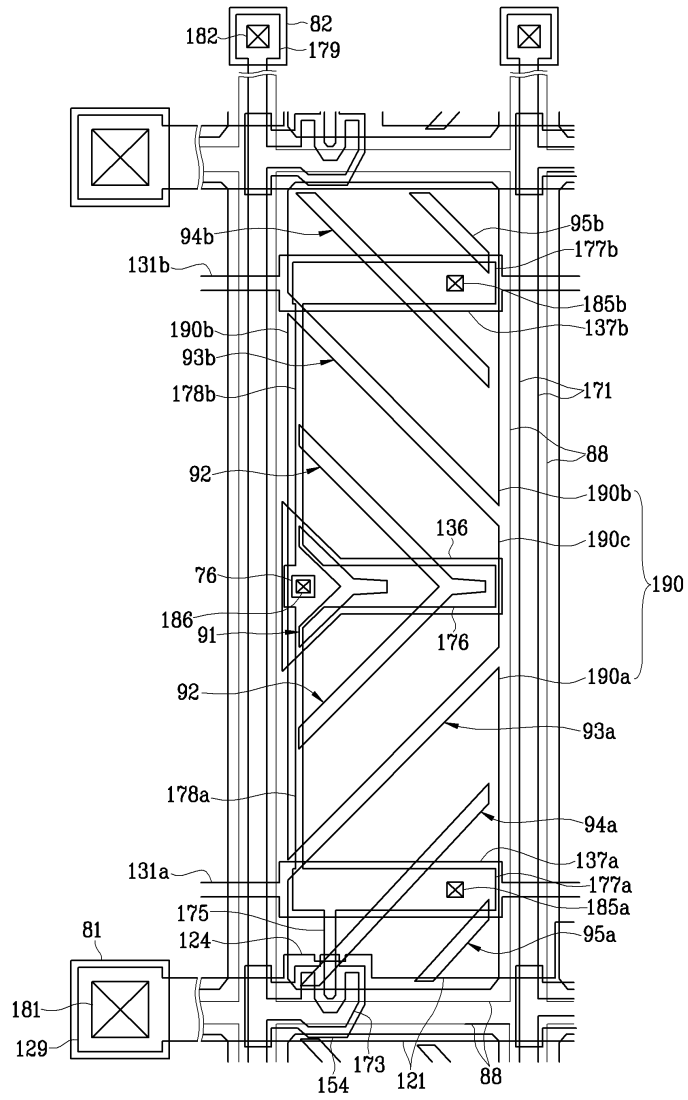
도면2



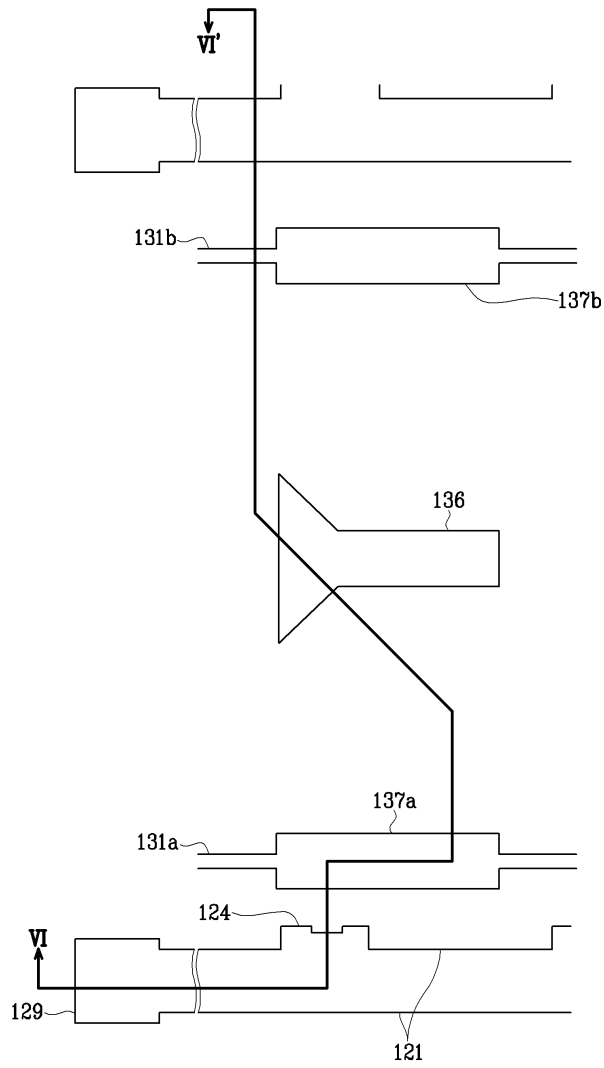
도면3



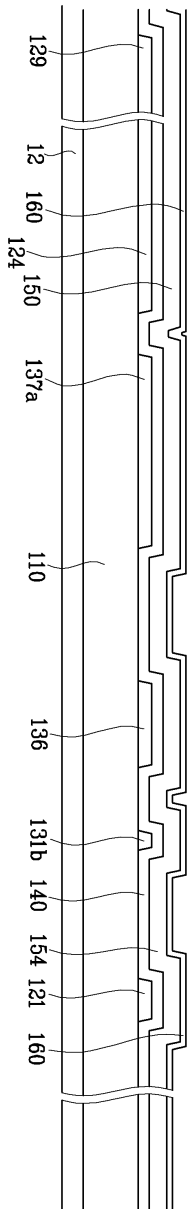
도면4



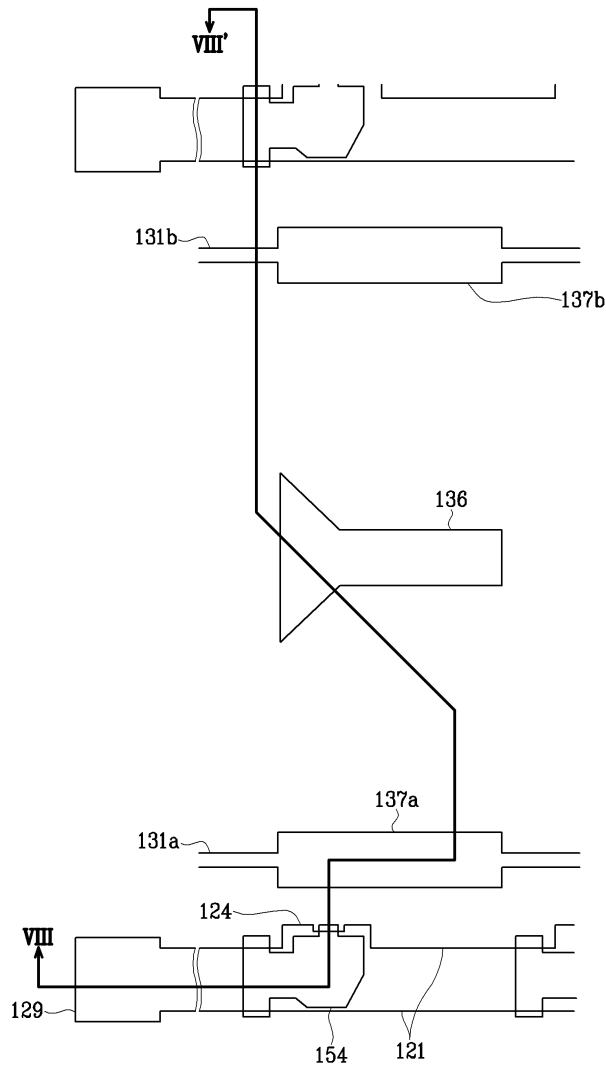
도면5



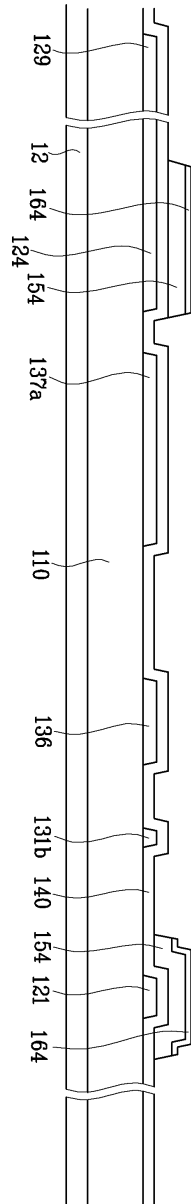
도면6



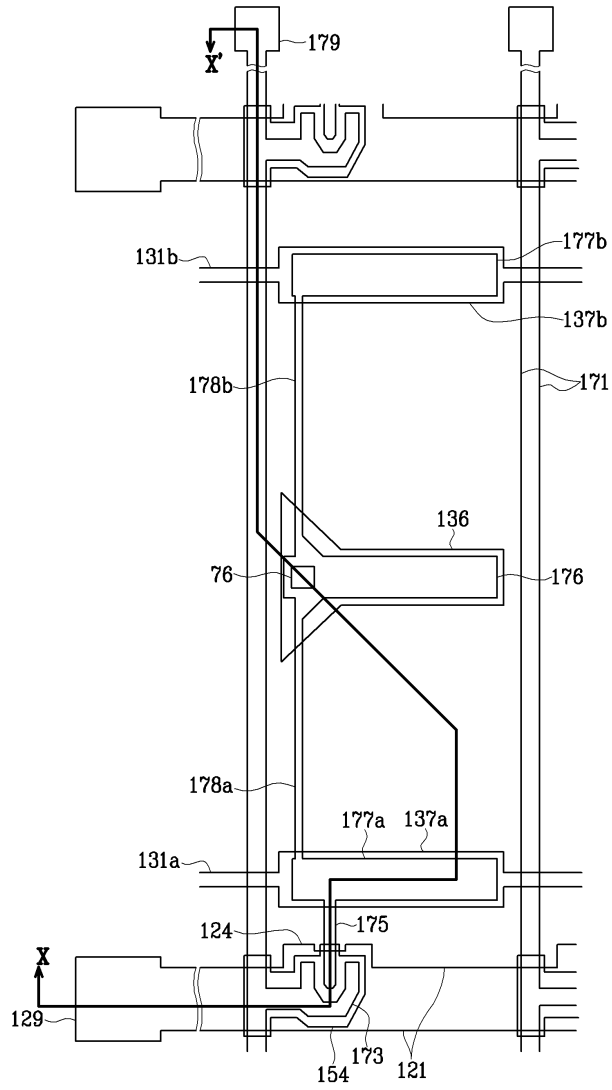
도면7



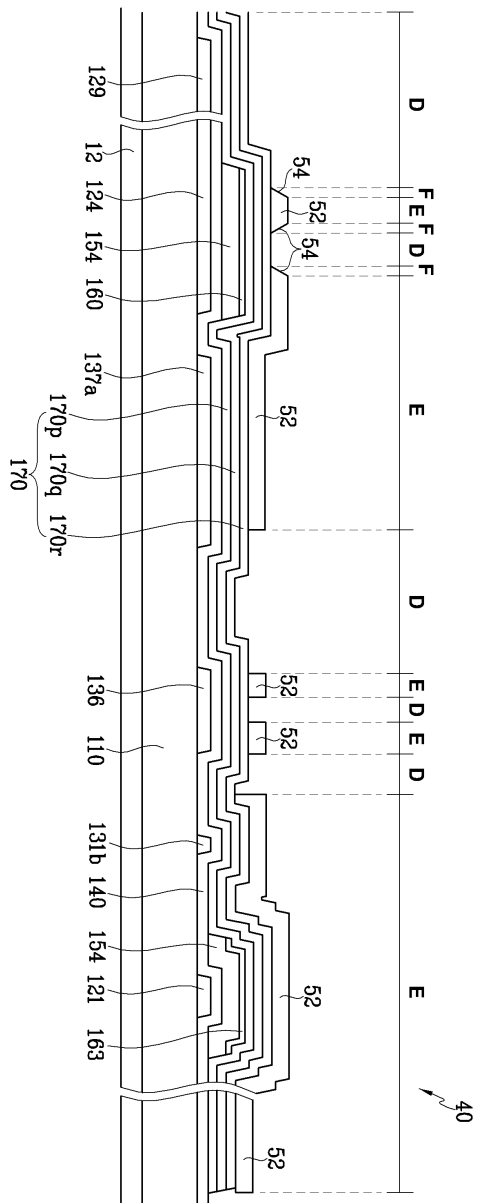
도면8



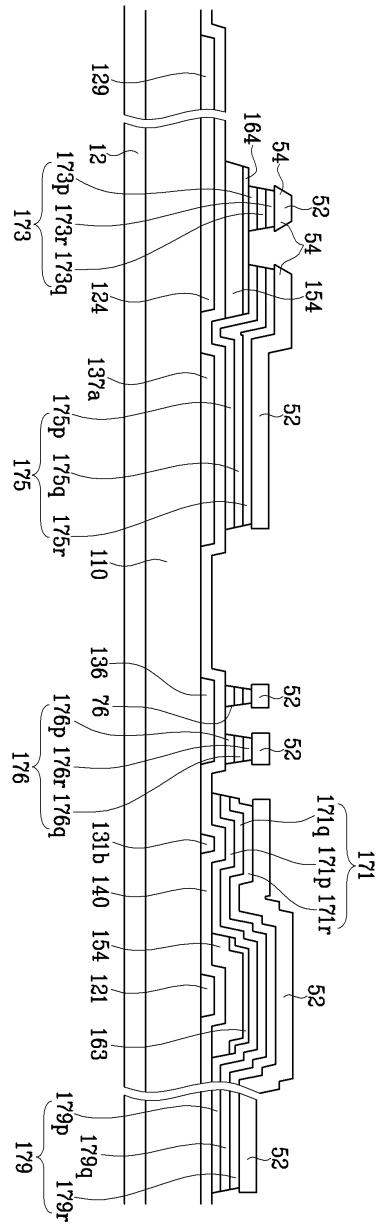
도면9



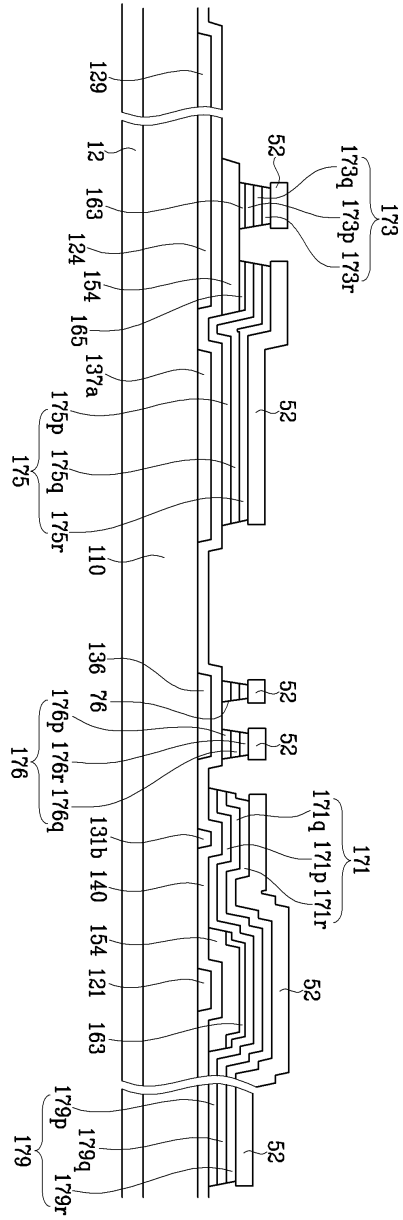
도면10a



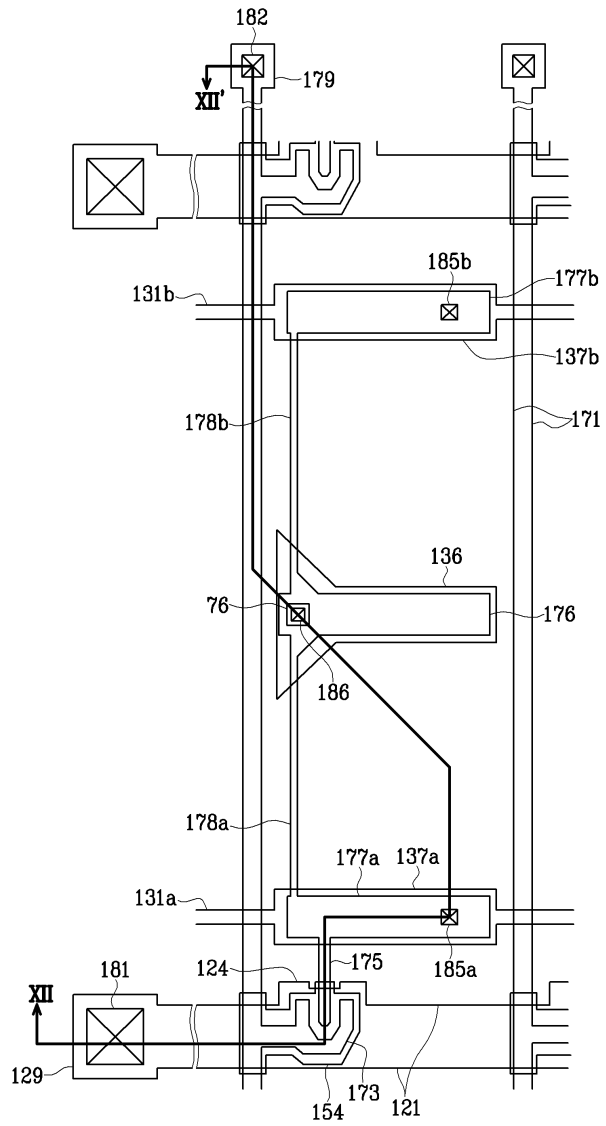
도면10b



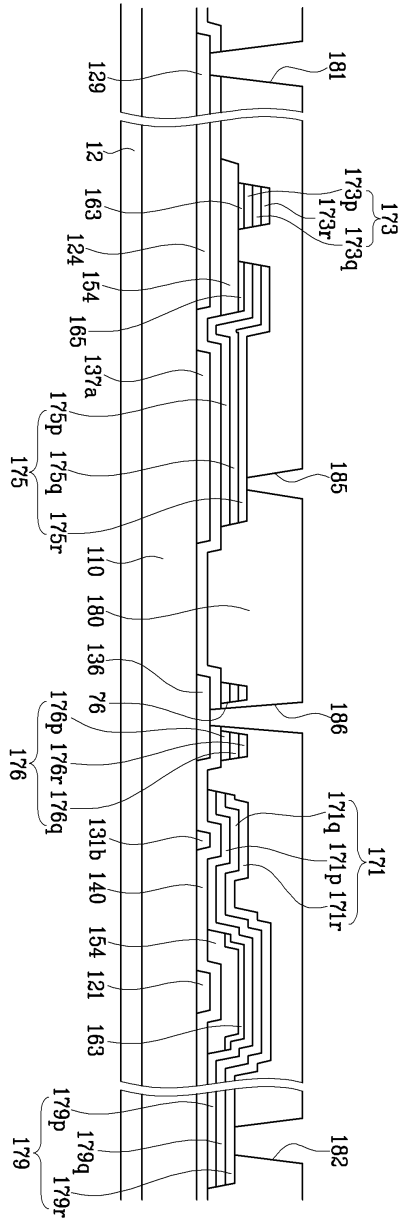
도면10c



도면11



도면12



专利名称(译)	薄膜晶体管面板的制造方法		
公开(公告)号	KR1020060060338A	公开(公告)日	2006-06-05
申请号	KR1020040099385	申请日	2004-11-30
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	PARK JUNGJOON		
发明人	PARK,JUNGJOON		
IPC分类号	G02F1/1343		
CPC分类号	H01L27/1288 G02F1/1368 H01L29/66765		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的薄膜晶体管基板制造方法包括形成栅极线的步骤，在栅极线和半导体层上形成栅极绝缘层的步骤，以及层叠的步骤首先通过第三导电膜，并且第三导电膜上的第一部分的厚度和第一部分所形成的光敏膜形成成为薄的第二部分，以及通过蚀刻形成源的步骤形成欧姆接触层的步骤电极和漏电极的光敏膜是通过第一导电膜和掩模和第三导电膜依次被蚀刻，而第二部分的光敏膜和上面的半导体层和步骤去除第一部分的光敏膜。这样，通过废除杂质半导体的突出部分，减小了漏电流并改善了薄膜晶体管的特性。可以省略用于去除突出部分的单独过程，并且可以缩短整个过程时间。液晶显示器，透反射，高灵敏度，光敏膜，蚀刻，突出部分，漏电流。

