

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0054811
G09G 3/36 (2006.01) (43) 공개일자 2006년05월23일

(21) 출원번호 10-2004-0093637
(22) 출원일자 2004년11월16일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 주승용
경기도 성남시 분당구 구미동 무지개마을주공4단지아파트 404동 1303호
김일곤
서울특별시 영등포구 신길7동 삼환아파트 101동 1106호
문국철
경기도 용인시 신봉동 현대아파트 404동 301호
맹호석
서울특별시 서초구 방배4동 방배현대아파트 106동 1802호

(74) 대리인 박영우

심사청구 : 없음

(54) 표시장치용 구동칩과, 이를 갖는 표시장치

요약

제작 효율이 극대화된 표시장치용 구동칩과, 이를 갖는 표시장치가 개시된다. 구동칩은 PCB와 전기적으로 연결되는 FPCB에 탑재되며, 상대적으로 낮은 전압과 상대적으로 높은 주파수에 의해 동작되는 제1 회로부를 탑재한다. 표시패널은 표시 영역에 형성된 복수의 표시소자들과, 주변 영역에 형성되어 상대적으로 높은 전압과 상대적으로 낮은 주파수에 의해 동작되어 표시소자들을 구동하는 제2 회로부를 구비한다. 이에 따라, 표시패널에는 상대적으로 높은 전압과 상대적으로 낮은 주파수에 의해 동작되는 회로들을 탑재하고, 별도의 구동칩에는 상대적으로 낮은 전압과 상대적으로 높은 주파수에 의해 동작되는 회로들을 탑재하므로써, IC 제작 효율을 극대화할 수 있다.

대표도

도 3

색인어

액정, 전압, 주파수, 폴리 실리콘, 집적, IC, 구동칩

명세서

도면의 간단한 설명

- 도 1은 일반적인 poly-Si TFT LCD의 TFT 기관의 구성을 나타낸 개략도이다.
- 도 2는 일반적인 a-Si TFT LCD의 TFT 기관의 구성을 나타낸 개략도이다.
- 도 3은 본 발명의 실시예에 따른 액정표시장치의 블록도이다.
- 도 4는 도 3에 도시된 액정표시장치의 구동 장치의 개략적인 블록도이다.
- 도 5a 및 도 5b는 본 발명의 일 실시예에 따른 액정표시장치의 구동 장치의 블록도이다.
- 도 6은 도 5a에 도시된 그래픽 컨트롤러 IC를 설명하는 블록도이다.
- 도 7a 내지 도 7c는 도 5a에 도시된 제1 시리얼 인터페이싱부와 제2 시리얼 인터페이싱부를 설명하기 위한 도면들이다.
- 도 8은 도 5a 및 도 5b에 도시된 구동 장치와 액정표시패널의 동작을 설명하는 블록도이다.
- 도 9는 도 8에 도시된 레벨 쉬프터를 설명하는 블록도이다.
- 도 10은 도 9에 도시된 레벨 쉬프트의 입출력 파형도이다.
- 도 11은 도 8에 도시된 게이트 드라이버부의 로직도이다.
- 도 12는 도 11에 도시된 폴리-실리콘 3-상태 인버터의 회로도이다.
- 도 13은 도 8에 도시된 데이터 드라이버부의 로직도이다.
- 도 14는 본 발명의 다른 실시예에 따른 액정표시장치의 구동 장치의 블록도이다.
- 도 15는 도 14에 도시된 게이트 드라이버부의 블록도이다.
- 도 16은 도 14에 도시된 소스 드라이버부의 블록도이다.

<도면의 주요부분에 대한 부호의 설명>

- 100, 600 : 베이스 밴드 IC 110, 610 : CPU
- 120 : 그래픽 컨트롤러 IC 200, 700 : 저전압/고주파 회로부
- 230, 720 : 타이밍 발생부 240, 730 : MPEG-4 코덱부
- 250, 740 : 메모리 300, 800 : 고전압/저주파 회로부
- 310, 810 : DC/DC 컨버터 320, 820 : 소스 드라이버부
- 322 : 쉬프트 레지스터 324 : 홀딩부
- 326 : 샘플링부 330, 830 : 레벨 쉬프터
- 340 : RGB 선택부 400, 900 : 게이트 드라이버부
- 500 : 픽셀부 PCB : 인쇄회로기판
- FPC : 연성인쇄회로기판 PNL : 표시패널

130, 210, 620, 710 : 시리얼 인터페이싱부

140, 220, 260 : RGB 인터페이싱부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시장치용 구동칩과, 이를 갖는 표시장치에 관한 것으로, 보다 상세하게는 IC의 제작 효율을 극대화하기 위해 표시장치용 구동칩과, 이를 갖는 표시장치에 관한 것이다.

최근 들어, 정보 처리 기기는 다양한 형태, 다양한 기능, 더욱 빨라진 정보 처리 속도를 갖도록 급속하게 발전되고 있다. 이러한 정보처리 장치에서 처리된 정보는 전기적인 신호 형태를 갖는다. 사용자가 정보처리 장치에서 처리된 정보를 육안으로 확인하기 위해서는 인터페이스 역할을 하는 디스플레이 장치를 필요로 한다.

최근에 액정 표시 장치가 대표적인 CRT방식의 디스플레이 장치에 비하여, 경량, 소형이면서, 고해상도, 저전력 및 친환경적인 잇점을 가지며 풀 컬러화가 가능하여 차세대 디스플레이 장치로 부각되고 있다.

액정 표시 장치는 액정의 특정한 분자배열에 전압을 인가하여 다른 분자배열로 변환시키고, 이러한 분자 배열에 의해 발광하는 액정셀의 복굴절성, 선광성, 2색성 및 광산란특성 등의 광학적 성질의 변화를 시각 변화로 변환하는 것으로, 액정셀에 의한 빛의 변조를 이용한 디스플레이 장치이다.

액정 표시 장치는 크게 TN(Twisted Nematic) 방식과 STN(Super-Twisted Nematic)방식으로 나뉘고, 구동방식의 차이로 스위칭 소자 및 TN액정을 이용한 액티브 매트릭스(Active matrix) 표시 방식과 STN 액정을 이용한 패시브 매트릭스(passive matrix) 표시 방식이 있다.

이 두 방식의 큰 차이점은 액티브 매트릭스 표시 방식은 TFT-LCD에 사용되며, 이것은 TFT를 스위치로 이용하여 LCD를 구동하는 방식이며, 패시브 매트릭스 표시방식은 트랜지스터를 사용하지 않기 때문에 이와 관련한 복잡한 회로를 필요로 하지 않는다.

TFT-LCD는 어몰퍼스-실리콘(a-Si) TFT를 채용하는 LCD와, 폴리-실리콘(poly-Si) TFT를 채용하는 LCD로 구분된다. 상기 어몰퍼스-실리콘 TFT의 가동성(mobility)은 약 $0.5\text{cm}^2/\text{Vsec}$ 인 반면, 폴리-실리콘 TFT의 가동성은 $30\text{cm}^2/\text{Vsec}$ 이상이므로 poly-Si LCD는 MHz 단위 정도의 주파수를 갖는 신호로도 동작시킬 수 있다.

또한, 상기 폴리-실리콘 TFT는 고온 폴리-실리콘 공정에 의해 제조될 수 있다. 즉, 고온 폴리-실리콘 TFT는 1000°C 이상의 온도에서 수정 기판 상에 형성되고, 저온 폴리-실리콘 TFT는 650°C 이하의 저온 공정에 의해 유리 기판 상에 형성된다.

이처럼, poly-Si TFT LCD는 소비전력이 작고, 가격이 저렴하지만 a-Si TFT와 비교하여 TFT 제조 공정이 복잡한 단점이 있다. 그래서, poly-Si TFT LCD는 IMT-2000 폰의 디스플레이와 같이 소형 디스플레이 장치에 주로 적용된다.

a-Si TFT LCD는 대면적이 용이하고 수율이 높아서, 주로 노트북 PC, LCD 모니터, HDTV 등의 대화면 디스플레이 장치에 적용된다.

도 1은 일반적인 poly-Si TFT LCD의 TFT 기판의 구성을 나타낸 개략도이고, 도 2는 일반적인 a-Si TFT LCD의 TFT 기판의 구성을 나타낸 개략도이다.

도 1에 도시한 바와 같이, poly-Si TFT LCD는 픽셀 어레이가 형성된 유리기판(10) 상에 데이터 구동회로(12) 및 게이트 구동회로(14)를 형성하고, 단자부(16)와 통합 PCB(20)을 필름 케이블(18)로 연결한다. 이와 같은 구조는 제조 원가를 절감하고 구동회로의 일체화로 전력손실을 최소화할 수 있다.

그러나, 도 2에 도시한 바와 같이, a-Si TFT LCD는 연성 PCB(32) 상에 COF(CHIP ON FILM)방식으로 데이터 구동칩(34)을 형성하고, 연성 PCB(32)을 통하여 데이터 PCB(36)과 픽셀 어레이의 소스 라인 단자부를 연결한다. 또한, 연성 PCB(38) 상에 상기한 COF 방식으로 게이트 구동칩(40)을 형성하고, 연성 PCB(40)을 통하여 게이트 PCB(42)과 픽셀 어레이의 게이트 라인 단자부를 연결한다.

또한, 최근에는 게이트 전원 공급부를 데이터 PCB에 실장하는 통합 PCB 기술을 채용하여 게이트 PCB를 제거하는 기술이 소개되고 있다. 즉, a-Si TFT 액정표시장치에서 모듈공정 단순화를 위해 사용하던 소스 드라이버, DC/DC 컨버터, 게이트 드라이버 등을 하나의 칩으로 통합하는 기술이 진행되고 있다.

하지만 휴대폰에 채용되는 액정표시장치는 CPU 인터페이스(또는 시스템 인터페이스)가 주류를 이루고 있기 때문에 프레임 메모리도 함께 집적되어야 한다.

향후, 액정표시장치의 인터페이스의 연결 핀 수를 줄이기 위한 고속 시리얼 인터페이스, 멀티미디어를 위한 MPEG-4 기능, 3D 기능 등도 필요하다.

하지만, DC/DC 컨버터 및 게이트 드라이버 IC용 공정과, 메모리와 멀티미디어 기능 같은 디지털 회로용 공정이 서로 달라 IC 제작 효율(IC 사이즈, 비용)이 저감되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

이에 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 IC의 제작 효율을 극대화하기 위해 표시패널에 집적된 레벨 쉬프터에 비해 상대적으로 낮은 전압과, 상대적으로 높은 주파수로 동작되는 회로가 집적된 표시장치용 구동칩을 제공하는 것이다.

본 발명의 다른 목적은 상기한 표시장치용 구동칩을 갖는 표시장치를 제공하는 것이다.

발명의 구성 및 작용

상기한 본 발명의 목적을 실현하기 위하여 일실시예에 따른 표시장치용 구동칩은, PCB와 표시패널간에 전기적으로 연결된 FPCB에 탑재되는 표시장치용 구동칩에서, 시리얼 인터페이싱부, 타이밍 발생부 및 메모리를 포함한다. 상기 시리얼 인터페이싱부는 상기 PCB에서 제공되는 제1 영상 데이터를 제2 영상 데이터로 변환하여 출력한다. 상기 타이밍 발생부는 상기 PCB에서 제공되는 제1 제어 신호를 근거로 제2 제어신호를 출력한다. 상기 메모리는 상기 제2 영상 데이터를 저장하고, 상기 제2 제어 신호를 근거로 저장된 제2 영상 데이터를 상기 표시패널에 출력한다.

상기한 본 발명의 다른 목적을 실현하기 위하여 일실시예에 따른 표시장치는, PCB, 구동칩 및 표시패널을 포함한다. 상기 구동칩은 상기 PCB와 전기적으로 연결되는 FPCB에 탑재되며, 상대적으로 낮은 전압과 상대적으로 높은 주파수에 의해 동작되는 제1 회로부를 탑재한다. 상기 표시패널은 표시 영역에 형성된 복수의 표시소자들과, 주변 영역에 형성되어 상대적으로 높은 전압과 상대적으로 낮은 주파수에 의해 동작되어 상기 표시소자들을 구동하는 제2 회로부를 구비한다.

이러한 표시장치용 구동칩과, 이를 갖는 표시장치에 의하면, 표시패널에는 상대적으로 높은 전압과 상대적으로 낮은 주파수에 의해 동작되는 회로들을 탑재하고, 별도의 구동칩에는 상대적으로 낮은 전압과 상대적으로 높은 주파수에 의해 동작되는 회로들을 탑재하므로써, IC의 제작 효율을 극대화할 수 있다.

이하, 첨부한 도면을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

도 3은 본 발명의 실시예에 따른 액정표시장치의 블록도이다.

도 3을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 인쇄회로기판(PCB), 연성인쇄회로기판(FPC) 및 표시패널(PNL)을 포함한다.

상기 인쇄회로기판(PCB)은 베이스 밴드 IC(100)를 탑재하고, 상기 연성인쇄회로기판(FPC)과 전기적으로 연결된다.

상기 연성인쇄회로기판(FPC)은 상대적으로 낮은 전압과 상대적으로 높은 주파수에 의해 동작되는 저전압/고주파 회로부(200)를 탑재하고, 상기 인쇄회로기판(PCB)과 상기 표시패널(PNL)을 전기적으로 연결한다. 상기 저전압/고주파 회로부(200)는 상기 표시패널(PNL)의 주변 영역에 형성된 레벨 쉬프터의 동작 전압보다 낮은 전압과, 상기 레벨 쉬프터의 동작 주파수보다 높은 주파수에 의해 동작된다.

상기 표시패널(PNL)은 표시 영역과, 주변 영역을 구비하고, 전기적으로 연결된 연성인쇄회로기판(FPC)으로부터 제공되는 제어신호와 영상신호를 근거로 영상을 표시한다. 상기 주변 영역의 일부에는 상대적으로 높은 전압과 상대적으로 낮은 주파수에 의해 동작되는 고전압/저주파 회로부(300)가 형성되고, 상기 표시 영역의 다른 일부에는 게이트 신호를 순차적으로 출력하는 게이트 드라이버부(400)가 형성되며, 표시 영역에는 복수의 표시 소자들을 갖는 픽셀부(500)가 형성된다.

상기 표시 소자는 서로 인접하는 게이트 라인(GL)들과 서로 인접하는 소스 라인(SL)들에 의해 정의되는 영역에 형성된다. 상기 표시 소자는 채널층이 폴리-실리콘으로 이루어지고, 게이트 전극과 소스 전극이 각각 상기 게이트 라인(GL)과 소스 라인(SL)에 전기적으로 연결된 폴리-실리콘 박막트랜지스터(poly-Si TFT)를 포함한다.

상기 게이트 라인(GL)은 게이트 신호를 상기 폴리-실리콘 박막트랜지스터(poly-Si TFT)에 전달하고, 상기 소스 라인(SL)은 데이터 신호를 상기 폴리-실리콘 박막트랜지스터(poly-Si TFT)에 전달한다. 상기 폴리-실리콘 박막트랜지스터(poly-Si TFT)의 드레인 전극은 액정 캐패시터(Clc)와 스토리지 캐패시터(Cst)에 공통 연결된다.

이상에서 설명한 바와 같이, 폴리-실리콘 박막 트랜지스터(poly-Si TFT)를 갖는 액정표시장치에서 상대적으로 높은 전압과 상대적으로 낮은 주파수로 동작되는 회로를 액정표시패널에 집적하고, 상대적으로 낮은 전압과, 상대적으로 높은 주파수로 동작되는 회로를 집적하는 전용 IC를 개발하여 IC의 제작 효율을 극대화할 수 있다.

도 4는 도 3에 도시된 액정표시장치의 구동 장치의 개략적인 블록도이다.

도 4를 참조하면, 액정표시장치의 구동 장치는 베이스 밴드 IC부(100), 저전압/고주파 회로부(200), 고전압/저주파 회로부(300) 및 게이트 드라이버부(400)를 포함한다.

상기 베이스 밴드 IC부(100)는 제1 영상 데이터(PD1), 상기 제1 영상 데이터(PD1)에 대응하는 제1 제어 신호(CTL1) 및 MPEG-4 데이터(MD)를 상기 저전압/고주파 회로부(200)에 제공한다.

상기 저전압/고주파 회로부(200)는 제1 영상 데이터(PD1), 상기 제1 영상 데이터(PD1)에 대응하는 제1 제어 신호(CTL1) 및 MPEG-4 데이터(MD)를 근거로 제2 영상 데이터(PD2)와 상기 제2 영상 데이터(PD2)에 대응하는 제2 제어 신호(CTL2)를 상기 고전압/저주파 회로부(300)에 제공하고, 상기 제2 영상 데이터(PD2)에 대응하는 제3 제어 신호(CTL3)를 상기 게이트 드라이버부(400)에 제공한다.

상기 고전압/저주파 회로부(300)는 상기 제2 영상 데이터(PD2)와 제2 제어 신호(CTL2)를 근거로 복수의 데이터 전압(D1, D2, ..., Dm-1, Dm)을 상기 픽셀부(500)에 공급한다.

상기 게이트 드라이버부(400)는 제3 제어 신호(CTL3)를 근거로 복수의 게이트 신호(G1, G2, ..., Gn-1, Gn)를 상기 픽셀부(500)에 순차적으로 공급한다.

도 5a 및 도 5b는 본 발명의 일 실시예에 따른 액정표시장치의 구동 장치의 블록도이고, 도 6은 도 5a에 도시된 그래픽 컨트롤러 IC를 설명하는 블록도이다.

도 5a 및 도 5b를 참조하면, 본 발명의 일 실시예에 따른 구동 장치는 인쇄회로기판(PCB)에 탑재되는 베이스 밴드 IC부(100), 연성인쇄회로기판(FPC)에 탑재되는 저전압/고주파 회로부(200) 및 표시패널(PNL)에 탑재되는 고전압/저주파 회로부(300)를 포함한다.

상기 베이스 밴드 IC부(100)는 CPU(110), 그래픽 컨트롤러 IC(120), 제1 시리얼 인터페이스부(130) 및 제1 RGB 인터페이스부(140)를 포함한다. 구체적으로, 상기 CPU(110)는 원시 영상 데이터(111)를 상기 그래픽 컨트롤러 IC(120)에 제공하고, MPEG-4 데이터를 상기 저전압/고주파 회로부(200)에 제공한다.

상기 그래픽 컨트롤러 IC(120)는 상기 원시 영상 데이터(111)가 제공됨에 따라, 디지털 화소 데이터(RGB DATA)를 상기 제1 시리얼 인터페이스부(130)에 제공하고, 클럭 신호(Vsync, Hsync, DCLK, EN)들을 상기 제1 RGB 인터페이스부(140)에 제공한다.

도 6에 도시된 바와 같이, 상기 그래픽 컨트롤러 IC(120)는 호스트 인터페이스부(121), 레지스터(122), 프레임 메모리(123), 메모리 제어 회로(124), 룩업 테이블(125), 표시 데이터 출력회로(126), 위상 조정 회로(127) 및 제어 신호 출력회로(128)를 포함한다. 상기 그래픽 컨트롤러 IC(120)는 CPU(110)로부터 제공되는 원시 영상 데이터(111)를 클럭 신호와 디지털 화소 데이터로 변환하고, 변환된 클럭 신호를 상기 제1 RGB 인터페이스부(140)에 출력하고, 변환된 디지털 화소 데이터를 상기 제1 시리얼 인터페이스부(130)에 출력한다.

상기 제1 시리얼 인터페이스부(130)는 상기 디지털 화소 데이터(RGB DATA)가 제공됨에 따라, 시리얼 데이터(SD)와 시리얼 클럭(SC)으로 변환하여 상기 저전압/고주파 회로부(200)에 제공한다. 상기 시리얼 데이터(SD)는 정극성의 MDDI (Mobile Display Digital Interface) 데이터와 부극성의 MDDI 데이터이고, 상기 시리얼 클럭(SC)은 정극성의 MDDI 스트로브 신호와 부극성의 MDDI 스트로브 신호이다. 상기 MDDI는 하나의 스트로브 배선 쌍과 1, 2, 4, 8과 같은 수의 데이터 배선 쌍으로 이루어져, 인코딩된 데이터를 전달한다.

상기 제1 RGB 인터페이스부(140)는 상기 그래픽 컨트롤러 IC(120)로부터 클럭 신호(Vsync, Hsync, DCLK, EN)들이 제공됨에 따라, 이를 상기 저전압/고주파 회로부(200)에 제공한다. 상기 Vsync는 수직동기신호이고, Hsync는 수평동기신호이며, DCLK는 도트클럭이고, EN는 데이터 인에이블 신호이다.

상기 저전압/고주파 회로부(200)는 제2 시리얼 인터페이스부(210), 제2 RGB 인터페이스부(220), 타이밍 발생부(230), MPEG-4 코덱부(240), 메모리(250) 및 제3 RGB 인터페이스부(260)를 포함한다. 구체적으로, 상기 제2 시리얼 인터페이스부(210)는 상기 제1 시리얼 인터페이스부(130)로부터 시리얼 데이터(SD)와 시리얼 클럭(SC)이 제공됨에 따라, 이를 패러럴 변환하고, 패러럴 변환된 18 비트의 영상 데이터를 상기 메모리(250)에 제공한다.

상기 제2 RGB 인터페이스부(220)는 상기 제1 RGB 인터페이스부(140)를 경유하여 클럭 신호(Vsync, Hsync, DCLK, EN)들이 제공됨에 따라, 이를 상기 타이밍 발생부(230)에 제공한다.

상기 타이밍 발생부(230)는 상기 제2 RGB 인터페이스부(220)로부터 클럭 신호(Vsync, Hsync, DCLK, EN)들이 제공됨에 따라, 복수의 제어 신호(231, 232, EQ, CLA, CLB, CLC, SIN1, SIN2, SIN3, SIN4)들을 생성하고, 생성된 복수의 제어 신호(231, 232, EQ, CLA, CLB, CLC, SIN1~4)들을 상기 메모리(250) 및 상기 고전압/저주파 회로부(300)에 제공한다.

상기 MPEG-4 코덱부(240)는 코딩된 MPEG-4 데이터가 제공됨에 따라, 이를 디코딩하고, 디코딩된 MPEG-4 데이터를 상기 메모리(250)에 제공한다. 상기 코딩된 MPEG-4 데이터는 8 비트이고, 상기 디코딩된 MPEG-4 데이터는 18 비트이다.

상기 메모리(250)는 상기 타이밍 발생부(230)로부터 제공되는 제어 신호(231)에 응답하여 상기 제2 시리얼 인터페이스부(210)로부터 제공되는 18 비트의 영상 데이터를 저장하고, 상기 MPEG-4 코덱부(240)로부터 제공되는 18 비트의 MPEG-4 데이터를 저장한다. 상기 메모리(250)는 1 프레임에 대응하는 영상 데이터를 저장한다.

상기 메모리(250)는 타이밍 발생부(230)로부터 제공되는 제어 신호(231)에 응답하여 저장된 18 비트의 영상 데이터 또는 18 비트의 MPEG-4 데이터를 추출하여 상기 제3 RGB 인터페이스부(260)에 제공한다.

상기 제3 RGB 인터페이스부(260)는 상기 메모리(250)로부터 제공되는 18 비트의 영상 데이터 또는 18 비트의 MPEG-4 데이터를 상기 고전압/저주파 회로부(300)에 제공한다.

상기 고전압/저주파 회로부(300)는 DC/DC 컨버터(310), 소스 드라이버부(320), 레벨 쉬프터(330) 및 RGB 선택부(340)를 포함한다. 구체적으로, 상기 DC/DC 컨버터(310)는 상기 타이밍 발생부(230)로부터 제공되는 제어 신호(232, EQ)를 근거로 게이트 온/오프 전압(Von, Voff)을 상기 게이트 드라이버부(400)에 제공하고, 공통 전극 전압(Vcom)을 상기 픽셀부(500)에 제공한다.

상기 소스 드라이버부(320)는 상기 제3 RGB 인터페이스부(260)로부터 제공되는 영상 데이터를 상기 RGB 선택부(340)에 제공한다.

상기 레벨 쉬프터(330)는 상기 타이밍 발생부(230)로부터 제공되는 제1 제어 신호(EQ, CLA, CLB, CLC, SIN1~4)를 근거로 제2 제어 신호(CLAO, CLBO, CLCO)를 RGB 선택부(340)에 제공하고, 제3 제어 신호(SOUT1~4)를 상기 게이트 드라이버부(400)에 제공한다.

상기 RGB 선택부(340)는 상기 레벨 쉬프터(330)로부터 제공되는 제2 제어 신호(CLAO, CLBO, CLCO)를 근거로 상기 소스 드라이버부(320)로부터 제공되는 영상 데이터를 선택하여 상기 픽셀부(500)에 제공한다.

이상에서는 저전압/고주파 회로부(200)에 MPEG-4 기능의 구현을 위해 MPEG-4 코덱부(240)가 탑재되는 것을 도시하였으나, 3-D 기능의 구현을 위해 3-D 구현부를 탑재할 수도 있다.

도 7a 내지 도 7c는 도 5a에 도시된 제1 시리얼 인터페이싱부와 제2 시리얼 인터페이싱부를 설명하기 위한 도면들이다. 구체적으로, 도 7a는 도 5a에 도시된 제1 시리얼 인터페이싱부와 제2 시리얼 인터페이싱부간의 동작을 설명하기 위한 블록도이고, 도 7b는 제1 시리얼 인터페이싱부와 제2 시리얼 인터페이싱부의 내부 로직을 설명하는 논리 블록도이며, 도 7c는 시리얼 인터페이싱부를 통해 흐르는 파형도이다.

도 7a를 참조하면, 상기 제1 시리얼 인터페이싱부(130)와 제2 시리얼 인터페이싱부(210)는 4개의 배선으로 연결된다. 2개의 배선은 정극성의 MDDI 스트로브 신호(MDDI_Stb+)와 부극성의 MDDI 스트로브 신호(MDDI_Stb-)를 각각 전달하고, 나머지 2개의 배선은 정극성의 MDDI 데이터(MDDI_Data+)와 부극성의 MDDI 데이터(MDDI_Data-)를 각각 전달한다.

상기 정극성의 MDDI 스트로브 신호(MDDI_Stb+)와 부극성의 MDDI 스트로브 신호(MDDI_Stb-)는 단방향성을 갖고서 상기 제1 시리얼 인터페이싱부(130)에서 상기 제2 시리얼 인터페이싱부(210)로 전달된다. 상기 정극성의 MDDI 데이터(MDDI_Data+)와 부극성의 MDDI 데이터(MDDI_Data-)는 양방향성을 갖고서 상기 제1 시리얼 인터페이싱부(130)에서 상기 제2 시리얼 인터페이싱부(210)로, 또는 상기 제2 시리얼 인터페이싱부(210)에서 상기 제1 시리얼 인터페이싱부(130)로 전달된다.

도 7b 및 도 7c를 참조하면, 제1 시리얼 인터페이싱부(130)는 하나의 익스클루시브 오어 게이트와, 2개의 D-플립플롭과, 2개의 분배기를 포함하여, 입력 데이터와 입력 클럭 신호를 근거로 정극성/부극성의 MDDI 데이터(MDDI_Data+, MDDI_Data-)와, 정극성/부극성의 MDDI 스트로브 신호(MDDI_Stb+, MDDI_Stb-)를 제2 시리얼 인터페이싱부(210)에 출력한다.

제2 시리얼 인터페이싱부(210)는 2개의 합산기와, 하나의 지연 소자, 하나의 X-OR 게이트와, 2개의 D-플립플롭을 포함하여, 상기 제1 시리얼 인터페이싱부(130)로부터 제공되는 정극성/부극성의 MDDI 데이터(MDDI_Data+, MDDI_Data-)와, 정극성/부극성의 MDDI 스트로브 신호(MDDI_Stb+, MDDI_Stb-)를 근거로 데이터와 클럭 신호를 복원하여 출력한다.

도 8은 도 5a 및 도 5b에 도시된 구동 장치와 액정표시패널의 동작을 설명하는 블록도이고, 도 9는 도 8에 도시된 레벨 쉬프터를 설명하는 블록도이며, 도 10은 도 9에 도시된 레벨 쉬프터의 입/출력 파형도이다.

도 5a 및 도 5b와, 도 8 내지 도 10을 참조하면, 타이밍 발생부(230)는 연성 인쇄회로기판(FPC)에 탑재되고, 레벨 쉬프터(330), 소스 드라이버부(320) 및 RGB 선택부(340)는 표시패널(PNL)에 탑재된다.

상기 타이밍 발생부(230)는 복수의 제어 신호(EQ, CLA, CLB, CLC, SIN1~4)들을 상기 고전압/저주파 회로부(300)의 레벨 쉬프터(330)에 제공한다.

상기 소스 드라이버부(320)는 연성 인쇄회로기판(FPC)에 탑재된 18 비츠의 영상 데이터를 아날로그 전압으로 변환하여 상기 RGB 선택부(340)에 제공한다.

상기 레벨 쉬프터(330)는 상기 타이밍 발생부(230)로부터 제공되는 복수의 제1 제어 신호(EQ, CLA, CLB, CLC, SIN1~4)를 근거로 제2 제어 신호(CLAO, CLBO, CLCO)를 상기 RGB 선택부(340)에 제공하고, 제3 제어 신호(SOUT1~4)를 상기 게이트 드라이버부(400)에 제공한다.

상기 RGB 선택부(340)는 상기 제2 제어 신호(CLAO, CLBO, CLCO)를 근거로 상기 소스 드라이버부(320)로부터 제공되는 아날로그 전압의 영상 신호의 출력 경로를 3개로 분할하여 상기 픽셀부(500)에 구비되는 소스 라인에 제공한다.

상기 게이트 드라이버부(400)는 상기 레벨 쉬프터(330)로부터 제공되는 제3 제어 신호(SOUT1~4)를 근거로 게이트 온 전압(Von)과 게이트 오프 전압(Voff)을 상기 픽셀부(500)에 구비되는 게이트 라인에 제공한다.

도 11은 도 8에 도시된 게이트 드라이버부의 로직도이다.

도 11을 참조하면, 게이트 드라이버부는 픽셀부(500)에 구비되는 게이트 라인의 수만큼의 복수의 스테이지들을 포함하여, 수직 개시신호(STV), 제1 및 제2 클럭(CL, CLB), 제1 및 제2 전원전압(VDD, VSS)에 응답하여 게이트 신호를 출력하는 쉬프트 레지스터이다. 각각의 스테이지는 2개의 3-상태 인버터(412, 414)와, 하나의 인버터(416)와, 하나의 낸드 게이트(418)를 포함한다.

예를들어, 제1 스테이지(410)는 상기 수직 개시신호(STV)가 인가됨에 따라, 상기 제1 및 제2 클럭(CL, CLB), 제1 및 제2 전원전압(VDD, VSS), 제2 스테이지(420)의 반전기로부터 제공되는 출력 신호를 근거로 첫 번째 게이트 라인을 액티브시키는 첫 번째 게이트 신호(Gp)를 출력한다.

제2 스테이지(420)는 상기 제1 스테이지(410)의 반전기(416)로부터 출력 신호가 인가됨에 따라, 상기 제1 및 제2 클럭(CL, CLB), 제1 및 제2 전원전압(VDD, VSS)을 근거로 두 번째 게이트 라인을 액티브시키는 두 번째 게이트 신호(Gp)를 출력한다.

상기한 방식으로 복수의 게이트 신호들을 픽셀부(500)에 순차적으로 출력한다.

도 12는 도 11에 도시된 폴리-실리콘 3-상태 인버터의 회로도이다.

도 12를 참조하면, 폴리-실리콘 3-상태 인버터는 제1 트랜지스터(Q1), 제2 트랜지스터(Q2), 제3 트랜지스터(Q3) 및 제4 트랜지스터(Q4)를 포함한다. 상기 제1 및 제2 트랜지스터(Q1, Q2)는 P 타입의 트랜지스터이고, 상기 제3 및 제4 트랜지스터(Q3, Q4)는 N 타입의 트랜지스터이다.

상기 제1 트랜지스터(Q1)의 소스단에는 제1 전원전압(VDD)이 인가되고, 게이트단에는 입력 전압(VIN)이 인가되며, 드레인단은 상기 제2 트랜지스터(Q2)의 소스단에 연결된다.

상기 제2 트랜지스터(Q2)의 소스단은 상기 제1 트랜지스터(Q1)의 드레인단에 연결되고, 게이트단은 제1 클럭(CL)과는 위상이 반전인 제2 클럭(CLB)이 인가되며, 드레인단은 상기 제3 트랜지스터(Q3)의 소스단과 공통되면서 출력단을 통해 출력 전압(VOUT)을 출력한다.

상기 제3 트랜지스터(Q3)의 소스단은 상기 제2 트랜지스터(Q2)의 드레인단에 연결되고, 게이트단은 제1 클럭(CL)이 인가되며, 드레인단은 상기 제4 트랜지스터(Q4)의 소스단에 연결된다.

상기 제4 트랜지스터(Q4)의 소스단은 상기 제3 트랜지스터(Q3)의 드레인단에 연결되고, 게이트단에는 상기 입력 전압(VIN)이 인가되며, 드레인단은 제2 전원전압(VSS)과 연결된다.

동작시, 폴리-실리콘 3-상태 인버터는 제2 및 제3 트랜지스터(Q3, Q4)의 게이트단에 인가되는 제1 및 제2 클럭을 근거로 인버터의 동작 여부를 결정한다.

도 13은 도 8에 도시된 데이터 드라이버부의 로직도이다.

도 13을 참조하면, 소스 드라이버부(320)는 쉬프트 레지스터(322), 홀딩부(324) 및 샘플링부(326)를 포함한다.

상기 쉬프트 레지스터(322)는 복수의 스테이지들을 포함하고, 수평 개시신호(SP), 제1 및 제2 클럭(CL, CLB), 제1 및 제2 전원전압(VDD, VSS)에 응답하여 로드 제어 신호를 순차적으로 상기 홀딩부(324)에 출력한다. 각각의 스테이지는 2개의 3-상태 인버터(322a, 322b)와, 하나의 인버터(322c)와, 하나의 버퍼(322d)를 포함한다.

상기 홀딩부(324)는 상기 쉬프트 레지스터(322)의 하나의 출력 라인에 대응하여 직렬 연결된 3개의 인버터와, 상기 3개의 인버터와 평행하게 직렬 연결된 2개의 인버터와, 직렬 연결된 3개의 인버터중 두 번째 인버터의 출력단과 직렬 연결된 2개의 인버터중 첫 번째 인버터의 출력단에 연결된 하나의 인버터와, 상기 하나의 인버터와 역방향으로 연결된 다른 하나의 인버터를 포함하고, 상기 쉬프트 레지스터(322)의 출력 신호를 일정 시간 홀딩한다.

상기 샘플링부(326)는 상기 홀딩부(324)의 제1 출력단에 연결된 N 타입의 트랜지스터와, 홀딩부의 제2 출력단에 연결된 P 타입의 트랜지스터를 포함하여, 상기 홀딩부(324)로부터 제공되는 출력 신호에 응답하여 RGB 영상 신호를 샘플링 출력한다.

구체적으로, N 타입의 트랜지스터와 P 타입의 트랜지스터의 소스단은 서로 공통되어 RGB 영상 신호를 인가받고, N 타입의 트랜지스터의 게이트단을 통해 인가되는 홀딩부(324)의 제1 출력단으로부터 제공되는 출력 신호와 P 타입의 트랜지스터의 게이트단을 통해 인가되는 홀딩부(324)의 제2 출력단으로부터 제공되는 출력 신호에 응답하여 RGB 영상 신호를 샘플링 출력한다.

도 14는 본 발명의 다른 실시예에 따른 액정표시장치의 구동 장치의 블록도이다.

도 14를 참조하면, 본 발명의 다른 실시예에 따른 구동 장치는 인쇄회로기판(PCB)에 탑재되는 베이스 밴드 IC부(600)와, 연성인쇄회로기판(FPC)에 탑재되는 저전압/고주파 회로부(700)와, 표시패널(PNL)에 탑재되는 고전압/저주파 회로부(800)를 포함한다.

상기 베이스 밴드 IC부(600)는 CPU(610) 및 제1 시리얼 인터페이싱부(620)를 포함한다. 구체적으로, 상기 CPU(610)는 디지털 화소 데이터(RGB DATA)를 상기 제1 시리얼 인터페이싱부(620)에 제공하고, MPEG-4 데이터를 상기 저전압/고주파 회로부(700)에 제공한다.

상기 제1 시리얼 인터페이싱부(620)는 디지털 화소 데이터(RGB DATA)가 제공됨에 따라, 시리얼 데이터(SD)와 시리얼 클럭(SC)으로 변환하여 상기 저전압/고주파 회로부(700)에 제공한다. 상기 시리얼 데이터(SD)는 정극성의 MDDI 데이터와 부극성의 MDDI 데이터이고, 상기 시리얼 클럭(SC)은 정극성의 MDDI 스트로브 신호와 부극성의 MDDI 스트로브 신호이다.

상기 저전압/고주파 회로부(700)는 제2 시리얼 인터페이싱부(710), 타이밍 발생부(720), MPEG-4 코덱부(730) 및 메모리(740)를 포함한다. 구체적으로, 상기 제2 시리얼 인터페이싱부(710)는 상기 제1 시리얼 인터페이싱부(620)로부터 시리얼 데이터(SD)와 시리얼 클럭(SC)이 제공됨에 따라, 이를 패러럴 변환하고, 패러럴 변환된 18 비트의 영상 데이터를 상기 메모리(740)에 제공한다.

상기 타이밍 발생부(720)는 CPU로부터 제어 신호(CTRL)가 제공됨에 따라, 복수의 제어 신호(721, 722, EQ, CLA, CLB, CLC, SIN1~4)들을 생성하고, 생성된 복수의 제어 신호(721, 722, EQ, CLA, CLB, CLC, SIN1~4)들을 상기 메모리(740) 및 고전압/저주파 회로부(800)에 제공한다.

상기 MPEG-4 코덱부(730)는 코딩된 MPEG-4 데이터가 제공됨에 따라, 이를 디코딩하고, 디코딩된 MPEG-4 데이터를 상기 메모리(740)에 제공한다. 상기 코딩된 MPEG-4 데이터는 8 비트이고, 상기 디코딩된 MPEG-4 데이터는 18 비트이다.

상기 메모리(740)는 상기 타이밍 발생부(720)로부터 제공되는 제어 신호(721)에 응답하여 상기 제2 시리얼 인터페이싱부(710)로부터 제공되는 18 비트의 영상 데이터를 저장하고, 상기 MPEG-4 코덱부(730)로부터 제공되는 18 비트의 MPEG-4 데이터를 저장한다.

상기 메모리(740)는 상기 타이밍 발생부(720)로부터 제공되는 제어 신호(721)에 응답하여 저장된 18 비트의 영상 데이터 또는 18 비트의 MPEG-4 데이터를 추출하여 상기 고전압/저주파 회로부(800)에 제공한다.

상기 고전압/저주파 회로부(800)는 DC/DC 컨버터(810), 소스 드라이버부(820) 및 레벨 쉬프터(830)를 포함한다. 구체적으로, 상기 DC/DC 컨버터(810)는 타이밍 발생부(720)로부터 제공되는 제어 신호(722, EQ)를 근거로 게이트 온/오프 전압(Von, Voff)을 상기 게이트 드라이버부(400)에 제공하고, 공통 전극 전압(Vcom)을 상기 픽셀부(500)에 제공한다.

상기 소스 드라이버부(820)는 상기 메모리(740)로부터 제공되는 영상 데이터를 상기 픽셀부(500)의 소스 라인에 제공한다.

상기 레벨 쉬프터(830)는 상기 타이밍 발생부(720)로부터 제공되는 제1 제어 신호(EQ, CLA, CLB, CLC, SIN1~4)를 근거로 제2 제어 신호(SOUT1~4)를 상기 게이트 드라이버부(900)에 제공한다.

도 15는 도 14에 도시된 게이트 드라이버부의 블럭도이다.

도 15를 참조하면, 게이트 드라이버부(900)는 쉬프트 레지스터(910), 레벨 쉬프터(920) 및 출력 버퍼(930)를 포함한다. 상기한 쉬프트 레지스터(910), 레벨 쉬프터(920) 및 출력 버퍼(930)는 폴리-실리콘 박막트랜지스터(poly-Si TFT)로 이루어진다.

동작시, 상기 게이트 드라이버부(900)는 캐리 신호(CARRY)의 입력에 응답하여 게이트 클럭(GATE CLK), 공통전극전압(VCOM), 게이트 온/오프 전압(Von/Voff)을 근거로 복수의 게이트 신호(G1, G2, ..., Gn)들을 순차적으로 출력한다.

도 16은 도 14에 도시된 소스 드라이버부의 블럭도이다.

도 16을 참조하면, 소스 드라이버부(820)는 쉬프트 레지스터(821), 제1 데이터 래치(822), 제2 데이터 래치(823), 디지털-아날로그 컨버터(824) 및 출력 버퍼(825)를 포함한다. 상기한 쉬프트 레지스터(821), 제1 데이터 래치(822), 제2 데이터 래치(823), 디지털-아날로그 컨버터(824) 및 출력 버퍼(825)는 폴리-실리콘 박막트랜지스터(poly-Si TFT)로 이루어진다.

동작시, 상기 소스 드라이버부(820)는 도트 클럭(CLK)을 근거로 순차적으로 입력되는 RGB 각각의 데이터를 래칭하여 점순차방식(Dot at a Time Scanning)의 타이밍 체계를 선순차방식(Line at a Time Scanning)으로 변환하여 출력한다.

매 수평 라인 주기마다 제1 데이터 래치(822)에 저장된 데이터는 제2 데이터 래치(823)에 전달되고, 제2 데이터 래치(823)에 저장된 데이터는 아날로그-디지털 컨버터(824)에서 아날로그 전압으로 전환되며, 전환된 아날로그 전압은 출력 버퍼(825)를 거쳐 소스 라인에 인가된다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따르면 폴리-실리콘 액정표시장치에서 어몰포스-실리콘 액정표시장치보다 향상된 TFT 성능을 이용하여 액정표시패널에 집적되는 레벨 쉬프터에 비해 상대적으로 고전압이면서 저주파수 회로인 소스 드라이버부, 게이트 드라이버부 및 DC/DC 컨버터를 상기 액정표시패널에 집적하고, 상기 레벨 쉬프터에 비해 상대적으로 저전압이면서 저주파수 회로인 메모리, 고속 시리얼 인터페이스, 멀티미디어 기능을 위한 MPEG-4, 3D 기능 실현을 위한 회로들을 집적하는 전용 IC를 개발하므로써, IC의 제작 효율을 극대화할 수 있다.

이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

PCB와 표시패널간에 전기적으로 연결된 FPCB에 탑재되는 표시장치용 구동칩에서,

상기 PCB에서 제공되는 제1 영상 데이터를 제2 영상 데이터로 변환하여 출력하는 시리얼 인터페이스부;

상기 PCB에서 제공되는 제1 제어 신호를 근거로 제2 제어 신호를 출력하는 타이밍 발생부; 및

상기 제2 영상 데이터를 저장하고, 상기 제2 제어 신호를 근거로 저장된 제2 영상 데이터를 상기 표시패널에 출력하는 메모리를 포함하는 표시장치용 구동칩.

청구항 2.

제1항에 있어서, 상기 표시패널에는 레벨 쉬프터가 형성되고,

상기 시리얼 인터페이싱부, 타이밍 발생부 및 메모리 각각은 상기 레벨 쉬프터의 동작 전압보다 낮은 전압과, 상기 레벨 쉬프터의 동작 주파수보다 높은 주파수에 의해 동작되는 것을 특징으로 하는 표시장치용 구동칩.

청구항 3.

제1항에 있어서, 상기 제1 영상 데이터는 레드, 그린, 블루 영상 데이터이고, 상기 레드, 그린, 블루 영상 데이터 각각은 3비트이며, 상기 제2 영상 데이터는 18비트인 것을 특징으로 하는 표시장치용 구동칩.

청구항 4.

제1항에 있어서, 상기 제1 영상 데이터는 시리얼 데이터이고, 상기 제2 영상 데이터는 패러럴 데이터인 것을 특징으로 하는 표시장치용 구동칩.

청구항 5.

제1항에 있어서,

상기 PCB에서 제공되는 MPEG-4 데이터를 디코딩하고, 디코딩된 MPEG-4 데이터를 상기 메모리에 제공하는 MPEG-4 코덱부를 더 포함하는 것을 특징으로 하는 표시장치용 구동칩.

청구항 6.

제5항에 있어서, 상기 MPEG-4 데이터는 8비트이고, 디코딩된 MPEG-4 데이터는 18비트인 것을 특징으로 하는 표시장치용 구동칩.

청구항 7.

제5항에 있어서, 상기 표시패널에는 레벨 쉬프터가 형성되고,

상기 MPEG-4 코덱부는 상기 레벨 쉬프터의 동작 전압보다 낮은 전압과, 상기 레벨 쉬프터의 동작 주파수보다 높은 주파수에 의해 동작되는 것을 특징으로 하는 표시장치용 구동칩.

청구항 8.

제1항에 있어서, 상기 제1 영상 데이터는 정극성의 MDDI 스트로브 신호, 부극성의 MDDI 스트로브 신호, 정극성의 MDDI 입력 데이터 및 부극성의 MDDI 데이터를 포함하고,

상기 시리얼 인터페이싱부는 상기 정극성의 MDDI 스트로브 신호와 부극성의 MDDI 스트로브 신호를 근거로 상기 정극성의 MDDI 입력 데이터 및 부극성의 MDDI 데이터를 디코딩하여 출력하는 것을 특징으로 하는 표시장치용 구동칩.

청구항 9.

PCB;

상기 PCB와 전기적으로 연결되는 FPCB에 탑재되되, 상대적으로 낮은 전압과 상대적으로 높은 주파수에 의해 동작되는 제1 회로부를 탑재하는 구동칩; 및

표시 영역에 형성된 복수의 표시소자들과, 주변 영역에 형성되어 상대적으로 높은 전압과 상대적으로 낮은 주파수에 의해 동작되어 상기 표시소자들을 구동하는 제2 회로부를 구비하는 표시패널을 포함하는 것을 특징으로 하는 표시장치.

청구항 10.

제9항에 있어서, 상기 표시소자는

게이트 신호를 전달하는 게이트 라인과 데이터 신호를 전달하는 소스 라인에 전기적으로 연결되면서 채널층이 폴리-실리콘(poly-Si)으로 이루어진 스위칭 소자를 포함하는 것을 특징으로 하는 표시장치.

청구항 11.

제9항에 있어서, 상기 제2 회로부는 상기 주변 영역에 형성된 레벨 쉬프터를 포함하고,

상기 구동칩은 상기 레벨 쉬프터의 동작 전압보다 낮은 전압과, 상기 레벨 쉬프터의 동작 주파수보다 높은 주파수에 의해 동작되는 것을 특징으로 하는 표시장치.

청구항 12.

제9항에 있어서, 상기 PCB에는 베이스밴드 IC가 탑재되는 것을 특징으로 하는 표시장치.

청구항 13.

제12항에 있어서, 상기 베이스밴드 IC는,

제1 영상 데이터 및 제2 제어 신호를 출력하는 CPU;

상기 제1 영상 데이터 및 제1 제어 신호를 근거로 제2 영상 데이터와 제2 제어 신호를 출력하는 그래픽 컨트롤러 IC;

상기 제2 영상 데이터를 제공받아 출력하는 제1 시리얼 인터페이싱부; 및

상기 제2 제어 신호를 제공받아 출력하는 제1 RGB 인터페이싱부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 14.

제13항에 있어서, 상기 제1 회로부는

상기 제1 시리얼 인터페이싱부에서 제공되는 상기 제2 영상 데이터를 제3 영상 데이터로 변환하여 출력하는 제2 시리얼 인터페이싱부;

상기 제1 RGB 인터페이싱부에서 제공되는 상기 제2 제어 신호를 제3 제어 신호로 변환하여 출력하는 제2 RGB 인터페이싱부;

상기 제3 제어 신호를 근거로 제4, 제5 및 제6 제어 신호를 출력하는 타이밍 발생부;

상기 제3 영상 데이터를 제공받아 저장하고, 상기 제4 제어 신호를 근거로 저장된 상기 제3 영상 데이터를 출력하는 메모리; 및

상기 메모리에서 제공되는 제3 영상 데이터를 제4 영상 데이터로 변환하여 출력하는 제3 RGB 인터페이싱부를 포함하는 것을 특징으로 하는 표시장치.

청구항 15.

제13항에 있어서, 상기 제1 회로부는 상기 CPU에서 제공되는 MPEG 데이터를 디코딩시켜 상기 메모리에 제공하는 MPEG-4 코덱부를 더 포함하는 것을 특징으로 하는 표시장치.

청구항 16.

제9항에 있어서, 상기 제2 회로부는,

상기 제1 회로부에서 제공되는 영상 데이터를 아날로그 변환하여 상기 표시소자에 출력하는 소스 드라이버부;

상기 제1 회로부에서 제공되는 제어 신호를 근거로 제어 신호를 출력하는 레벨 쉬프터; 및

상기 제1 회로부에서 제공되는 제어 신호를 근거로 복수의 전원전압들을 출력하는 DC/DC 컨버터를 포함하는 것을 특징으로 하는 표시장치.

청구항 17.

제16항에 있어서, 상기 소스 드라이버부는

상기 제1 회로부에서 제공되는 수평개시 신호, 제1 및 제2 클럭과에 응답하여 로드 제어 신호를 순차적으로 출력하는 쉬프트 레지스터; 및

상기 로드 제어 신호를 근거로 상기 제1 회로부에서 제공되는 영상 데이터를 홀드하고, 홀드된 영상 데이터를 샘플링 출력하는 샘플 앤드 홀드 회로를 포함하는 것을 특징으로 하는 표시장치.

청구항 18.

제16항에 있어서, 상기 제2 회로부는 상기 레벨 쉬프터에서 제공되는 제어 신호를 근거로 게이트 신호를 순차적으로 출력하는 게이트 드라이버부를 더 포함하는 것을 특징으로 하는 표시장치.

청구항 19.

제18항에 있어서, 상기 게이트 드라이버부는

상기 제1 회로부에서 제공되는 수직개시 신호, 제1 및 제2 클럭에 응답하여 로드 제어 신호를 순차적으로 출력하는 쉬프트 레지스터; 및

상기 쉬프트 레지스터에서 순차적으로 출력되는 현재 스테이지의 출력 신호와 다음 스테이지의 출력 신호를 낸드 연산하여 게이트 신호를 출력하는 낸드 게이트를 포함하는 표시장치.

청구항 20.

제18항에 있어서, 상기 제2 회로부는 상기 레벨 쉬프터에서 제공되는 제어 신호를 근거로 상기 소스 드라이버부에서 제공되는 영상 데이터의 출력 경로를 설정하는 RGB 선택부를 더 포함하는 것을 특징으로 하는 표시장치.

청구항 21.

제12항에 있어서, 상기 베이스밴드 IC는,

제1 영상 데이터 및 제2 제어 신호를 출력하는 CPU; 및

상기 제1 영상 데이터를 제공받아 출력하는 제1 시리얼 인터페이싱부를 포함하는 것을 특징으로 하는 표시장치.

청구항 22.

제21항에 있어서, 상기 제1 회로부는

상기 제1 시리얼 인터페이싱부에서 제공되는 상기 제1 영상 데이터를 제2 영상 데이터로 변환하여 출력하는 제2 시리얼 인터페이싱부;

상기 제2 제어 신호를 근거로 제3, 제4 및 제5 제어 신호를 출력하는 타이밍 발생부; 및

상기 제2 영상 데이터를 저장하고, 상기 제3 제어 신호에 응답하여 상기 저장된 제2 영상 데이터를 출력하는 메모리를 포함하는 것을 특징으로 하는 표시장치.

청구항 23.

제21항에 있어서, 상기 CPU는 MPEG 데이터와, 상기 MPEG 데이터에 대응하는 제어 신호를 더 출력하고,

상기 제1 회로부는 상기 제어 신호에 응답하여 상기 MPEG 데이터를 디코딩시켜 상기 메모리에 제공하는 MPEG-4 코덱부를 더 포함하는 것을 특징으로 하는 표시장치.

청구항 24.

제21항에 있어서, 상기 제2 회로부는

상기 제1 회로부에서 제공되는 영상 데이터를 아날로그 변환하여 상기 표시소자에 출력하는 소스 드라이버부;

상기 제1 회로부에서 제공되는 제어 신호를 근거로 제어 신호를 출력하는 레벨 쉬프터; 및

상기 제1 회로부에서 제공되는 제어 신호를 근거로 복수의 전원전압들을 출력하는 DC/DC 컨버터를 포함하는 것을 특징으로 하는 표시장치.

청구항 25.

제24항에 있어서, 상기 소스 드라이버부는

상기 제1 회로부에서 제공되는 수평개시 신호, 제1 및 제2 클럭에 응답하여 로드 제어 신호를 순차적으로 출력하는 쉬프트 레지스터;

상기 DC/DC 컨버터에서 제공되는 전원전압을 근거로 상기 로드 제어 신호의 레벨을 업시켜 출력하는 레벨 쉬프터; 및

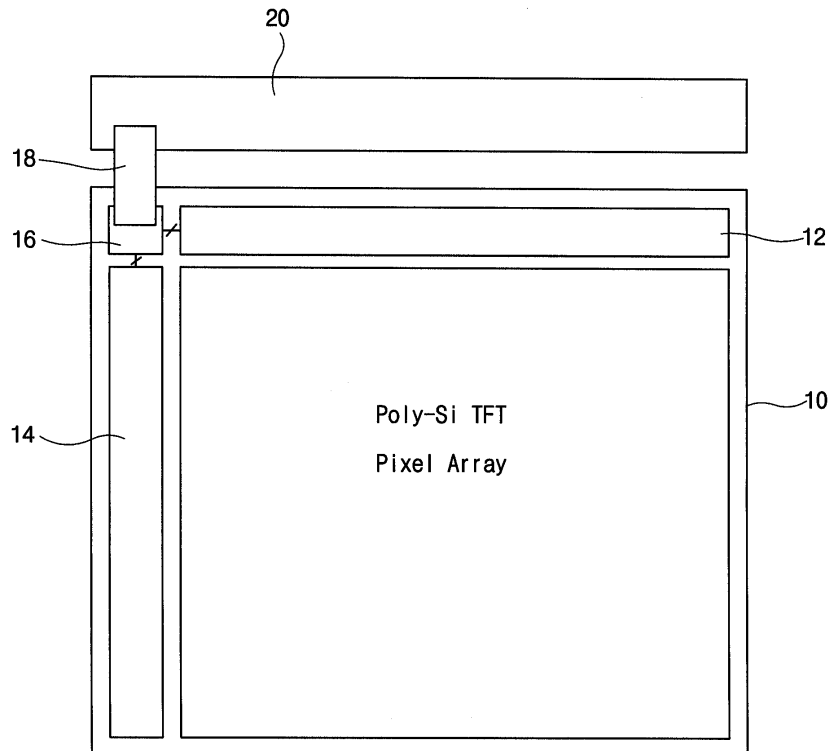
상기 레벨 업된 로드 제어 신호를 순차적으로 출력하는 출력 버퍼를 포함하는 것을 특징으로 하는 표시장치.

청구항 26.

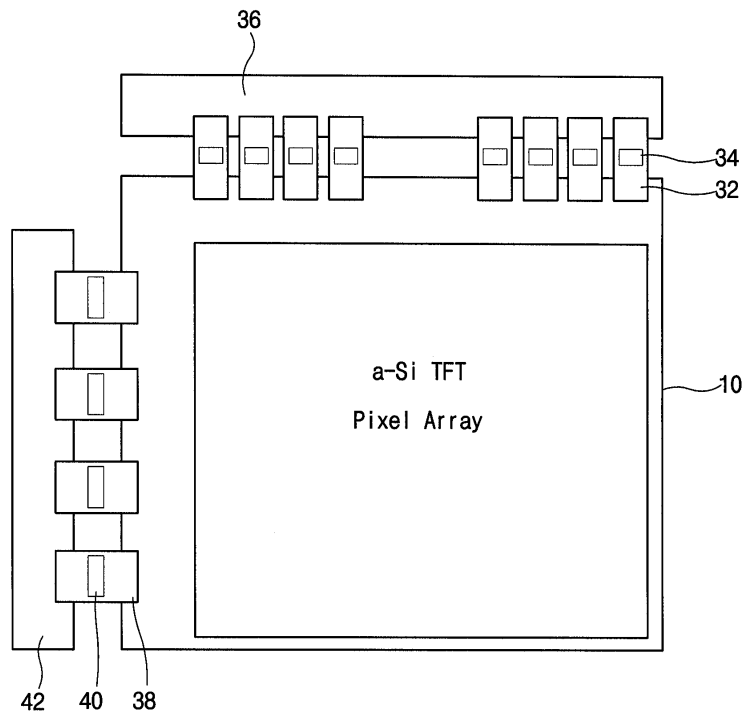
제24항에 있어서, 상기 제2 회로부는 상기 레벨 쉬프터에서 제공되는 제어 신호를 근거로 게이트 신호를 순차적으로 출력하는 게이트 드라이버부를 더 포함하는 것을 특징으로 하는 표시장치.

도면

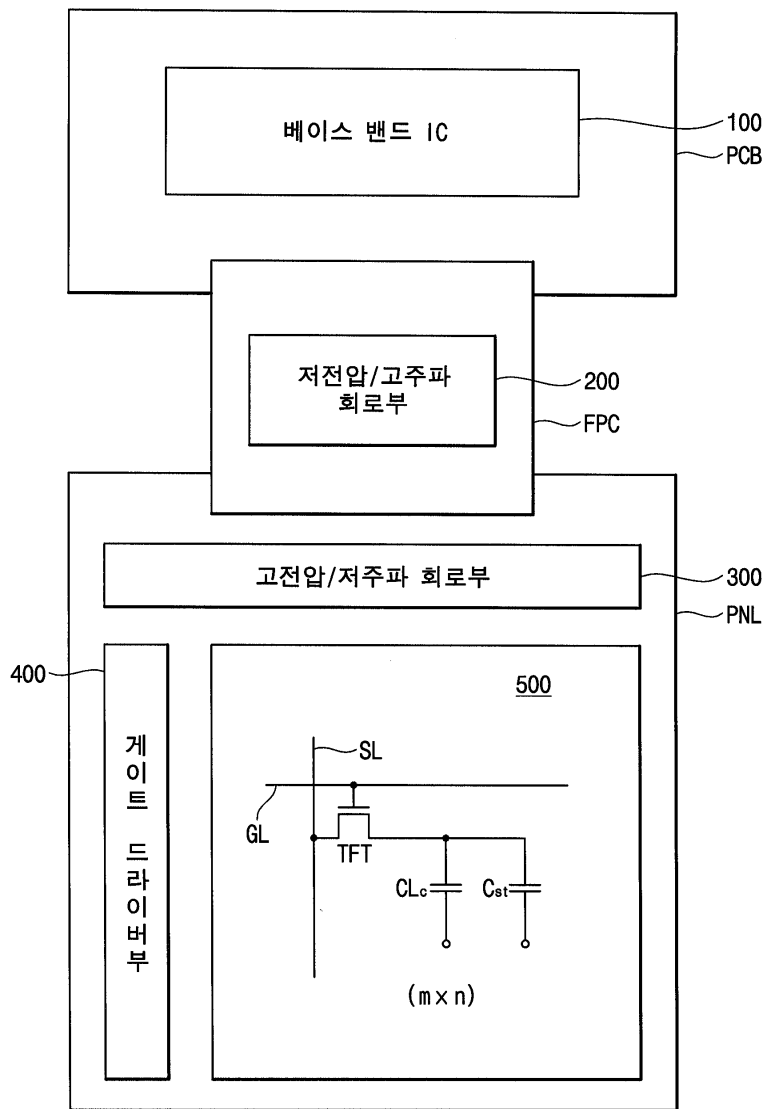
도면1



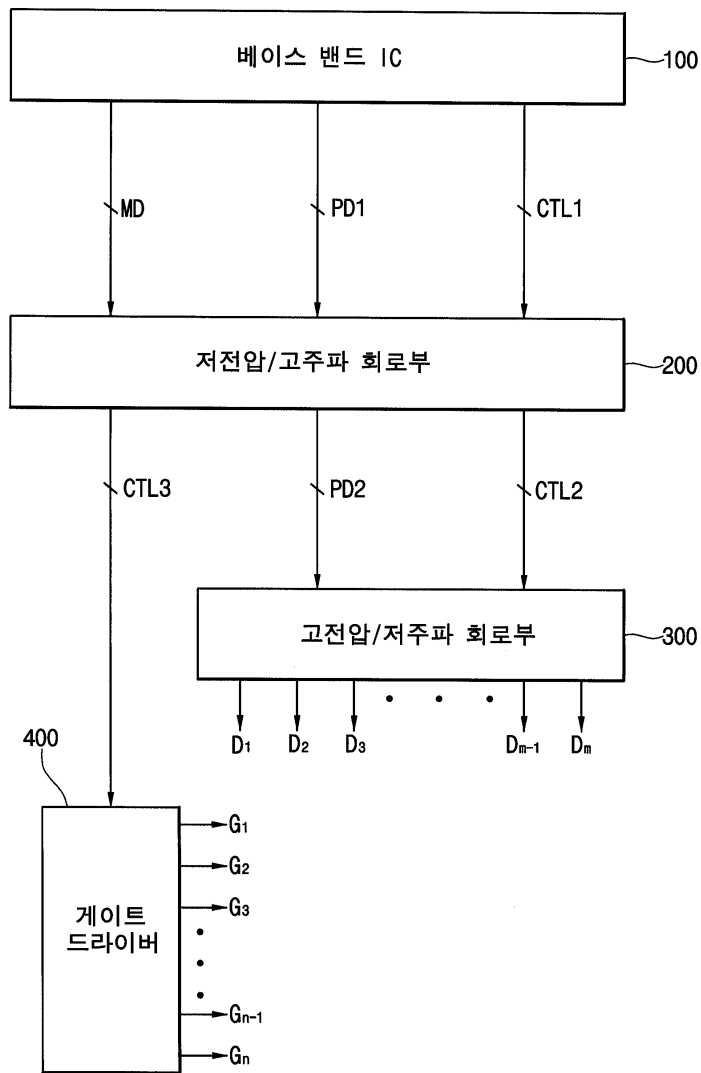
도면2



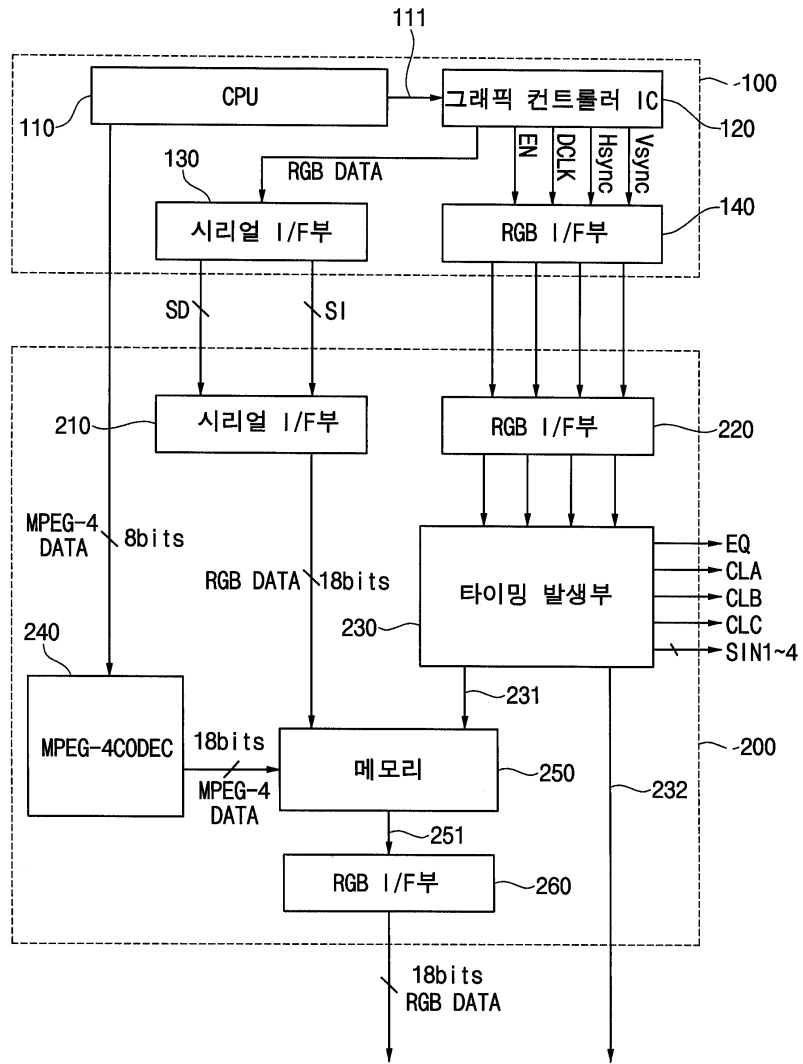
도면3



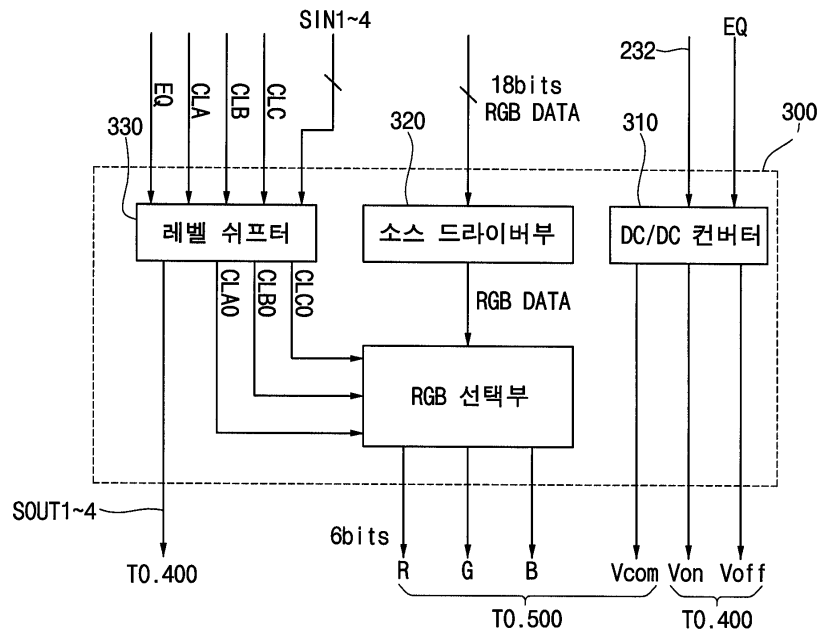
도면4



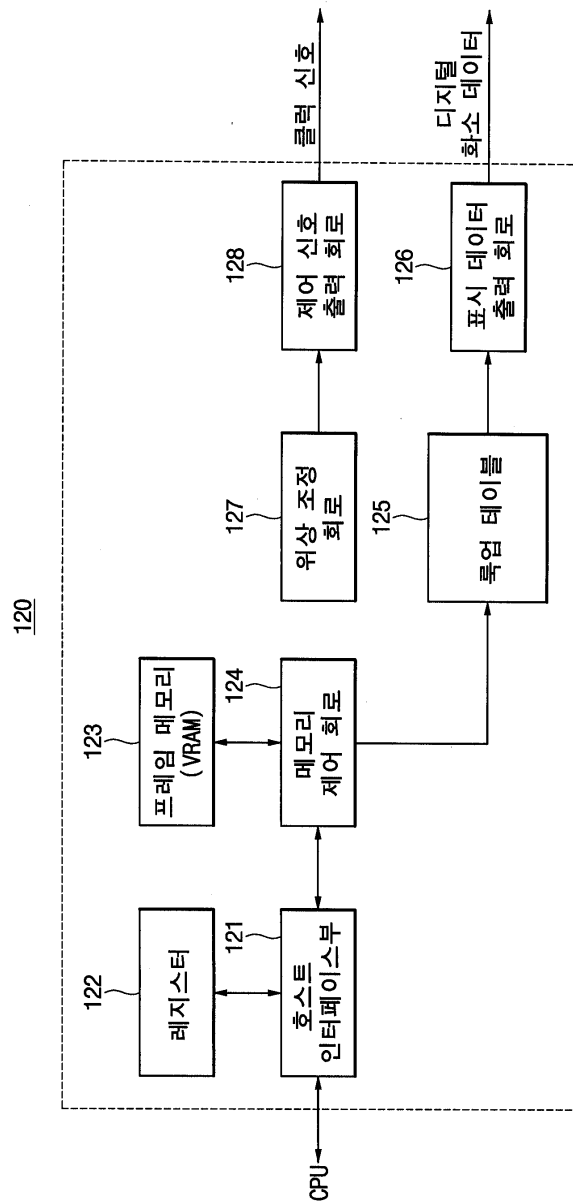
도면5a



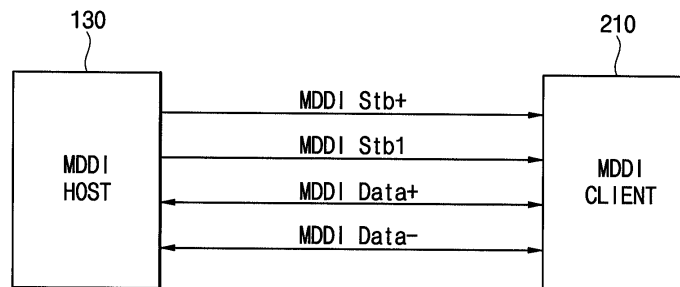
도면5b



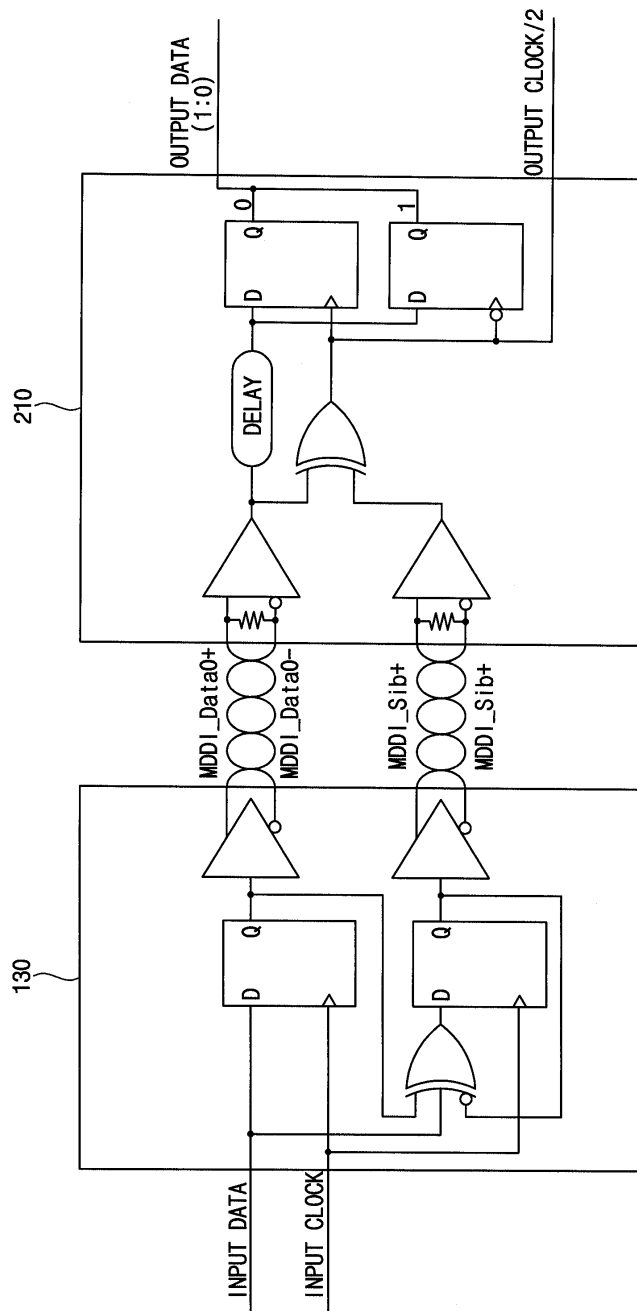
도면6



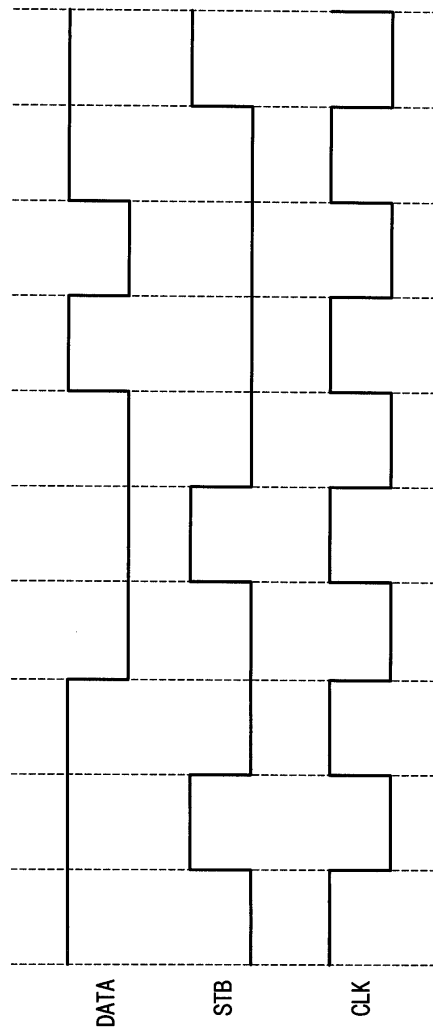
도면7a



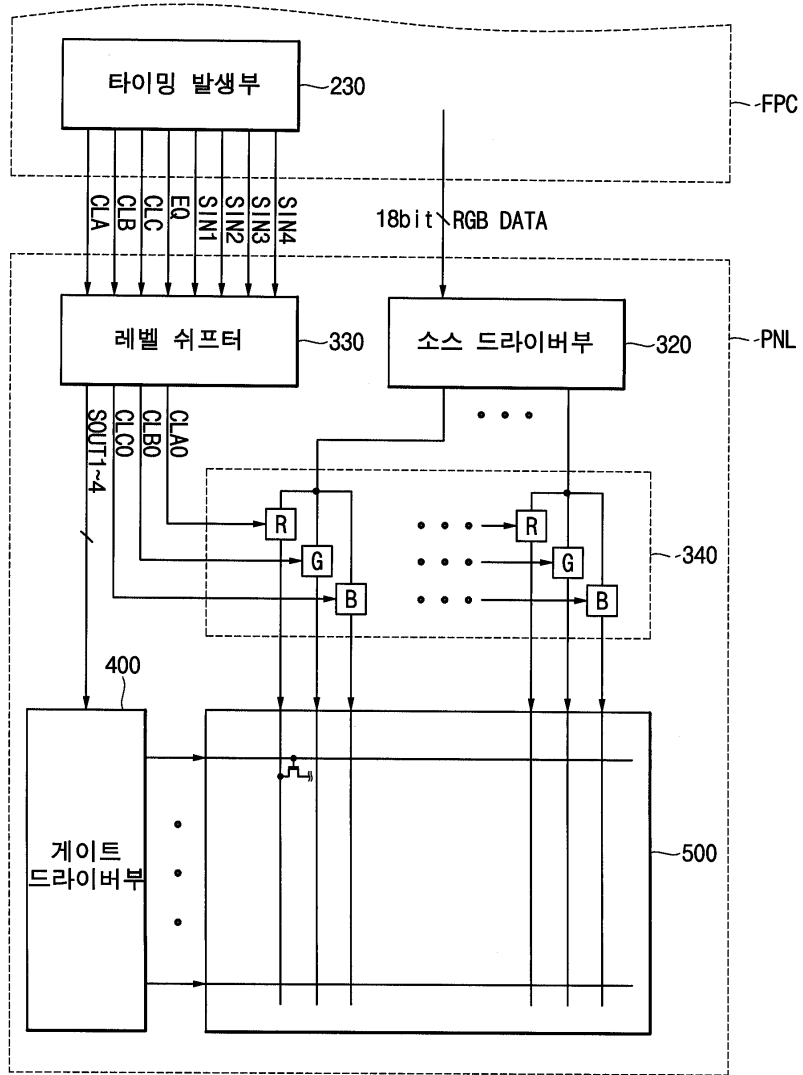
도면7b



도면7c

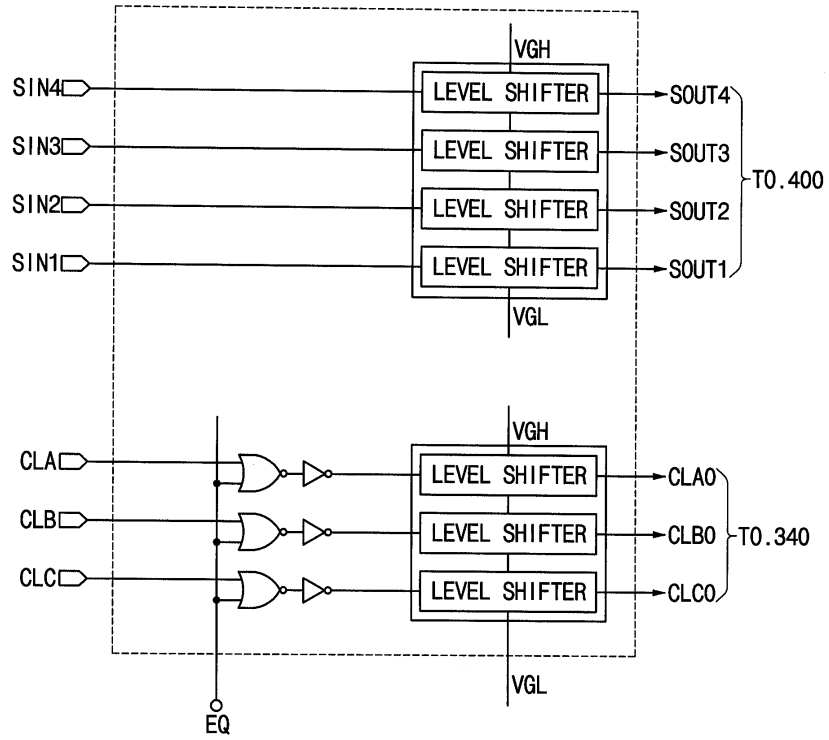


도면8

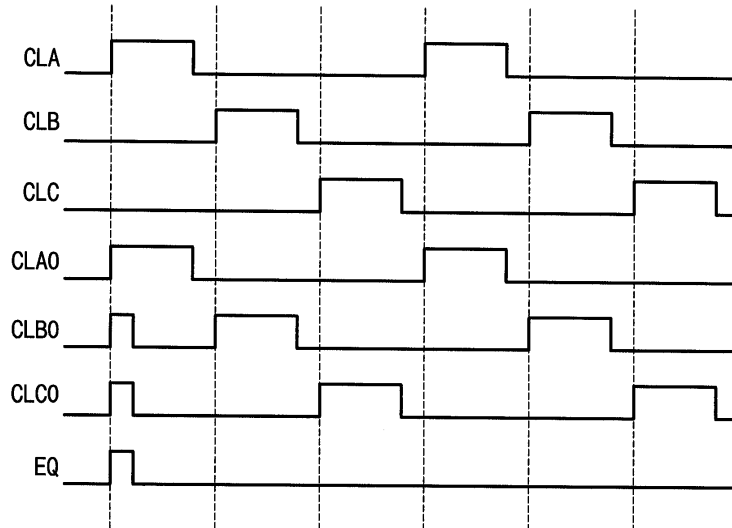


도면9

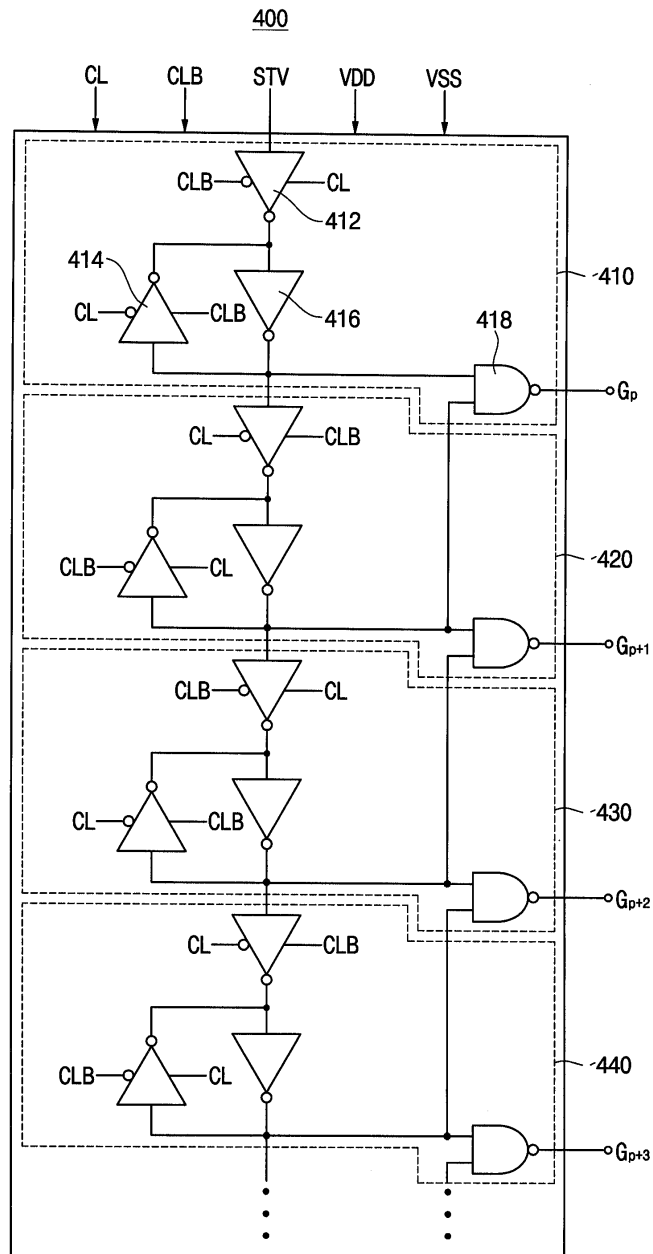
330



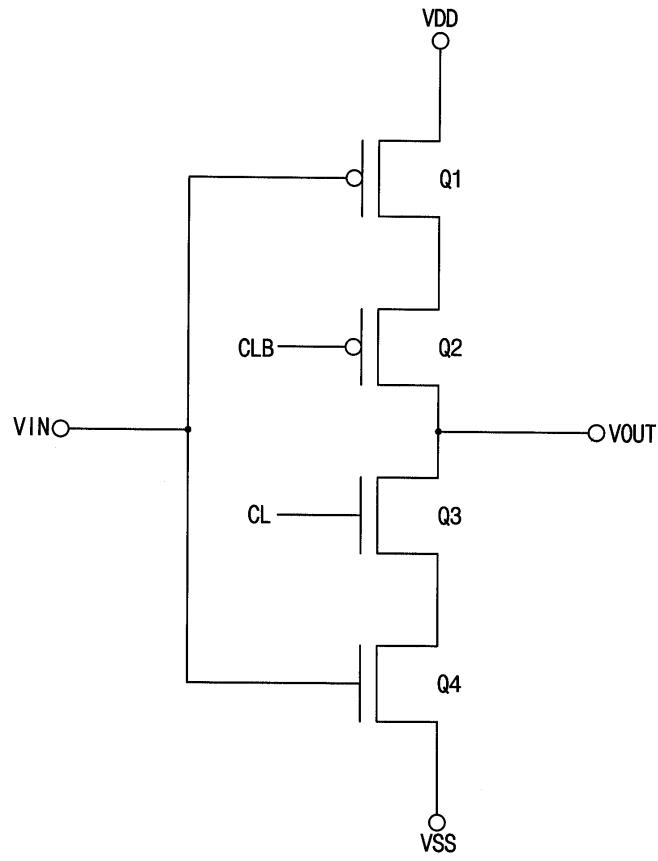
도면10



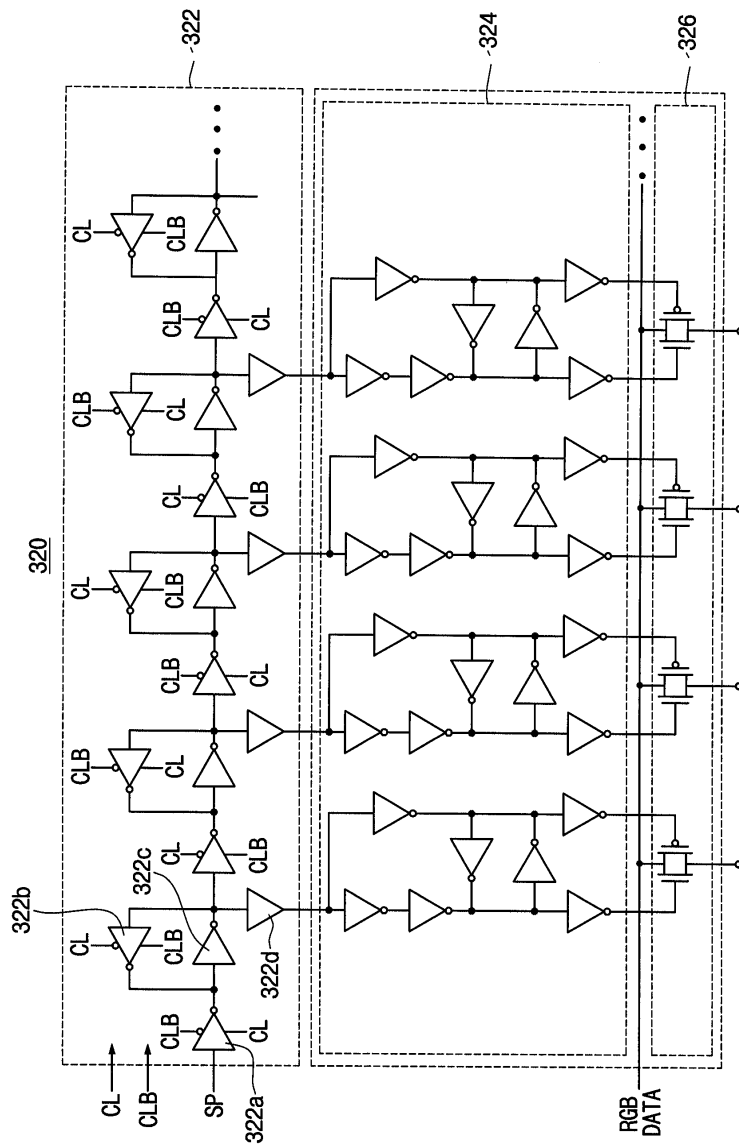
도면11



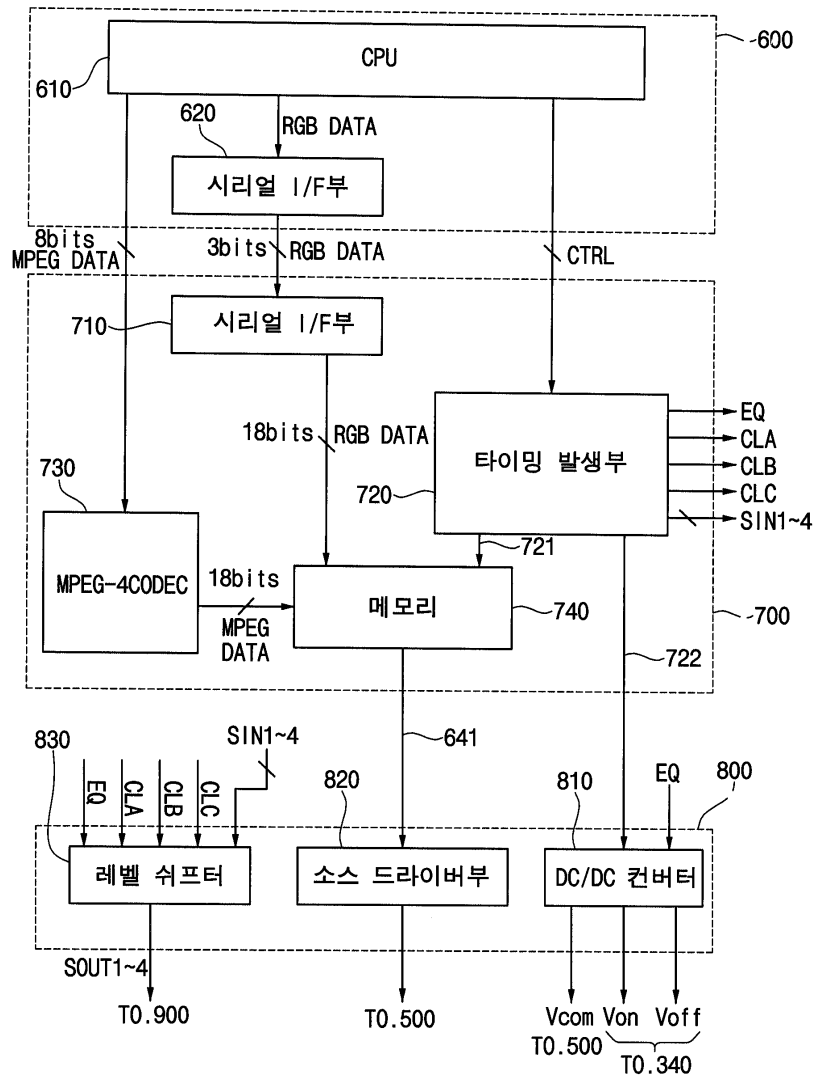
도면12



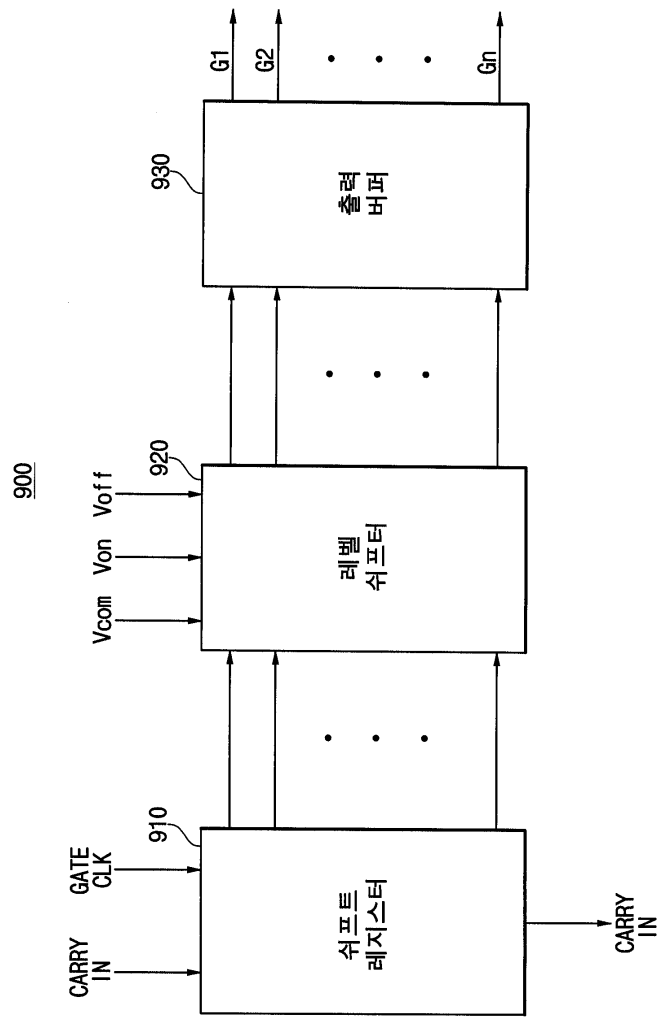
도면13



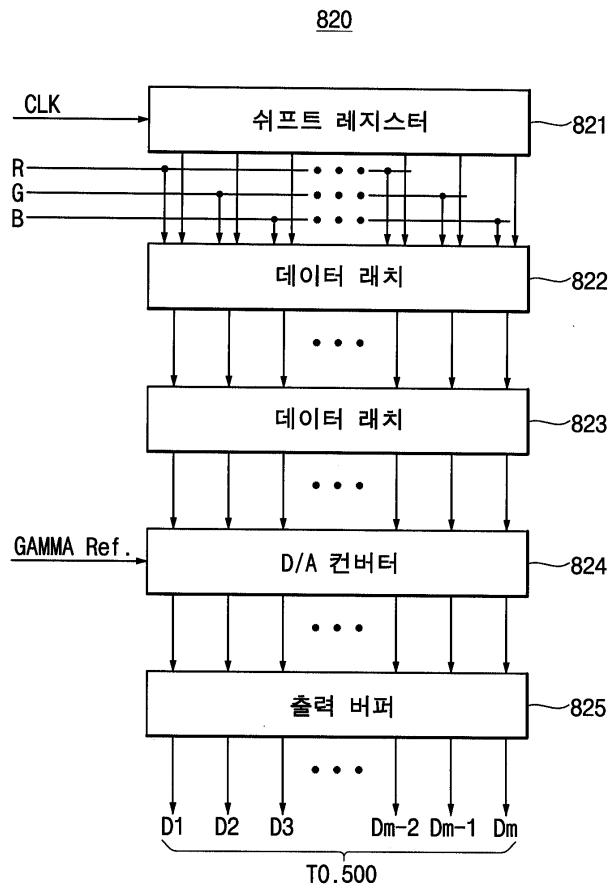
도면14



도면15



도면16



专利名称(译)	用于显示装置的驱动芯片和具有该驱动芯片的显示装置		
公开(公告)号	KR1020060054811A	公开(公告)日	2006-05-23
申请号	KR1020040093637	申请日	2004-11-16
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	JOO SOONGYONG 주승용 KIM ILGON 김일곤 MOON KOOKCHUL 문국철 MAENG HOSUK 맹호석		
发明人	주승용 김일곤 문국철 맹호석		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3688 G09G3/3677 G09G5/363 G09G2340/02 G09G3/2096 G09G3/3611		
代理人(译)	PARK, YOUNG WOO		
外部链接	Espacenet		

摘要(译)

公开了一种用于显示装置的驱动芯片，其中制造效率最大化，并且显示装置具有该驱动芯片。它安装在FPCB中，与驱动芯片是PCB电气连接。相对较低的功率和相对高频操作的第一电路部分是通过安装完成的。显示面板包括形成在显示区域的多个显示装置，高压形成在外围区域中，以及用于驱动显示装置的第二电路部分以相对低的频率操作。因此，在显示面板中，安装了以高电压和相对低频操作的相对电路。相对地，低功率和相对以高频操作的电路安装在单独的驱动芯片中。以这种方式，可以最大化IC制造效率。液晶，电压，频率，多晶硅，集成，IC，驱动芯片。

