

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/1345 (2006.01)

(11) 공개번호 10-2006-0043618
(43) 공개일자 2006년05월15일

(21) 출원번호 10-2005-0021090

(22) 출원일자 2005년03월14일

(30) 우선권주장 JP-P-2004-00072015 2004년03월15일 일본(JP)
JP-P-2005-00062736 2005년03월07일 일본(JP)

(71) 출원인 샤프 가부시기가이샤
일본 오사카후 오사카시 아베노꾸 나가이게쵸 22방 22고

(72) 발명자 시오따 모토지
일본 나라쵸 나라시 도미오끼따 3-24-15-802
아리마 도루
일본 오사카후 사카이시 센도우쵸 14-1-305

(74) 대리인 장수길
구영창

심사청구 : 있음

(54) 표시 장치 및 표시 장치용 글래스 기판

요약

액정 표시부(2)의 측방에 구동 소자(21)의 게이트 라인(18)에 접속되는 제1~제4 게이트용 드라이버 IC(G1~G4)가 배치된다. 제1~제4 게이트용 드라이버 IC(G1~G4)의 측방에는 신호가 입력되는 FPC(5)가 배치된다. 제1, 제2 게이트용 드라이버 IC(G1, G2) 사이에서 분기하는 제1 버스 라인(15)에 의해 제1, 제2 게이트용 드라이버 IC(G1, G2)의 게이트 Low 단자(11b, 11a)가 각각 FPC(5)에 접속된다. 제3, 제4 게이트용 드라이버 IC(G3, G4) 사이에서 분기하는 제2 버스 라인(16)에 의해 제3, 제4 게이트용 드라이버 IC(G3, G4)의 게이트 Low 단자(11b, 11a)가 각각 FPC(5)에 접속된다. 제2, 제3 게이트용 드라이버 IC(G2, G3)의 게이트 Hi 단자(10b, 10a), 로직 단자(12b, 12a), 및 신호 단자(13)가 FPC(5)에 접속된다. 제1, 제4 게이트용 드라이버 IC(G1, G4)의 게이트 Hi 단자(10a, 10b), 로직 단자(12a, 12b), 신호 단자(13)는 제2, 제3 게이트용 드라이버 IC(G2, G3)의 동일한 단자에 접속된다.

대표도

도 3

색인어

액정 표시 장치, 표시 소자, 드라이버 IC, 화소 전극, 신호 단자

명세서

도면의 간단한 설명

도 1은 본 발명의 실시 형태의 액정 표시 장치를 도시하는 측단면도.

도 2는 본 발명의 실시 형태의 액정 표시 장치의 액정 표시부를 도시하는 회로도.

도 3은 실시 형태의 액정 표시 장치를 도시하는 평면도.

도 4는 종래의 액정 표시 장치를 도시하는 평면도.

<도면의 주요부분에 대한 부호의 설명>

1 : 액정 표시 장치

2 : 액정 표시부

3, 4 : 클래스 기판

5, 55 : FPC

7 : 액정

10a, 10b : 게이트 Hi 단자

11a, 11b : 게이트 Low 단자(제1 신호 입력 단자)

12a, 12b, 62a, 62b : 로직 단자(제3 신호 입력 단자)

13, 63 : 신호 단자(제2 신호 입력 단자)

14, 31, 33, 35, 37, 39, 41, 81, 83, 85, 87, 89, 91 : 배선

15, 16, 65, 66 : 제1, 제2 버스 라인

15a, 16a, 65a, 66a : 평행부

17 : 소스 라인

18 : 게이트 라인

21 : 구동 소자

22 : 화소 전극

23 : 대향 전극

60a, 60b : 소스 Hi 단자

61a, 61b : 소스 Low 단자(제1 신호 입력 단자)

G1~G4 : 제1~제4 게이트용 드라이버 IC

S1~S4 : 제1~제4 소스용 드라이버 IC

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 출원은 2004년 3월 15일에 출원된 일본 특허 출원 2004-072015 및 2005년 3월 7일에 출원된 2005-062736에 기초한다.

본 발명은, 표시 소자의 각 화소마다 설치된 구동 소자를 구동하는 드라이버 IC를 갖는 액정 표시 장치 등의 표시 장치에 관한 것이다. 또한 본 발명은, 표시 소자 및 드라이버 IC가 부착되는 글래스 기판에 관한 것이다.

종래의 액정 표시 장치는 특개평5-181153호 공보에 개시되어 있다. 이 액정 표시 장치는 글래스 기판 상에 형성되는 액정 표시부와 드라이버 IC를 가지고 있다. 액정 표시부는 대향하는 글래스 기판에 형성된 대향 전극을 갖는 화소가 매트릭스 형상으로 배열된다. 각 화소에 TFT로 이루어지는 구동 소자가 설치되어 있다. 각 구동 소자에는 드라이버 IC로부터 신호가 공급된다.

도 4는 액정 표시 장치의 배선 상태를 도시하는 평면도이다. 액정 표시 장치(1)는 액정 표시부(2)의 한변에 대향하여 일렬로 나란히 배치된 제1~제4 게이트용 드라이버 IC(G1~G4)를 가지고 있다. 액정 표시부의 고정밀화에 수반하여 4개의 드라이버 IC가 이용되고 있다.

제1~제4 게이트용 드라이버 IC(G1~G4)는 글래스 기판(3)에 페이스 다운 본딩 접속되고, COG(Chip On Glass) 방식으로 되어 있다. 제1~제4 게이트용 드라이버 IC(G1~G4)는 각 구동 소자의 게이트에 공급되는 Hi 레벨 또는 Low 레벨의 신호를 출력한다.

제1~제4 게이트용 드라이버 IC(G1~G4)가 대향하는 액정 표시부(2)의 한변에 인접한 변에 대향하여 복수의 소스용 드라이버 IC(S1~Sn)가 나란히 배치되어 있다. 소스용 드라이버 IC(S1~Sn)는 각 구동 소자의 소스에 입력되는 영상 신호를 출력한다.

제1~제4 게이트용 드라이버 IC(G1~G4)는, 구동 소자의 게이트에 공급하는 Hi 레벨의 신호의 입력 단자(이하, "게이트 Hi 단자"라 함)(10a, 10b), 구동 소자의 게이트에 공급하는 Low 레벨 신호의 입력 단자(이하, "게이트 Low 단자"라 함)(11a, 11b), 제1~제4 게이트용 드라이버 IC(G1~G4)의 구동 전원의 입력 단자(12a, 12b), 주사의 타이밍의 신호가 입력되는 신호 단자(13)를 가지고 있다.

각 단자는 제1~제4 게이트용 드라이버 IC(G1~G4)가 나열되는 방향(이하, "열방향(column direction)"이라 함)에 수직인 중심선에 대하여 대칭으로 배치되어 있다. 이것에 의해, 제1~제4 게이트용 드라이버 IC(G1~G4)의 배치되는 장소에 부합하여 접속 위치를 변경할 수 있다. 이 때문에, 제1~제4 게이트용 드라이버 IC(G1~G4)는 공통의 패키지를 이용할 수 있게 된다.

글래스 기판(3)에는, 제1~제4 게이트용 드라이버 IC(G1~G4)의 각 단자로부터 글래스 기판(3)의 단부로 연장되는 복수의 배선(14)이 형성되어 있다. 각 배선(14)은 FPC(5)의 소정 위치에 접속되고, FPC(5)에는 회로 기판(도시 생략) 등이 접속된다. 이것에 의해, 제1~제4 게이트용 드라이버 IC(G1~G4)의 각 단자에 소정의 신호가 입력된다.

또한, 제1~제4 게이트용 드라이버 IC(G1~G4)의 게이트 Low 단자(11a, 11b)에 접속되는 배선(14a)은 열방향에 대하여 대략 수직으로 FPC(5)의 방향에 연장되어 형성된다. 이것에 의해, 배선(14a)은 최단으로 동일한 길이로 형성되고, 임피던스를 작게 함과 함께 임피던스에 의한 전압 강하가 동일하게 된다.

다른 단자에 대해서도 마찬가지로, 동일한 종류의 신호가 입력되는 각 단자에 접속되는 배선(14)은 FPC(5)까지의 거리가 동일하고, 동일한 길이로 형성되어 있다. 또한, 소스측의 소스용 드라이버 IC(S1~Sn)의 배선에 대해서도 마찬가지로 구성되어 있다. 이것에 의해, 배선(14)의 전압 강하를 작게 함과 함께 배선(14)에 의해 입력되는 전압을 균일하게 하여, 시인성이 좋은 액정 표시 장치(1)가 얻어지게 된다.

그러나, 상기 종래의 액정 표시 장치(1)에 의하면, 각 단자로부터 열방향에 대하여 대략 수직으로 배선(14)이 연장되기 때문에 FPC(5)의 열방향의 폭(A)이 커진다. 이것에 의해, 액정 표시 장치(1)가 대형이 되고, FPC(5)의 열방향 측방의 스페이스를 효율적으로 이용할 수 없기 때문에 액정 표시 장치(1)를 탑재하는 기기가 대형으로 되는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은, 기기의 소형화를 도모할 수 있는 표시 장치 및 표시 장치용 글래스 기판을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위해 본 발명은, 표시 장치에 있어서, 기판과, 구동 소자를 갖는 화소가 상기 기판 상에 매트릭스 형상으로 배열되는 표시부와, 상기 기판 상의 상기 표시부의 측방에 일렬로 나열되어 순서대로 실장되고, 상기 구동 소자를 구동하는 제1 내지 제4 드라이버 IC와, 상기 기판에 접속하여 상기 제1 내지 제4 드라이버 IC에 공급될 신호를 수신하는 배선 부품을 포함하며, 상기 제1 및 제2 드라이버 IC는 서로 대향하는 위치에서 동일한 신호를 수신할 수 있는 제1 신호 입력 단자를 가지며, 상기 제3 및 제4 드라이버 IC는 서로 대향하는 위치에서 동일한 신호를 수신할 수 있는 제1 신호 입력 단자를 가지며, 상기 기판에는, 상기 제1 및 제2 드라이버 IC의 제1 신호 입력 단자를 서로 접속하고, 상기 제1 및 제2 드라이버 IC 사이에서 분기하여 상기 배선 부품을 접속되는 제1 버스 라인과, 상기 제3 및 제4 드라이버 IC의 제1 신호 입력 단자를 서로 접속하고, 상기 제3 및 제4 드라이버 IC 사이에서 분기하여 상기 배선 부품을 접속되는 제2 버스 라인이 형성되는 것을 특징으로 한다.

또한, 상기 목적을 달성하기 위해 본 발명은, 표시 장치용 글래스 기판에 있어서, 구동 소자를 갖는 화소가 매트릭스 형상으로 배열된 표시 소자가 배치되는 표시 소자 영역과, 상기 표시 소자 영역의 측방에 일렬로 나열되어 상기 구동 소자를 구동하는 제1 내지 제4 드라이버 IC가 배치되는 제1 내지 제4 드라이버 영역과, 상기 제1 내지 제4 드라이버 IC에 공급되는 신호를 수신하는 배선 부품을 접속되는 배선 부품 영역과, 상기 제1, 제2 드라이버 영역의 제1 신호 입력 단자를 접속하고, 상기 제1, 제2 드라이버 영역 사이에서 분기하여 상기 배선 부품 영역에 접속되는 제1 버스 라인과, 상기 제3, 제4 드라이버 영역의 제1 신호 입력 단자를 접속하고, 상기 제3, 제4 드라이버 영역 사이에서 분기하여 상기 배선 부품 영역에 접속되는 제2 버스 라인을 가지며, 상기 제1 및 제2 드라이버 영역은 서로 대향하는 위치에서 제1 신호 입력 단자를 가지며, 상기 제3 및 제4 드라이버 영역은 서로 대향하는 위치에서 제1 신호 입력 단자를 갖는 것을 특징으로 한다.

이하에 본 발명의 실시 형태를 도면을 참조하여 설명한다. 설명의 편의상, 상기의 도 4에 도시하는 종래예와 동일한 부분은 동일한 부호를 부여한다. 도 1은 본 발명의 일 실시 형태의 액정 표시 장치를 도시하는 측단면도이다. 액정 표시 장치(1)는 액정 표시부(2)를 가지고 있으며, 액정 표시부(2)는 글래스 기판(3)의 표시 소자 영역(도시 생략)에 설치되어 있다. 대향 배치되는 글래스 기판(3, 4) 사이에는 액정(7)이 봉입된 액정 셀로 이루어져 있다. 글래스 기판(3,4)의 외면에는 편광판(25)이 설치된다.

글래스 기판(3) 상에는 TFT로 이루어지는 구동 소자(21) 및 화소 전극(22)이 매트릭스 형상으로 배열되어 있다. 글래스 기판(4) 상에는 각 화소 전극(22)에 대향하는 대향 전극(23)이 설치되어 있다. 이것에 의해, 매트릭스 형상으로 배열된 화소가 형성되어 있다.

도 2는 액정 표시부(2)의 회로도도를 도시하고 있다. 각 구동 소자(21)의 드레인(21a)은 액정(7)의 용량 및 축적 용량(8)에 접속된다. 각 구동 소자(21)의 소스는 액정 표시부(2)의 한변에 대향하여 나란히 배치된 제1~제4 소스용 드라이버 IC(S1~S4)(도 3 참조)에 소스 라인(17)을 통하여 접속된다. 각 구동 소자(21)의 게이트는 소스 라인(17)에 직교하는 게이트 라인(18)을 통하여, 액정 표시부(2)의 한변에 대향하여 나란히 배치된 제1~제4 게이트용 드라이버 IC(G1~G4)(도 3 참조)에 접속된다.

제1~제4 게이트용 드라이버 IC(G1~G4)로부터 각 구동 소자(21)의 게이트에는 Hi 레벨 또는 Low 레벨의 신호가 공급된다. 제1~제4 소스용 드라이버 IC(S1~S4)로부터 각 구동 소자(21)의 소스에는 영상 신호가 공급된다. 구동 소자(21)의 게이트가 Hi 레벨이 되는 것에 의해 구동 소자(21)가 도통하여 영상 신호가 액정(7)의 용량에 기입된다.

도 3은 액정 표시 장치(1)의 평면도를 도시하고 있다. 제1~제4 게이트용 드라이버 IC(G1~G4) 및 제1~제4 소스용 드라이버 IC(S1~S4)는 각각 글래스 기판(3) 상의 제1~제4 게이트 드라이버 영역(도시 생략) 및 제1~제4 소스 드라이버 영역

역에 페이스 다운 본딩 접속된 COG 방식으로 되어 있다. 제1~제4 게이트용 드라이버 IC(G1~G4)는 액정 표시부(2)에 대향하여 열방향으로 순서대로 나란히 배치된다. 제1~제4 소스용 드라이버 IC(S1~S4)는 액정 표시부(2)에 대향하여 열 방향에 직교하는 방향(이하, "행방향(row direction)"이라 함)에 순서대로 나란히 배치된다.

제1~제4 게이트용 드라이버 IC(G1~G4)는 게이트 Hi 단자(10a, 10b), 게이트 Low 단자(11a, 11b)(제1 신호 입력 단자), 로직 단자(12a, 12b)(제3 신호 입력 단자), 신호 단자(13)(제2 신호 입력 단자)를 가지고 있다. 각 단자는 제1~제4 게이트용 드라이버 IC(G1~G4)가 나열되는 열방향에 수직인 중심선에 대하여 대칭으로 배치되어 있다. 이것에 의해, 제1~제4 게이트용 드라이버 IC(G1~G4)의 배치에 부합하여 접속 위치를 선택할 수가 있으며, 이에 따라 제1~제4 게이트용 드라이버 IC(G1~G4)에 대해 공통의 패키지를 이용할 수 있다.

또한, 게이트 Hi 단자(10a, 10b)와 게이트 Low 단자(11a, 11b)는 2열로 나열되어, 게이트 Hi 단자(10a, 10b)는 제1~제4 게이트용 드라이버 IC(G1~G4)의 양단에 배치되고, 게이트 Low 단자(11a, 11b)는 제1~제4 게이트용 드라이버 IC(G1~G4)의 양단에 배치된다. 신호 단자(13)는 게이트 Low 단자(11a, 11b)의 사이에 배치된다. 로직 단자(12a)는 게이트 Low 단자(11a)와 신호 단자(13) 사이에 배치되고, 로직 단자(12b)는 게이트 Low 단자(11b)와 신호 단자(13) 사이에 배치된다. 또한, 도면이 복잡하게 되기 때문에, 제2~제4 게이트용 드라이버 IC(G2~G4)의 각 단자의 부호를 생략한다. 제1 게이트용 드라이버 IC(G1)와 동일한 위치의 단자를 동일한 부호를 이용하여 설명한다.

글래스 기판(3)에는, 제1~제4 게이트용 드라이버 IC(G1~G4)의 소정의 단자로부터 글래스 기판(3)의 단부로 연장되는 복수의 배선(14)이 형성되어 있다. 각 배선(14)은, 글래스 기판(3)의 배선 부품 영역에 부착되는 FPC(5)(배선 부품)의 소정 위치에 접속된다. FPC(5)에는 회로 기판(도시 생략) 등이 접속된다. 이것에 의해, FPC(5)로부터 소정의 신호가 각 단자에 입력된다.

인접하는 제1 게이트용 드라이버 IC(G1)의 게이트 Low 단자(11b)와 제2 게이트용 드라이버 IC(G2)의 게이트 Low 단자(11a)에는 제1 버스 라인(15)이 접속된다. 제1 버스 라인(15)은 제1, 제2 게이트용 드라이버 IC(G1, G2) 사이에서 T자형으로 분기하여 FPC(5)에 접속된다. 이것에 의해, 1개의 제1 버스 라인(15)을 사용해서 FPC(5)와, 제1, 제2 게이트용 드라이버 IC(G1, G2)의 게이트 Low 단자를 접속할 수 있다.

마찬가지로, 인접하는 제3 게이트용 드라이버 IC(G3)의 게이트 Low 단자(11b)와 제4 게이트용 드라이버 IC(G4)의 게이트 Low 단자(11a)에는 제2 버스 라인(16)이 접속된다. 제2 버스 라인(16)은 제3, 제4 게이트용 드라이버 IC(G3, G4) 사이에서 T자형으로 분기하여 FPC(5)에 접속된다. 이것에 의해, 1개의 제2 버스 라인(16)을 사용해서 FPC(5)와, 제3, 제4 게이트용 드라이버 IC(G3, G4)의 게이트 Low 단자를 접속할 수 있다.

제1 버스 라인(15)은 제1, 제2 게이트용 드라이버 IC(G1, G2) 사이의 중앙의 분기점(15b)에서 분기한다. 분기점(15b)과 제1 게이트용 드라이버 IC(G1)의 게이트 Low 단자(11b)와의 거리(L1)와, 분기점(15b)과 제2 게이트용 드라이버 IC(G2)의 게이트 Low 단자(11a)와의 거리(L2)는 동일하게 되어 있다. 분기점(15b)과 제1 게이트용 드라이버 IC(G1)의 게이트 Low 단자(11b)와의 라인 폭과, 분기점(15b)과 제2 게이트용 드라이버 IC(G2)의 게이트 Low 단자(11a)와의 라인 폭은 동일하게 되어 있다. 분기점(15b)과 FPC(5)와의 거리는 거리(L1 및 L2)와 동일하다.

마찬가지로, 제2 버스 라인(16)의 분기점(16b)과 제3 게이트용 드라이버 IC(G3)의 게이트 Low 단자(11b)와의 거리(L3)와, 분기점(16b)과 제4 게이트용 드라이버 IC(G4)의 게이트 Low 단자(11a)와의 거리(L4)는 동일하게 되어 있다. 제2 버스 라인(16)의 분기점(16b)과 제3 게이트용 드라이버 IC(G3)의 게이트 Low 단자(11b)와의 라인 폭과, 분기점(16b)과 제4 게이트용 드라이버 IC(G4)의 게이트 Low 단자(11a)와의 라인 폭은 동일하게 되어 있다. 분기점(16b)과 FPC(5)와의 거리는 거리(L3 및 L4)와 동일하다.

제2 게이트용 드라이버 IC(G2)의 신호 단자(13)는 배선(31)에 의해 FPC(5)에 접속된다. 제1 게이트용 드라이버 IC(G1)의 신호 단자(13)는 배선(39)에 의해 제2 게이트용 드라이버 IC(G2)의 신호 단자(13)와 접속되어 있다. 배선(39)은 제1, 제2 게이트용 드라이버 IC(G1, G2)의 하방, 및 제1, 제2 게이트용 드라이버 IC(G1, G2) 사이를 통과하도록 형성된다. 이것에 의해, 제1 버스 라인(15)과의 단락을 방지하여 FPC(5)에 접속되는 배선을 삭감할 수 있다.

마찬가지로, 제2 게이트용 드라이버 IC(G2)의 로직 단자(12b)는 배선(33)에 의해 FPC(5)에 접속된다. 제1 게이트용 드라이버 IC(G1)의 로직 단자(12a)는 배선(37)에 의해 제2 게이트용 드라이버 IC(G2)의 로직 단자(12b)와 접속되어 있다. 배선(37)은 제1, 제2 게이트용 드라이버 IC(G1, G2)의 하방 및 제1, 제2 게이트용 드라이버 IC(G1, G2) 사이를 통과하도록 형성된다.

또한, 제2 게이트용 드라이버 IC(G2)의 게이트 Hi 단자(10b)는 배선(35)에 의해 FPC(5)에 접속된다. 제2 게이트용 드라이버 IC(G2)의 게이트 Hi 단자(10a), 제1 게이트용 드라이버 IC(G1)의 게이트 Hi 단자(10a, 10b)는 배선(41)에 의해 제2 게이트용 드라이버 IC(G2)의 게이트 Hi 단자(10b)와 접속되어 있다. 배선(41)은 제1, 제2 게이트용 드라이버 IC(G1, G2)의 하방 및 제1, 제2 게이트용 드라이버 IC(G1, G2) 사이를 통과하도록 형성된다.

제3, 제4 게이트용 드라이버 IC(G3, G4)에 대해서도 마찬가지로 되어 있다. 즉, 제3 게이트용 드라이버 IC(G3)의 신호 단자(13), 로직 단자(12a), 게이트 Hi 단자(10a)는 각 배선에 의해 FPC(5)에 접속된다. 제4 게이트용 드라이버 IC(G4)의 신호 단자(13), 로직 단자(12b), 게이트 Hi 단자(10a, 10b)는, 각각 제3, 제4 게이트용 드라이버 IC(G3, G4)의 하방 및 제3, 제4 게이트용 드라이버 IC(G3, G4) 사이를 통과하는 배선에 의해 제3 게이트용 드라이버 IC(G3)의 신호 단자(13), 로직 단자(12a), 게이트 Hi 단자(10a)에 각각 접속된다.

제2, 제3 게이트용 드라이버 IC(G2, G3) 사이의 중앙으로부터 열방향에 수직인 방향으로 연장된 중심선 Y1-Y1'에 대하여, 각 배선이 대칭으로 형성되어 있다. 이것에 의해, 제1, 제2 게이트용 드라이버 IC(G1, G2)에 입력되는 신호와, 제3, 제4 게이트용 드라이버 IC(G3, G4)에 입력되는 신호의 크기가 동일하게 된다. 따라서, 표시 화면 중앙에서의 극단적인 전압 변화를 방지하여 화상의 경계의 발생을 방지할 수 있다.

제1~제4 소스용 드라이버 IC(S1~S4)는 제1~제4 게이트용 드라이버 IC(G1~G4)와 마찬가지로, 소스 Hi 단자(60a, 60b), 소스 Low 단자(61a, 61b)(제1 신호 입력 단자), 로직 단자(62a, 62b)(제3 신호 입력 단자), 신호 단자(63)(제2 신호 입력 단자)를 가지고 있다. 각 단자는 제1~제4 소스용 드라이버 IC(S1~S4)가 배열되는 행방향에 수직인 중심선에 대하여 대칭으로 배치되어 있다. 이것에 의해, 제1~제4 소스용 드라이버 IC(S1~S4)의 배치에 부합하여 접속 위치를 선택할 수 있고, 이에 따라 제1~제4 소스용 드라이버 IC(S1~S4)에 대해 공통의 패키지를 이용할 수 있다.

또한, 소스 Hi 단자(60a, 60b)와 소스 Low 단자(61a, 61b)는 2열로 나열되고, 소스 Hi 단자(60a, 60b)는 각각 제1~제4 소스용 드라이버 IC(S1~S4)의 양단에 배치되고, 소스 Low 단자(61a, 61b)는 각각 제1~제4 소스용 드라이버 IC(S1~S4)의 양단에 배치된다. 신호 단자(63)는 소스 Low 단자(61a, 61b)의 사이에 배치된다. 로직 단자(62a)는 소스 Low 단자(61a)와 신호 단자(63) 사이에 배치되고, 로직 단자(62b)는 소스 Low 단자(61b)와 신호 단자(63) 사이에 배치된다. 도면이 복잡하게 되기 때문에, 제2~제4 소스용 드라이버 IC(S2~S4)의 각 단자의 부호를 생략한다. 제1 소스용 드라이버 IC(S1)와 동일한 위치의 단자를 동일한 부호를 이용하여 설명한다.

글래스 기관(3)에는, 제1~제4 소스용 드라이버 IC(S1~S4)의 소정의 단자로부터 글래스 기관(3)의 단부로 연장되는 복수의 배선(14)이 형성되어 있다. 각 배선(14)은 글래스 기관(3)의 배선 부품 영역에 부착되는 FPC(55)(배선 부품)의 소정 위치에 접속된다. FPC(55)에는 회로 기관(도시 생략) 등이 접속된다. 이것에 의해, FPC(55)로부터 소정의 신호가 각 단자에 입력된다.

인접하는 제1 소스용 드라이버 IC(S1)의 소스 Low 단자(61b)와 제2 소스용 드라이버 IC(S2)의 소스 Low 단자(61a)에는 제1 버스 라인(65)이 접속된다. 제1 버스 라인(65)은 제1, 제2 소스용 드라이버 IC(S1, S2) 사이에서 T자형으로 분기하여 FPC(55)에 접속된다. 이것에 의해, 1개의 제1 버스 라인(65)을 사용해서 FPC(55)와, 제1, 제2 소스용 드라이버 IC(S1, S2)의 소스 Low 단자를 접속할 수 있다.

마찬가지로, 인접하는 제3 소스용 드라이버 IC(S3)의 소스 Low 단자(61b)와 제4 소스용 드라이버 IC(S4)의 소스 Low 단자(61a)에는 제2 버스 라인(66)이 접속된다. 제2 버스 라인(66)은 제3, 제4 소스용 드라이버 IC(S3, S4) 사이에서 T자형으로 분기하여 FPC(55)에 접속된다. 이것에 의해, 1개의 제2 버스 라인(66)을 사용해서 FPC(55)와, 제3, 제4 소스용 드라이버 IC(S3, S4)의 소스 Low 단자를 접속할 수 있다.

제1 버스 라인(65)은 제1, 제2 소스용 드라이버 IC(S1, S2) 사이의 중앙의 분기점(65b)에서 분기한다. 분기점(65b)과 제1 소스용 드라이버 IC(S1)의 소스 Low 단자(61b)와의 거리(L5)와, 분기점(65b)과 제2 소스용 드라이버 IC(S2)의 소스 Low 단자(61a)와의 거리(L6)는 동일하게 되어 있다. 분기점(65b)과 제1 소스용 드라이버 IC(S1)의 소스 Low 단자(61b)와의 라인 폭과, 분기점(65b)과 제2 소스용 드라이버 IC(S2)의 소스 Low 단자(61a)와의 라인 폭은 동일하게 되어 있다. 분기점(65b)과 FPC(55)와의 거리는 거리(L5 및 L6)와 동일하다.

마찬가지로, 제2 버스 라인(66)의 분기점(66b)과 제3 소스용 드라이버 IC(S3)의 소스 Low 단자(61b)와의 거리(L7)와, 분기점(66b)과 제4 소스용 드라이버 IC(S4)의 소스 Low 단자(61a)와의 거리(L8)는 동일하게 되어 있다. 제2 버스 라인의

분기점(66b)과 제3 소스용 드라이버 IC(S3)의 소스 Low 단자(61b)와의 라인 폭과, 분기점(66b)과 제4 소스용 드라이버 IC(S4)의 소스 Low 단자(61a)와의 라인 폭은 동일하게 되어 있다. 분기점(66b)과 FPC(55)와의 거리는 거리(L7 및 L8)와 동일하다.

제2 소스용 드라이버 IC(S2)의 신호 단자(63)는 배선(81)에 의해 FPC(55)에 접속된다. 제1 소스용 드라이버 IC(S1)의 신호 단자(63)는 배선(89)에 의해 제2 소스용 드라이버 IC(S2)의 신호 단자(63)와 접속되어 있다. 배선(89)은 제1, 제2 소스용 드라이버 IC(S1, S2)의 하방 및 제1, 제2 소스용 드라이버 IC(S1, S2) 사이를 통과하도록 형성된다. 이것에 의해, 제1 버스 라인(65)과의 단락을 방지하여 FPC(55)에 접속되는 배선의 수를 삭감할 수 있다.

마찬가지로, 제2 소스용 드라이버 IC(S2)의 로직 단자(62b)는 배선(83)에 의해 FPC(55)에 접속된다. 제1 소스용 드라이버 IC(S1)의 로직 단자(62a)는 배선(87)에 의해 제2 소스용 드라이버 IC(S2)의 로직 단자(62b)와 접속되어 있다. 배선(87)은 제1, 제2 소스용 드라이버 IC(S1, S2)의 하방 및 제1, 제2 소스용 드라이버 IC(S1, S2) 사이를 통과하도록 형성된다.

또한, 제2 소스용 드라이버 IC(S2)의 소스 Hi 단자(60b)는 배선(85)에 의해 FPC(55)에 접속된다. 제2 소스용 드라이버 IC(S2)의 소스 Hi 단자(60a), 제1 소스용 드라이버 IC(S1)의 소스 Hi 단자(60a, 60b)는 배선(91)에 의해 제2 소스용 드라이버 IC(S2)의 소스 Hi 단자(60b)와 접속되어 있다. 배선(91)은 제1, 제2 소스용 드라이버 IC(S1, S2)의 하방 및 제1, 제2 소스용 드라이버 IC(S1, S2) 사이를 통과하도록 형성된다.

제3, 제4 소스용 드라이버 IC(S3, S4)에 대해서도 마찬가지로 되어 있다. 즉, 제3 소스용 드라이버 IC(S3)의 신호 단자(63), 로직 단자(62a), 소스 Hi 단자(60a)는 각 배선에 의해 FPC(55)에 접속된다. 제4 소스용 드라이버 IC(S4)의 신호 단자(63), 로직 단자(62b), 소스 Hi 단자(60a, 60b)는, 각각 제3, 제4 소스용 드라이버 IC(S3, S4)의 하방 및 제3, 제4 소스용 드라이버 IC(S3, S4) 사이를 통과하는 배선에 의해 제3 소스용 드라이버 IC(S3)의 신호 단자(63), 로직 단자(62a), 소스 Hi 단자(60a)에 접속된다.

또한, 제2, 제3 소스용 드라이버 IC(S2, S3) 사이의 중앙으로부터 행방향에 수직인 방향으로 연장된 중심선 X1-X1'에 대하여, 각 배선이 대칭으로 형성되어 있다. 이것에 의해, 제1, 제2 소스용 드라이버 IC(S1, S2)에 입력되는 신호와, 제3, 제4 소스용 드라이버 IC(S3, S4)에 입력되는 신호의 크기가 동일하게 된다. 따라서, 표시 화면 중앙에서 발생하는 극단적인 전압 변화를 방지하여 화상의 경계의 발생을 방지 할 수 있다.

상기 구성의 액정 표시 장치(1)에 의하면, 제1, 제2 버스 라인(15, 16) 및 제1, 제2 버스 라인(65, 66)에 의해 게이트 Low 단자 및 소스 Low 단자로의 입력이 밸런스화된다. 이것에 의해, FPC(5, 55)에 접속되는 배선(14)의 수를 삭감할 수 있다. 따라서, FPC(5, 55)의 폭(A, B)(도 3 참조)을 작게 하여, 액정 표시 장치(1)의 소형화를 도모할 수 있다.

또한, 거리 L1, L2가 동일하기 때문에, FPC(5)와 제1 게이트용 드라이버 IC(G1)의 게이트 Low 단자(11b) 사이의 전압 강하가, FPC(5)와 제2 게이트용 드라이버 IC(G2)의 게이트 Low 단자(11a) 사이의 전압 강하와 동일하게 된다. 따라서, 제1, 제2 게이트용 드라이버 IC(G1, G2)로부터 출력되는 Low 레벨의 전압의 변동이 작아지고, 표시 화면의 화질이 균일화된다.

또한, 거리 L3, L4가 동일하기 때문에, FPC(5)와 제3 게이트용 드라이버 IC(G3)의 게이트 Low 단자(11b) 사이의 전압 강하가, FPC(5)와 제4 게이트용 드라이버 IC(G4)의 게이트 Low 단자(11a) 사이의 전압 강하와 동일하게 된다. 따라서, 제3, 제4 게이트용 드라이버 IC(G3, G4)로부터 출력되는 Low 레벨의 전압의 변동이 작아지고, 표시 화면의 화질이 균일화된다.

마찬가지로, 거리 L5, L6이 동일하기 때문에, FPC(55)와 제1 소스용 드라이버 IC(S1)의 소스 Low 단자(61b) 사이의 전압 강하가, FPC(55)와 제2 소스용 드라이버 IC(S2)의 소스 Low 단자(61a) 사이의 전압 강하와 동일하게 된다. 따라서, 제1, 제2 소스용 드라이버 IC(S1, S2)로부터 출력되는 Low 레벨의 전압의 변동이 작아지고, 표시 화면의 화질이 균일화된다.

또한, 거리 L7, L8이 동일하기 때문에, FPC(55)와 제3 소스용 드라이버 IC(S3)의 소스 Low 단자(61b) 사이의 전압 강하가, FPC(55)와 제4 소스용 드라이버 IC(S4)의 소스 Low 단자(61a) 사이의 전압 강하와 동일하게 된다. 따라서, 제3, 제4 소스용 드라이버 IC(S3, S4)로부터 출력되는 Low 레벨의 전압의 변동이 작아지고, 표시 화면의 화질이 균일화된다.

또한, 중심선 Y1-Y1'에 대하여, 제1, 제2 버스 라인(15, 16)이 대칭으로 배치되어 있다. 따라서, 제1~제4 게이트용 드라이버 IC(G1~G4)의 각 게이트 Low 단자에 입력되는 전압의 전압 강하가 동일하게 되기 때문에, 표시 화면의 화질이 보다 균일화된다. 마찬가지로, 중심선 X1-X1'에 대하여, 제1, 제2 버스 라인(65, 66)이 대칭으로 배치되어 있다. 따라서, 제1~

제4 소스용 드라이버 IC(S1~S4)의 각 소스 Low 단자에 입력되는 전압의 전압 강하가 동일하게 되기 때문에, 표시 화면의 화질이 보다 균일해진다. 이 때, 게이트 Hi 단자, 로직 단자, 신호 단자에 비하여, 입력 전압의 변동에 대한 화질에의 영향이 큰 게이트 Low 단자로의 접속이 밸런스화되어, 화질의 열화를 방지할 수 있다.

표 1은 제1~제4 게이트용 드라이버 IC(G1~G4)의 게이트 Hi 단자, 게이트 Low 단자, 로직 단자, 신호 단자에 접속되는 각 배선과 FPC(5) 사이의 저항값(단위:Ω)을 측정한 결과를 나타내고 있다. 이것에 의하면, 제1, 제2 버스 라인(15, 16)에 의해 게이트 Low 단자에 각각 접속되는 배선의 저항값이 균일하게 되어 있고, 이에 따라 게이트 Low 단자의 입력 전압을 일정하게 할 수 있다. 제1~제4 소스용 드라이버 IC(S1~S4)에 대해서도 마찬가지이다.

[표 1]

IC	단자			
	게이트 Hi	게이트 Low	로직	신호
G1	88.6	72.1	314.2	367.7
G2	14.3	72.1	13.3	91.6
G3	14.3	72.1	13.1	91.8
G4	88.6	72.1	314.2	368.5

단위:Ω

또한, 각 단자에 입력된 신호는 각 드라이버 IC 내에서 전압 강하한다. 이 때, 제1 버스 라인(15)에 의해 제1, 제2 게이트용 드라이버 IC(G1, G2)가 접속되고, 제2 버스 라인(16)에 의해 제3, 제4 게이트용 드라이버 IC(G3, G4)가 접속되기 때문에, 화면 중앙 부근에서는 제2, 제3 게이트용 드라이버 IC(G2, G3) 내에서 전압 강하한 신호가 공급된다. 그러나, 제2, 제3 게이트용 드라이버 IC(G2, G3)의 게이트 Low 단자의 입력 전압이 동일하기 때문에, 화면 중앙 부근에서 급격한 전압 강하가 발생하지 않으며, 이 때문에, 화면상의 경계선의 발생 등의 화질 열화를 방지할 수 있다.

마찬가지로, 제1 버스 라인(65)에 의해 제1, 제2 소스용 드라이버 IC(S1, S2)가 접속되고, 제2 버스 라인(66)에 의해 제3, 제4 소스용 드라이버 IC(S3, S4)가 접속되기 때문에, 화면 중앙 부근에서는 제2, 제3 소스용 드라이버 IC(S2, S3) 내에서 전압 강하한 신호가 공급된다. 그러나, 제2, 제3 소스용 드라이버 IC(S2, S3)의 소스 Low 단자의 입력 전압이 동일하기 때문에, 화면 중앙 부근에서 급격한 전압 강하가 발생하지 않으며, 이 때문에, 화면상의 경계선의 발생 등의 화질 열화를 방지할 수 있다.

또한, 게이트용의 드라이버 IC는 영상 신호를 취급하지 않기 때문에, 소스측에 비하여 배선의 저항값이 크더라도 액정 표시 장치(1)의 동작에 지장이 없다. 따라서, 배선의 저항값을 작게 할 수 있는 경우에는, 본 실시 형태와 같이, 제1~제4 게이트용 드라이버 IC(G1~G4)의 게이트 Low 단자를 접속하는 배선 및 제1~제4 소스용 드라이버 IC(S1~S4)의 소스 Low 단자를 접속하는 배선을 밸런스화할 수 있다. 배선의 재질 등에 의해 저항값이 커지는 경우에는, 제1~제4 게이트용 드라이버 IC(G1~G4)의 게이트 Low 단자를 접속하는 배선만을 밸런스화해도 무방하다.

또한, 제1 게이트용 드라이버 IC(G1)와 FPC(5)와의 접속이 제2 게이트용 드라이버 IC(G2)로의 접속을 통하여 행해지고, 제4 게이트용 드라이버 IC(G4)와 FPC(5)와의 접속이 제3 게이트용 드라이버 IC(G3)로의 접속을 통하여 행해진다. 제1 소스용 드라이버 IC(S1)와 FPC(55)와의 접속이 제2 소스용 드라이버 IC(S2)로의 접속을 통하여 행해지고, 제4 소스용 드라이버 IC(S4)와 FPC(55)와의 접속이 제3 소스용 드라이버 IC(S3)로의 접속을 통하여 행해진다. 이 때문에, FPC(5, 55) 각각에 접속되는 배선(14)의 수가 보다 삭감된다.

또한, FPC(5)와 제1~제4 게이트용 드라이버 IC(G1~G4) 사이의 배선(14)을 제1, 제2 버스 라인(15, 16)의 사이에 형성할 수 있다. FPC(55)와 제1~제4 소스용 드라이버 IC(S1~S4) 사이의 배선(14)을 각각 제1, 제2 버스 라인(65, 66)의 사이에 형성할 수 있다. 따라서, FPC(5, 55)의 폭(A, B)을 보다 작게 하여 액정 표시 장치(1)의 소형화를 도모할 수 있다.

이 때, 제1~제4 게이트용 드라이버 IC(G1~G4)와 FPC(5) 사이에는, 평면시에서, 제1, 제2 버스 라인(15, 16)은 열방향에 평행한 평행부(15a, 16a)가 설치되고, 평행부(15a, 16a)가 일직선 상에 배치되어 있다. 제1~제4 소스용 드라이버 IC(S1~S4)와 FPC(55) 사이에는, 평면시에서 제1, 제2 버스 라인(65, 66)은 행방향에 평행한 평행부(65a, 66a)가 설치되고, 평행부(65a, 66a)가 일직선 상에 배치되어 있다.

한편, FPC(5)로부터 게이트 Hi 단자, 로직 단자, 신호 단자에 접속되는 배선(31, 33, 35) 및 FPC(55)로부터 게이트 Hi 단자, 로직 단자, 신호 단자에 접속되는 배선(81, 83, 85)은 평면시에서 열방향에 대하여 수직 또는 경사져서 설치되고, 이들 각각은 평행한 부분을 갖지 않는다.

이 때문에, 제1~제4 게이트용 드라이버 IC(G1~G4)와 FPC(5)를 근접하여 배치할 수가 있고, 액정 표시 장치(1)의 소형화를 더욱 도모할 수 있다. 또한, 제1~제4 소스용 드라이버 IC(S1~S4)와 FPC(55)를 근접하여 배치할 수가 있으며, 이에 따라 액정 표시 장치(1)의 소형화를 더욱 도모할 수 있다. 또한, FPC(5)로부터 게이트 Hi 단자, 로직 단자, 신호 단자에 각각 접속되는 배선(31, 33, 35) 및 FPC(55)로부터 게이트 Hi 단자, 로직 단자, 신호 단자에 각각 접속되는 배선(81, 83, 85) 중 어느 하나 또는 두개를 평면시에서 열방향에 대하여 수직 또는 경사져서 설치해도 액정 표시 장치(1)의 소형화를 도모할 수 있다.

또한, 제2 게이트용 드라이버 IC(G2)의 접속에서, 제1 버스 라인(15)이 접속되는 게이트 Low 단자(11a)와 배선(31)이 접속되는 신호 단자(13)와의 거리는, 배선(33)이 접속되는 로직 단자(12b)와 신호 단자(13)와의 거리보다도 크게 되어 있다. 이것에 의해, 배선(31)이 중심선 Y1-Y1'에 더 근접하여, 평행부(15a)를 갖는 제1 버스 라인(15)을 중심선 Y1-Y1'에 근접하여 설치할 수 있다.

제3 게이트용 드라이버 IC(G3)의 접속에서, 평행부(16a)를 갖는 제2 버스 라인(16)을 중심선 Y1-Y1'에 근접하여 설치할 수 있다. 따라서, FPC(5)의 폭(A)을 보다 작게 할 수 있고, 액정 표시 장치(1)의 소형화를 도모할 수 있다.

마찬가지로, 제2 소스용 드라이버 IC(S2)의 접속에서, 제1 버스 라인(65)이 접속되는 소스 Low 단자(61a)와 배선(81)이 접속되는 신호 단자(63)와의 거리는, 배선(83)이 접속되는 로직 단자(62b)와 신호 단자(63)와의 거리보다도 크게 되어 있다. 이것에 의해, 배선(81)이 중심선 X1-X1'에 더 근접하여, 평행부(65a)를 갖는 제1 버스 라인(65)을 중심선 X1-X1'에 근접하여 설치할 수 있다.

제3 소스용 드라이버 IC(S3)의 접속에서, 평행부(66a)를 갖는 제2 버스 라인(66)을 중심선 X1-X1'에 근접하여 설치할 수 있다. 따라서, FPC(55)의 폭(B)을 보다 작게 할 수 있고, 액정 표시 장치(1)의 소형화를 도모할 수 있다.

본 실시 형태에서, 소스 라인에 접속되는 드라이버 IC는 4개 설치되어 있다. 선택적으로, 동일한 구성을 행방향에 병설하여 드라이버 IC의 수량이 4의 배수인 액정 표시 장치라도 무방하다. 또한, 상기에서는 액정 표시 장치에 대해 설명하고 있지만, 화소마다 구동 소자를 갖는 유기 EL 등을 이용한 다른 표시 장치에 대해서도 동일한 구성을 적용할 수 있고, 이에 따라 동일한 효과를 얻을 수 있다.

발명의 효과

본 발명은, 휴대 전화기, 휴대용 퍼스널 컴퓨터, 카 네비게이션 시스템 등의 평면 디스플레이를 갖는 기기에 이용할 수 있다.

(57) 청구의 범위

청구항 1.

표시 장치에 있어서,

기관과,

구동 소자를 갖는 화소가 상기 기관 상에 매트릭스 형상으로 배열되는 표시부와,

상기 기관 상의 상기 표시부의 측방에 일렬로 나열되어 순서대로 실장되고, 상기 구동 소자를 구동하는 제1 내지 제4 드라이버 IC와,

상기 기관에 접속하여 상기 제1 내지 제4 드라이버 IC에 공급될 신호를 수신하는 배선 부품을 포함하며,

상기 제1 및 제2 드라이버 IC는 서로 대향하는 위치에서 동일한 신호를 수신할 수 있는 제1 신호 입력 단자를 가지며,

상기 제3 및 제4 드라이버 IC는 서로 대향하는 위치에서 동일한 신호를 수신할 수 있는 제1 신호 입력 단자를 가지며,

상기 기관에는,

상기 제1 및 제2 드라이버 IC의 제1 신호 입력 단자를 서로 접속하고, 상기 제1 및 제2 드라이버 IC 사이에서 분기하여 상기 배선 부품에 접속되는 제1 버스 라인과,

상기 제3 및 제4 드라이버 IC의 제1 신호 입력 단자를 서로 접속하고, 상기 제3 및 제4 드라이버 IC 사이에서 분기하여 상기 배선 부품에 접속되는 제2 버스 라인이 형성되는 표시 장치.

청구항 2.

제1항에 있어서,

상기 제1 내지 제2 드라이버 IC는 각각 상기 제1 내지 제4 드라이버 IC가 나열된 방향의 양단에 상기 제1 신호 입력 단자를 갖는 표시 장치.

청구항 3.

제2항에 있어서,

상기 제1 버스 라인의 분기점으로부터 상기 제1 드라이버 IC의 제1 신호 입력 단자까지의 거리와, 상기 제1 버스 라인의 분기점으로부터 상기 제2 드라이버 IC의 제1 신호 입력 단자까지의 거리가 동일하고,

상기 제2 버스 라인의 분기점으로부터 상기 제3 드라이버 IC의 제1 신호 입력 단자까지의 거리와, 상기 제2 버스 라인의 분기점으로부터 상기 제4 드라이버 IC의 제1 신호 입력 단자까지의 거리가 동일한 표시 장치.

청구항 4.

제3항에 있어서,

상기 제2, 제3 드라이버 IC 각각과의 거리가 등간격으로 되는 중심점을 통과하고, 상기 제1 내지 제4 드라이버 IC가 나열되는 방향에 수직인 중심선에 대하여, 상기 제1, 제2 드라이버 IC에 접속되는 배선의 배치와, 상기 제3, 제4 드라이버 IC에 접속되는 배선의 배치를 서로 대칭으로 한 표시 장치.

청구항 5.

제1항에 있어서,

상기 제1 내지 제4 드라이버 IC는 상기 제1 신호 입력 단자에 의해 수신되는 신호와 다른 신호를 수신하는 제2, 제3 신호 입력 단자를 가지며,

상기 제2, 제3 드라이버 IC의 제2, 제3 신호 입력 단자가 상기 배선 부품에 접속되고,

상기 제1, 제2 드라이버 IC의 제2 신호 입력 단자가 상기 제1, 제2 드라이버 IC의 하방 및 제1, 제2 드라이버 IC 사이를 통과하는 배선에 의해 접속되고,

상기 제1, 제2 드라이버 IC의 제3 신호 입력 단자가 상기 제1, 제2 드라이버 IC의 하방 및 제1, 제2 드라이버 IC 사이를 통과하는 배선에 의해 접속되고,

상기 제3, 제4 드라이버 IC의 제2 신호 입력 단자가 상기 제3, 제4 드라이버 IC의 하방 및 제3, 제4 드라이버 IC 사이를 통과하는 배선에 의해 접속되고,

상기 제3, 제4 드라이버 IC의 제3 신호 입력 단자가 상기 제3, 제4 드라이버 IC의 하방 및 제3, 제4 드라이버 IC 사이를 통과하는 배선에 의해 접속되는 표시 장치.

청구항 6.

제5항에 있어서,

평면시에서, 상기 제1, 제2 버스 라인은 각각 상기 제1 내지 제4 드라이버 IC가 나열되는 방향에 평행한 1개의 평행부를 가지며, 상기 평행부가 상기 제1 내지 제4 드라이버 IC와 상기 배선 부품 사이에 일직선 상으로 배치되고,

상기 제2 신호 입력 단자와 상기 배선 부품을 접속하는 배선과, 상기 제3 신호 입력 단자와 상기 배선 부품을 접속하는 배선 중의 적어도 한쪽이 상기 제1 내지 제4 드라이버 IC가 나열되는 방향에 평행한 평행부를 갖지 않는 표시 장치.

청구항 7.

제1항에 있어서,

상기 제1 내지 제4 드라이버 IC는 상기 구동 소자의 게이트에 신호를 공급하는 표시 장치.

청구항 8.

제7항에 있어서,

상기 제1 신호 입력 단자는 상기 구동 소자의 게이트에 공급되는 Low 레벨의 입력 단자인 표시 장치.

청구항 9.

제1항에 있어서,

상기 기관은 클래스로 이루어지고,

상기 제1 내지 제4 드라이버 IC가 상기 기관에 페이스 다운 본딩 접속되는 표시 장치.

청구항 10.

제1항에 있어서,

상기 표시부가 액정 셀로 이루어지는 표시 장치.

청구항 11.

표시 장치용 글래스 기판에 있어서,

구동 소자를 갖는 화소가 매트릭스 형상으로 배열된 표시 소자가 배치되는 표시 소자 영역과,

상기 표시 소자 영역의 측방에 일렬로 나열되어 상기 구동 소자를 구동하는 제1 내지 제4 드라이버 IC가 배치되는 제1 내지 제4 드라이버 영역과,

상기 제1 내지 제4 드라이버 IC에 공급되는 신호를 수신하는 배선 부품이 접속되는 배선 부품 영역과,

상기 제1, 제2 드라이버 영역의 제1 신호 입력 단자를 접속하고, 상기 제1, 제2 드라이버 영역 사이에서 분기하여 상기 배선 부품 영역에 접속되는 제1 버스 라인과,

상기 제3, 제4 드라이버 영역의 제1 신호 입력 단자를 접속하고, 상기 제3, 제4 드라이버 영역 사이에서 분기하여 상기 배선 부품 영역에 접속되는 제2 버스 라인을 가지며,

상기 제1 및 제2 드라이버 영역은 서로 대향하는 위치에서 제1 신호 입력 단자를 가지며, 상기 제3 및 제4 드라이버 영역은 서로 대향하는 위치에서 제1 신호 입력 단자를 갖는 표시 장치용 글래스 기판.

청구항 12.

제11항에 있어서,

상기 제1 버스 라인의 분기점으로부터 상기 제1 드라이버 영역의 제1 신호 입력 단자까지의 거리와, 상기 제1 버스 라인의 분기점으로부터 상기 제2 드라이버 영역의 제1 신호 입력 단자까지의 거리를 동일하게 하고,

상기 제2 버스 라인의 분기점으로부터 상기 제3 드라이버 영역의 제1 신호 입력 단자까지의 거리와, 상기 제2 버스 라인의 분기점으로부터 상기 제4 드라이버 영역의 제1 신호 입력 단자까지의 거리를 동일하게 한 표시 장치용 글래스 기판.

청구항 13.

제12항에 있어서,

상기 제2, 제3 드라이버 영역 각각과의 거리가 등간격으로 되는 중심점을 통과하고, 상기 제1 내지 제4 드라이버 영역이 나열되는 방향에 수직인 중심선에 대하여, 상기 제1, 제2 드라이버 영역에 접속되는 배선의 배치와, 상기 제3, 제4 드라이버 영역에 접속되는 배선의 배치를 서로 대칭으로 한 표시 장치용 글래스 기판.

청구항 14.

제11항에 있어서,

상기 제1 내지 제4 드라이버 영역은 제2, 제3 신호 입력 단자를 가지며,

상기 제2, 제3 드라이버 영역의 제2, 제3 신호 입력 단자는 상기 배선 부품 영역에 접속되고,

상기 제1, 제2 드라이버 영역의 제2 신호 입력 단자는 상기 제1, 제2 드라이버 영역 위 및 제1, 제2 드라이버 영역의 사이를 통과하는 배선에 의해 접속되고,

상기 제1, 제2 드라이버 영역의 제3 신호 입력 단자는 상기 제1, 제2 드라이버 영역 위 및 제1, 제2 드라이버 영역의 사이를 통과하는 배선에 의해 접속되고,

상기 제3, 제4 드라이버 영역의 제2 신호 입력 단자는 상기 제3, 제4 드라이버 영역 위 및 제3, 제4 드라이버 영역의 사이를 통과하는 배선에 의해 접속되고,

상기 제3, 제4 드라이버 영역의 제3 신호 입력 단자는 상기 제3, 제4 드라이버 영역 위 및 제3, 제4 드라이버 영역의 사이를 통과하는 배선에 의해 접속되는 표시 장치용 글래스 기판.

청구항 15.

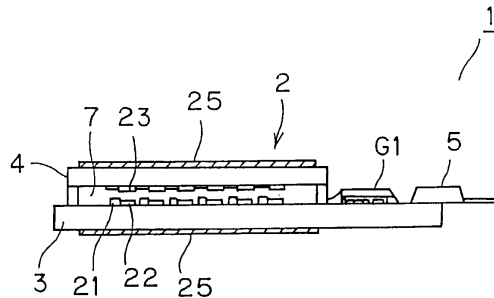
제14항에 있어서,

평면시에서, 상기 제1, 제2 버스 라인은 상기 제1 내지 제4 드라이버 영역이 나열되는 방향에 평행한 1개의 평행부를 가지며, 상기 평행부는 상기 제1 내지 제4 드라이버 영역과 상기 배선 부품 영역 사이에 일직선 상으로 배치되고,

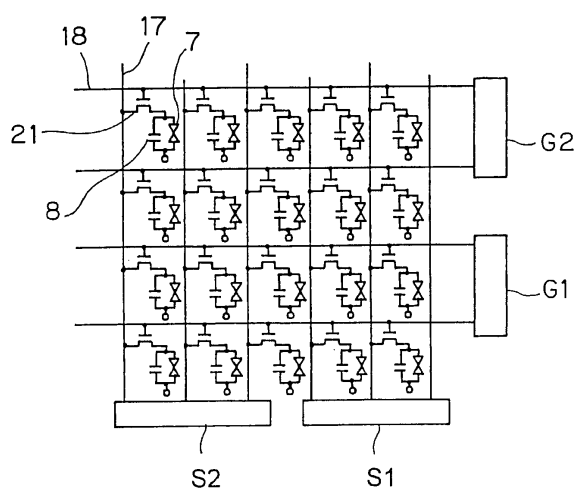
상기 제2 신호 입력 단자와 상기 배선 부품 영역을 접속하는 배선과, 상기 제3 신호 입력 단자와 상기 배선 부품 영역을 접속하는 배선 중의 적어도 한쪽이 상기 제1 내지 제4 드라이버 IC가 나열되는 방향에 평행한 평행부를 갖지 않는 표시 장치용 글래스 기판.

도면

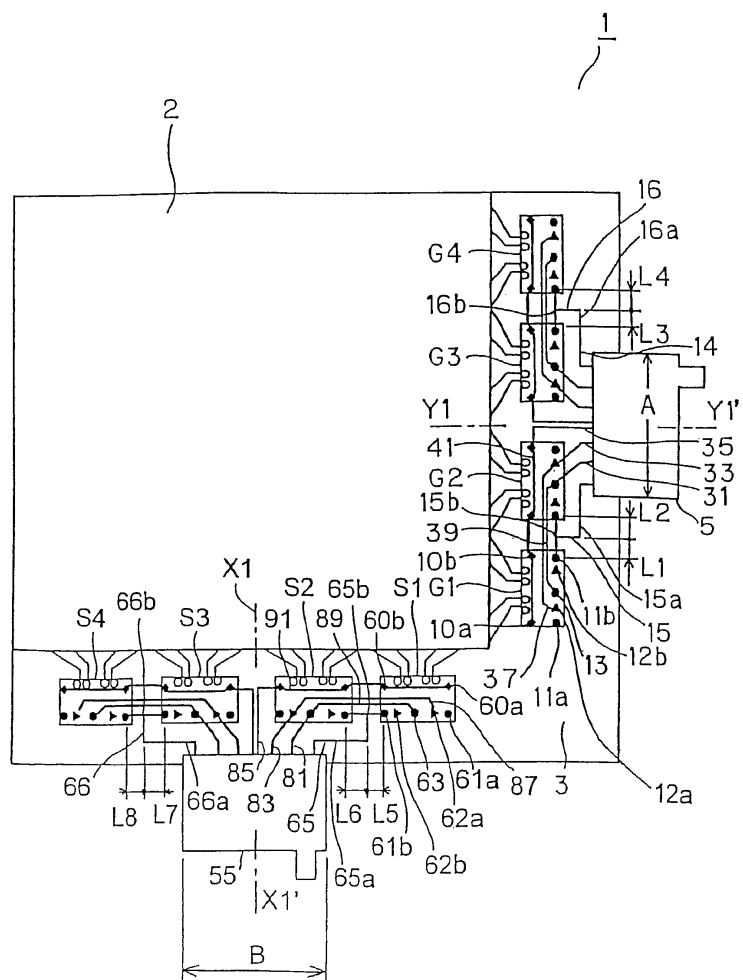
도면1



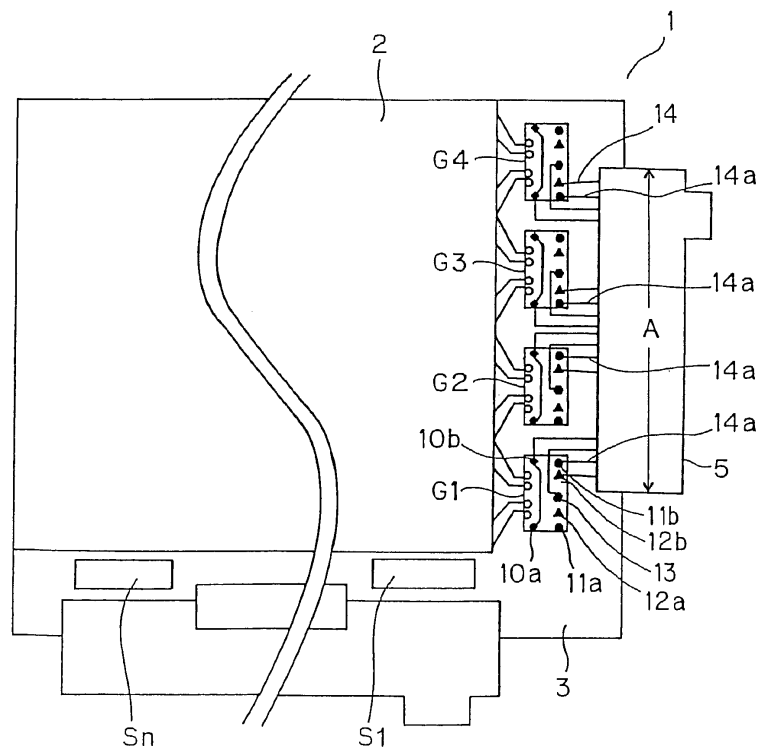
도면2



도면3



도면4



专利名称(译)	显示装置和显示装置用玻璃基板		
公开(公告)号	KR1020060043618A	公开(公告)日	2006-05-15
申请号	KR1020050021090	申请日	2005-03-14
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	SHIOTA MOTOJI 시오따모토지 ARIMA TOHRU 아리마도루		
发明人	시오따모토지 아리마도루		
IPC分类号	G02F1/1345 G02F1/1368 G09F9/00		
CPC分类号	G02F1/1345 G02F1/13452 G09F9/00 G02F1/1368		
代理人(译)	CHANG, SOO KIL		
优先权	2004072015 2004-03-15 JP 2005062736 2005-03-07 JP		
其他公开文献	KR100677812B1		
外部链接	Espacenet		

摘要(译)

连接到驱动器组件 (21) 的栅极线 (18) 的1~第四栅极的驱动器IC (G1~G4) 布置在液晶显示器 (2) 的侧面部分中。在用于第1~第4栅极的驱动器IC (G1~G4) 的侧部, 配置有输入信号的FPC (5)。用于第一和第二栅极的驱动器IC (G1, G2) 的栅极低端子 (11b, 11a) 连接到相应的FPC (5), 其中第一总线 (15) 在驱动器1C (G1, G2) 之间分支。第一门和第二门。用于第四栅极的驱动器IC (G3, G4) 的第三和栅极低端子 (11b, 11a) 连接到相应的FPC (5), 第二总线 (16) 在第三栅极之间分支, 并且驱动器IC (G3, G4) 为第四个门。用于第三栅极的驱动器IC (G2, G3) 的第二栅极Hi端子 (10b, 10a), 以及逻辑端子 (12b, 12a) 和信号端子 (13) 连接到FPC (5)。用于第四栅极的驱动器IC (G1, G4) 的第一栅极Hi端子 (10a, 10b), 逻辑端子 (12a, 12b) 和信号端子 (13) 连接到第二端子, 并且相同的端子第三个门的驱动器IC (G2, G3)。液晶显示器, 显示装置, 驱动器1C, 像素电极, 信号端子。

