

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

(11) 공개번호

10-2006-0034684

(43) 공개일자

2006년04월24일

(21) 출원번호 10-2006-7000176

(22) 출원일자 2006년01월03일

번역문 제출일자 2006년01월03일

(86) 국제출원번호 PCT/JP2004/009905

(87) 국제공개번호

WO 2005/006302

국제출원일자 2004년07월06일

국제공개일자

2005년01월20일

(30) 우선권주장

JP-P-2003-00272250

2003년07월09일

일본(JP)

(71) 출원인

소니 가부시끼 가이샤

일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고

(72) 발명자

기다 요시토시

일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고 소니가부시끼
가이샤내

나카지마 요시하루

일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고 소니가부시끼
가이샤내

(74) 대리인

신관호

심사청구 : 없음

(54) 평판 디스플레이 장치 및 집적회로

요약

본 발명은 예를 들면 절연기관상에 구동회로를 일체로 형성한 액정표시장치에 적용하고, 전원전압이 높은 측의 회로 블럭(41A, 41B)으로부터의 처리결과를 상보적으로 온 오프 동작하는 액티브 소자에 의해 전원전압의 낮은 측으로 입력하고, 이 높은 측의 전원전압의 하강에 의해 이 액티브 소자의 출력을 소정 레벨로 설정한다.

대표도

도 5

명세서

기술분야

본 발명은 평판 디스플레이 장치 및 집적회로에 관한 것으로, 예를 들면 절연 기관상에 구동회로를 일체로 형성한 액정표시장치에 적용할 수 있다. 본 발명은 전원 전압이 높은 쪽의 회로 블럭으로부터의 처리 결과를 상보적으로 온 오프 동작하

는 액티브 소자에 의해 전원 전압의 낮은 측으로 입력하고, 이 높은 측의 전원 전압의 하강에 의해 이 액티브 소자의 출력을 소정 레벨로 설정함으로써, 딥 스탠바이 모드(deep standby mode) 등에 있어서, 일단(一段)으로 소비 전력을 줄일 수 있다.

배경기술

최근에, 예를 들면 휴대 전화등의 휴대 단말 장치에 적용되는 평판 디스플레이 장치인 액정표시장치에 있어서는 액정 표시 패널을 구성하는 절연 기판인 유리 기판상에, 수평 구동회로, 수직 구동회로 등의 액정 표시 패널의 구동회로를 일체로 집적화하여 구성하는 것이 제공되어 있다.

즉, 이런 종류의 액정표시장치는 액정 셀, 이 액정 셀의 스위칭 소자인 폴리 실리콘 TFT(Thin Film Transistor ; 박막 트랜지스터), 보관 유지 용량에 의한 화소를 매트릭스형으로 배치하여 표시부가 형성된다. 액정표시장치에서는 이와 같이 하여 형성되어 이루어지는 표시부의 각 화소를 수직 구동회로에 의한 게이트선의 구동에 의해 라인 단위로 차례차례 선택한다. 또, 각 화소의 계조를 나타내는 계조 데이터를 수평 구동회로에 의해 차례차례 순환적으로 샘플링하여 라인 단위로 정리하고, 이 계조 데이터의 디지털 아날로그 변환 결과에 의해 각 신호선을 구동함으로써, 게이트선에 의해 선택된 각 화소를 계조 데이터에 따라 구동하고, 이들에 의해 소망한 화상을 표시하도록 되어 있다.

이러한 액정표시장치에서는 표시부의 주위에 설치한 구동회로의 일부인 DC-DC컨버터로, 외부로부터 공급되는 전원으로 부터 동작에 필요한 전원을 생성하고, 그 결과 얻을 수 있는 복수 계통의 전원에 의해 동작하도록 되어 있다. 구체적으로는 예를 들면 외부로부터 공급되는 3[V]의 전원으로 부터 6[V]의 전원과 -3[V]의 전원을 생성하고, 이들 -3[V], 3[V], 6[V]의 전원에 의해 동작하도록 되어 있다.

이것에 의해, 이런 종류의 액정표시장치에서는 예를 들면 도 1에 나타낸 바와 같이, 전원 전압이 6[V]의 회로 블록인 6V계 논리 전자 회로(1)에 의해 고속도로 각종 처리를 실행하고, 이 고속도의 처리 결과에 의해 전원 전압이 3[V]의 회로 블록인 3V계 논리 전자 회로(2)를 구동하도록 되어 있다.

이러한 액정표시장치가 적용되는 기기의 하나인 휴대 전화에 있어서는, 예를 들면 특개평 10-210116호 공보에 개시되어 있도록, 대기 상태에 있어서 액정 표시부의 표시를 정지함으로써, 배터리의 낭비인 소비를 방지하도록 되어 있다.

구체적으로, 휴대 전화에서는 전체의 동작을 제어하는 제어기의 제어에 의해 액정표시장치의 백 라이트가 소등되고, 그 만큼, 소비 전력을 저감하도록 되어 있다. 또, 액정표시장치의 동작 모드를 이른바 딥 스탠바이 모드로 설정하도록 되어 있다.

여기서, 딥 스탠바이 모드는 액정표시장치에 있어서, 외부로부터 전원이 공급되고는 있지만, 동작 기준인 각종 클럭의 공급이 정지됨으로써 구동회로가 동작을 정지한 상태의 동작 모드이다.

즉, 이와 같이 액정표시장치의 동작을 정지하는 경우에 있고, 가장 간단하고 쉬운 방법은 액정표시장치에 대한 전원의 공급을 정지하는 방법이다. 그렇지만, 이러한 전원의 공급 정지를 액정표시장치의 외부에서 실행하면, 그 만큼 휴대 전화에 있어서 구성이 복잡하게 된다. 이것에 대하여 외부로부터 공급되는 전원을 액정표시장치의 내부에서 차단하는 방법도 생각할 수 있지만, 이 방법의 경우, 전원의 제어에 관련되는 액티브 소자의 구성이 대형화하고, 그 만큼 액정표시장치 자체의 형상이 대형화한다.

이것에 의해, 이런 종류의 액정표시장치에서는 딥 스탠바이 모드가 설치되고, 이 딥 스탠바이 모드에 의해, 클럭의 공급이 정지되어 동작을 정지하고, 전력 소비를 저감하도록 되어 있다. 또, 이 딥 스탠바이 모드에서는, 액정표시장치내에서 가장 낮은 전원 전압을 출력하도록 DC-DC컨버터의 동작을 전환하고, 이것에 의해 전원 전압이 다른 회로 블록간의 관통 전류를 방지하도록 되어 있다.

즉, 도 2는 이런 종류의 액정표시장치에 있어서는 디지털 아날로그 변환 회로의 일부의 구성을 나타내는 블록도이다. 이런 종류의 액정표시장치에 있어서는 소정의 생성 기준 전압을 기준 전압 발생 회로로 저장 분압하여 복수의 기준 전압을 생성하고, 이들 복수의 기준 전압을 계조 데이터에 따라 선택 출력함으로써, 계조 데이터를 디지털 아날로그 변환 처리하도록 되고, 이 디지털 아날로그 처리 결과에 의해 각 화소를 구동하도록 되어 있다. 또, 예를 들면 라인 반전에 의해 화소를 구동하는 경우, 이 생성 기준 전압의 극성을 수평 주사 주기에 전환하도록 되어 있다.

도 2는 이러한 생성 기준 전압의 극성의 전환이고, 기준 전압의 생성에 관련되는 회로 블록을 나타내는 도면이며, 액정표시장치에 있어서는 계조 데이터에 동기한 각종의 기준 신호를 전원 전압이 6 [V]의 회로 블록에 의해 처리함으로써, 생성 기준 전압의 극성 전환 신호를 생성하고, 6 [V]의 전원 전압으로 동작하는 버퍼 회로(3, 4)를 거쳐서, 이 극성 전환 신호, 극성 전환 신호의 반전 신호를 기준 전압 발생 회로(5)로 출력한다.

기준 전압 발생 회로(5)는 3 [V]의 전원 전압으로 동작하는 회로 블록이며, CMOS(Complementary Metal Oxide Semiconductor)에 의한 스위치 회로(6 및 7)를 버퍼 회로(3, 4)의 출력 신호에 의해 구동함으로써, 이들 스위치 회로(6 및 7)의 접점을 상보적으로 전환하고, 저항 블록에 출력하는 생성 기준 전압의 극성을 전환한다. 그러나, 이 도 2에 나타내는 예에서는, +3 [V]와 -3 [V]으로 생성 기준 전압을 전환하게 된다.

기준 전압 발생 회로(5)는 복수의 저항의 직렬 회로에 의해 저항 블록(8)이 작성되고, 이 저항 블록(8)에 의해 생성 기준 전압을 저항 분압함으로써, 기준 전압(V1 ~ V30)을 생성한다.

이러한 구성에 있어서, 단지 DC-DC컨버터의 동작을 정지시키면, 전원 전압 6 [V]의 회로 블록에 있어서 전원 전압이 0 [V]로 하강하고, 그 결과, 버퍼 회로(3, 4)의 출력이 0 [V]로 하강한 상태로 보관 유지된다. 이 경우, 이 버퍼 회로(3, 4)의 출력을 받는 스위치 회로(6, 7)에 있어서는, 각 스위치 회로(6, 7)를 구성하는 스위치 회로(6A, 6B, 7A, 7B)의 어느 쪽도 온 상태로 보관 유지되고, 이것에 의해 스위치 회로(6, 7)에서 관통 전류(I6, I7)가 발생한다.

이 경우, 전원 전압 3 [V]의 회로 블록에 대해서도, 전원을 하강하는 것으로 관통 전류를 방지할 수 있지만, 이와 같이 전원 전압 3 [V]의 회로 블록의 전원을 하강하는 경우에 있어서는, 결국, 액정표시장치에 공급하는 전원 자체를 차단하는 것임에 틀림이 없고, 상술한 바와 같이 액정표시장치가 대형화하는 등의 문제가 있다. 이것에 의해 액정표시장치에서는 이 경우, DC-DC컨버터의 동작의 전환에 의해 6 [V]의 전원을 3 [V]로 하강하여, 관통 전류를 방지하도록 되어 있다.

그렇지만, 이와 같이 DC-DC컨버터의 동작의 전환에 의해 6 [V]의 전원을 3 [V]에 하강하는 경우에도, 결국, 각 액티브 소자에 있어서는 전원 전압 3 [V]에 의한 리크 전류가 계속 흐르게 된다. 이러한 리크 전류를 줄일 수 있으면, 딥 스탠바이 모드에 있어서, 일단으로 소비 전력을 줄일 수 있다.

발명의 상세한 설명

본 발명은 이상의 점을 고려해서 이루어진 것으로, 딥 스탠바이 모드 등에 있어서, 일단으로 소비 전력을 줄일 수 있는 평판 디스플레이 장치 및 집적회로를 제안하려고 하는 것이다.

이러한 과제를 해결하기 위해 본 발명에 있어서는, 평판 디스플레이 장치에 적용하고, 구동회로는 제 1의 전원 전압에 의해 동작하는 제 1의 회로 블록과, 제 1의 회로 블록에 의한 처리 결과를 처리하는 제 1의 전원 전압보다 낮은 제 2의 전원 전압에 의해 동작하는 제 2의 회로 블록을 가지고, 제 2의 회로 블록은 상보적으로 온 오프 동작하는 액티브 소자에, 제 1의 회로 블록의 하나의 처리 결과의 입력을 받고, 제 1의 회로 블록은 제 1의 전원 전압의 하강에 의해, 액티브 소자의 출력을 소정 레벨로 유지하도록 1개의 처리 결과의 레벨을 설정하는 레벨 설정 회로를 가지도록 한다.

본 발명의 구성에 의해, 평판 디스플레이 장치에 적용하고, 구동회로는 제 1의 전원 전압에 의해 동작하는 제 1의 회로 블록과, 제 1의 회로 블록에 의한 처리 결과를 처리하는 제 1의 전원 전압보다 낮은 제 2의 전원 전압에 의해 동작하는 제 2의 회로 블록을 가지고, 제 2의 회로 블록은 상보적으로 온 오프 동작하는 액티브 소자에, 제 1의 회로 블록의 하나의 처리 결과의 입력을 받고, 제 1의 회로 블록은 제 1의 전원 전압의 하강에 의해, 액티브 소자의 출력을 소정 레벨로 유지하도록 1개의 처리 결과의 레벨을 설정하는 레벨 설정 회로를 가지도록 하면, 상보적으로 온 오프 동작하는 액티브 소자에, 제 1의 회로 블록의 하나의 처리 결과의 입력을 받음으로써, 제 1의 전원 전압의 하강에 의해 이 제 1의 처리 결과가 어느 레벨로 되는 경우에서도, 액티브 소자에 있어서의 관통 전류의 발생을 방지할 수 있다. 또, 이 액티브 소자의 출력을 소정 레벨로 유지하도록, 1개의 처리 결과의 레벨을 설정하는 레벨 설정 회로를 가짐으로써, 이 레벨 설정 회로에 의해 표시부의 의도하지 않는 표시를 방지하도록 액티브 소자의 출력 레벨을 설정할 수 있다. 이들에 의해 본 발명의 구성에 의하면, 각종의 부적당을 방지하도록 하여 제 1의 전원 전압을 완전하게 하강할 수 있고, 그 만큼 제 1의 전원 전압에 관련되는 회로 블록에 있어서의 리크 전류를 저감하고 종래에 비교하여 일단으로 소비 전력을 줄일 수 있다.

또, 본 발명에 있어서는, 집적회로에 적용하고, 제 2의 회로 블록은 상보적으로 온 오프 동작하는 액티브 소자에, 제 1의 회로 블록의 하나의 처리 선을 연결함의 입력을 받고, 제 1의 회로 블록은 제 1의 전원 전압의 하강에 의해, 액티브 소자의 출력을 소정 레벨로 유지하도록 1개의 처리 결과의 레벨을 설정하는 레벨 설정 회로를 가지도록 한다.

이것에 의해 본 발명의 구성에 의하면, 딥 스탠바이 모드 등에 있어서, 일단으로 소비 전력을 줄일 수 있는 집적회로를 제공할 수 있다.

본 발명에 의하면, 딥 스탠바이 모드 등에 있어서, 일단으로 소비 전력을 줄일 수 있다.

도면의 간단한 설명

도 1은 전원 전압이 다른 회로 블록의 설명에 제공하는 블록도이다.

도 2는 관통 전류의 설명에 제공하는 접속도이다.

도 3은 본 발명의 실시예 1에 관련되는 액정표시장치를 나타내는 블록도이다.

도 4는 도 3의 액정표시장치의 수평 구동회로의 일부를 나타내는 블록도이다.

도 5는 도 3의 액정표시장치에 적용되는 버퍼 회로를 나타내는 접속도이다.

도 6은 도 5의 버퍼 회로에 있어서의 전원 하강시의 각부의 전이를 나타내는 타임 차트이다.

도 7은 도 5의 버퍼 회로에 있어서의 전원 상승시의 각부의 전이를 나타내는 타임 차트이다.

도 8은 도 3의 액정표시장치의 CS 구동회로를 나타내는 블록도이다.

도 9는 도 3의 액정표시장치의 VCOM 구동회로를 나타내는 블록도이다.

실시예

이하, 적당히 도면을 참조하면서 본 발명의 실시예를 상술한다.

(1) 실시예의 구성

도 3은 본 발명의 실시예 1에 관련되는 액정표시장치를 나타내는 블록도이다. 이 액정표시장치(11)에 있어서는 액정 셀(12), 이 액정 셀(12)의 스위칭 소자인 폴리 실리콘 TFT(13), 보관 유지 용량(14)에 의해 화소가 형성되고, 이 화소를 매트릭스형으로 배치하여 표시부(16)가 형성된다. 액정표시장치(11)는 이 표시부(16)를 형성하는 각 화소가 신호선(LS) 및 게이트선(LG)에 의해 각각 수평 구동회로(17) 및 수직 구동회로(18)에 접속되고, 수직 구동회로(18)에 의한 게이트선(LG)의 구동에 의해 차례차례 화소를 선택하여 수평 구동회로(17)로부터의 구동 신호에 의해 각 화소의 계조를 설정함으로써, 소망하는 화상을 표시하도록 되어 있다.

즉, 액정표시장치(11)에 있어서, 타이밍 발생 회로(TG)(19)는 계조 데이터(DI)에 동기한 마스터 클럭, 수평 동기 신호, 수직 동기 신호 등의 각종 타이밍 신호를 입력하고, 이러한 각종 타이밍 신호를 처리하여 이 액정표시장치(11)의 동작에 필요한 각종 타이밍 신호를 출력한다.

수직 구동회로(18)는 타이밍 발생 회로(19)로부터 출력되는 타이밍 신호에 의해 각 게이트선(LG)을 구동함으로써, 수평 구동회로(17)에 있어서의 처리에 연동하여 차례차례 라인 단위로 화소를 선택한다.

수평 구동회로(17)는 타이밍 발생 회로(19)로부터 출력되는 타이밍 신호에 의해 각 화소의 계조를 나타내는 계조 데이터(DI)를 차례차례 순환적으로 취입하여 각 신호선(LS)을 구동한다. 즉, 수평 구동회로(17)에 있어서, 시프트 레지스터(20)는 계조 데이터(DI)를 차례차례 순환적으로 샘플링함으로써, 계조 데이터를 라인 단위로 정리하고, 1 라인 분의 계조 데이터를 수평 블랭킹(blanking) 기간의 소정의 타이밍에 디지털 아날로그 변환 회로(DAC)(21)로 출력한다.

디지털 아날로그 변환 회로(21)는 시프트 레지스터(20)로부터 출력되는 계조 데이터(DI)를 각각 디지털 아날로그 변환 처리하여 출력한다. 버퍼 회로부(22)는 이 디지털 아날로그 변환 회로(21)의 출력 신호에 의해 각 신호선(LS)을 구동하고, 이것에 의해 수평 구동회로(17)에 있어서는, 계조 데이터(DI)에 따른 계조에 의해 표시부(16)의 각 화소를 구동하여 소망한 화상을 표시하도록 되어 있다.

CS 구동회로(23), VCOM 구동회로(24)는 각각 보관 유지 용량(14), 액정 셀(12)의 TFT(13)가 접속되어 있지 않은 측의 전극에 각각 접속된 CS 배선(CS), VCOM 배선(VCOM)에 대해서, CS 배선(CS), VCOM 배선(VCOM)의 전위를 예를 들면 수평 주사 주기로 전환하고, 이것에 의해 이 액정표시장치(11)에서는 각각 보관 유지 용량(14), 액정 셀(12)의 전극 전위를 전환하여 프리차지(precharge)의 처리를 실행하고, 각 액정 셀(12)의 열화를 방지하도록 되어 있다.

DC-DC컨버터(DC-DC)(25)는 이 액정표시장치(11)의 외부로부터 입력되는 전원에 의해 이 액정표시장치(11)의 동작에 필요한 전원을 생성하여 출력한다. 구체적으로, DC-DC컨버터(25)는 이 외부로부터 입력되는 전원으로서 전압 3 [V]의 전원이 적용되고, 이 전압 3 [V]의 전원에 의해 전압 6 [V], 전압 -3 [V]의 전원을 생성한다. 이것에 의해, 액정표시장치(11)에서는 내장의 전원 회로에 있어서, 외부 입력의 전원에 의해 동작에 필요한 전원을 생성하여 복수 계통의 전원에 의해 동작하도록 되어 있다. 또, DC-DC컨버터(25)는 상위의 제어기에 의한 딥 스탠바이 모드에서의 동작 모드의 전환에 의해 동작을 정지하고, 각각 전압 6 [V], 전압 -3 [V]의 전원에 대해서는, 전원 전압을 0 [V]로 하강하도록 되어 있다. 또한, 액정표시장치(11)에서는 이 딥 스탠바이 모드에 있어서도, 전압 3 [V]의 전원에 대해서는, 계속 공급되도록 되어 있다.

도 4는 디지털 아날로그 변환 회로(21)를 주변 구성과 함께 나타내는 블록도이다. 이 디지털 아날로그 변환 회로(21)에서는 기준 전압 발생 회로(31)에서 생성 기준 전압을 저항 분압하여 복수의 기준 전압(V1 ~ V30)을 생성하고, 이 기준 전압(V1 ~ V30)을 각 계조 데이터(DI)에 따라 선택 출력함으로써 계조 데이터(DI)를 디지털 아날로그 변환 처리한다. 또한, 이 도 4에 나타내는 구성에 있어서, 도 2에 대해서 상술한 디지털 아날로그 변환 회로와 동일한 구성은 대응하는 부호를 교부하여 나타내고, 중복 설명은 생략한다.

즉, 기준 전압 발생 회로(31)에 있어서, 스위치 회로(32)는 타이밍 발생 회로(19)로부터 출력되는 전환 신호에 의해 상보적으로 온 오프 상태로 완전히 전환되는 스위치 회로(32A 및 32B)의 일단이 각각 전압 3 [V]의 기준 전압 라인, 접지 라인에 접속되고, 이들 스위치 회로(32A 및 32B)의 타단이 저항 블록(8)의 일단에 접속된다. 또, 스위치 회로(33)는 타이밍 발생 회로(19)로부터 출력되는 전환 신호의 반전 신호에 의해 상보적으로 온 오프 상태로 완전히 전환되는 스위치 회로(33A 및 33B)의 일단이 각각 전압 3 [V]의 기준 전압 라인, 접지 라인에 접속되고, 이들 스위치 회로(33A 및 33B)의 타단이 저항 블록(8)의 타단에 접속된다. 이들에 의해 스위치 회로(32, 33)는 상보적으로 스위치 회로(32A, 32B), 스위치 회로(33A, 33B)에 의해 기준 전압 라인, 접지 라인을 선택한다.

이것에 의해 기준 전압 발생 회로(31)에서는 저항 블록(8)에 인가되는 생성 기준 전압이 1 수평 주사 기간마다 전환되도록 되고, 이 극성이 전환되어서 이루어지는 생성 기준 전압을 저항 블록(8)에 의해 저항 분압하여 복수의 기준 전압(V1 ~ V30)을 생성하도록 되어 있다.

기준 전압 발생 회로(31)에서는 이들 스위치 회로(32A 및 33A)가 PMOS 트랜지스터에 의해 형성되는데 대하여, 스위치 회로(32B 및 33B)가 NMOS 트랜지스터에 의해 구성된다. 이것에 의해 스위치 회로(32, 33)는 상보적으로 온 오프 동작하는 액티브 소자인 PMOS 트랜지스터 및 NMOS 트랜지스터에, 각각 전단의 회로 블록의 하나의 처리 결과의 입력을 받고, 전단의 회로 블록에 있어서 전원 전압이 하강하고, 액티브 소자의 입력 레벨이 어느 레벨이 되었을 경우에서도, 이들 액티브 소자에 있어서의 관통 전류의 발생을 방지할 수 있도록 되어 있다.

또한, 기준 전압 발생 회로(31)에서는 타이밍 발생 회로(19)로부터 출력되는 전환 신호 및 전환 신호의 반전 신호가 딥 스탠바이 모드에 있어서 각각 3 [V]로 보관 유지되면, 저항 블록(8)의 양단 전위를 0 [V]로 유지하고, 표시부(16)에 의도하지 않는 표시가 나타나지 않게 되어 있다.

기준 전압 선택터(35)는 각각 기준 전압 발생 회로(31)로부터 출력되는 기준 전압(V1 ~ V30)을 입력하고, 이 입력한 기준 전압(V1 ~ V30)을 계조 데이터에 의해 선택 출력하고, 이것에 의해 이 디지털 아날로그 변환 회로(21)에서는 계조 데이터(DI)의 디지털 아날로그 변환 결과를 출력하도록 되어 있다.

그러나, 이 액정표시장치(11)에 대해서는 디지털 아날로그 변환 회로(21)의 각 회로블록이 3 [V]의 전원 전압에 의해 동작하는데 대하여, 이 디지털 아날로그 변환 회로(21)의 동작 기준을 출력하는 타이밍 발생 회로(19)에 있어서는, 전원 전압 6 [V]에 의해 동작하도록 되고, 이 동작 기준인 전환 신호, 전환 신호의 반전 신호를 버퍼 회로(41A, 41B)에서 출력하도록 되어 있다.

도 5는 이 버퍼 회로(41A, 41B)의 구성을 나타내는 접속도이다. 또한, 버퍼 회로(41A, 41B)는 처리 대상인 신호가 다른 점을 제외하고 동일하게 구성됨으로써, 이하의 설명에 있어서는 버퍼 회로(41A)에 대해서 설명하고, 중복 설명은 생략한다.

버퍼 회로(41A)는 게이트 및 드레인이 각각 공통에 접속된 NMOS 트랜지스터(Q1) 및 PMOS 트랜지스터(Q2)로 이루어지는 CMOS 인버터와, 동일하게 NMOS 트랜지스터(Q3) 및 PMOS 트랜지스터(Q4)로 이루어지는 CMOS 인버터가 직렬로 접속되고, 트랜지스터(Q3 및 Q4)에 의한 CMOS인버터의 출력을 전환 신호 또는 전환 신호의 반전 신호로서 출력한다. 이러한 CMOS 인버터 가운데, 선두단의 트랜지스터(Q1 및 Q2)에 의한 CMOS 인버터는 전원 전압 6 [V]에 의해 동작하도록 되고, 이것에 의해 덤 스탠바이 모드에 의해 DC-DC컨버터(25)가 동작을 정지하면, 출력을 0 레벨로 하강하도록 되어 있다.

이것에 대하여, 이 인버터의 출력을 기준 전압 발생 회로(31)에 출력하는 트랜지스터(Q3 및 Q4)에 의한 인버터는 전원 전환회로(46)에 의해, 통상의 동작 상태에 있어서는 전원 전압 6 [V]에 의해 동작하는데 대하여, 덤 스탠바이 모드에 있어서는, 전원 전압 3 [V]에 의해 동작하도록 되어 있다. 또, 레벨 설정 회로(47)에 의해, 덤 스탠바이 모드에 있어서 입력 레벨이 L레벨로 설정되고, 이것에 의해 출력 레벨을 3 [V]로 유지하도록 되어 있다.

즉, 타이밍 발생 회로(19)는 도 6에 있어서 시점(t1)에 의해 나타낸 바와 같이, 제어기에 의해 덤 스탠바이 모드에의 동작 모드의 전환이 지시되면, DC-DC컨버터(25)가 동작을 정지함으로써, 전원 전압 6 [V]의 회로계에서 출력되는 제어 신호(STB)의 논리 레벨이 하강하고(도 6c), 그 후 계조 데이터(DI), 각종 기준 신호의 공급이 정지된다(도 6a 및 6b). 또한, 이 도 6에 있어서, MCK는 계조 데이터(DI)에 동기한 마스터 클럭이며, Hsync, Vsync는 각각 수평 동기 신호 및 수직 동기 신호이다.

전원 전환회로(46)는 이 제어 신호(STB)가 전원 전압 6 [V]의 회로 블록에 의한 인버터(48)에 입력되고, 트랜지스터(Q3 및 Q4)에 의한 인버터의 전원 라인과 6 [V]의 전원 라인을 접속하는 PMOS 트랜지스터(Q5)에 공급되도록 되어 있다. 이것에 의해 전원 전환회로(46)는 통상의 동작 모드에 의해 제어 신호(STB)의 논리 레벨이 상승되어 있는 경우에는, 트랜지스터(Q5)를 온 상태로 유지하고, 트랜지스터(Q3 및 Q4)에 의한 인버터의 전원 전압을 6 [V]로 유지하도록 되어 있다. 또, 덤 스탠바이 모드에 의해 제어 신호(STB)의 논리 레벨이 하강하면(도 6e), 트랜지스터(Q5)를 오프 상태로 설정하고, 트랜지스터(Q3 및 Q4)에 의한 인버터의 전원 라인을 0 [V]로 하강하게 되는 6 [V]의 전원 라인으로부터 분리하도록 되어 있다.

또한, 전원 전환회로(46)는 전원 전압 6 [V]의 회로 블록에 의한 레벨 시프트 회로(49)에 제어 신호(STB)를 입력하고, 전원 전압 3 [V]에 의한 회로 블록에 대응하도록 이 제어 신호(STB)를 레벨 시프트시키고, 이 레벨 시프트 회로(49)의 출력을 전원 전압 3 [V]의 회로 블록에 의한 버퍼 회로(50)에 입력한다. 전원 전환회로(46)는 트랜지스터(Q3 및 Q4)에 의한 인버터의 전원 라인과 3 [V]의 전원 라인을 접속하는 PMOS 트랜지스터(Q6)에, 이 버퍼 회로(50)의 출력이 공급되도록 되어 있다. 이것에 의해, 전원 전환회로(46)는 통상의 동작 모드에 의해 제어 신호(STB)의 논리 레벨이 상승하고 있는 경우에는, 트랜지스터(Q6)를 오프 상태로 유지하여 트랜지스터(Q3 및 Q4)에 의한 인버터의 전원 라인을 3 [V]의 전원 라인으로부터 분리하는데 대하여, 덤 스탠바이 모드에 의해 제어 신호(STB)의 논리 레벨이 하강하면, 트랜지스터(Q6)를 온 상태로 설정하고, 트랜지스터(Q3 및 Q4)에 의한 인버터의 전원 라인을 3 [V]의 전원 라인에 접속하도록 되어 있다.

이들에 의해 전원 전환회로(46)는, 제어 신호(STB)를 기준으로 하여 트랜지스터(Q3, Q4)에 의한 버퍼 회로의 전원 전압을 통상의 동작 상태와 덤 스탠바이 모드로 전환하도록 되어 있다.

레벨 설정 회로(47)는 인버터(48)의 출력에 의해, 트랜지스터(Q1 및 Q2)의 출력 라인과 6 [V]의 전원 라인의 사이에 배치된 PMOS 트랜지스터(Q8)를 온 오프 제어하고, 이것에 의해 통상의 동작 모드에 있어서는, 트랜지스터(Q8)를 오프 상태로 설정하여 트랜지스터(Q1 및 Q2)에 의한 인버터 출력을 트랜지스터(Q3 및 Q4)에 의한 인버터에 출력하고, 라인 반전에 대응하도록 기준 전압 발생 회로(31)에 있어서의 생성 기준 전압의 극성을 전환한다. 이것에 대하여, 덤 스탠바이 모

드에 있어서는 트랜지스터(Q8)를 온 상태로 설정하여 트랜지스터(Q3 및 Q4)에 의한 인버터 입력을 L레벨로 유지하고, 전압 6 [V]의 전원 라인이 완전하게 0 [V]로 하강하는 경우에 있어서, 기준 전압 발생 회로(31)에 있어서의 저항 블록(8)의 양단 전위를 0 [V]로 유지하고, 또한 스위치 회로(32, 33)에 있어서의 관통 전류를 방지하도록 되어 있다.

또한, 도 7은 도 6과의 대비에 의해, 딥 스탠바이 모드로부터 통상의 동작 모드에의 전이를 나타내는 타임 차트이다.

이들에 의해, 이 액정표시장치(11)에서는, 6 [V]의 전원 전압과 3 [V]의 전원 전압이 각각 제 1의 전원 전압과, 이 제 1의 전원 전압보다 낮은 제 2의 전원 전압을 구성하고, 계조 데이터(DI)의 디지털 아날로그 변환 처리에 관련되는 구동 회로에 있어서, 타이밍 발생 회로(19)가 제 1의 전원 전압에 의해 동작하는 제 1의 회로 블록을 구성하고, 기준 전압 발생 회로(31)가 이 제 1의 회로 블록에 의한 처리 결과를 처리하는 제 2의 전원 전압에 의해 동작하는 제 2의 회로 블록을 구성하도록 되어 있다.

또, 기준 전압 발생 회로(31)의 스위치 회로(32A, 32B) 또는 스위치 회로(33A, 33B)가 제 1의 회로 블록의 하나의 처리 결과의 입력을 받고, 상보적으로 온 오프 동작하는 액티브 소자를 구성하고, 버퍼 회로(41A 또는 41B)의 레벨 설정 회로(47)가 제 1의 전원 전압의 하강에 의해, 앞의 액티브 소자의 출력을 소정 레벨로 유지하도록 버퍼 회로 출력인 처리 결과의 레벨을 설정하는 레벨 설정 회로를 구성하도록 되어 있다.

또, 버퍼 회로(41A)에 있어서, 트랜지스터(Q1 및 Q2)에 의한 인버터가, 제 1의 전원 전압에 의해 동작하고, 처리 결과를 출력하는 제 1의 인버터를 구성하고, 트랜지스터(Q3 및 Q4)에 의한 인버터가 제 1의 인버터의 출력을 제 2의 회로 블록인 기준 전압 발생 회로(31)에 출력하는 제 2의 인버터를 구성하고, 전원 전환 회로(46)가 제 1의 전원의 하강에 의해, 제 2의 인버터의 전원 전압을 제 1의 전원 전압으로부터 제 2의 전원 전압으로 전환하는 전원 전환 회로를 구성하도록 되어 있다.

도 8은 CS 구동 회로(23)를 주변 구성과 함께 나타내는 블록도이다. CS 구동 회로(23)에 있어서는 타이밍 발생 회로(19)로부터 출력되는 전환 신호에 의해, 수평 주사 기간마다, CS선(CS)의 전위를 3 [V]와 0 [V]로 전환한다. 즉, CS 구동 회로(23)는 기준 전압 발생 회로(31)와 동일하게, 상보적으로 온 오프 상태로 전환되는 PMOS 트랜지스터 및 NMOS 트랜지스터에 의한 스위치 회로(60A 및 60B)에 의한 스위치 회로(60)와, 동일한 PMOS 트랜지스터 및 NMOS 트랜지스터에 의한 스위치 회로(61A 및 61B)에 의한 스위치 회로(61)가 설치되고, 이들 스위치 회로(60, 61)의 출력이 CS선(CS)에 출력된다.

이 CS 구동 회로(23)의 구성에 대응하여, 타이밍 발생 회로(19)에 있어서는 도 5에 대해서 상술한 동일 구성에 의한 버퍼 회로(63, 64)에 의해, 이들 스위치 회로(60, 61)의 전환 신호를 출력한다. 이것에 의해 이 액정표시장치(11)에서는 CS 구동 회로(23)에 대해서도 전압 6 [V]의 전원 라인이 완전하게 0 [V]로 하강했을 경우에 있어서, 스위치 회로(60, 61)에 있어서의 관통 전류를 방지하고, CS선(CS)의 전위를 0 [V]로 유지하도록 되어 있다.

도 9는 VCOM 구동 회로(24)를 주변 구성과 함께 나타내는 블록도이다. VCOM 구동 회로(24)에 있어서도, 타이밍 발생 회로(19)로부터 출력되는 전환 신호에 의해, 수평 주사 기간마다 VCOM선(VCOM)의 전위를 3 [V]와 0 [V]로 전환한다. 즉, VCOM 구동 회로(24)는 기준 전압 발생 회로(31)와 동일하게, 상보적으로 온 오프 상태로 완전히 전환되는 PMOS 트랜지스터 및 NMOS 트랜지스터에 의한 스위치 회로(65A 및 65B)에 의한 스위치 회로(65)와, 동일하게 PMOS 트랜지스터 및 NMOS 트랜지스터에 의한 스위치 회로(66A 및 66B)에 의한 스위치 회로(66)가 설치되고, 이들 스위치 회로(65, 66)의 출력이 VCOM선(VCOM)에 출력된다.

이 VCOM 구동 회로(24)의 구성에 대하여, 타이밍 발생 회로(19)에 있어서는 도 5에 대해서 상술한 동일 구성에 의한 버퍼 회로(67, 68)에 의해, 이들 스위치 회로(65, 66)의 전환 신호를 출력한다. 이것에 의해, 이 액정표시장치(11)에서는 VCOM 구동 회로(24)에 대해서도, 전압 6 [V]의 전원 라인이 완전하게 0 [V]로 하강한 경우에 있어서, 스위치 회로(65, 68)에 있어서의 관통 전류를 방지하고, VCOM선(VCOM)의 전위를 0 [V]로 유지하도록 되어 있다.

이들에 의해 액정표시장치(11)에서는 프리차지의 처리에 관련되는 구동 회로에 있어서, 타이밍 발생 회로(19)가 제 1의 전원 전압에 의해 동작하는 제 1의 회로 블록을 구성하고, CS 구동 회로(23), VCOM 구동 회로(24)가, 각각 이 제 1의 회로 블록에 의한 처리 결과를 처리하는 제 2의 전원 전압에 의해 동작하는 제 2의 회로 블록을 구성하도록 되어 있다.

(2) 실시 예의 동작

이상의 구성에 있어서, 이 액정표시장치(11)에서는(도 3), 묘화에 관련되는 제어기 등으로부터 각 화소의 계조를 지시하는 계조 데이터(DI)가 래스터 주사순서에 입력되고, 이 계조 데이터(DI)가 수평 구동 회로(17)의 시프트 레지스터(20)에 의해

차례차례 샘플링되어 라인 단위로 정리하고, 디지털 아날로그 변환 회로(21)에 전송된다. 계조 데이터(DI)는 이 디지털 아날로그 변환 회로(21)에 있어서의 디지털 아날로그 변환 처리에 의해 아날로그 신호에 변환되고, 이 아날로그 신호에 의해 표시부(16)의 각 신호선(LS)이 구동된다. 이것에 의해, 액정표시장치(11)에서는 수직 구동회로(18)에 의한 게이트선(LG)의 제어에 의해 차례차례 선택되어서 이루어지는 표시부(16)의 각 화소가, 수평 구동회로(17)에 의해 구동되어 계조 데이터(DI)에 의한 화상이 표시부(16)에 표시된다.

이와 같이 하여 표시부(16)의 신호선(LS)을 구동하는 수평 구동회로(17)에 있어서는(도 4), 기준 전압 발생 회로(31)에 있어서 생성 기준 전압을 저항 블록(8)에서 저항 분압하여 계조 데이터(DI)의 각 계조에 대응하는 기준 전압(V1 ~ V30)이 생성되고, 기준 전압 셀렉터(35)에 있어서, 각 계조 데이터(DI)에 따라 이 기준 전압(V1 ~ V30)이 선택됨으로써, 계조 데이터(DI)가 디지털 아날로그 변환 처리되고, 이 디지털 아날로그 변환 처리 결과가 버퍼 회로부(22)를 거쳐서 신호선(LS)에 공급된다.

이러한 디지털 아날로그 변환 처리에 있어서, 액정표시장치(11)에서는, 타이밍 발생 회로(19)로부터의 출력에 의해, 스위치 회로(32, 33)가 상보적으로 출력전압을 전환함으로써, 수평 주사 주기마다, 저항 블록(8)에의 인가 전압의 극성이 전환되고, 이것에 의해 생성 기준 전압의 극성이 수평 주사 주기마다 전환된다. 또, CS 구동회로(23), VCOM 구동회로(24)에 있어서(도 8 및 도 9), 동일하게 타이밍 발생 회로(19)로부터의 출력에 의해, 스위치 회로(60, 61) 및 스위치 회로(65, 66)가 상보적으로 출력전압을 전환함으로써, 수평 주사마다 보관 유지 용량(14)의 전극 전위, 액정 셀(12)의 전극 전위가 각각 소정 전위로 전환된다. 이것에 의해 액정표시장치(11)에서는 이른바 라인 반전에 의해 표시부(16)를 구동하고, 또 이 라인 반전에 대응하도록 프리차지의 처리가 실행되어 각 액정 셀(12)의 열화가 방지된다.

액정표시장치(11)에서는 외부 입력에 의해 3 [V]의 전원이 입력되고, DC-DC컨버터(25)에 있어서, 이 외부 입력의 전원에 의해 6 [V] 및 -3 [V]의 전원이 생성된다. 액정표시장치(11)에서는 타이밍 발생 회로(19)가 전압 6 [V]에 의해 고속도로 동작하여 각 회로블록의 타이밍 신호를 생성하는데 대하여, 이 타이밍 발생 회로(19)의 처리 결과인 타이밍 신호의 입력을 받는 기준 전압 발생 회로(31), CS 구동회로(23), VCOM 구동회로(24)가 3 [V]의 전원에 의해 동작하고, 이것에 의해 전체의 전력 소비가 저감된다.

액정표시장치(11)에서는 이러한 타이밍 발생 회로(19)로부터의 타이밍 신호의 입력을 받는 기준 전압 발생 회로(31), CS 구동회로(23), VCOM 구동회로(24)에 있어서, 각 스위치 회로(32, 33, 60, 61, 65, 66)가 각각 상보적으로 온 오프 동작하는 액티브 소자인 PMOS 트랜지스터에 의한 스위치 회로(32A, 33A, 60A, 61A, 65A, 66A), NMOS 트랜지스터에 의한 스위치 회로(32B, 33B, 60B, 61B, 65B, 66B)에 의해 구성되고, 이들 액티브 소자에 각각 1개의 제어 신호의 입력을 받도록 되고, 이것에 의해 타이밍 발생 회로(19)로부터의 출력 레벨이 어떤 레벨을 취하는 경우에서도, 각 스위치 회로(32, 33, 60, 61, 65, 66)에 있어서는, 각각 액티브 소자가 동시에 온 상태가 되는 경우를 확실히 방지할 수 있다.

이것에 의해 액정표시장치(11)에서는 DC-DC컨버터(25)의 동작을 완전하게 정지하여 전원 전압 6 [V]에 의한 회로 블록에 대하여 전원의 공급을 정지하도록 해도, 전원 전압 6 [V]에 의한 회로 블록과 전원 전압 3 [V]에 의한 회로 블록과의 사이의 인터페이스에 있어서, 관통 전류의 발생을 방지할 수 있도록 되어 있다. 이것에 의해 액정표시장치(11)에서는 상위의 제어기에 의해 딥 스탠바이 모드에서 동작의 전환이 지시되면, DC-DC컨버터(25)가 동작을 완전하게 정지하여 전원 전압 6 [V]의 회로 블록인 타이밍 발생 회로(19)에서 전원 공급이 정지되고, 종래에 비교하여 일단으로 소비 전력이 저감된다. 즉, 종래의 딥 스탠바이 모드와 같이, 6 [V]의 전원을 3 [V]에 하강하는 경우에 있어서는, 결국, 전원 전압 6 [V]의 회로 블록에 전원 전압 3 [V]에 의한 리크(leak) 전류가 계속 흐르는데 대하여, 이 액정표시장치(11)와 같이, 6 [V]의 전원을 완전하게 하강하도록 하면, 이러한 리크 전류도 방지할 수 있고, 그 만큼 종래에 비교하여 전력 소비를 일단으로 저감할 수 있다.

그렇지만, 이와 같이 하면, 각 스위치 회로(32, 33, 60, 61, 65, 66)의 관통 전류에 대해서는 방지할 수 있지만, 각 스위치 회로(32, 33, 60, 61, 65, 66)의 출력 전위가 상승하는 경우도 발생하고, 이것에 의해 표시부(16)에 의도하지 않는 표시가 표시되고, 또 딥 스탠바이 모드에 있어서, 액정 셀(12), 보관 유지 용량(14)에 일정한 전계를 계속 인가할 우려가 있다.

이것에 의해 액정표시장치(11)에서는(도 5), 이들 스위치 회로(32, 33, 60, 61, 65, 66)의 전환 신호를 출력하는 타이밍 발생 회로의 버퍼 회로(41A, 41B, 63, 64, 67, 68)에 있어서, 이들 스위치 회로(32, 33, 60, 61, 65, 66)의 출력 레벨이 소정 레벨이 되도록, 레벨 설정 회로(47)에 의해 버퍼 회로(41A, 41B, 63, 64, 67, 68)의 출력 레벨이 설정된다. 또, 이러한 레벨 설정 회로(47)에 의한 레벨 설정의 전제로서, 전원 전환회로(46)에 의해 최종단의 인버터에 대해서는, 6 [V]의 전원 전압의 하강에 의해 동작용 전원이 변환된다.

즉, 버퍼 회로(41A, 41B, 63, 64, 67, 68)에 있어서는 트랜지스터(Q1 및 Q2)에 의한 인버터와 트랜지스터(Q3 및 Q4)에 의한 인버터를 차례차례 거쳐서, 각 스위치 회로(32, 33, 60, 61, 65, 66)에 전환 신호가 출력되고, 트랜지스터(Q1 및 Q2)에 의한 인버터가 전원 전압 6 [V]에 의해 동작하는데 대하여, 트랜지스터(Q3 및 Q4)에 의한 인버터에 대해서는 트랜지스터(Q5 및 Q6)를 거쳐서 각각 6 [V] 및 3 [V]의 전원에 접속된다.

버퍼 회로(41A, 41B, 63, 64, 67, 68)에 있어서는 통상의 동작 상태에 있어서, 이들 트랜지스터(Q5 및 Q6)가 각각 온 상태 및 오프 상태로 보관 유지되고, 이것에 의해 트랜지스터(Q3 및 Q4)에 의한 인버터에 있어서는, 이 경우, 전원 전압 6 [V]에 의해 동작하여 전환 신호를 각 스위치 회로(32, 33, 60, 61, 65, 66)에 출력한다. 이것에 대하여 딥 스탠바이 모드에 있어서는, 트랜지스터(Q5 및 Q6)가 각각 오프 상태 및 온 상태로 동작을 전환하고, 이것에 의해 6 [V]의 전원의 하강에 의해 전단측의 트랜지스터(Q1 및 Q2)에 의한 인버터에 있어서는, 동작을 정지하는데 대하여, 최종단의 트랜지스터(Q3 및 Q4)에 의한 인버터에 있어서는, 전원 전압이 3 [V]로 전환되어 동작 상태로 보관 유지된다.

이 상태에서 트랜지스터(Q3 및 Q4)에 의한 인버터에 있어서는, 트랜지스터(Q8)에 의한 설정에 의해, 입력 레벨이 0 레벨로 보관 유지되고, 그 결과, 스위치 회로(32, 33, 60, 61, 65, 66)의 출력에 있어서는 0 레벨로 보관 유지된다. 이것에 의해 액정표시장치(11)에서는 표시부(16)에 의도하지 않는 표시가 표시되고, 액정 셀(12), 보관 유지 용량(14)에 일정한 전계를 계속 인가하는 등의, 전원 전압을 하강하는 것에 의한 여러 가지의 악영향이 유효하게 회피된다.

(3) 실시 예의 효과

이상의 구성에 의하면, 전원 전압이 높은 쪽의 회로 블록으로부터의 처리결과를 상보적으로 온 오프 동작하는 액티브 소자에 의해 전원 전압의 낮은 측에 입력하고, 이 높은 쪽의 전원 전압의 하강에 의해 이 액티브 소자의 출력을 소정 레벨로 설정함으로써, 딥 스탠바이 모드에 있어서, 일단으로 소비 전력을 줄일 수 있다.

즉, 이 전원 전압이 낮은 쪽의 회로 블록이, 생성 기준 전압을 저항 블록에 의해 저항 분압하여 복수의 기준 전압을 생성하는 기준 전압 발생 회로와, 화소의 계조를 나타내는 계조 데이터에 따라서, 복수의 기준 전압을 선택 출력하는 기준 전압 셀렉터이고, 상보적으로 온 오프 동작하는 액티브 소자가 출력을 저항 블록에 출력하고, 1개의 처리 결과에 의해 저항 블록의 단자전압을 전환함으로써, 생성 기준 전압의 극성을 전환하는 스위치 회로의 액티브 소자임으로써, 예를 들면 라인 반전에 관련되는 디지털 아날로그 변환 처리에 관해서, 딥 스탠바이 모드에 있어서의 소비 전력을 일단으로 줄일 수 있다.

또, 전원 전압이 낮은 쪽의 회로 블록이 화소에 설치된 보관 유지 용량의 전극 전위를 전환하는 구동회로이고, 상보적으로 온 오프 동작하는 액티브 소자가 이 보관 유지 용량의 전극 전위를 전환하는 액티브 소자임으로써, 보관 유지 용량의 전극 전위의 전환하는 것에 관해서, 딥 스탠바이 모드에 있어서의 소비 전력을 일단으로 줄일 수 있다.

전원 전압이 낮은 쪽의 회로 블록이, 액정 셀의 전극 전위를 전환하는 구동회로이고, 상보적으로 온 오프 동작하는 액티브 소자가 이 액정 셀의 전극 전위를 전환하는 액티브 소자임으로써, 액정 셀의 전극 전위의 전환하는 것에 관해서, 딥 스탠바이 모드에 있어서의 소비 전력을 일단으로 줄일 수 있다.

또, 이러한 액티브 소자의 구동에 관련되는 전원 전압이 높은 쪽의 회로 블록에 대해서, 6 [V]에 의한 제 1의 전원 전압에 의해 동작하고, 제 1의 처리 결과를 출력하는 제 1의 인버터와, 제 1의 인버터의 출력을 제 2의 회로 블록에 출력하는 제 2의 인버터와, 제 1의 전원의 하강에 의해, 제 2의 인버터의 전원 전압을 제 1의 전원 전압으로부터 3 [V]인 제 2의 전원 전압으로 전환하는 전원 전환회로(46)를 설치하도록 하고, 레벨 설정 회로(47)에 의해 제 2의 인버터의 입력 레벨을 설정하여, 액티브 소자의 출력을 소정 레벨로 유지함으로써, 후단의 회로 블록에 있어서 여러 가지의 부적당이 발생하지 않게, 액티브 소자의 출력 레벨을 필요에 따라서 여러 가지로 설정할 수 있고, 이것에 의해 각종의 부적당을 방지하여 소비 전력을 저감 할 수 있다.

또, 이러한 제 1의 전원 전압을 내장의 전원 회로인 DC-DC컨버터로 작성함으로써, 액정표시장치의 외부 구성을 간략화 할 수 있다.

(4) 다른 실시 예

또한, 상술의 실시 예에 있어서는, 버퍼 회로에 있어서, 최종단의 인버터의 전원 전압을 3 [V]에 전환하고, 이 인버터 입력을 레벨 설정 회로에 의해 설정하는 경우에 대해 말했지만, 본 발명은 이것에 한정하지 않고, 예를 들면 이 인버터 출력의 레벨을 직접 레벨 설정 회로에 의해 설정하는 경우 등 레벨 설정 방법에 있어서는 여러 가지의 수법을 적용할 수 있다.

또, 상술의 실시예에 대해서는 6 [V] 및 3 [V]에 의해 동작하는 경우에 대해 말했지만, 본 발명은 이것에 한정하지 않고, 복수 계통의 전원 전압에 의해 동작하는 경우에 넓게 적용할 수 있다.

또, 상술의 실시예에 대해서는, 액정표시장치에 있어서, 디지털 아날로그 변환 처리, 프리차지의 처리에 관련되는 회로 블록으로 다른 전원 전압에 의한 회로 블록으로부터의 처리 결과를 입력하여 처리하는 경우에 대해 말했지만, 본 발명은 이것에 한정하지 않고, 예를 들면 시프트 레지스터 회로 등에 있어서, 전원 전압이 다른 회로 블록간에 계조 데이터를 송수하는 경우 등에도 넓게 적용할 수 있다.

또, 상술의 실시예에 있어서는 유리 기판상에 표시부 등을 작성하여 이루어지는 TFT 액정에 의한 평판 디스플레이 장치에 본 발명을 적용하는 경우에 대해 말했지만, 본 발명은 이것에 한정하지 않고, CGS(Continuous Grain Silicon) 액정 등, 각종 액정표시장치, 또 EL(Electro Luminescence) 표시장치 등, 여러 가지의 평판 디스플레이 장치에 넓게 적용할 수 있다. 또, 이러한 평판 디스플레이 장치에 한정하지 않고, TFT등에 의한 여러 가지의 집적회로에 넓게 적용할 수 있다.

산업상 이용 가능성

본 발명은, 예를 들면 절연 기판상에 구동회로를 일체로 형성한 액정표시장치에 적용할 수 있다.

(57) 청구의 범위

청구항 1.

매트릭스형으로 화소를 배치하여 이루어지는 표시부와, 상기 표시부를 구동하는 구동회로를 일체로 기판상에 형성하여 이루어지는 평판 디스플레이 장치에 있어서,

상기 구동회로는,

제 1의 전원 전압에 의해 동작하는 제 1의 회로 블록과, 상기 제 1의 회로 블록에 의한 처리 결과를 처리하고, 상기 제 1의 전원 전압보다 낮은 제 2의 전원 전압에 의해 동작하는 제 2의 회로 블록을 가지고,

상기 제 2의 회로 블록은,

상보적으로 온 오프 동작하는 액티브 소자에, 상기 제 1의 회로 블록의 하나의 처리 결과의 입력을 받고,

상기 제 1의 회로 블록은,

상기 제 1의 전원 전압의 하강에 의해, 상기 액티브 소자의 출력을 소정 레벨로 유지하도록 상기 1개의 처리 결과의 레벨을 설정하는 레벨 설정 회로를 가지도록 구성된 것을 특징으로 하는 평판 디스플레이 장치.

청구항 2.

제 1항에 있어서,

상기 제 2의 회로 블록이,

생성 기준 전압을 저항 블록에 의해 저항 분압하여 복수의 기준 전압을 생성하는 기준 전압 발생 회로와,

상기 화소의 계조를 나타내는 계조 데이터에 따라서, 상기 복수의 기준 전압을 선택 출력하는 기준 전압 셀렉터이고,

상기 상보적으로 온 오프 동작하는 액티브 소자가,

상기 출력을 상기 저항 블록에 출력하고, 상기 1개의 처리결과에 의해 상기 저항 블록의 단자전압을 전환함으로써, 상기 생성 기준 전압의 극성을 전환하는 스위치 회로의 액티브 소자인 것으로 구성된 것을 특징으로 하는 평판 디스플레이 장치.

청구항 3.

제 1항에 있어서,

상기 제 2의 회로 블록이,

상기 화소에 설치된 보관 유지 용량의 전극 전위를 전환하는 구동회로이고,

상기 상보적으로 온 오프 동작하는 액티브 소자가,

상기 출력을 상기 보관 유지 용량에 출력하고, 상기 1개의 처리 결과에 의해 상기 전극 전위를 전환하는 액티브 소자인 것으로 구성된 것을 특징으로 하는 평판 디스플레이 장치.

청구항 4.

제 1항에 있어서,

상기 제 2의 회로 블록이,

상기 화소의 액정 셀의 전극 전위를 전환하는 구동회로이고,

상기 상보적으로 온 오프 동작하는 액티브 소자가,

상기 출력을 상기 액정 셀에 출력하고, 상기 1개의 처리 결과에 의해 상기 전극 전위를 전환하는 액티브 소자인 것으로 구성된 것을 특징으로 하는 평판 디스플레이 장치.

청구항 5.

제 1항에 있어서,

상기 제 1의 회로 블록은,

상기 제 1의 전원 전압에 의해 동작하고, 상기 제 1의 처리 결과를 출력하는 제 1의 인버터와,

상기 제 1의 인버터의 출력을 상기 제 2의 회로 블록에 출력하는 제 2의 인버터와,

상기 제 1의 전원의 하강에 의해, 상기 제 2의 인버터의 전원 전압을 상기 제 1의 전원 전압으로부터 상기 제 2의 전원 전압에 전환하는 전원 전환회로를 가지고,

상기 레벨 설정 회로는,

상기 제 2의 인버터의 입력 레벨의 설정에 의해, 상기 액티브 소자의 출력을 소정 레벨로 유지하는 것을 특징으로 하는 평판 디스플레이 장치.

청구항 6.

제 1항에 있어서,

상기 제 2의 전원 전압에 의한 전원에 의해, 상기 제 1의 전원 전압에 의한 전원을 생성하는 전원 회로를 가지고,

상기 제 2의 전원 전압에 의한 전원이, 외부에서 공급되는 전원인 것으로 구성된 것을 특징으로 하는 평판 디스플레이 장치.

청구항 7.

제 1의 전원 전압에 의해 동작하는 제 1의 회로 블록과, 상기 제 1의 회로 블록에 의한 처리 결과를 처리하고, 상기 제 1의 전원 전압보다 낮은 제 2의 전원 전압에 의해 동작하는 제 2의 회로 블록을 가져서 이루어지는 집적회로에 있어서,

상기 제 2의 회로 블록은,

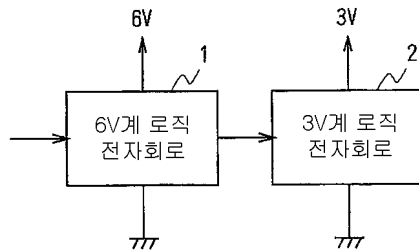
상보적으로 온 오프 동작하는 액티브 소자에, 상기 제 1의 회로 블록의 하나의 처리 결과의 입력을 받고,

상기 제 1의 회로 블록은,

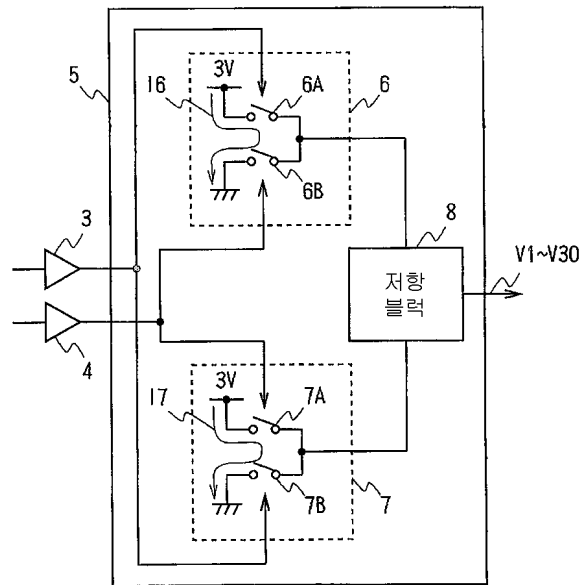
상기 제 1의 전원 전압의 하강에 의해, 상기 액티브 소자의 출력을 소정 레벨로 유지하도록 상기 1개의 처리 결과의 레벨을 설정하는 레벨 설정 회로를 가지도록 구성된 것을 특징으로 하는 집적회로.

도면

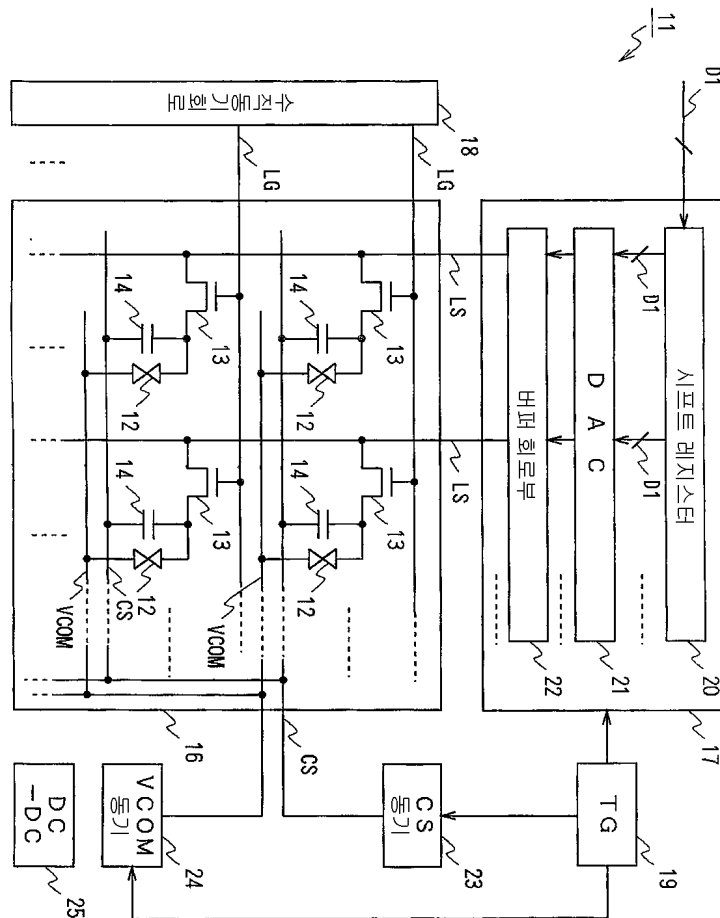
도면1



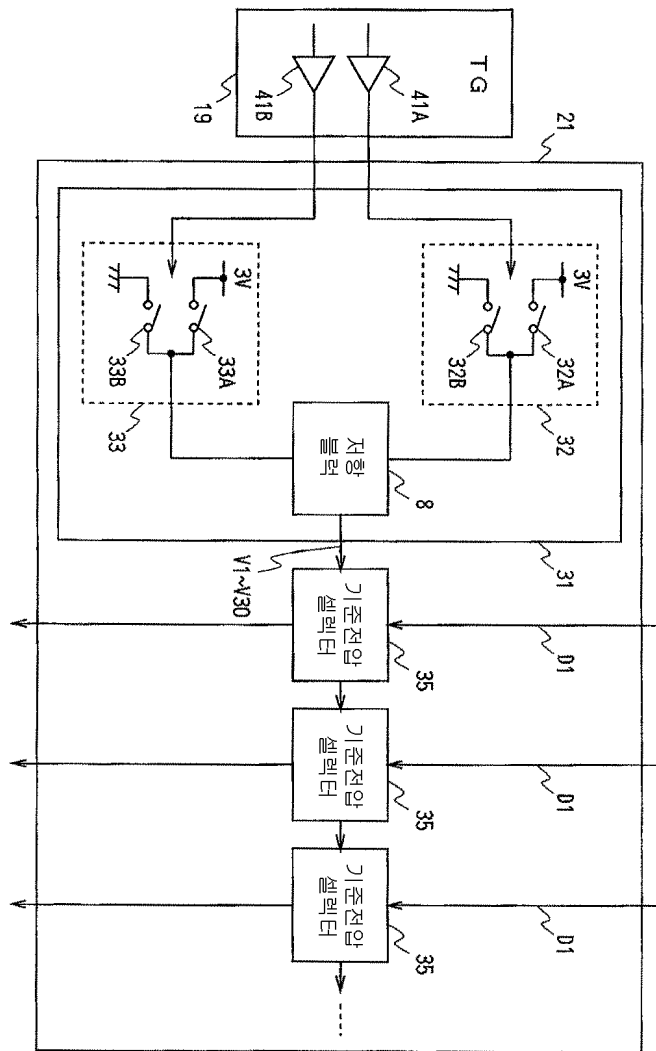
도면2



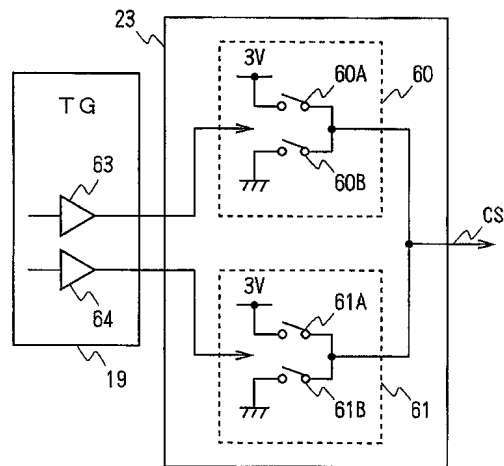
도면3



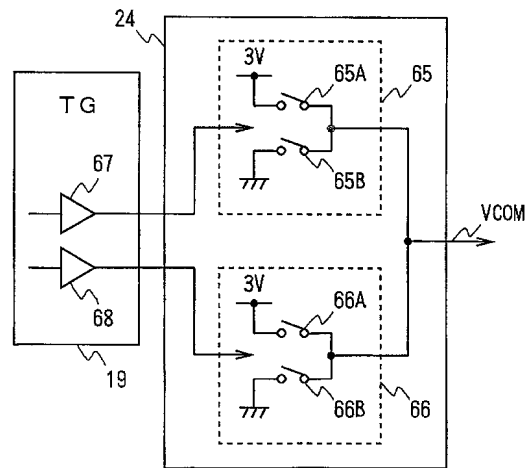
도면4



도면8



도면9



专利名称(译)	平板显示装置和集成电路		
公开(公告)号	KR1020060034684A	公开(公告)日	2006-04-24
申请号	KR1020067000176	申请日	2004-07-06
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	KIDA YOSHITOSHI 기다요시토시 NAKAJIMA YOSHIHARU 나카지마요시하루		
发明人	기다요시토시 나카지마요시하루		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G2330/022 G09G2310/027 G09G3/3688 G09G2300/0408 G09G2330/021 G09G2330/02 G09G3/3614 G09G3/3696 G09G2300/0876		
优先权	2003272250 2003-07-09 JP		
其他公开文献	KR101045904B1		
外部链接	Espacenet		

摘要(译)

本发明涉及通过有源元件的电源电压的下侧，其补充地来自具有高电源电压的一侧的电路块 (41A, 41B) 的处理结果，其应用于整体形成的液晶显示器的驱动例如，电路在绝缘基板上执行断开操作。它输入。随着高压侧电源电压的降低，该有源元件的输出被设定为一定水平。

