

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/20 (2006.01)

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

(11) 공개번호 10-2006-0033776

(43) 공개일자 2006년04월19일

(21) 출원번호 10-2006-7000277

(22) 출원일자 2006년01월05일

번역문 제출일자 2006년01월05일

(86) 국제출원번호 PCT/JP2004/009906

(87) 국제공개번호 WO 2005/006303

국제출원일자 2004년07월06일

국제공개일자 2005년01월20일

(30) 우선권주장 JP-P-2003-00272443 2003년07월09일 일본(JP)

(71) 출원인 소니 가부시끼 가이샤
일본국 도쿄도 시나가와쿠 기타시나가와 6쵸메 7반 35고

(72) 발명자 기다 요시토시
일본국 도쿄도 시나가와쿠 기타시나가와 6쵸메 7반 35고 소니가부시끼
가이샤내
나카지마 요시하루
일본국 도쿄도 시나가와쿠 기타시나가와 6쵸메 7반 35고 소니가부시끼
가이샤내

(74) 대리인 신관호

심사청구 : 없음

(54) 정전류 회로 및 플랫 디스플레이 장치

요약

본 발명은, 예를 들면 절연 기관상에 구동회로를 일체로 형성한 액정표시장치에 적용하고, 기준전류(I1)에 의해 샘플링용 콘덴서(C3)를 충전하고 이 기준전류(I1)에 의한 트랜지스터(Q4)의 게이트-소스간 전압(Vgs)을 샘플링용 콘덴서(C3)로 설정한 후, 이 샘플링용 콘덴서(C3)의 전압(Vgs)에 의해 트랜지스터(Q14)를 구동하여 정전류 회로로서 기능시킨다.

대표도

도 7

명세서

기술분야

본 발명은, 정전류 회로 및 플랫 디스플레이 장치에 관한 것이며, 예를 들면 절연 기판상에 구동회로를 일체로 형성한 액정 표시장치에 적용할 수 있다. 본 발명은, 기준 전류에 의해 샘플링용 콘덴서를 충전하고 이 기준 전류에 의한 트랜지스터의 게이트-소스간 전압을 샘플링용 콘덴서로 설정한 후, 이 샘플링용 콘덴서의 전압에 의해 트랜지스터를 구동하여 정전류 회로로서 기능시키는 것으로, 종래에 비하여 불균일을 작게 할 수 있도록 한다.

배경기술

종래, 각종 집적회로에 있어서는, 커런트미러 회로에 의해 정전류 회로를 구성하고, 각부의 동작에 필요한 전류를 공급하도록 되어 있다. 즉 도 1 및 도 2는, 각각 커런트미러 회로에 의한 정전류 회로를 나타내는 접속도이다. 도 1에 나타내는 정전류 회로는, P채널 MOS(이하, PMOS라고 부른다)(Q1)에 의한 기준 전류를, 커런트미러 회로 구성에 의한 N채널 MOS(이하, NMOS라고 부른다) 트랜지스터 Q2 및 Q3에 의해 되풀이하는 것으로, 소망하는 회로 블록에 의해 기준 전류에 대응하는 일정 전류를 유출시키는 데 대해, 도 2에 나타내는 정전류 회로는, NMOS 트랜지스터(Q4)에 의한 기준 전류를, 커런트미러 회로 구성에 의한 PMOS 트랜지스터(Q5 및 Q6)에 의해 되풀이하는 것으로, 소망하는 회로 블록에 기준 전류에 대응하는 일정 전류를 유입시키도록 되어 있다.

최근, 예를 들면 PDA, 휴대 전화 등의 휴대 단말 장치에 적용되는 플랫 디스플레이 장치인 액정표시장치에 있어서는, 액정 표시패널을 구성하는 절연 기판인 유리 기판상에, 액정표시패널의 구동회로를 일체로 집적화하여 구성하는 것이 제공되도록 되어 있고, 이러한 플랫 디스플레이 장치에 있어서는, 구동회로는, 도 1 및 도 2에 있어서 상술한 정전류 회로가 사용되도록 되어 있다.

구체적으로, 이런 종류의 액정표시장치는, 액정 셀, 이 액정 셀의 스위칭 소자인 폴리 실리콘 TFT(Thin Film Transistor ; 박막 트랜지스터), 보관유지 용량에 의한 화소를 매트릭스 모양으로 배치하여 표시부가 형성되고, 이 표시부의 주위에 배치한 각종의 구동회로에 의해 표시부를 구동하여 각종의 화상을 표시하도록 되어 있다. 액정표시장치에 있어서는, 특개평7-295521호 공보 등에 개시되어 있는 바와 같이, 프리차지의 처리에 의해, 예를 들면 1 라인마다, 각 화소의 신호선을 소정 전위로 설정하여 보관유지용량을 충전한 후, 각 화소의 계조(階調)를 나타내는 계조 데이터에 의한 아날로그 신호에 의해 각 화소를 구동하도록 되고, 이 아날로그 신호에 의한 구동에 관련되는 회로 블록 등에, 이러한 정전류 회로가 설치되도록 되어 있다.

그렇지만 이런 종류의 액정표시장치에 적용되는 액티브 소자인 TFT는, 특성의 불균일한 큰 결점이 있고, 이것에 의해 이러한 액티브 소자에 의한 트랜지스터를 이용하여 도 1 및 도 2에 나타내는 정전류 회로를 구성했을 경우, 트랜지스터(Q1, Q4)에서 설정되는 기준 전류가 불균일하고, 또한 이 기준 전류에 대해서 트랜지스터(Q3)에 유입시키는 전류, 트랜지스터(Q6)에 의해 유출시키는 전류가 불균일한 문제가 있다.

이러한 불균일에 의한 각 회로블록의 영향을 줄이기 위해, 종래, 이런 종류의 액티브 소자에 의해 정전류 회로에 있어서는, 비교적 큰 전류를 흘리도록 설계되어 있지만, 이와 같이 하면 그 만큼, 소비 전력이 커지는 결점이 있다.

발명의 상세한 설명

본 발명은 이상의 점을 고려하여 이루어진 것으로, 종래에 비하여 불균일을 작게 할 수 있는 정전류 회로, 이러한 정전류 회로를 이용한 플랫 디스플레이 장치를 제안하려고 하는 것이다.

이러한 과제를 해결하기 위해 본 발명에 있어서는, 정전류 회로에 적용하고, 트랜지스터의 게이트-소스간에 접속된 샘플링용 콘덴서와, 트랜지스터의 드레인을 기준 전류원에 접속하여, 트랜지스터를 기준 전류원의 기준 전류에 의해 구동했을 때의 게이트-소스간의 전압에 샘플링용 콘덴서의 양단 전압을 설정한 후, 샘플링용 콘덴서, 트랜지스터와 기준 전류원과의 접속을 차단함과 동시에, 트랜지스터의 드레인을 구동 대상으로 접속하고, 샘플링용 콘덴서로 설정된 게이트-소스간의 전압에 의한 트랜지스터의 전류로 구동 대상을 구동한다.

본 발명의 구성에 의해, 정전류 회로에 적용하고, 트랜지스터의 게이트-소스간에 접속된 샘플링용 콘덴서와, 트랜지스터의 드레인을 기준 전류원에 접속하고, 트랜지스터를 기준 전류원의 기준 전류에 의해 구동했을 때의 게이트-소스간의 전압에 샘플링용 콘덴서의 양단 전압을 설정한 후, 샘플링용 콘덴서, 트랜지스터와 기준 전류원과의 접속을 차단함과 동시에, 트랜지스터의 드레인을 구동 대상으로 접속하고, 샘플링용 콘덴서로 설정된 게이트-소스간의 전압에 의한 트랜지스터

의 전류로 구동 대상을 구동하면, 이 트랜지스터에 있어서는, 특성이 불균일한 경우에서도, 기준 전류에 의한 구동시의 조건에 의해 동작하여 구동 대상을 구동할 수 있고, 이것에 의해 구동 대상의 구동에 이용하는 정전류의 불균일을 격단적(格段的)으로 작게 할 수 있다.

또 본 발명에 있어서는, 플랫 디스플레이 장치에 적용하고, 수평 구동회로에 설치된 버퍼회로의 정전류 회로가, 트랜지스터의 게이트-소스간에 접속된 샘플링용 콘덴서와 트랜지스터의 드레인을 기준 전류원에 접속하고, 트랜지스터를 기준 전류원의 기준 전류에 의해 구동했을 때의 게이트-소스간의 전압에 샘플링용 콘덴서의 양단 전압을 설정한 후, 샘플링용 콘덴서, 트랜지스터와 기준 전류원과의 접속을 차단함과 동시에, 트랜지스터의 드레인을 구동 대상으로 접속하고, 샘플링용 콘덴서로 설정된 게이트-소스간의 전압에 의한 트랜지스터의 전류로 구동 대상을 구동하도록 한다.

이것에 의해 본 발명의 구성에 의하면, 종래에 비하여 불균일을 작게 해서 되는 정전류 회로를 이용하고, 각 신호선의 구동과 관련되는 특성의 불균일을 작게 할 수 있는 플랫 디스플레이 장치를 제공할 수 있다.

본 발명에 의하면, 기준 전류에 의해 샘플링용 콘덴서를 충전하고 이 기준 전류에 의한 트랜지스터의 게이트-소스간 전압을 샘플링용 콘덴서로 설정한 후, 이 샘플링용 콘덴서의 전압에 의해 트랜지스터를 구동하여 정전류 회로로서 기능시키는 것으로, 종래에 비하여 정전류 회로에 있어서는 불균일을 작게 할 수 있다.

또 이러한 정전류 회로에 의해 플랫 디스플레이 장치를 구성함으로써, 각 신호선의 구동과 관련되는 특성의 불균일을 작게 할 수 있고, 또 그 만큼, 정전류에 의한 정전류치를 작게 하여 전체의 소비 전력을 줄일 수 있다.

도면의 간단한 설명

도 1은, 종래의 정전류 회로를 나타내는 접속도이다.

도 2는, 도 1과는 다른 예를 나타내는 접속도이다.

도 3은, 본 발명의 실시예 1과 관련되는 액정표시장치를 나타내는 블럭도이다.

도 4는, 도 3의 액정표시장치의 수평 구동회로의 일부를 나타내는 블럭도이다.

도 5는, 도 4의 버퍼회로를 나타내는 접속도이다.

도 6은, 도 5의 버퍼회로에 있어서는 프리차지 회로의 동작의 설명에 이용하는 타임차트이다.

도 7은, 도 3의 액정표시장치에 적용되는 정전류 회로를 나타내는 접속도이다.

도 8은, 도 7의 정전류 회로의 동작의 설명에 이용하는 타임차트이다.

도 9는, 도 5의 버퍼회로에 있어서는 아날로그 버퍼회로의 동작의 설명에 이용하는 타임차트이다.

도 10은, 도 5의 버퍼회로에 있어서는 아날로그 버퍼회로의 동작의 설명에 이용하는 접속도이다.

도 11은, 도 10의 연속한 설명에 이용하는 접속도이다.

도 12는, 도 11의 연속한 설명에 이용하는 접속도이다.

도 13는, 도 12의 연속한 설명에 이용하는 접속도이다.

도 14는, 본 발명의 실시예 2에 적용되는 아날로그 버퍼회로를 나타내는 접속도이다.

도 15는, 도 14의 아날로그 버퍼회로에 적용되는 정전류 회로를 나타내는 접속도이다.

도 16은, 도 14의 아날로그 버퍼회로의 동작의 설명에 이용하는 타임차트이다.

도 17은, 본 발명의 실시예 3에 적용되는 아날로그 버퍼회로를 나타내는 접속도이다.

도 18은, 도 17의 아날로그 버퍼회로의 동작의 설명에 이용하는 타임차트이다.

도 19는, 본 발명의 실시예 4에 적용되는 수평 구동회로의 일부 구성을 나타내는 블록도이다.

도 20은, 본 발명의 실시예 5와 관련되는 정전류 회로를 나타내는 접속도이다.

*부호의 설명

1. 액정표시장치, 2. 액정 셀
3. Q1 ~ Q14C 트랜지스터, 4. 보관유지 용량
6. 표시부, 7. 수평 구동회로
8. 수직 구동회로, 9. 시프트 레지스터
10. 디지털 아날로그 변환회로, 11. 버퍼 회로부
15. 기준전압 발생회로, 16. 기준전압 셀렉터
17. 타이밍 발생회로, 18. 버퍼회로
- 20, 40, 50, 57. 아날로그 버퍼회로 21. 프리차지 회로
- 22, 23, 24, 27, 28, 31 ~ 35. 스위치 회로,
- 26, 46, 66. 정전류 회로,
- C1 ~ C3, C3A ~ C3C. 콘텐서

실시예

이하, 적당 도면을 참조하면서 본 발명의 실시예를 상술한다.

(1) 실시예 1

(1-1) 실시예 1의 구성

도 3은, 본 발명의 실시예 1과 관련되는 액정표시장치를 나타내는 블록도이다. 이 액정표시장치(1)에 있어서는, 액정 셀 (2), 이 액정 셀(2)의 스위칭 소자인 폴리 실리콘 TFT(3), 보관유지 용량(4)에 의한 화소가 형성되고, 이 화소를 매트릭스 모양으로 배치하여 표시부(6)가 형성된다. 액정표시장치(1)는, 이 표시부(6)를 형성하는 각 화소가, 신호선(LS) 및 게이트 선(LG)에 의해 각각 수평 구동회로(7) 및 수직 구동회로(8)에 접속되고, 수직 구동회로(8)에 의해 순차(順次) 화소를 선택 하여 수평 구동회로(7)로부터의 구동 신호에 의해 각 화소의 계조(階調)를 설정함으로써, 소망하는 화상을 표시하도록 되어 있다.

이 때문에 수직 구동회로(8)는, 도시하지 않는 타이밍 발생회로로부터 출력되는 타이밍 신호에 의해 각 게이트선(LG)을 구동함으로써, 수평 구동회로(7)에 있어서의 처리에 연동하여 차례차례 라인 단위로 화소를 선택한다.

수평 구동회로(7)는, 각 화소의 계조를 나타내는 계조 데이터(DI)를 차례차례 순환적으로 받아들여 각 신호선(LS)의 구동 신호를 생성한다. 즉 수평 구동회로(7)에 있어서, 시프트 레지스터(9)는, 계조 데이터(DI)를 차례차례 순환적으로 샘플링함으로써, 계조 데이터(DI)를 라인 단위로 정리하여 1 라인만큼의 계조 데이터(DI)를 수평 블랭킹(blanking) 기간의 소정의 타이밍으로 디지털 아날로그 변환회로(DAC)(10)에 출력한다.

디지털 아날로그 변환회로(10)는, 시프트 레지스터(9)로부터 출력되는 계조 데이터(DI)를 각각 디지털 아날로그 변환처리하여 출력한다. 버퍼회로부(11)는, 이 디지털 아날로그 변환회로(10)의 출력신호에 의해 각 신호선(LS)을 구동하고, 이것에 의해 수평 구동회로(7)에 있어서는, 계조 데이터(DI)에 따른 계조에 의해 표시부(6)의 각 화소를 구동하여 소망한 화상을 표시할 수 있도록 되어 있다. 버퍼회로부(11)는, 이와 같이 하여 디지털 아날로그 변환회로(10)의 출력신호에 의해 각 신호선(LS)을 구동하고, 또 이때 이른바 프리차지의 처리에 이용하도록 각 신호선(LS)을 구동한다.

도 4는, 수평 구동회로(7)의 디지털 아날로그 변환회로(10), 버퍼회로부(11)를 상세하게 나타내는 블록도이다. 디지털 아날로그 변환회로(10)에 있어서, 기준전압 발생회로(15)는, 예를 들면 소정의 생성 기준전압을 저항 분압함으로써, 계조 데이터(DI)에 의한 계조에 대응하는 복수의 기준전압($VO \sim V63$)을 생성하여 출력한다. 기준전압 셀렉터(16)는, 각각 이들 복수의 기준전압($VO \sim V63$)을 받아, 시프트 레지스터(9)로부터 출력되는 계조 데이터(DI)에 따라서, 어느 쪽의 기준전압을 선택 출력한다. 이것에 의해 디지털 아날로그 변환회로(10)는, 계조 데이터(DI)에 대응하는 기준전압의 선택에 의해, 계조 데이터(DI)를 디지털 아날로그 변환처리 하도록 되어 있다.

버퍼회로부(11)는, 타이밍 발생회로(17)로부터 출력되는 각종 타이밍 신호에 의해 동작하는 각 버퍼회로(18)에 의해 기준전압 셀렉터(16)의 출력신호를 처리하여, 각 신호선(LS)에 출력한다. 또한 이 도 4에 있어서, 각각 부호(R, G, B)는, 적색, 녹색, 청색의 화소에 대응하는 계통인 것을 나타내는 것이다.

도 5는, 이 버퍼회로(18)의 구성을 상세하게 나타내는 접속도이다. 버퍼회로(18)는, 아날로그 버퍼회로(20)에 기준전압 셀렉터(16)의 출력신호(부호 Vin에 의해 나타냄)가 입력되고, 이 입력신호(Vin)에 의해 대응하는 신호선(LS)을 구동한다. 또 수평 블랭킹 기간의 사이에서, 1 라인마다, 도시하지 않는 CS구동 회로와 함께 신호선(LS)의 전위를 새로 바꾸어 프리차지의 처리를 실행한다. 이 때문에 버퍼회로(18)에 있어서는, 입력신호(Vin)에 의한 화소의 계조 설정과 관련되는 처리를 실행하는 아날로그 버퍼회로(20)와, 프리차지의 처리와 관련되는 프리차지회로(21)로 구성된다. 또한, 이하의 설명에 있어서, 스위치 회로, PMOS 트랜지스터 또는 NMOS 트랜지스터에 의해 구성되고, 타이밍 발생회로(17)로부터 출력되는 타이밍 신호의 부호를 각 스위치 회로 등에 교부하고, 각 스위치 회로 등의 제어와 관련되는 타이밍 신호를 나타낸다.

즉 이 액정표시장치(1)에서는, 도 6에 나타낸 바와 같이, 이른바 라인 반전에 의해 표시부(6)를 구동하고, 수평 블랭킹 기간의 사이에 프리차지의 처리를 실행하고, 이 때문에 도시하지 않는 CS구동회로에 의해, 보관유지 용량(4)의 트랜지스터(3)가 설치되지 않은 쪽의 단자전압(도 3 참조, 도 6에 있어서는, 부호(CS)에 의한 이 단자 측의 배선인 CS선의 전위에 의해 나타냄)이 수평주사 기간마다, 그라운드 레벨과 정측 소정 전위와의 사이에서 변환된다(도 6a). 이 때문에 아날로그 버퍼회로(20)는, 출력단에 설치된 스위치 회로(22)에 의해, 이 프리차지의 처리를 실행하는 기간(이하 프리차지 기간이라고 부른다)(T1)의 사이, 신호선(LS)에 의해 분리된다(도 6f 및 g).

프리차지회로(21)는, 프리차지기간(T1)의 거의 전반의 기간의 사이, 각각 타이밍 발생회로(17)로부터 출력되는 타이밍 신호(PCG1, PCG2)에 의해, 신호선(LS)에 접속된 스위치 회로(23 및 24)가 각각 오프 상태 및 온 상태로 설정하고(도 6b ~ e), 이것에 의해 CS선(CS)을 신호선(LS)에 접속하여 CS구동회로에 의해 CS선(CS)의 전위를 변화한다(도 6h). 이것에 의해 프리차지회로(21)는, 신호선(LS)과 보관유지 용량(4)에 축적된 전하를 유효하게 이용하여 CS선(CS)의 전위를 변환하여, 그 만큼, 전체의 소비 전력을 줄이도록 되어 있다.

또 계속하여 타이밍 신호(PCG1, PCG2)에 의해, 스위치 회로(23 및 24)가 각각 온 상태 및 오프 상태로 설정되어(도 6b ~ e), 이것에 의해 신호선(LS)을 CS선(CS)으로부터 분리하고, 신호선(LS)의 전위를 그라운드 레벨로 설정한다(도 6h). 이것에 의해 이 실시예에서는, 그라운드 레벨과 정측 소정 전위로서 CS선(CS)의 전위를 변환하고, 신호선(LS)에 있어서는, 그라운드 레벨을 기준으로 하여 구동할 수 있도록 되어, 그 만큼, 후술하는 바와 같이, 신호선(LS)의 구동과 관련되는 아날로그 버퍼회로(20)의 구성을 간략화할 수 있도록 되어 있다.

아날로그 버퍼회로(20)는, NMOS 트랜지스터(QII)에 의한 소스 폴로어에 의해 구성되고, 이 NMOS 트랜지스터(QII)의 소스로 도 7a에 나타내는 정전류 회로(26)가 접속된다. 여기서 이 정전류 회로(26)는, 타이밍 신호(xNcnt1)를 게이트에 입

력해서 되는 PMOS 트랜지스터(Q13)에 의해 기준 전류원이 형성되고, 이 PMOS 트랜지스터(Q13)에 직렬로 NMOS 트랜지스터(Q14)가 접속되고, 이 NMOS 트랜지스터(Q14)에 PMOS 트랜지스터(Q13)에 의한 기준 전류가 유입하도록 형성된다.

또 이 정전류 회로(26)는, NMOS 트랜지스터(Q14)의 게이트-소스간에, 샘플링용 콘덴서(C3)가 설치되고, PMOS 트랜지스터(Q13)에 의한 기준 전류를 이 샘플링용 콘덴서(C3)에 유입시키는 스위치 회로(27)가 설치되도록 되어 있다. 정전류 회로(26)에 있어서, 이 스위치 회로(27)는, 소정의 타이밍 신호(Ncnt2)에 의해 온 동작하고, PMOS 트랜지스터(Q13)에 의한 기준 전류를 NMOS 트랜지스터(Q14)에 흘리고 있는 상태의, NMOS 트랜지스터(Q14)의 게이트-소스간 전압(Vgs)을 샘플링용 콘덴서(C3)에 샘플링하도록 되고, 또 그 후, 오프 상태로 전환되고, 이 샘플링용 콘덴서(C3)에 샘플링해서 되는 게이트-소스간 전압(Vgs)을 보관유지하도록 되어 있다.

이 정전류 회로(26)는, 스위치 회로(28)를 거쳐서, 이 NMOS 트랜지스터(Q14)의 드레인이, 버퍼회로를 구성하는 NMOS 트랜지스터(Q11)의 소스에 접속되고, 이 스위치 회로(28)는, 소정의 타이밍 신호(Nact)에 의해, 샘플링용 콘덴서(C3)에서 NMOS 트랜지스터(Q14)의 게이트-소스간 전압(Vgs)을 샘플링하고, 또한 타이밍 신호(xNcnt1)에 의해 PMOS 트랜지스터(Q13)로부터 기준 전류가 출력되지 않게 된 후, 온 상태로 전환되도록 설정되고, 이것에 의해 샘플링용 콘덴서(C3)에서 샘플링 한 게이트-소스간 전압(Vgs)에 의한 전류를 트랜지스터(Q11)에 의해 유출시키도록 되어 있다.

그리고, 도 8은, 이 정전류 회로(26)의 제어와 관련되는 타이밍 신호(xNcnt1, Nact, Ncnt2)와 각 스위치 회로(27, 28), 트랜지스터(Q13)의 전이를 나타내는 타임 차트이다. 이 정전류 회로(26)는, 초기 상태인 동작을 개시한 직후에 있어서는, 도 7b에 나타난 바와 같이, 타이밍 신호(xNcnt1)가 L레벨로 보관유지되어 트랜지스터(Q13)가 오프 상태로 보관유지되고(도 8a 및 b), 또 타이밍 신호(Nact, Ncnt2)가 각각 H레벨, L레벨에 보관유지되고, 이것에 의해 스위치 회로(27, 28)가 각각 오프 상태, 온 상태에 보관유지된다(도 8c ~ f). 이것에 의해 정전류 회로(26)는, 이 경우, 어떤 트랜지스터(Q11)로부터 전류를 유출시키지 않는 상태로 보관유지된다.

정전류 회로(26)는, 소정의 타이밍에 이들 타이밍 신호(xNcnt1, Nact, Ncnt2)의 논리치가 동시에 전환되고, 이것에 의해 도 7c에 나타난 바와 같이, 스위치 회로(27, 28)가 각각 온 상태, 오프 상태로 동작을 전환하고, 또 트랜지스터(Q13)가 동작을 개시하여 기준 전류의 출력을 개시한다. 이것에 의해 정전류 회로(26)는, 트랜지스터(Q13)에 의한 기준 전류(II)가 샘플링용 콘덴서(C3)를 충전함과 동시에, 트랜지스터(Q14)를 거쳐서 유출한다. 이 샘플링용 콘덴서(C3)의 충전 전류에 있어서는, 충전에 의해 샘플링용 콘덴서(C3)의 양단 전압이 상승함에 따라서 서서히 감소하고, 트랜지스터(Q14)로부터 기준 전류(II)를 유출시키는데 필요한, 트랜지스터(Q14)의 게이트-소스간 전압(Vgs)이 되면, 샘플링용 콘덴서(C3)에 충전 전류가 유입하지 않게 되고, 이 상태에서는 트랜지스터(Q13)에 의한 기준 전류(II)의 모두가 트랜지스터(Q14)에 유입하게 된다. 이것에 의해 정전류 회로(26)에서는, 기준 전류(II)를 트랜지스터(Q14)에 유입시키면서, 이 트랜지스터(Q14)의 게이트-소스간에 접속된 샘플링용 콘덴서(C3)를 기준 전류(II)에 의해 충전함으로써, 트랜지스터(Q14)에 기준 전류(II)를 유입시키는데 필요한 트랜지스터(Q14)의 게이트-소스간 전압(Vgs)을 샘플링용 콘덴서(C3)로 설정하도록 되어 있다.

정전류 회로(26)는, 이와 같이 타이밍 신호(xNcnt1, Nact, Ncnt2)의 논리치를 전환하고, 트랜지스터(Q14)의 게이트-소스간 전압(Vgs)을 샘플링용 콘덴서(C3)로 유지하기에 충분한 기간이 경과하면, 타이밍 신호(Nact, Ncnt2)가 원래의 논리치로 돌아오고, 이것에 의해 기준 전류(II)의 공급이 정지되고, 또 샘플링용 콘덴서(C3)가 트랜지스터(Q14)의 드레인으로부터 분리된다. 또 계속해서 타이밍 신호(xNcnt1)가 원래의 논리치로 돌아오고, 트랜지스터(Q14)의 드레인이 이 정전류 회로(26)의 구동 대상인 트랜지스터(Q11)에 접속된다. 이것에 의해 정전류 회로(26)는, 도 7d에 나타난 바와 같이, 샘플링용 콘덴서(C3)로 설정되어서 이루어지는 기준 전류(II)에 의한 트랜지스터(Q14)의 게이트-소스간 전압(Vgs)에 의해, 트랜지스터(Q11)로부터 전류를 유출시켜, 정전류 회로로서 기능하도록 되어 있다.

그러나 도 6에 대해 상술한 바와 같이, 이 액정표시장치(1)에 있어서는, 수평 블랭킹 기간에 설치된 프리차지 기간(T1)의해 프리차지의 처리를 실행함으로써, 정전류 회로로서 기능 시키는데 필요한 기준 전류(II)에 의한 트랜지스터(Q14)의 게이트-소스간 전압(Vgs)을 샘플링용 콘덴서(C3)로 설정하는 기간(T3)을 이 프리차지 기간(T1)에 할당하고, 이 게이트-소스간 전압(Vgs)을 설정하는 기간(T3)과 정전류 회로로서 기능하는 기간(T4)과의 반복에 의해 동작하도록 각 타이밍 신호(xNcnt1, Nact, Ncnt2)가 공급되도록 되어 있다.

아날로그 버퍼 회로(20)는(도 5), 트랜지스터(Q11)의 게이트-소스간에, 각각 소스 측에 스위치 회로(31 및 32)를 설치해서 이루어지는 콘덴서(C1, C2)가 설치된다. 또 트랜지스터(Q11)의 게이트, 콘덴서(C1, C2)의 각 스위치 회로(31, 32) 측에 각각 스위치 회로(33, 34, 35)가 설치되고, 이들 스위치 회로(33, 34, 35)의 타단에 기준전압 셀렉터(16)로부터의 신호(Vin)가 입력되도록 되어 있다. 아날로그 버퍼 회로(20)는, 이들 스위치 회로(31 ~ 35)의 전환에 의해 트랜지스터(Q11)의 불균일을 캔슬해서 입력신호(Vin)에 의해 신호선(LS)을 구동하도록 되어 있다.

즉 도 6, 도 8에 있어서 상술한 프리차지와 관련되는 처리, 정전류 회로(26)와 관련되는 처리와의 대비에 의해 도 9에 나타난 바와 같이, 버퍼회로(18)에 있어서는, 프리차지회로(21)에 있어서의 프리차지기간(T1)의 개시에 대응하고(도 9a, j ~ l), 정전류 회로(26)에서 트랜지스터(Q13)와 관련되는 샘플링 처리가 개시하는(도 9c ~ e). 아날로그 버퍼회로(20)에 있어서는, 이러한 처리가 개시되면, 모든 스위치 회로(22, 31 ~ 35)가 오프 상태로 설정된다.

또 그 후, 기간(T3)만 경과하여 정전류 회로(26)가 정전류 회로로서의 기능을 개시하면, 도 10에 나타난 바와 같이, 스위치 회로(31, 32, 33)가 온 상태로 전환된다. 또한 도 9에 있어서는, 각 스위치 회로(22, 31 ~ 35)를 제어하는 타이밍 신호(N1 ~ N5)의 상승에 의해, 온 상태를 나타낸다. 이것에 의해 아날로그 버퍼회로(20)에서는, 이 상태에서의 트랜지스터(Q11)의 게이트-소스간 전압(V_{osA})을 콘덴서(C1, C2)에서 샘플링하고, 소스 폴로어에 의해 동작할 때의 오프셋을 검출하도록 되어 있다.

또 계속해서 도 11에 나타난 바와 같이, 스위치 회로(31, 33)가 오프 상태로 전환되고, 스위치 회로(35)가 온 상태로 전환된다. 이것에 의해 아날로그 버퍼회로(20)에서는, 입력전압(V_{in})에 대해서, 콘덴서(C1)에 샘플링되고 있는 전압(V_{osA}) 만큼, 트랜지스터(Q11)의 게이트 전압을 오프셋 시킨 상태에서 정전류 회로(26)에 의한 전류로 트랜지스터(Q11)가 동작하고, 이 상태에 있어서의 트랜지스터(Q11)의 게이트-소스간 전압(V_{osB})을 C2에서 샘플링한다. 이것에 의해 트랜지스터(Q11)의 소스 전압은, $V_{in} + (V_{osA} - V_{osB})$ 가 된다. 이것에 의해 이 아날로그 버퍼회로(20)는, 콘덴서(C1)에서 먼저 검출한 오프셋 전압을 캔슬하도록 한 상태에서, 또한 소스 폴로어에 의해 동작할 때의 오프셋을 콘덴서(C2)에 의해 검출하도록 되어 있다.

계속해서 아날로그 버퍼회로(20)는, 도 12에 나타난 바와 같이, 모든 스위치 회로(22, 31 ~ 35)가 오프 상태가 된 후, 도 13에 나타난 바와 같이, 스위치 회로(22, 34)가 온 상태로 설정된다. 이것에 의해 버퍼회로(20)는, 콘덴서(C2)에서 검출한 오프셋 전압에 의해 입력 전압(V_{in})을 오프셋 하고 소스 폴로어에 의해 신호선(LS)을 구동하도록 되고, 2회의 오프셋 검출을 반복하는 것에 의해, 그 만큼, 높은 정밀도에 의해 입력 전압(V_{in})에 대한 오프셋 전압을 작게 하여 신호선(LS)을 구동하고, 트랜지스터(Q11)의 불균일에 의한 영향을 충분히 작게 하도록 되어 있다.

그러나 도 13에 의해 나타내는 상태에 있어서, 아날로그 버퍼회로(20)는, 트랜지스터(Q11) 정전류 회로(26) 및 신호선(LS)에 소스 전류를 출력하고, 이 소스 전류의 출력에 의해 보관유지 용량(4)을 충전한다. 또 이 보관유지 용량(4)의 충전에 의해 소스 전위가 상승하면, 그 만큼, 트랜지스터(Q11)로부터의 소스 전류 출력을 서서히 저하시켜, 소스 전위가 입력 전위(V_{in})와 동일해지면, 소스 전류의 신호선(LS)의 출력이 정지되고, 소스 전류를 정전류 회로(26)에만 출력하도록 되고, 이것에 의해 입력신호(V_{in})에 따라 대응하는 신호선(LS)을 구동하도록 되어 있다.

아날로그 버퍼회로(20)에 있어서는, 이 도 13에 나타내는 상태에 의해 신호선(LS)을 구동하는 기간이, 프리차지 기간(T1) 이후의 기간으로 설정되도록 되어 있다.

(1-2) 실시예 1의 동작

이상의 구성에 있어서, 이 액정표시장치(1)에서는(도 3), 묘화와 관련되는 콘트롤러 등으로부터 각 화소의 계조를 지시하는 계조 데이터(DI)가 래스터 주사순서로 입력되고, 이 계조 데이터(DI)가 수평 구동회로(7)의 시프트 레지스터(9)에 의해 차례차례 샘플링되어 라인 단위로 정리하고, 디지털 아날로그 변환회로(10)에 전송된다. 계조 데이터(DI)는, 이 디지털 아날로그 변환회로(10)에 있어서, 아날로그 신호로 변환되고 이 아날로그 신호에 의해 표시부(6)의 각 신호선(LS)이 구동된다. 이것에 의해 액정표시장치(1)에서는, 수직 구동회로(8)에 의한 게이트선(LG)의 제어에 의해 차례차례 선택되어서 이루어지는 표시부(6)의 각 화소가, 수평 구동회로(7)에 의해 구동되어 계조 데이터(DI)에 의한 화상이 표시부(6)에 표시된다.

이와 같이 하여 표시부(6)의 신호선(LS)을 구동하는 수평 구동회로(7)에 있어서는(도 4), 기준전압 발생회로(15)에 의해 계조 데이터(DI)의 각 계조에 대응하는 기준신호($V_0 \sim V_{63}$)가 생성되고, 기준전압 셀렉터(16)에 있어서, 각 계조 데이터(DI)에 따라 이 기준신호($V_0 \sim V_{63}$)가 선택됨으로써, 계조 데이터(DI)가 디지털 아날로그 변환 처리되고, 이 디지털 아날로그 변환 처리결과가 버퍼회로(18)에 입력되어 각 신호선(LS)이 구동된다.

이 버퍼회로(18)에서는(도 5, 도 6), 수평 블랭킹 기간의 사이에서, 아날로그 버퍼회로(20)가 신호선(LS)에 의해 분리되고, 스위치 회로(23)의 설정에 의해, 보관유지 용량(4)의 트랜지스터(3)는 역측의 CS선(CS)이 신호선(LS)에 접속된 상태로, 수평 주사 주기마다, 이 CS선(CS)이 정측 소정 전위 또는 그라운드 전위로 설정된다. 또 그 후, CS선(CS)이 신호선(LS)으로부터 분리되고, 스위치 회로(24)의 설정에 의해, 신호선(LS)이 그라운드 전위에 보관유지된다.

즉 소정의 타이밍으로 게이트선(LG)에 의해 선택된 소정의 라인에 있어서는, CS선(CS) 및 신호선(LS)이 접속되고, 이 라인과 관련되는 보관유지 용량(4)의 양단 전극이 그라운드 레벨로 설정된 후, 이 신호선(LS)이 그라운드 레벨로 설정되어 기준전압 셀렉터(16)로부터 출력되는 아날로그 신호에 의해 구동되는 것에 따라, 계속해서 라인에 있어서는, 이 보관유지 용량(4)의 양단 전위가 정측 소정 전위로 설정된 후, 신호선(LS)이 그라운드 레벨로 설정되어 기준전압 셀렉터(16)로부터 출력되는 아날로그 신호에 의해 구동되고, 이들에 의해 이 액정표시장치(1)에서는, 이른바 라인 반전과 관련되는 구동에 의한 프리차지의 처리가 실행되고, 액정 셀(2)의 열화가 방지된다.

그러나 이와 같이 CS선(CS)을 신호선(LS)에 접속하고, 수평 주사 주기에 정측 소정 전위 또는 그라운드 전위에 교대로 설정한 후, 신호선(LS)을 그라운드 전위로 설정함으로써, 액정표시장치(1)에서는, 그라운드 전위를 기준으로 한 쪽쪽 편 전원측 만으로 각 화소를 구동하도록 되고, 그 만큼, 아날로그 버퍼회로(20)의 구성을 간략화하도록 되어 있다. 즉 이와 같이 구성하면, 아날로그 버퍼회로(20)에 있어서는, 그라운드 전위로부터 이 정측 소정 전위 사이에 신호선(LS)을 구동하면 충분하고, NMOS 소스 폴로어 회로 구성에 의해 구성하고, 그라운드 전위로부터 부측 전원측의 구동과 관련되는 구성을 생략할 수 있다.

따라서 액정표시장치(1)에서는, 그 만큼, 표시부(6)의 주변 구성을 간략화하여 액자틀을 얇게 할 수 있고, 또 소비 전력을 저감 할 수 있다.

그러나 이와 같이 하여 프리차지의 처리를 완료하면, 액정표시장치(1)에서는, 아날로그 버퍼회로(20)에 의해 대응하는 신호선(LS)이 구동되고, 계조 데이터(DI)에 대응하는 계조에 대응하는 화소의 계조가 설정된다.

이 신호선(LS)의 구동에 있어서, 아날로그 버퍼회로(20)에서는(도 9 ~ 도 13), 프리차지의 처리기간의 사이에 오프셋을 보정하는 처리가 실행되고, 이 처리에 의해 오프셋을 보정하여 신호선(LS)이 구동된다. 즉 아날로그 버퍼회로(20)에서는(도 9 및 도 10), 처음에, 정전류 회로(26)에 의한 정전류에 의해 트랜지스터(QII)를 구동한 상태로, 스위치 회로(31, 32)의 설정에 의해 트랜지스터(QII)의 게이트-소스간에 병렬로 콘덴서(CI, C2)가 배치되고, 이 상태에서 디지털 아날로그 변환회로 출력(Vin)이 트랜지스터(QII)에 공급되고, 이것에 의해 이 구동과 관련되는 트랜지스터(QII)의 게이트-소스간 전압이 콘덴서(CI, C2)로 설정된다.

또 스위치 회로(31, 33, 35)의 설정에 의해, 이와 같이 하여 게이트-소스간 전압을 보관유지해서 이루어지는 콘덴서(C2)를 거쳐서, 트랜지스터(QII)의 게이트에 디지털 아날로그 변환회로 출력(Vin)이 공급되고, 이것에 의해 콘덴서(C2)에 보관유지한 전압에 의해 오프셋을 캔슬한 상태에 의한 트랜지스터(QII)의 게이트-소스간 전압이 콘덴서(CI)로 설정된다.

아날로그 버퍼회로(20)에서는(도 12, 도 13), 프리차지의 처리가 완료하면, 이와 같이 하여 콘덴서(CI)에 보관유지되어서 이루어지는 전압에 의해 디지털 아날로그 변환회로 출력(Vin)이 오프셋 되어 트랜지스터(QII)의 게이트에 공급되고, 이것에 의해 트랜지스터(QII)의 불균일에 의한 영향을 충분히 억압하고, 각 신호선(LS)을 구동할 수 있도록 되어 있다.

이들에 의해 이 액정표시장치(1)에서는, NMOS 소스 폴로어 회로에 의한 간단하고 쉬운 구성에 의해 아날로그 버퍼회로(20)를 구성하고, 그 만큼, 액자틀을 얇게 할 수 있고, 또 소비 전력을 줄이도록 되어 있다.

이와 같이 하여 신호선(LS)을 구동하는데 대해, 아날로그 버퍼회로(20)의 정전류 회로(26)에서는(도 7), 프리차지의 기간이며, 한편 아날로그 버퍼회로(20)에 있어서의 동작 개시의 기간으로, 트랜지스터(Q14)의 게이트-소스간에 접속된 샘플링용 콘덴서(C3)와 이 트랜지스터(Q14)의 드레인을 기준 전류원(Q13)에 접속하고, 트랜지스터(Q14)를 기준전류(II)에 의해 구동했을 때의 게이트-소스간의 전압에 샘플링용 콘덴서(C3)의 양단 전압을 설정한 후, 이 샘플링용 콘덴서(C3), 트랜지스터(Q14)와 기준 전류원(Q13)과의 접속을 차단함과 동시에, 트랜지스터(Q14)의 드레인을 구동 대상에 접속하여, 샘플링용 콘덴서(C3)에 설정된 게이트-소스간의 전압에 의한 트랜지스터(Q14)의 전류로 구동 대상을 구동한다.

이것에 의해 이 정전류 회로(26)에서는, 트랜지스터(Q14)의 특성이 불균일하고 있는 경우에서도, 이 불균일의 영향을 받지 않고, 기준전류(II)에 의해 구동 대상을 구동할 수 있다. 실제상, 도 1, 도 2의 구성에 의한 정전류 회로에 있어서는, 각각 트랜지스터(QI ~ Q3, Q4 ~ Q6)의 불균일에 의해 출력전류가 불균일함에 따라, 이 정전류 회로(26)에서는, 기준 전류원의 트랜지스터(Q13)의 불균일만이 출력전류에 영향을 줌으로써, 출력전류의 불균일을 도 1, 도 2에 나타내는 구성에 비하여 1/3에 저감 할 수 있다.

또 불균일을 줄이기 위해서 기준 전류치를 증대시키는 설정을 회피함으로써, 그 만큼, 전체의 소비 전력도 줄일 수 있다.

(1-3) 실시예 1의 효과

이상의 구성에 의하면, 기준전류에 의해 샘플링용 콘덴서를 충전하여 이 기준전류에 의한 트랜지스터의 게이트-소스간 전압을 샘플링용 콘덴서로 설정한 후, 이 샘플링용 콘덴서의 전압에 의해 트랜지스터를 구동하여 정전류 회로로서 기능시킴으로써, 종래에 비하여 불균일을 작게 할 수 있다.

또 이러한 샘플링과 관련되는 처리와, 정전류 회로로서 기능하는 처리를 반복함으로써, 샘플링용 콘덴서에 보관유지한 전압 변화에 의한 출력전류의 변화를 유효하게 회피할 수 있다.

또 플랫 디스플레이 장치인 액정표시장치에 적용하고, 이 샘플링용 콘덴서의 전압 설정과 관련되는 처리를 프리차지의 기간에 설정함으로써, 이와 같이 샘플링용 콘덴서의 전압을 설정하여 정전류 회로와 관련되는 처리를 실행하도록 하고, 어떤 이 샘플링용 콘덴서의 전압 설정과 관련되는 처리를 다른 회로 블록의 처리에 영향을 주지 않게 할 수 있다.

(2) 실시예 2

도 14는, 본 발명의 실시예 2와 관련되는 액정표시장치에 적용되는 아날로그 버퍼회로의 구성을 나타내는 블록도이다. 이 아날로그 버퍼회로(40)는, 실시예 1과 관련되는 NMOS 소스 폴로어 회로에 의한 아날로그 버퍼에 대신하여, PMOS 소스 폴로어 회로에 의해 구성된다. 이 때문에 이 실시예 2와 관련되는 액정표시장치에서는, 실시예 1과 관련되는 액정표시장치(1)에 있어서의 그라운드 전위와 정측 소정 전위와의 사이의 전환과 관련되는 프리차지의 처리에 대신하여, 그라운드 전위와 부측 소정 전위와의 사이의 전환과 관련되는 프리차지의 처리를 실행한다.

아날로그 버퍼회로(40)에 있어서는, NMOS 트랜지스터에 대신하여 PMOS 트랜지스터에 의해 구성하는 점, 이 구성에 대응하여 정측 전원 및 부측 전원에 대한 각부의 접속이 다른 점을 제외하고, 실시예 1의 아날로그 버퍼회로(20)와 동일하게 구성된다. 또 도 15에 나타낸 바와 같이, 정전류 회로(46)에 있어서는, NMOS 트랜지스터에 대신하여 PMOS 트랜지스터가 적용되고, 이것에 대응하여 정측 전원 및 부측 전원에 대한 각부의 접속이 다른 점을 제외하고, 실시예 1의 정전류 회로(26)와 동일하게 구성된다.

또한 이 아날로그 버퍼회로와 관련되는 타임 차트를 도 9와 대비에 의해 도 16에 나타낸다. 또 도 14에 있어서는, 프리차지 회로의 기재를 생략하고 보관유지 용량 등과 관련되는 접속을 부호 Csig 등에 의해 나타낸다.

이 실시예와 같이 PMOS에 의해 정전류 회로를 구성하는 경우에서도, 실시예 1과 동일한 효과를 얻을 수 있다.

(3) 실시예 3

도 17은, 본 발명의 실시예 3과 관련되는 액정표시장치에 적용되는 아날로그 버퍼회로의 구성을 나타내는 블록도이다. 이 아날로그 버퍼회로(50)는, 실시예 1과 관련되는 NMOS 소스 폴로어 회로에 의한 아날로그 버퍼에 대신하여, 이 NMOS 소스 폴로어 회로와 PMOS 소스 폴로어 회로와의 조합에 의해 구성된다. 이 때문에 이 실시예 3과 관련되는 액정표시장치에서는, 실시예 1과 관련되는 액정표시장치(1)에 있어서의 그라운드 전위와 정측 소정 전위와의 사이의 전환과 관련되는 프리차지의 처리에 대신하고, 정측 소정 전위와 부측 소정 전위와의 사이의 전환과 관련되는 프리차지의 처리를 실행한다.

이 아날로그 버퍼회로에 있어서는, 도 18에 나타낸 바와 같이, 실시예 1과 관련되는 NMOS 트랜지스터에 의해 소스 폴로어 회로와, 실시예 2와 관련되는 PMOS 트랜지스터에 의해 소스 폴로어 회로와의 조합에 의해 구성되고, 프리차지의 처리와 관련되는 전위의 정측 또는 부측의 설정에 대응하여 NMOS 트랜지스터에 의한 소스 폴로어 회로와, PMOS 트랜지스터에 의한 소스 폴로어 회로가 교대로 동작하도록 되어 있다.

이 실시예와 같이, NMOS 소스 폴로어 회로와, PMOS 소스 폴로어 회로와의 조합에 의해 구성되고, 아날로그 버퍼회로를 구성하는 경우에도, 정전류 회로에 관하여, 제 1 또는 제 2의 실시예와 같은 효과를 얻을 수 있다.

(4) 실시예 4

도 19는, 본 발명의 실시예 4와 관련되는 액정표시장치에 적용되는 아날로그 디지털 변환회로 및 버퍼회로의 구성을 나타내는 블록도이다. 이 실시예와 관련되는 액정표시장치에 있어서는, 기준전압 발생회로(15)로부터 출력되는 기준전압($V_0 \sim V_6$)을 실시예 1 ~ 3에 대해서 상술한 아날로그 버퍼회로(57)에 의해 처리한 후, 각 기준전압 셀렉터(16)에 의해 선택한다. 또한 프리차지 회로에 있어서는, 각 기준전압 셀렉터(16)의 출력에 설치된다.

이 실시예와 같이, 기준전압 발생회로(15)에서 생성되는 기준전압을 아날로그 버퍼회로에 의해 처리하는 경우에 적용해도, 상술의 실시예 1과 같은 효과를 얻을 수 있다.

(5) 실시예 5

도 20은, 본 발명의 실시예 5와 관련되는 정전류 회로를 나타내는 접속도이다. 이 정전류 회로(66)는, TFT에 의한 각종 집적회로에 적용된다. 이 정전류 회로(66)는, 트랜지스터(Q14A) 및 샘플링용 콘덴서(C3A), 트랜지스터(Q14B) 및 샘플링용 콘덴서(C3B), 트랜지스터(Q14C) 및 샘플링용 콘덴서(C3C)에 차례차례 트랜지스터(Q13)에 의한 기준전류를 공급하여, 각 샘플링용 콘덴서(C3A, C3B, C3C)에 각각 트랜지스터(Q14A, Q14B, Q14C)를 기준전류에 의해 구동하는데 필요한 게이트-소스간 전압을 설정하고, 각 트랜지스터(Q14A, Q14B, Q14C)에 있어서는, 이 샘플링용 콘덴서(C3A, C3B, C3C)에 설정된 게이트-소스간 전압에 의해 대응하는 구동 대상에 의해 정전류를 유출시킨다.

이 실시예와 같이, 1개의 기준전류에 의해 복수의 구동 대상을 구동하는 경우에 있어서는, 시분할에 의해 각 트랜지스터의 게이트-소스간 전압을 샘플링용 콘덴서에 설정하여 상술한 실시예와 같이 처리함으로써, 실시예 1과 같은 효과를 얻을 수 있다.

(6) 다른 실시예

또한 상술의 실시예에 있어서는, 라인 반전에 의해 표시부를 구동하는 경우에 대해서 설명했지만 본 발명은 이에 한정하지 않고, 필드 반전 등에 의해 구동하는 경우에도 넓게 적용할 수 있다.

또 상술의 실시예에 있어서는, 유리 기판상에 표시부 등을 작성해서 이루어지는 TFT 액정에 의한 플랫 디스플레이 장치에 본 발명을 적용하는 경우에 대해서 설명했지만, 본 발명은 이에 한정하지 않고, CGS(Continuous Grain Silicon) 액정 등, 각종의 액정표시장치, 또 EL(Electro Luminescence) 표시장치 등, 여러 가지의 플랫 디스플레이 장치에 넓게 적용할 수 있다.

또 상술의 실시예에 있어서는, 액정표시장치의 아날로그 버퍼회로 등에 본 발명과 관련되는 정전류 회로를 적용하는 경우에 대해서 설명했지만, 본 발명은 이것에 한정하지 않고, 여러 가지의 집적회로와 관련되는 정전류 회로에 넓게 적용할 수 있다.

산업상 이용 가능성

본 발명은, TFT, CGS 등에 의한 액티브 소자에 의한 정전류 회로, 이러한 정전류 회로를 이용한 플랫 디스플레이 장치에 적용할 수 있다.

(57) 청구의 범위

청구항 1.

트랜지스터의 게이트-소스 사이에 접속된 샘플링용 콘덴서와, 상기 트랜지스터의 드레인을 기준 전류원에 접속하고, 상기 트랜지스터를 상기 기준 전류원의 기준전류에 의해 구동했을 때의 상기 게이트-소스 사이의 전압으로 상기 샘플링용 콘덴서의 양단 전압을 설정한 후,

상기 샘플링용 콘덴서, 상기 트랜지스터와 상기 기준 전류원과의 접속을 차단함과 동시에, 상기 트랜지스터의 드레인을 구동 대상에 접속하고, 상기 샘플링용 콘덴서로 설정된 상기 게이트-소스 사이의 전압에 의한 상기 트랜지스터의 전류로 상기 구동 대상을 구동하는 것을 특징으로 하는 정전류 회로.

청구항 2.

제 1항에 있어서,

상기 샘플링용 콘텐서의 양단 전압을 설정하는 기간과, 상기 구동 대상을 구동하는 기간을 반복하는 것을 특징으로 하는 정전류 회로.

청구항 3.

매트릭스 모양으로 화소를 배치해서 이루어지는 표시부와, 상기 표시부의 화소를 게이트선에 의해 차례차례 선택하는 수직 구동회로와, 상기 게이트선에 의해 선택된 화소를 상기 표시부의 신호선에 의해 구동하는 수평 구동회로를 일체로 기판상에 형성해서 이루어지는 플랫 디스플레이 장치에 있어서,

상기 수평 구동회로는,

상기 화소의 계조를 나타내는 계조 데이터를 디지털 아날로그 변환처리하는 디지털 아날로그 변환회로와,

상기 디지털 아날로그 변환회로의 출력신호에 의해 상기 신호선을 구동하는 버퍼회로를 가지고,

상기 버퍼회로는,

트랜지스터의 소스에 정전류 회로를 접속해서 이루어지는 소스 폴로어 회로에 의해 상기 신호선을 구동하고,

상기 정전류 회로는,

트랜지스터의 게이트-소스 사이에 접속된 샘플링용 콘텐서와, 상기 트랜지스터의 드레인을 기준 전류원에 접속하고, 상기 트랜지스터를 상기 기준 전류원의 기준전류에 의해 구동했을 때의 상기 게이트-소스 사이의 전압에 상기 샘플링용 콘텐서의 양단 전압을 설정한 후,

상기 샘플링용 콘텐서, 상기 트랜지스터와 상기 기준 전류원과의 접속을 차단함과 동시에, 상기 트랜지스터의 드레인을 구동 대상으로 접속하고, 상기 샘플링용 콘텐서로 설정된 상기 게이트-소스 사이의 전압에 의한 상기 트랜지스터의 전류로 상기 구동 대상을 구동하는 것을 특징으로 하는 플랫 디스플레이 장치.

청구항 4.

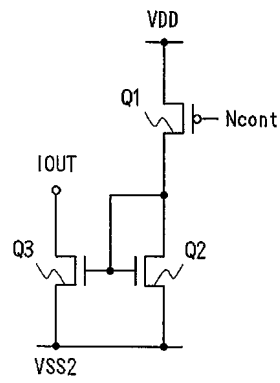
제 3항에 있어서,

상기 샘플링용 콘텐서의 양단 전압을 설정하는 기간과, 상기 구동 대상을 구동하는 기간을 반복하고,

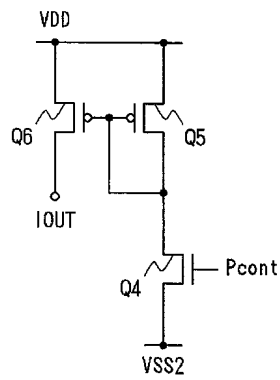
상기 샘플링용 콘텐서의 양단 전압을 설정하는 기간이, 상기 표시부의 프리차지의 기간으로 설정되는 것을 특징으로 하는 플랫 디스플레이 장치.

도면

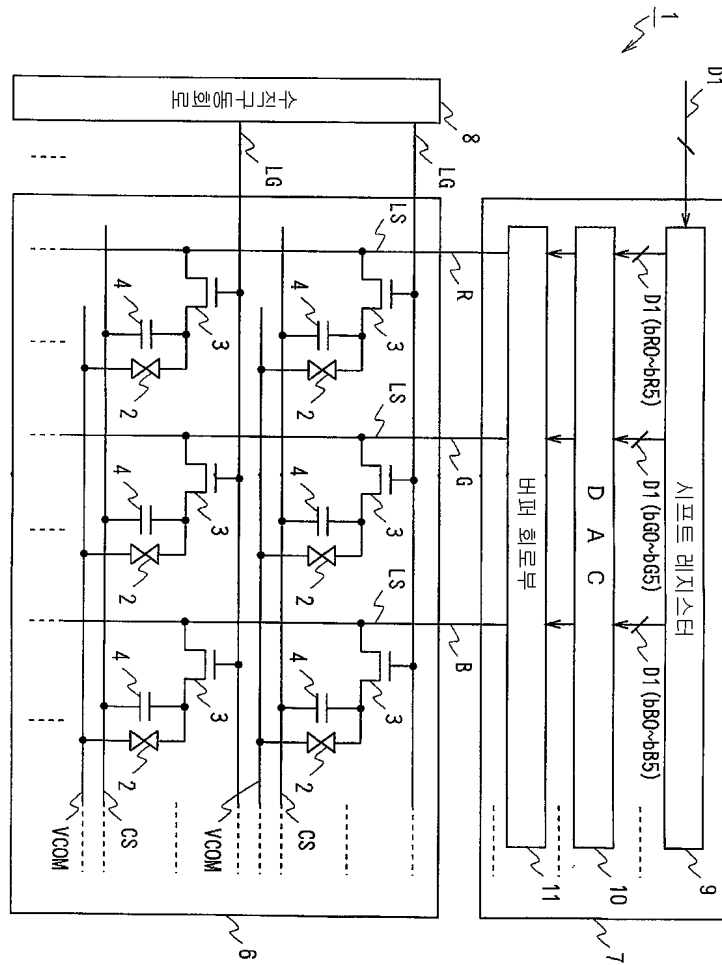
도면1



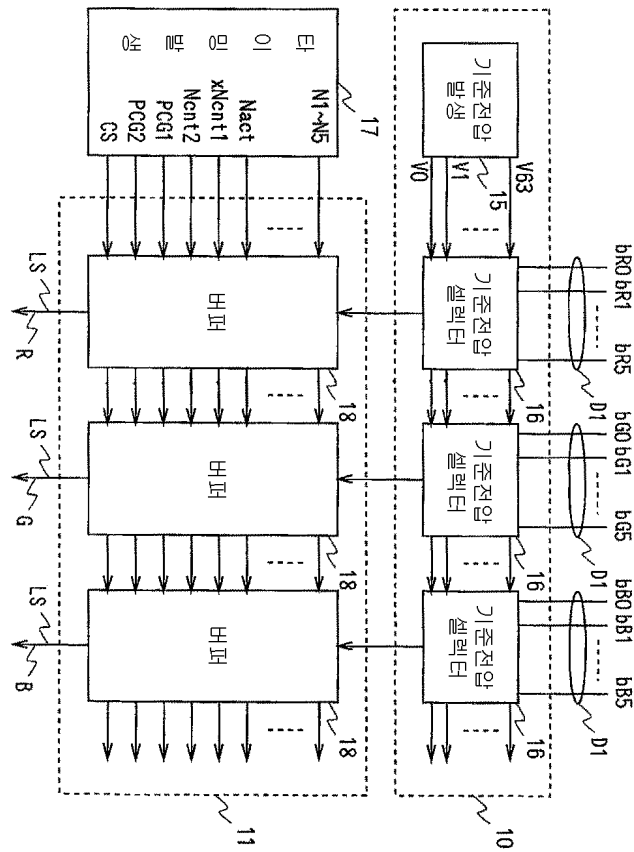
도면2



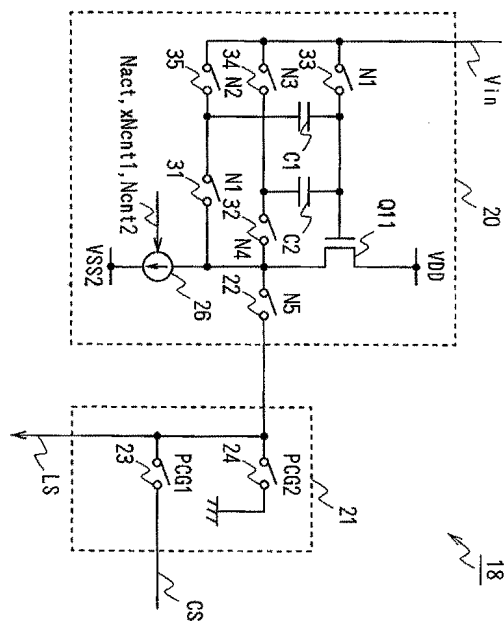
도면3



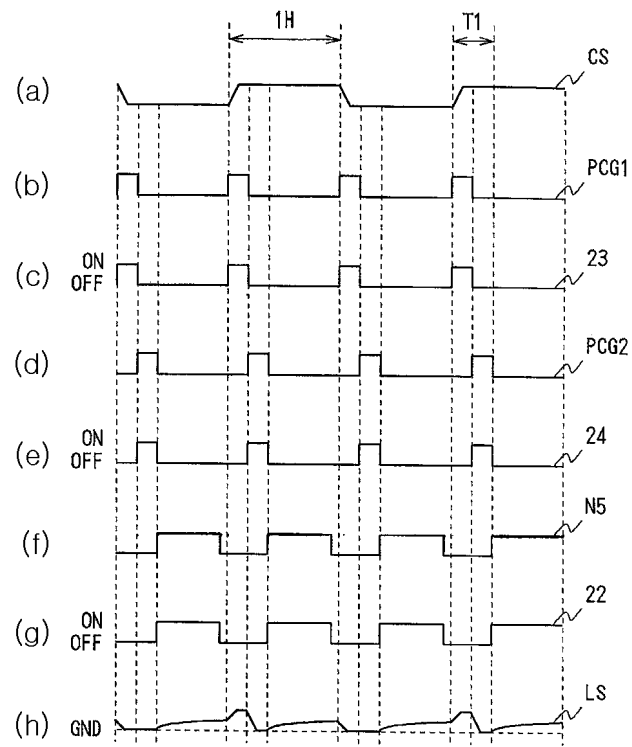
도면4



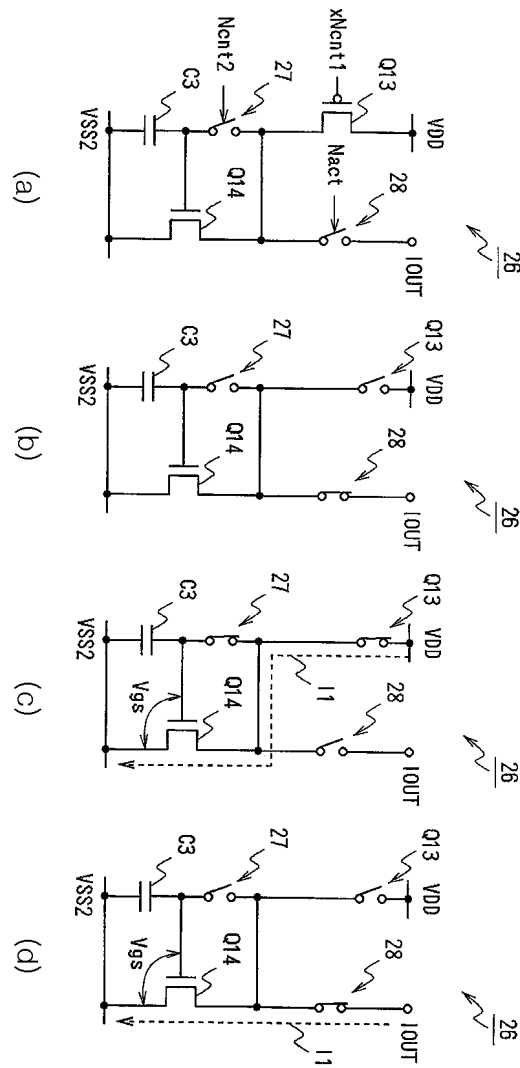
도면5



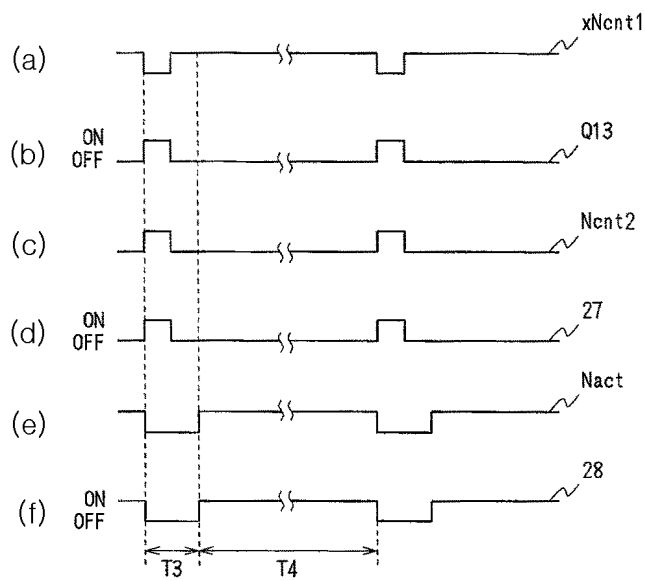
도면6



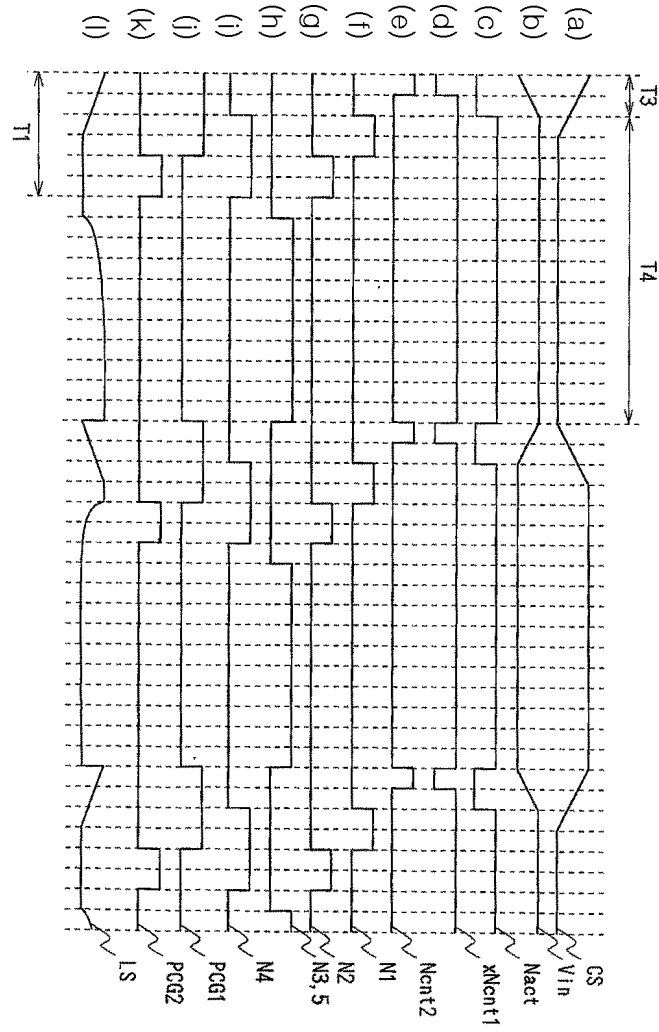
도면7



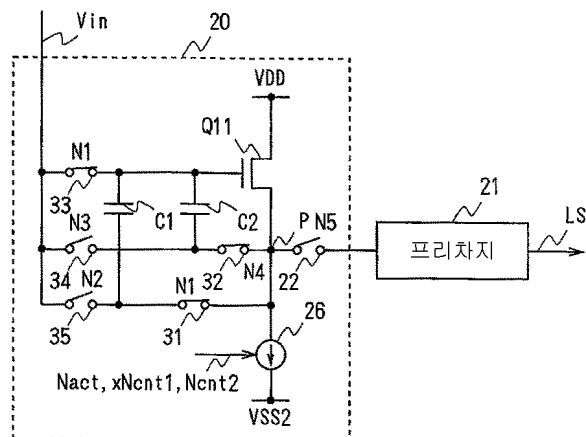
도면8



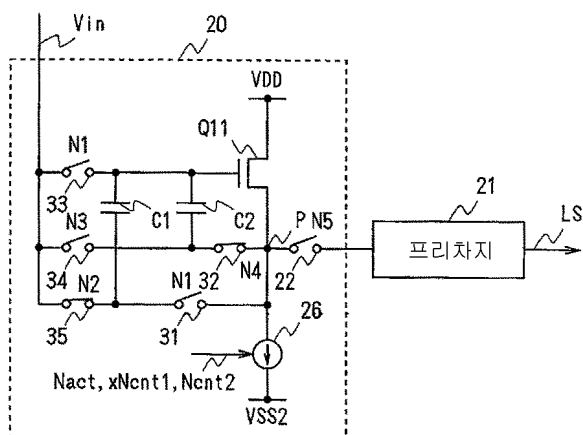
도면9



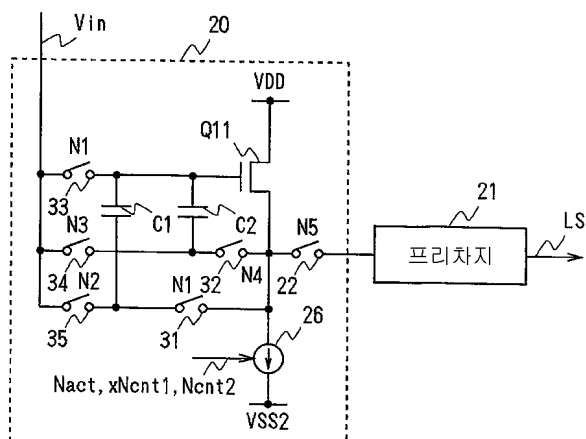
도면10



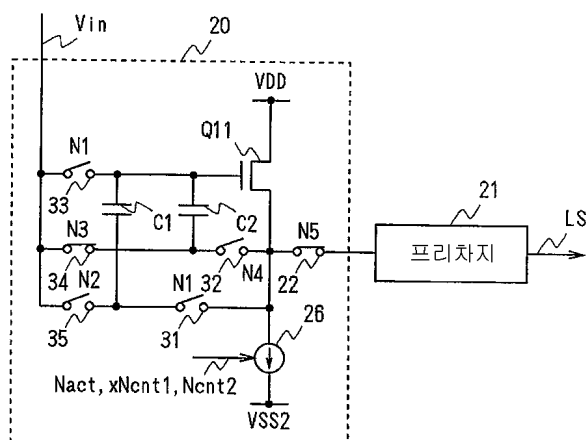
도면11



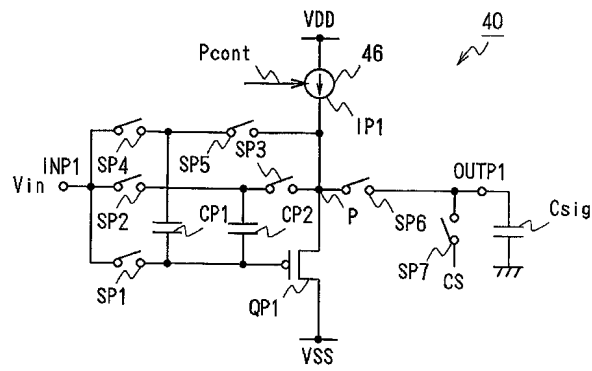
도면12



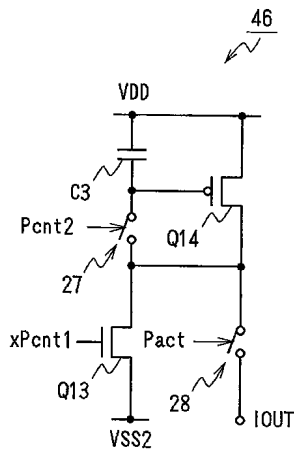
도면13



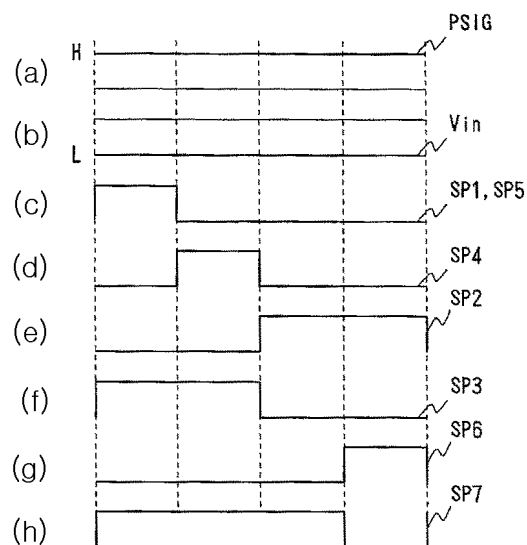
도면14



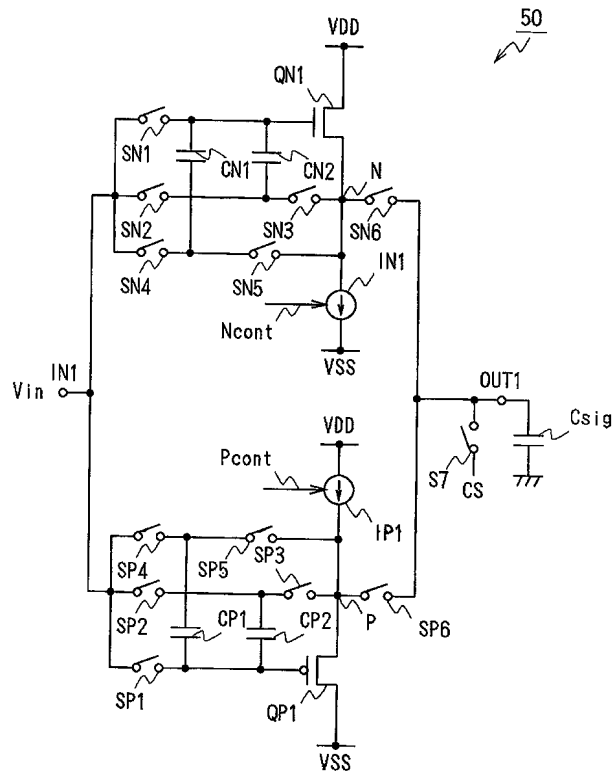
도면15



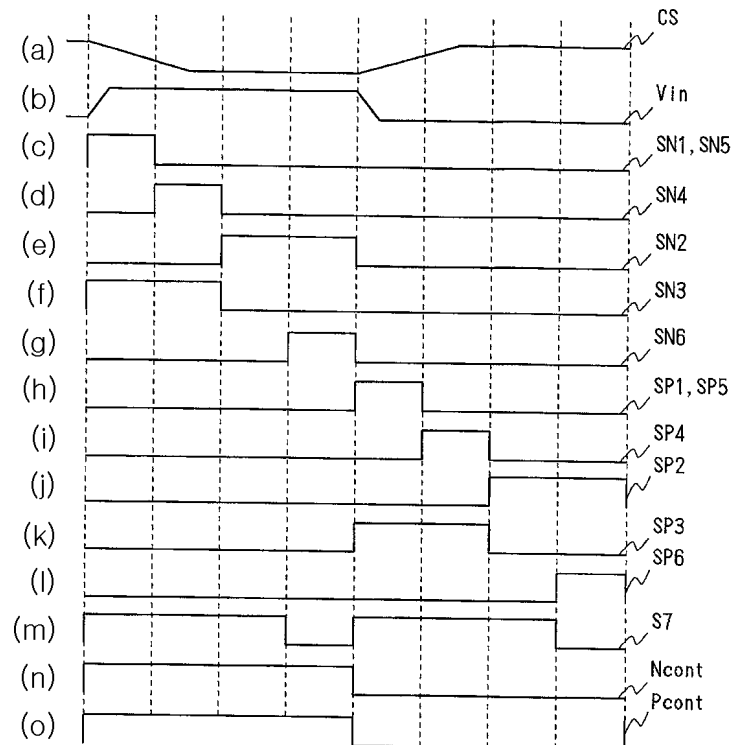
도면16



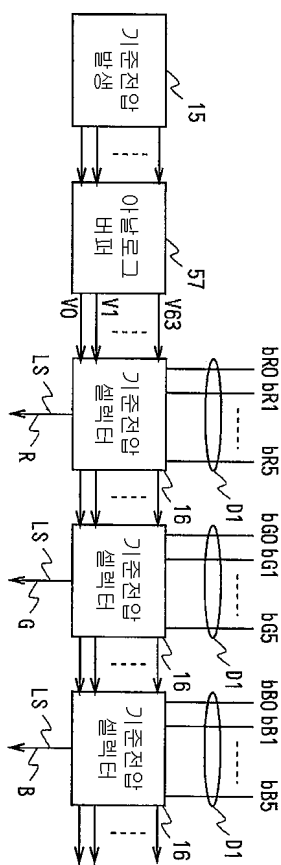
도면17



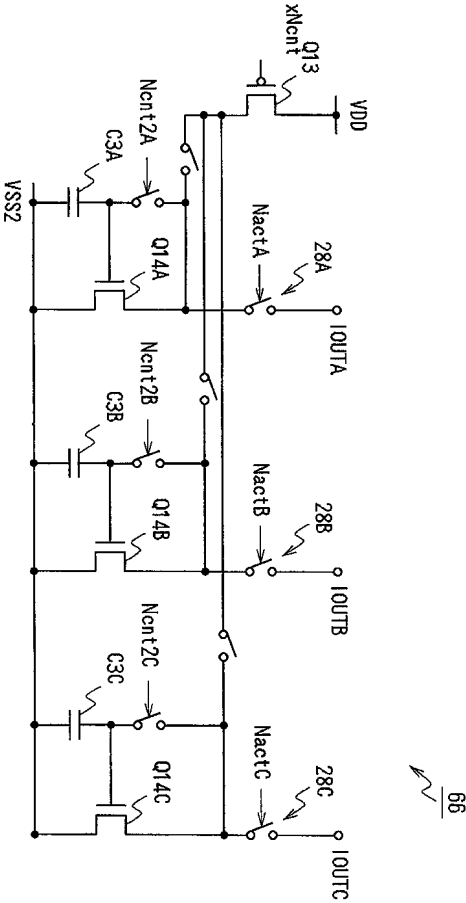
도면18



도면19



도면20



专利名称(译)	恒流电路和平板显示装置		
公开(公告)号	KR1020060033776A	公开(公告)日	2006-04-19
申请号	KR1020067000277	申请日	2004-07-06
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	KIDA YOSHITOSHI 기다요시토시 NAKAJIMA YOSHIHARU 나카지마요시하루		
发明人	기다요시토시 나카지마요시하루		
IPC分类号	G09G3/20 G09G3/36 G02F1/133 G02F1/1345 H01L51/50 H03K17/00 H03K17/687 H05B33/14		
CPC分类号	G09G2310/027 G09G2300/0408 G09G2330/021 G09G2310/0291 G09G2310/0272 G09G3/3614 G09G2310/08 G09G2330/023 G09G3/3688 G09G2300/0876 G09G2310/0248		
优先权	2003272443 2003-07-09 JP		
其他公开文献	KR101033036B1		
外部链接	Espacenet		

摘要(译)

本发明涉及稳定电流电路，它影响液晶显示器整体形成绝缘基板上的驱动电路，例如晶体管（Q14）驱动晶体管（Q4）栅极 - 源极之间的电压（Vgs）通过该参考电流（I1）到冷凝器（C3）进行采样，然后用冷凝器（C3）的电压（Vgs）进行该采样。它的功能。

