

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/136

(11) 공개번호 10-2005-0104514
(43) 공개일자 2005년11월03일

(21) 출원번호 10-2004-0029833
(22) 출원일자 2004년04월29일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 윤진모
서울특별시강남구역삼동741-13월드빌리지B-B203

(74) 대리인 허용록

심사청구 : 없음

(54) 액정 표시 장치용 어레이 기판 및 그 제조 방법

요약

본 발명은 기판 상부에 불순물이 도핑된 소스 영역 및 드레인 영역과 상기 소스 영역 및 드레인 영역 사이의 채널 영역으로 이루어지며, 상기 소스 영역 및 드레인 영역 아래의 소정 위치에 반대의 불순물로 도핑된 반전 불순물층이 형성된 반도체층을 구비하는 것을 특징으로 한다.

이와 같이, 본 발명은 액정 표시 장치용 어레이 기판에서 반도체층에 고농도의 불순물층을 형성하기 전에 상기 반도체층의 소정 위치에 중간 농도의 불순물이 주입되어 형성된 반전층을 형성하여 공핍층의 접촉에 의한 쇼트를 방지하고 펀치 쓰루(punch-through) 현상을 방지함으로써 박막 트랜지스터 소자의 특성을 향상시키는 효과가 있다.

대표도

도 3

색인어

반도체층, 펀치 쓰루(punch-through), 쇼트

명세서

도면의 간단한 설명

도 1은 종래 액정 표시 장치용 어레이 기판에서 화소부 박막트랜지스터의 단면을 각각 도시한 단면도.

도 2는 종래 액정 표시 장치용 어레이 기판에서 박막 트랜지스터의 반도체층을 상세히 보여주는 도면.

도 3은 본 발명에 따른 일 실시예로서, 액정 표시 장치용 어레이 기판에서 박막트랜지스터의 반도체층의 단면을 보여주는 단면.

도 4는 본 발명에 따른 액정 표시 장치용 어레이 기판에서, 박막 트랜지스터를 제조하는 공정을 보여주는 공정 순서도.

<도면의 주요부분에 대한 부호 설명>

200 : 기판 211 : 공핍층

214 : 버퍼막 215 : 반전층

216 : 반도체층 216s, 216d : 소스 영역, 드레인 영역

216c : 채널 영역 218 : 게이트 절연막

220 : 게이트 전극 224 : 층간 절연막

230 : 드레인 콘택홀 231 : 반도체층 콘택홀

232 : 보호막 234 : 화소 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것이다.

최근 정보화 사회로 시대가 급발전함에 따라 박형화, 경량화, 저 소비전력화 등의 우수한 특성을 가지는 평판 표시장치(flat panel display)의 필요성이 대두되었는데, 그 중 색 재현성 등이 우수한 액정 표시 장치(liquid crystal display)가 활발하게 개발되고 있다.

일반적으로 액정 표시 장치는 일측에 전극이 각각 형성되어 있는 두 기판을, 두 전극이 형성되어 있는 면이 마주 대하도록 배치하고 두 기판 사이에 액정 물질을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.

액정 표시 장치의 하부 기판은 화소 전극에 신호를 인가하기 위한 박막 트랜지스터를 포함하는 어레이 기판으로 박막을 형성하고 사진 식각하는 공정을 반복함으로써 이루어지고, 상부 기판은 컬러 필터를 포함하는 기판으로 컬러 필터는 적(R), 녹(G), 청(B)의 세 가지 색이 순차적으로 배열되어 있으며, 안료분산법이나 염색법, 전착법 등의 방법으로 제작된다.

일반적으로, 박막 트랜지스터에 사용되는 액티브층은 비정질 실리콘(amorphous silicon ; a-Si:H)이 주류를 이루고 있다. 이는 대면적으로 제작이 용이하여 생산성이 높고, 350℃ 이하의 낮은 기판온도에서 증착이 가능하여 저가의 절연기판을 사용할 수 있기 때문이다.

그러나, 수소화된 비정질 실리콘은 원자 배열이 무질서하기 때문에 약한 결합(weak Si-Si bond) 및 땀글링 본드(dangling bond)가 존재하여 빛 조사나 전기장 인가시 준 안정상태로 변화되어 박막트랜지스터 소자로 활용시 안정성이 문제로 대두되고 있다.

특히, 상기 비정질 실리콘은 빛 조사에 의해 특성이 저하되는 문제점이 있고, 표시화소 구동 소자의 전기적 특성(낮은 전계효과 이동도 : 0.1~1.0cm²/V·s)과 신뢰성 저하로 인해 구동회로에 쓰기 어렵다.

더욱이, 액정표시장치용 액정패널의 해상도가 높아지면, 박막트랜지스터 기판의 게이트 배선 및 데이터 배선을 상기 TCP와 연결하는 기판 외부의 패드 피치(Pitch)가 짧아져 TCP 본딩 자체가 어려워진다.

그러나, 다결정 실리콘은 비정질 실리콘에 비하여 전계효과 이동도가 크기 때문에 기판 위에 구동회로를 만들 수 있어, 이 다결정 실리콘으로 기판에 직접 구동회로를 만들면 구동 IC 비용도 줄일 수 있고 실장도 간단해진다.

또한, 이러한 다결정 실리콘은 비정질 실리콘에 비해 전계효과 이동도가 100 내지 200 배 정도 더 크므로 응답 속도가 빠르고, 온도와 빛에 대한 안정성이 우수하다. 또한, 구동회로를 동일 기판 상에 형성할 수 있는 장점이 있다.

상기와 같은 장점을 가지는 다결정 실리콘의 제조방법은 다양하게 알려져 있는데, 일반적으로 다결정 실리콘을 형성하기 위해서 플라즈마 화학 기상 증착법(plasma enhanced chemical vapor deposition)이나 저압 화학 기상 증착법(low pressure chemical vapor deposition)으로 비정질 실리콘을 증착한 후, 이를 다시 결정화하는 방법이 널리 사용되고 있다.

상기 비정질 실리콘을 이용하여 다결정 실리콘을 형성하는 방법으로는 비정질 실리콘 상에 금속을 증착하여 금속을 씨드로 다결정 실리콘을 형성하는 금속유도 결정화(metal induced crystallization : MIC) 방법, 비정질 실리콘을 고온에서 장시간 열처리하여 형성하는 고상 결정화(solid phase crystallization : SPC) 방법 등이 있다.

한편, 상기 다결정 실리콘에는 다수 개의 결정립 및 이 결정립간의 경계내에 결정립계가 존재하는데, 결정립계는 전류흐름의 장애요인으로 작용하므로, 신뢰성 있는 박막트랜지스터 소자를 제공하기 위해서는 결정립계를 줄이고 결정립을 좀 더 조대화시키는 것이 중요하다.

이러한 문제점을 개선하기 위하여, 실리콘 결정립이 액상 실리콘과 고상 실리콘의 경계면에서, 그 경계면에 대하여 수직 방향으로 성장한다는 사실을 이용한 SLS 결정화 기술에 의해 단결정 실리콘을 형성하는 기술(Robert S. Sposilli, M. A. Crowder, and James S. Im, Mat. Res. Soc. Symp. Proc. Vol. 452, 956~957, 1997)이 제안되었다.

상기 SLS 결정화 기술에서는, 레이저 에너지 크기와 레이저 빔의 조사범위 및 그 이동거리(translation distance)를 적절하여 조절하여, 실리콘 결정립을 소정의 길이만큼 측면성장시킴으로써, 비정질 실리콘을 단결정 수준으로 결정화시킬 수 있다.

이하, 첨부한 도면을 참조하여 다결정 실리콘을 이용한 박막 트랜지스터를 포함하는 어레이 기판 및 그의 제조 방법에 대하여 설명한다.

도 1은 종래 액정 표시 장치용 어레이 기판에서 화소부 박막트랜지스터의 단면을 각각 도시한 단면도이다.

도 1에 도시된 바와 같이, 종래 화소부 박막트랜지스터부(I)에는, 절연기판(100) 상부에 버퍼층(114)이 기판 전면에서 걸쳐 형성되어 있고, 상기 버퍼층(114) 상부에는 반도체층(116)이 형성되어 있으며, 상기 반도체층(116) 상의 중앙부에는 게이트 절연막(118), 게이트 전극(120)이 차례대로 적층되어 있다.

그리고, 상기 게이트 전극(120) 상부에는 제 1, 2 반도체층 콘택홀(122a, 122b)을 포함하는 층간절연막(124 ; interlayer)이 형성되어 있으며, 상기 제 1, 2 반도체층 콘택홀(122a, 122b)과 각각 연결되며, 상기 게이트 전극(120)과 일정간격 오버랩되는 위치에 소스 및 드레인 전극(126, 128)이 서로 일정간격 이격되어 형성되어 있다.

그리고, 상기 소스 및 드레인 전극(126, 128) 상부에는 드레인 콘택홀(130)을 포함하는 보호층(132)이 형성되어 있고, 상기 보호층(132) 상부에는 상기 드레인 콘택홀(130)을 통해 드레인 전극(128)과 연결되어 화소 전극(134)이 형성되어 있다.

상기 반도체층(116)은 게이트 절연막(118)과 대응되는 영역은 활성화층(116a)을 이루고, 상기 소스 및 드레인 전극(126, 128)과 접촉되는 부분은 n^+ 도핑처리된 n형 불순물층(116c)을 이루며, 상기 활성화층(116a)과 n형 불순물층(116c) 사이의 드레인 전극(128)과 게이트 전극(120)간의 정션(junction)부분에는 LDD(Lightly Doped Drain)층(116b)이 위치한다.

상기 LDD층(116b)은 핫캐리어(hot carrier)들을 분산시키기 위한 목적으로, 낮은 농도로 도핑처리하여 누설전류의 증가를 막고 온상태의 전류의 손실을 막는 역할을 한다.

도 2는 종래 액정 표시 장치용 어레이 기판에서 박막 트랜지스터의 반도체층을 상세히 보여주는 도면이다.

도 2에 도시된 바와 같이, 반도체층은 불순물이 도핑되어 소스 영역과 드레인 영역을 이루는 불순물층과, 상기 불순물층 사이에서 채널을 형성하는 활성화층으로 이루어진다.

그리고, 상기 활성화층 상에는 게이트 절연막과 게이트 전극이 형성되어 있으며, 상기 게이트 전극은 상기 반도체층에 불순물을 주입할 시 마스크 역할을 하게 된다.

이때, 상기 반도체층에 p+ (또는 n+)의 불순물로 도핑처리를 하여 상기 반도체층에 소스 영역 및 드레인 영역의 불순물층을 형성하면, 상기 불순물층의 주변에 불순물의 농도가 희박하게 주입되어 형성되는 공핍층(depletion layer)이 형성된다.

그런데, 점차 반도체 소자가 소형화되어 감에 따라 트랜지스터의 크기 또한 작아지고 있으며, 상기 트랜지스터의 크기가 작아질수록 상기 반도체층의 크기도 작아진다.

따라서, 상기 반도체층의 불순물층에서 소스 영역과 드레인 영역 사이의 채널 길이가 짧아지게 되며, 이는 상기 공핍층이 만나 전기적으로 쇼트(short)되는 펀치 쓰루(punch-through) 현상이 발생하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 액정 표시 장치용 어레이 기판에서 반도체층에 고농도의 불순물층을 형성하기 전에 상기 반도체층의 소정 위치에 중간 농도의 불순물이 주입되어 형성된 반전층을 형성하여 공핍층의 접속에 의한 쇼트를 방지하는 액정 표시 장치용 어레이 기판 및 그 제조 방법을 제공하는 데 목적이 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위하여 본 발명에 따른 액정 표시 장치용 어레이 기판은, 기판과; 상기 기판 상부에 불순물이 도핑된 소스 영역 및 드레인 영역과 상기 소스 영역 및 드레인 영역 사이의 채널 영역으로 이루어지며, 상기 소스 영역 및 드레인 영역 아래의 소정 위치에 반대의 불순물로 도핑된 반전 불순물층이 형성된 반도체층과; 상기 반도체층의 채널 영역 상에 형성된 게이트 절연막, 게이트 전극과; 상기 반도체층의 소스 및 드레인 영역의 일부를 드러내는 제 1 및 제 2 콘택홀을 포함하는 층간 절연막과; 상기 층간 절연막 상부에서 상기 제 1 및 제 2 콘택홀을 통해서 상기 반도체층의 소스 및 드레인 영역과 접촉하는 소스 및 드레인 전극과; 상기 소스 및 드레인 전극을 덮고 있으며, 상기 드레인 전극을 드러내는 드레인 콘택홀을 가지는 보호층과; 상기 보호층 상부에 형성되고 상기 드레인 콘택홀을 통해서 상기 드레인 전극과 연결된 화소 전극을 포함하여 이루어지는 것을 특징으로 한다.

상기 반전 불순물층에 도핑된 불순물의 농도는 상기 소스 및 드레인 영역의 불순물 농도보다 작고 상기 채널 영역의 불순물 농도보다 큰 것을 특징으로 한다.

상기 반도체층은 결정화된 실리콘으로 이루어지는 것을 특징으로 한다.

상기 반도체층은 저온 다결정 실리콘(LTPS)으로 이루어지는 것을 특징으로 한다.

또한, 상기한 목적을 달성하기 위하여 본 발명에 따른 액정 표시 장치용 어레이 기판의 제조 방법은, 기판 상부에 버퍼층을 형성하고 비정질 실리콘(a-si)을 도포하여 결정화된 반도체층을 형성하는 단계와; 상기 반도체층 상에 불순물을 주입하여 중간 영역에 반전 불순물층을 형성하는 단계와; 상기 반도체층 상에 게이트 절연막, 게이트 전극을 형성하는 단계와; 상기 반도체층에 상기 게이트 전극을 마스크로 하여 상기 반전 불순물층과 반대의 불순물이 고농도로 주입하여 소스 영역 및 드레인 영역을 형성하고, 불순물이 주입되지 않은 채널 영역을 형성하는 단계와; 상기 반도체층의 소스 및 드레인 영역의 일부를 드러내는 제 1 및 제 2 콘택홀을 포함하는 층간 절연막을 형성하는 단계와; 상기 층간 절연막 상부에서 상기 제 1 및 제 2 콘택홀을 통해서 상기 반도체층의 소스 및 드레인 영역과 접촉하는 소스 및 드레인 전극을 형성하는 단계와; 상기 소스 및 드레인 전극을 덮고 있으며, 상기 드레인 전극을 드러내는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와; 상기 보호층 상부에 형성되고 상기 드레인 콘택홀을 통해서 상기 드레인 전극과 연결된 화소 전극을 포함하여 이루어지는 것을 특징으로 한다.

상기 비정질 실리콘(a-si)을 도포하여 결정화된 반도체층을 형성하는 단계에 있어서, 상기 비정질 실리콘은 저온 다결정 실리콘(LTPS) 결정화 기술에 의해서 결정화되는 것을 특징으로 한다.

상기 LTPS 결정화 기술은 ELA(Excimer Laser Annealing) 기술과, CGS(Continuous Grain Silicon) 기술, SLS(Sequential Lateral Solidification) 에서 선택되는 것을 특징으로 한다.

이하, 첨부한 도면을 참조로 하여 본 발명의 구체적인 실시예에 대해서 상세히 설명한다.

도 3은 본 발명에 따른 일 실시예로서, 액정 표시 장치용 어레이 기판에서 박막트랜지스터의 반도체층의 단면을 보여주는 단면이다.

도 3에 도시된 바와 같이, 본 발명에 따른 박막 트랜지스터의 반도체층(216)은 불순물이 주입된 소스 영역(216s) 및 드레인 영역(216d)을 포함하며, 상기 소스 영역(216s) 및 드레인 영역(216d)의 사이에는 채널 영역(216c)이 형성되어 있다.

이와 같이, 고농도 p+ (또는 n+)이온의 불순물이 반도체층(216)에 주입되면 주입되는 면에서 소정 깊이로 불순물이 주입되며, 상기 소스 영역(216s) 및 드레인 영역(216d), 채널 영역(216c) 하에 반전층(215)이 형성되어 있다.

상기 반전층(215)은 상기 소스 영역(216s) 및 드레인 영역(216d)에 도핑된 불순물의 농도와 상기 채널 영역(216c)의 농도 사이의 중간 농도로 도핑된다.

이때, 상기 소스 영역(216s) 및 드레인 영역(216d)에 도핑된 불순물의 이온이 n+ 면, 상기 반전층(215)에 도핑되는 이온은 p이고, 반대로 상기 소스 영역(216s) 및 드레인 영역(216d)에 도핑된 불순물의 이온이 p+ 이면, 상기 반전층(215)에 도핑되는 이온은 n이 된다.

상기와 같이 형성된 반전층(215)은 상기 채널의 길이(L)가 짧아 상기 소스 영역(216s) 및 드레인 영역(216d)의 주변에 형성되는 공핍층(depletion layer)(211)이 서로 만나 발생하는 쇼트(short)를 방지한다.

이는 p+ (또는 n+)이온으로 도핑된 상기 소스 영역(216s) 및 드레인 영역(216d) 하부에 n(또는 p)으로 도핑된 반전층(215)이 형성되어 있으므로 상기 공핍층(211)이 연결되고 전하가 이동함으로써 발생하는 쇼트를 방지할 수 있게 된다.

도 4는 본 발명에 따른 액정 표시 장치용 어레이 기판에서, 박막 트랜지스터를 제조하는 공정을 보여주는 공정 순서도이다.

도 4a에 도시된 바와 같이, 투명한 절연 기판(200)을 준비하고, 상기 기판(200) 상에 버퍼층(buffer layer)(214)을 형성한다.

상기 버퍼층(214)을 이루는 물질로는 실리콘 질화막(SiN_x)나 실리콘 산화막(SiO_x), 에틸실리케이트(tetra ethyl orthosilicate ; TEOS) 등과 같은 절연막이 주로 이용된다.

그리고, 상기 버퍼층(214) 상에 반도체층(216)을 형성하는데, 상기 버퍼층(214)이 형성된 기판(200) 상에 비정질 실리콘(a-Si)을 증착하고, 탈수소화(dehydrogenation) 과정을 거친 후, 결정화 단계를 통해 다결정(poly) 또는 단결정 실리콘과 같은 결정질 실리콘층(216a)을 형성한다.

이때, 상기 비정질 실리콘(a-si)은 저온 다결정 실리콘(LTPS) 결정화 기술에 의해서 결정화될 수 있다.

상기 LTPS 결정화 기술은 ELA(Excimer Laser Annealing) 기술과, CGS(Continuous Grain Silicon) 기술, SLS(Sequential Lateral Solidification) 등이 있다.

그리고, 도 4b에 도시된 바와 같이, 상기 결정질 실리콘층(216a) 상에 가속 전압을 조절하여 소스 영역(216s) 및 드레인 영역(216d)에 주입될 불순물과 반대되는 이온을 중간 농도로 도핑하여, 상기 실리콘층(216a)의 중간 부분에 반전층(215)을 형성한다.

즉, n형 반도체층에서는 소스 영역(216s) 및 드레인 영역(216d)에 주입될 n⁺ 이온과 반대인 p이온의 중간 농도로 반전층(215)을 형성하고, p형 반도체층에서는 p⁺ 이온과 반대인 n이온의 중간 농도로 반전층(215)을 형성한다.

이어서, 상기 결정질 실로콘층(216a)을 포토리소그래피(photolithography) 방법을 이용하여 패터닝함으로써 반도체층(216)을 형성한다.

그리고, 도 4c에 도시된 바와 같이, 상기 반도체층(216) 상에 게이트 절연막(218) 및 게이트 전극(220)을 형성한다.

구체적으로, 상기 반도체층(216)이 형성된 기판(200) 상에 실리콘 질화막, 몰리브덴(Mo)을 연속해서 증착한 후, 포토리소그래피 방법을 이용한 마스크 공정을 통해 게이트 절연막(218) 및 게이트 전극(220)을 형성하는 단계이다.

그리고, 도 4d에 도시된 바와 같이, 상기 게이트 절연막(218) 및 게이트 전극(220)을 마스크로 하여 상기 반도체층(216)에 p⁺(또는 n⁺) 불순물을 고농도로 도핑하여 p형 반도체층(또는 n형 반도체층)을 형성하는데, 불순물층인 소스 영역(216s) 및 드레인 영역(216d)을 형성하고 상기 소스 영역(216s) 및 드레인 영역(216d) 사이에 채널 영역(216c)을 형성한다.

그러면, 상기 반도체층(216)에 p⁺(또는 n⁺)의 불순물로 도핑처리를 하여 상기 반도체층(216)에 소스 영역(216s) 및 드레인 영역(216d)의 불순물층(216)을 형성하면, 상기 불순물층(216)의 주변에 불순물의 농도가 희박하게 주입되어 형성되는 공핍층(depletion layer)(211)이 형성된다.

이때, 도시되지는 않았으나, n형 반도체층을 완성하는데, 상기 게이트 전극(220) 및 게이트 절연막(218)이 형성된 기판(200) 상에 저농도로 n 도핑처리를 하여 LDD층을 형성한 후, n⁺ 도핑 처리하여 n형 불순물층을 형성한다.

이와 같이, 상기 채널 영역(216c)의 길이가 약 3 μ m 이하로 짧아질 경우에 상기 소스 영역(216s) 및 드레인 영역(216d) 주변에 형성되는 공핍층(211)이 서로 연결되는데, 이때 상기 반전층(215)에 의해서 채널 쇼트(channel short)를 방지하게 된다.

이후, 도 4e에 도시된 바와 같이, 상기 반도체층(216) 상에 층간절연막(224)을 형성하는데, 실리콘 질화막 또는 실리콘 산화막과 같은 무기절연막을 증착한 후, 반도체층 콘택홀(231)을 가지는 층간절연막(224)을 형성한다.

이어서, 상기 층간절연막(224)이 형성된 기판(200) 상에, 몰리브덴과 알루미늄 네오듐(AlNd)을 차례대로 증착한 후 일괄 에칭하여, 상기 반도체층 콘택홀(231)을 통해 불순물층인 반도체층(216)의 소스 영역(216s) 및 드레인 영역(216d)과 연결되는 소스 전극(226) 및 드레인 전극(228)을 형성한다.

그리고, 상기 소스 및 드레인 전극(226, 228)이 형성된 기판(200) 상에 실리콘 질화막을 증착하고, 드레인 콘택홀(230)을 가지는 보호층(232)을 형성한다.

최종적으로, 상기 보호층(232) 상에 상기 드레인 콘택홀(230)을 통해서 드레인 전극(228)과 접촉하도록 투명한 도전성 전극으로 이루어지는 화소 전극(234)을 형성한다.

본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 이는 본 발명을 구체적으로 설명하기 위한 것으로, 본 발명에 따른 액정 표시 장치용 어레이 기판 및 그의 제조 방법은 이에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

발명의 효과

본 발명은 액정 표시 장치용 어레이 기판에서 박막 트랜지스터를 제조하는 데 있어서, 상기 박막 트랜지스터의 반도체층의 중간 부분에 소스 및 드레인 영역과 반대의 도핑층인 불순물층을 형성하여 반도체층 공핍층의 접촉에 의한 쇼트를 방지하여 펀치 쓰루(punch-through) 현상을 방지하고 소자의 특성을 향상시키는 효과가 있다.

(57) 청구의 범위

청구항 1.

기관과;

상기 기관 상부에 불순물이 도핑된 소스 영역 및 드레인 영역과 상기 소스 영역 및 드레인 영역 사이의 채널 영역으로 이루어지며, 상기 소스 영역 및 드레인 영역 아래의 소정 위치에 반대의 불순물로 도핑된 반전 불순물층이 형성된 반도체층과;

상기 반도체층의 채널 영역 상에 형성된 게이트 절연막, 게이트 전극과;

상기 반도체층의 소스 및 드레인 영역의 일부를 드러내는 제 1 및 제 2 콘택홀을 포함하는 층간 절연막과;

상기 층간 절연막 상부에서 상기 제 1 및 제 2 콘택홀을 통해서 상기 반도체층의 소스 및 드레인 영역과 접촉하는 소스 및 드레인 전극과;

상기 소스 및 드레인 전극을 덮고 있으며, 상기 드레인 전극을 드러내는 드레인 콘택홀을 가지는 보호층과;

상기 보호층 상부에 형성되고 상기 드레인 콘택홀을 통해서 상기 드레인 전극과 연결된 화소 전극을 포함하여 이루어지는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

청구항 2.

제 1항에 있어서,

상기 반전 불순물층에 도핑된 불순물의 농도는 상기 소스 및 드레인 영역의 불순물 농도보다 작고 상기 채널 영역의 불순물 농도보다 큰 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

청구항 3.

제 1항에 있어서,

상기 반도체층은 결정화된 실리콘으로 이루어지는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

청구항 4.

제 1항에 있어서,

상기 반도체층은 저온 다결정 실리콘(LTPS)으로 이루어지는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

청구항 5.

기관 상부에 버퍼층을 형성하고 비정질 실리콘(a-si)을 도포하여 결정화된 반도체층을 형성하는 단계와;

상기 반도체층 상에 불순물을 주입하여 중간 영역에 반전 불순물층을 형성하는 단계와;

상기 반도체층 상에 게이트 절연막, 게이트 전극을 형성하는 단계와;

상기 반도체층에 상기 게이트 전극을 마스크로 하여 상기 반전 불순물층과 반대의 불순물이 고농도로 주입하여 소스 영역 및 드레인 영역을 형성하고, 불순물이 주입되지 않은 채널 영역을 형성하는 단계와;

상기 반도체층의 소스 및 드레인 영역의 일부를 드러내는 제 1 및 제 2 콘택홀을 포함하는 층간 절연막을 형성하는 단계와;

상기 층간 절연막 상부에서 상기 제 1 및 제 2 콘택홀을 통해서 상기 반도체층의 소스 및 드레인 영역과 접촉하는 소스 및 드레인 전극을 형성하는 단계와;

상기 소스 및 드레인 전극을 덮고 있으며, 상기 드레인 전극을 드러내는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와;

상기 보호층 상부에 형성되고 상기 드레인 콘택홀을 통해서 상기 드레인 전극과 연결된 화소 전극을 포함하여 이루어지는 것을 특징으로 하는 액정 표시 장치용 어레이 기판의 제조 방법.

청구항 6.

제 5항에 있어서,

상기 반전 불순물층에 도핑된 불순물의 농도는 상기 소스 및 드레인 영역의 불순물 농도보다 작고 상기 채널 영역의 불순물 농도보다 큰 것을 특징으로 하는 액정 표시 장치용 어레이 기판의 제조 방법.

청구항 7.

제 5항에 있어서,

상기 비정질 실리콘(a-si)을 도포하여 결정화된 반도체층을 형성하는 단계에 있어서,

상기 비정질 실리콘은 저온 다결정 실리콘(LTPS) 결정화 기술에 의해서 결정화되는 것을 특징으로 하는 액정 표시 장치용 어레이 기판의 제조 방법.

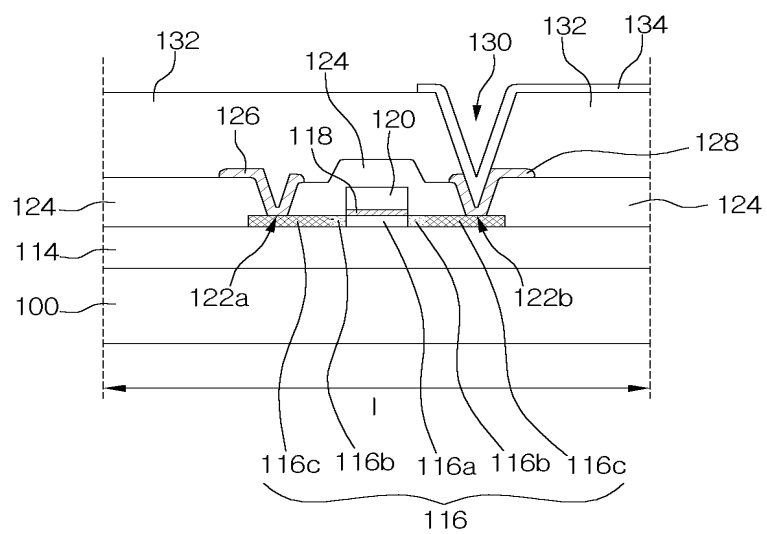
청구항 8.

제 7항에 있어서,

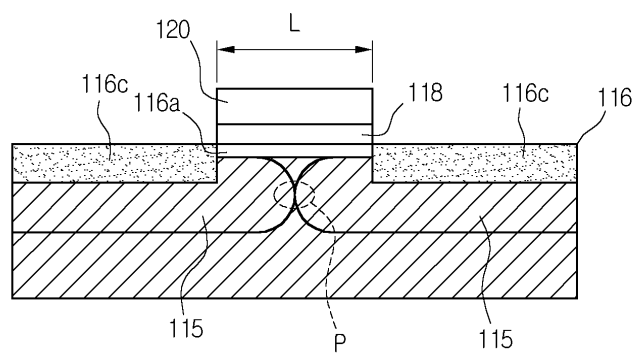
상기 LTPS 결정화 기술은 ELA(Excimer Laser Annealing) 기술과, CGS(Continuous Grain Silicon) 기술, SLS(Sequential Lateral Solidification) 에서 선택되는 것을 특징으로 하는 액정 표시 장치용 어레이 기판의 제조 방법.

도면

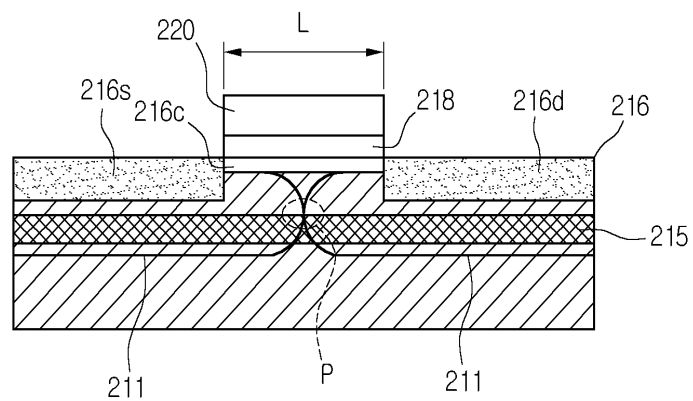
도면1



도면2



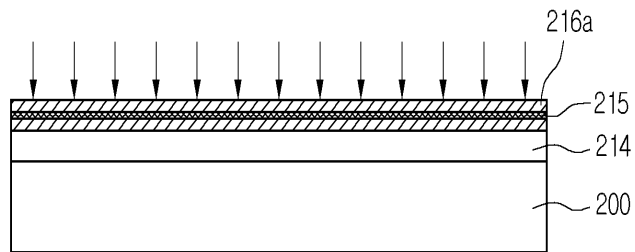
도면3



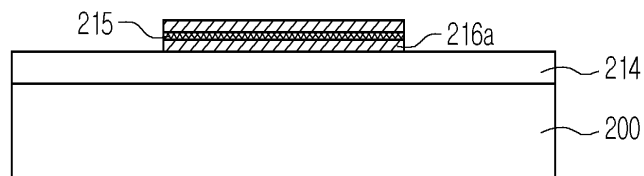
도면4a



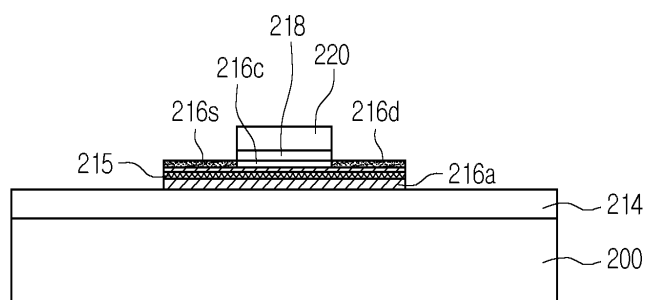
도면4b



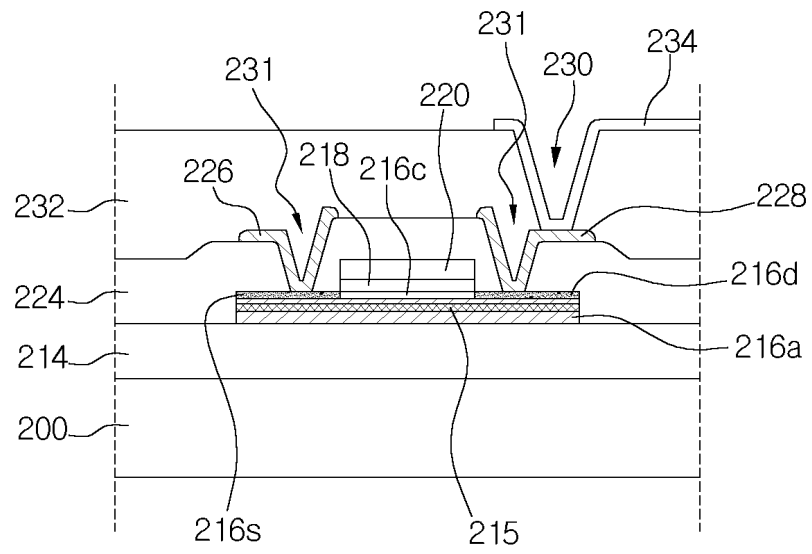
도면4c



도면4d



도면4e



专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR1020050104514A	公开(公告)日	2005-11-03
申请号	KR1020040029833	申请日	2004-04-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YOON JINMO		
发明人	YOON,JINMO		
IPC分类号	G02F1/136		
其他公开文献	KR101029395B1		
外部链接	Espacenet		

摘要(译)

本发明包括衬底上侧掺杂区域 - 源极和半导体层中的杂质，其中它包括漏极区域和区域 - 源极和漏极区域之间的沟道区域以及掺杂在该区域下的固定位置的反转杂质层。形成相反杂质的源区和漏区。这样，本发明具有如下效果：在用于液晶显示器的阵列面板中，由于在上述固定位置注入中浓度杂质的反型层，薄膜晶体管器件的特性得到改善。在半导体层上形成高浓度杂质层之前形成半导体层并形成半导体层，并且通过耗尽层的连接防止短路，并防止穿通（穿通）现象。半导体层，穿通（穿通）和短路。

