

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G09G 3/36

(11) 공개번호 10-2005-0070554
(43) 공개일자 2005년07월07일

(21) 출원번호 10-2003-0100226
(22) 출원일자 2003년12월30일

(71) 출원인 비오이 하이디스 테크놀로지 주식회사
경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자 안성준
경기도이천시대월면사동리현대6차아파트604동1001호
김천홍
서울특별시송파구석촌동293-10
유세중
경기도안성시공도읍만정리타임그린빌라나동201호

(74) 대리인 강성배

심사청구 : 있음

(54) 액정표시장치의 구동회로

요약

본 발명은 4개의 박막트랜지스터와 2개의 커패시터로 구성된 구동회로의 Vgoff 특성을 개선하고, 6개의 박막트랜지스터로 구성된 구동회로의 DC 스트레스에 의한 박막트랜지스터의 특성변화를 최소화하여 안정된 동작특성을 갖는 액정표시장치의 구동회로를 제공하기 위한 것으로서, n-1번째 회로의 출력단과 Vss단 사이에 시리얼하게 연결된 제 1, 제 2 트랜지스터와, 클럭신호(Clk)에 의해 동작하며 드레인에는 클럭신호의 반전신호인 ClkB 신호가 인가되며, 소스는 n번째 게이트 라인에 연결되는 제 3 트랜지스터와, 드레인이 제 3 트랜지스터의 소스에 연결되고 소스는 Vss단자에 연결되는 제 4 트랜지스터와, VDD단자와 Vss단자 사이에 시리얼하게 연결된 제 5, 제 6 트랜지스터와, n+ 1번째 회로의 출력신호에 의해 동작하고, 드레인과 소스가 각각 제 2 트랜지스터의 드레인과 소스에 각각 연결되는 제 7 트랜지스터와, n+ 1번째 회로의 출력신호에 의해 동작하고, 드레인과 소스가 각각 제 5 트랜지스터의 드레인과 소스에 각각 연결된 제 8 트랜지스터와, 제 3 트랜지스터의 게이트 전단에 형성된 제 1 커패시터와, 제 6 트랜지스터의 게이트와 드레인 사이에 형성된 제 2 커패시터를 포함하여 구성되는 것을 특징으로 한다.

대표도

도 5

색인어

Vgoff 전압, DC전압 스트레스

명세서

도면의 간단한 설명

- 도 1은 일반적인 액정표시장치의 구성도.
- 도 2는 종래 6개의 박막트랜지스터로 구성된 액정표시장치 구동회로의 구성도.
- 도 3은 도 2에 따른 동작 타이밍도.
- 도 4는 종래 4개의 박막트랜지스터와 2개의 커패시터로 구성된 액정표시장치 구동회로의 구성도.
- 도 5는 본 발명에 따른 액정표시장치 구동회로의 구성도.

도 6a 내지 6b는 본 발명의 액정표시장치 구동회로에 따른 시물레이션 파형도.

도면의 주요 부분에 대한 부호 설명

11: 액정패널 13: 소스 드라이버 IC

15: 게이트 드라이버 IC

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치 구동회로에 관한 것으로서, 특히 출력신호의 오프 레벨 안정화 및 DC 전압 스트레스에 기인한 소자 특성변화를 크게 개선하여 회로의 동작 특성을 대폭 개선시키는데 적당한 액정표시장치의 구동회로에 관한 것이다.

일반적으로, 디스플레이 장치 중 하나인 씨알티(CRT: Cathode Ray Tube)는 텔레비전을 비롯하여 각종 계측기기, 정보 단말기 등의 모니터에 주로 이용되어 왔으나, CRT 자체의 무게가 크기로 인하여 전자제품의 소형화, 경량화의 요구에 적극 대응할 수가 없었다.

이에, CRT를 대체하기 위해 경박, 단소화의 장점을 가지고 있는 액정표시장치가 활발하게 개발되어져 왔고, 최근에는 평판형 표시장치로서의 역할을 충분히 수행할 수 있을 정도로 개발되어 그 수요가 크게 증가하고 있는 추세에 있다.

이러한 액정표시장치는 도 1에 도시된 바와 같이, 복수의 게이트 라인과 데이터 라인이 교차 배치되고, 각 게이트 라인과 데이터 라인이 교차하는 부위에 박막트랜지스터가 배치되어 화상을 디스플레이 하는 액정패널(11)과, 상기 액정패널(11)의 데이터 라인을 구동하기 위한 구동전압을 인가하는 소스 드라이버 IC(13)와, 상기 액정패널(11)의 게이트 라인을 구동하기 위한 구동전압을 인가하는 게이트 드라이버 IC(15)로 구성된다.

그리고, 도면에는 도시하지 않았지만, 상기 소스 드라이버 IC(13) 및 게이트 드라이버 IC(15)로 각종 컨트롤 신호를 제공하는 주변회로를 포함하는데, 상기 주변회로에는 LVDS부, 타이밍 컨트롤러 등이 있다.

이와 같은 액정표시장치 중 a-Si AMLCD(Active Matrix Liquid Crystal Display)는 구동회로 집적기술에 있어서 폴리실리콘과 비교하여 저이동도, 다소 높은 문턱전압과 기생용량에도 불구하고 비용절감, 콤팩트니스, 무게절감 등의 장점을 가지고 있어 그 기술이 많이 연구되었으며, 새로운 디자인 기술과 공정으로 구동회로의 액티브 매트릭스를 a-Si TFT로만 구성하게 되었다.

일반적으로 게이트 라인 구동전압은 게이트 드라이버 IC에서 출력되는데, 상기 게이트 드라이버 IC의 내부에는 쉬프트 레지스터, 레벨 쉬프트, 버퍼로 구성되어진다. 그러나 a-Si 로우 드라이버(Row Driver)는 이 모든 기능을 쉬프트 레지스터만으로 집적화해야 한다.

통상적으로 알려진 a-Si 로우 드라이버(Row Driver)의 쉬프트 레지스터는 4~6개의 트랜지스터로 구성되어 있으며, 그 크기는 각각 다르게 설계되어야 한다.

이하, 첨부된 도면을 참조하여 종래 기술에 따른 액정표시장치의 구동회로를 설명하면 다음과 같다.

도 2는 종래 기술에 따른 액정표시장치의 구동회로를 도시한 것으로서, 6개의 트랜지스터로 구성된 쉬프트 레지스터의 회로적 구성도이고, 도 3은 도 2에 따른 동작 타이밍도이다.

먼저, 종래의 액정표시장치의 구동회로는 6개의 박막트랜지스터(T_p , T_d , T_s , T_r , T_1 , T_2)로 구성되는데, 이와 같은 액정표시장치의 구동회로는 우선, T_0 에서는 입력이 하이 레벨이므로 노드 P2가 하이(high)가 되고, 그에 따라 박막트랜지스터 T_2 는 턴-온이 된다. 이때, 출력측의 A점은 V_{ss} 에 의해 로우 레벨(Low level)로 바이어스(Bias)된다.

이때, 입력신호(V_i)와 ϕ_2 가 하이 레벨이면 박막트랜지스터 T_p , T_r , T_s 는 동시에 턴-온이 되며, 이때, 노드 P1은 포지티브(Positive)가 되고, 전압은 V_{dd} 에서 T_p 의 문턱전압을 뺀 전압이 된다.

한편, 노드 P2는 박막트랜지스터 T_r 의 강력한 턴-온으로 인하여 로우 레벨(Low level)이 된다. 참고로, 박막트랜지스터 T_r 은 T_s 의 약 10배 정도의 크기를 갖는다.

상기 노드 P2가 로우 레벨이 됨에 따라 T_2 는 오프 상태가 되지만, 출력은 여전히 로우 레벨을 유지한다. 이는 ϕ_1 이 로우 레벨이기 때문이다.

한편, 상기 ϕ_1 이 하이 레벨이 되면, T_1 은 프리차지드 하이(Precharged high)가 되고, 노드 P1의 전압은 $(V_{dd}-V_{th})+\phi_1$ 스윙(Swing)의 약 90% 정도가 된다. 이때, 출력(V_o)은 ϕ_1 의 펄스를 따르게 되어 턴-온이 되며, 하이 레벨의 전압을 다음 단 회로에 입력으로 인가하는 쉬프트 레지스터 기능을 수행하게 된다.

또한, 상기 $\phi 2$ 가 하이 레벨이 되면 노드 P2는 하이 레벨이 되고, 박막트랜지스터 Tz가 턴-온되면서 출력측의 A점은 로우 레벨이 된다.

한편, 도 4는 종래 다른 실시예에 따른 액정표시장치의 구동회로를 도시한 것으로서, 도 1은 6개의 박막트랜지스터로 이루어진 반면에, 도 4는 4개의 박막트랜지스터의 2개의 커패시터(C1, C2)로 구성된다.

상기 도 4와 같은 액정표시장치의 구동회로는 그 동작원리가 앞서 설명한 6개의 박막트랜지스터로 이루어진 회로와 유사하며, 리셋 신호가 다음단 출력신호를 받아 동작한다는 것에 차이가 있다.

그러나, 상기와 같은 종래의 액정표시장치의 구동회로는 다음과 같은 문제점이 있었다.

첫째, 6개의 박막트랜지스터로 이루어진 경우, 리셋용 박막트랜지스터인 Td, Tz가 계속적으로 인가되는 Clock신호를 게이트 전압으로 사용하기 때문에 DC 스트레스를 클럭신호의 하이 레벨 전압으로 연속적으로 받게 되고, 이는 장시간 구동 시 박막트랜지스터의 특성변화(문턱전압의 변화)를 야기하여 회로동작의 불량원인으로 작용하게 된다.

또한, 4개의 박막트랜지스터와 2개의 커패시터로 이루어진 경우, 박막트랜지스터 T4가 다음단의 출력신호에 의해 리셋 기능을 수행하게 되는데, 1스캔 시간 동안만 온(On)이 되고, 나머지 프레임 기간 동안에는 플로팅(Floating) 상태가 된다. 이는 데이터 라인을 통해 인가되는 영상신호의 전압에 의해 커패시터 커플링을 발생시켜 일정시간 일정전압을 유지해야 하는 Vgoff 특성을 갖지 못하고 영상신호 전위만큼 변동하는 플러추에이션(Fluctuation) 현상을 일으키게 된다. 그런데, 상기와 같은 현상은 패널 구동이 라인반전(Line inversion)인 경우, 화면 떨림 현상(Flicker)을 유발하여 화면의 품위를 현저하게 떨어뜨리게 되는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위해 안출한 것으로서, 4개의 박막트랜지스터와 2개의 커패시터로 구성된 구동회로의 Vgoff 특성을 개선하고, 6개의 박막트랜지스터로 구성된 구동회로가 안고 있는 DC 스트레스에 의한 박막트랜지스터의 특성변화를 최소화하여 안정된 동작특성을 갖는 액정표시장치의 구동회로를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 액정표시장치의 구동회로는 n-1번째 회로의 출력단과 Vss단 사이에 시리얼하게 연결된 제 1, 제 2 트랜지스터와, 클럭신호(Clk)에 의해 동작하며 드레인에는 상기 클럭신호의 반전신호인 ClkB 신호가 인가되며, 소스는 n번째 게이트 라인에 연결되는 제 3 트랜지스터와, 드레인이 상기 제 3 트랜지스터의 소스에 연결되고 소스는 상기 Vss단자에 연결되는 제 4 트랜지스터와, VDD단자와 상기 Vss단자 사이에 시리얼하게 연결된 제 5, 제 6 트랜지스터와, n+1번째 회로의 출력신호에 의해 동작하고, 드레인과 소스가 각각 상기 제 2 트랜지스터의 드레인과 소스에 각각 연결되는 제 7 트랜지스터와, n+1번째 회로의 출력신호에 의해 동작하고, 드레인과 소스가 각각 상기 제 5 트랜지스터의 드레인과 소스에 각각 연결된 제 8 트랜지스터와, 상기 제 3 트랜지스터의 게이트 전단에 형성된 제 1 커패시터와, 상기 제 6 트랜지스터의 게이트와 드레인 사이에 형성된 제 2 커패시터를 포함하여 구성되는 것을 특징으로 한다.

여기서, 상기 제 1, 제 6 트랜지스터는 상기 n-1번째 회로의 출력신호에 의해 동작 상태가 결정되고, 상기 제 7, 8 트랜지스터는 n+1번째 회로의 출력신호에 의해 동작상태가 결정되며, 상기 제 3 트랜지스터는 클럭신호(Clk)에 의해 동작상태가 결정되고, 상기 제 2, 4 트랜지스터는 상기 제 6 트랜지스터의 드레인 전압에 의해 동작 상태가 결정되며, 상기 제 5 트랜지스터는 VDD 전압에 의해 동작 상태가 결정된다.

또한, 상기 VDD 전압은 T2, T4, T5 트랜지스터의 Vth보다 큰 Vgs 전압이 인가 가능한 전압 범위를 갖는 것이 바람직하며, 박막트랜지스터의 소자 특성에 따라 일부 가변될 수 있음은 자명하다.

또한, 상기 제 7 트랜지스터는 n+1번째 출력신호에 의해 동작하는 리셋용 트랜지스터이고, 상기 제 8 트랜지스터는 상기 n+1번째 출력신호에 의해 동작하는 상기 VDD전압 전달용이다.

또한, 상기 제 1 커패시터는 n번째 게이트 라인으로 출력되는 신호의 오프 특성을 안정화시키기 위한 것이고, 상기 제 2 커패시터는 제 6 트랜지스터의 드레인 전압의 레벨을 안정화시키기 위한 것이다.

(실시예)

이하, 첨부된 도면을 참조하여 본 발명의 액정표시장치를 설명하면 다음과 같다.

도 5는 본 발명에 따른 액정표시장치의 구동회로를 도시한 것이다.

본 발명에 따른 액정표시장치의 구동회로는 도 5에 도시한 바와 같이, 8개의 박막트랜지스터(T1, T2, T3, T4, T5, T6, T7, T8)와 2개의 커패시터(C1, C2)로 구성된다.

즉, 도 5에 도시한 바와 같이, 제 1 트랜지스터(T1)의 게이트 단자와 드레인 단자는 n-1번째의 게이트 라인에 공통으로 연결되고, 상기 제 1 트랜지스터(T2)의 소스 단자와 Vss 단자 사이에는 제 2 트랜지스터(T2)가 연결되며, 클럭신호(Clk)에 의해 동작하는 제 3 트랜지스터(T3)가 소스 단자가 Vss 단자에 연결된 제 4 트랜지스터(T4)와 시리얼하게 연결된다.

이때, 상기 제 3 트랜지스터(T3)의 소스 단자와 상기 제 4 트랜지스터(T4)의 드레인 단자의 콘택점은 출력단(N)이 되고, 상기 출력단을 통해 출력되는 전압은 n번째 게이트 라인으로 인가되며, 상기 제 3 트랜지스터(T3)의 드레인 단자에는 상기 클럭신호의 반전신호(ClkB)가 인가된다.

한편, VDD단자와 Vss단자 사이에는 제 5 트랜지스터(T5)와 제 6 트랜지스터(T6)가 시리얼하게 연결되며, 리셋 신호에 의해 동작 상태가 결정되는 제 7 트랜지스터(T7)가 상기 제 2 트랜지스터(T2)는 패러렐하게 구성한다.

또한, 상기 리셋 신호에 의해 동작 상태가 결정되는 제 8 트랜지스터(T8)의 드레인 단자에는 VDD 전압이 인가되며, 상기 제 8 트랜지스터(T8)의 드레인 단자와 상기 제 5 트랜지스터(T5)의 게이트 단자에는 공통으로 상기 VDD전압이 인가되도록 연결된다.

한편, 상기 제 3 트랜지스터(T3)의 게이트 단자 전단에는 제 1 커패시터(C1)가 연결되는데, 상기 제 1 커패시터(C1)의 일측 전극에는 클럭신호가 인가되며 타측 전극은 상기 제 3 트랜지스터(T3)의 게이트 단자와 연결된다.

상기 제 2 트랜지스터(T2)의 게이트 단자는 제 6 트랜지스터(T6)의 드레인 단자와 상기 제 4 트랜지스터(T4)의 게이트 단자에 공통으로 연결되며, 상기 제 6 트랜지스터(T6)의 드레인 단자에는 제 2 커패시터(C2)의 일측 전극이 연결되고, 상기 제 2 커패시터(C2)의 타측 전극은 상기 제 1 트랜지스터(T1)의 드레인 단자와 상기 제 6 트랜지스터(T6)의 게이트 단자에 공통으로 연결된다.

이와 같이 구성된 본 발명의 액정표시장치의 구동회로의 동작을 설명하면 다음과 같다.

도면에 도시된 바와 같이, 본 발명에 따른 액정표시장치의 구동회로는 8개의 박막트랜지스터와 2개의 커패시터로 구성되며, 각 박막트랜지스터의 크기는 서로 상이할 뿐만 아니라, 그 기능도 서로 다르다.

이에, 회로 동작을 순서대로 살펴보면, 먼저, n-1번째 회로(미도시)의 출력신호가 제 1 트랜지스터(T1)의 드레인 단자를 통해 입력된다.

상기 제 1 트랜지스터(T1)를 통해 n-1번째 회로의 출력신호(본 구동회로인 n번째 회로를 기준으로 볼 때는 입력신호가 됨)가 입력되면, 클럭신호(Clk)도 상기 입력신호에 동기되어 입력된다.

이때, 상기 입력 신호가 하이 레벨의 신호이면 상기 제 1 트랜지스터(T1)와 제 6 트랜지스터(T6)는 턴-온 상태가 되며, 노드 P점은 포지티브 레벨이 되며 전압은 VDD 전압에서 제 1 트랜지스터(T1)의 문턱전압을 뺀 만큼의 전위가 된다. 이때, 제 5 트랜지스터(T5)를 통해서도 VDD DC전압 약 Vss전압보다 수 V 정도 높은 전압이 계속해서 인가됨과 동시에 노드 X점은 상기 제 6 트랜지스터(T6)의 강력한 턴-온으로 인하여 로우 레벨이 된다. 참고로, 제 6 트랜지스터(T6)는 제 5 트랜지스터(T5)의 약10배 이상의 크기이다.

상기 노드 X점의 레벨이 로우 레벨이므로, 제 4 트랜지스터(T4)가 오프 상태이지만, 출력(Output)은 여전히 로우 레벨을 유지한다. 왜냐하면, ClkB 신호가 로우 레벨이기 때문이다.

한편, n+1번째 회로의 출력신호가 리셋신호로 상기 제 7 트랜지스터(T7)와 제 8 트랜지스터(T8)에 인가되면 노드 P점의 디케이(Decay)를 제 2 트랜지스터(T2)와 같이 그 기능을 수행하게 되며, 제 5 트랜지스터(T5)의 턴-온 전압이 기존 대비 낮기 때문에 그 기능을 강화하기 위한 수단으로 작용하게 된다.

이때, 상기 제 2 커패시터(C2)의 커패시턴스(Cap)의 역할은 노드 X점에서의 전위 레벨을 안정화시키기 위한 목적으로 형성되며, 제 1 커패시터(C1)의 커패시턴스는 출력신호(Output)의 오프 레벨 특성을 안정화시키기 위한 기능으로 형성된다.

이와 같이 본 발명에 따른 액정표시장치의 구동회로는 Vss전압보다 수 V 정도 높은 전압 계속적으로 인가되는 VDD신호에 의해 제 4 트랜지스터(T4)의 Vgs는 기존 대비 낮은 전압으로 구동된다.

상기와 같은 회로의 구성을 살펴보면, n-1번째 회로의 출력신호(즉, 본 회로 입장에서는 입력신호)는 제 1 트랜지스터(T1)의 게이트 단자와 드레인 단자에 동시에 입력되는 다이오드 형태를 가지며 또한 제 6 트랜지스터(T6)의 게이트 단자로도 입력된다.

상기 제 1 트랜지스터(T1)의 소스 단자는 리셋용 트랜지스터인 제 2 트랜지스터(T2)의 드레인 단자와 구동용 트랜지스터인 제 3 트랜지스터(T3)의 게이트 단자에 공통으로 연결되며, 상기 제 2 트랜지스터(T2), 제 4 트랜지스터(T4) 및 제 6 트랜지스터(T6)의 소스 단자는 Vss단자에 공통으로 연결된다.

클럭신호의 반전신호인 ClkB 신호는 구동용 트랜지스터인 제 3 트랜지스터(T3)의 드레인 단자로 인가되며 상기 제 3 트랜지스터(T3)의 소스 전극은 제 4 트랜지스터(T4)의 드레인 전극과 연결됨과 동시에 게이트 라인 구동 스위치용 신호로 출력된다.

참고로, 도 6a 내지 6b는 본 발명에 따른 액정표시장치의 구동회로에 대한 시뮬레이션 파형을 도시한 것이다.

이상에서 본 발명의 바람직한 실시 예를 설명하였으나, 본 발명은 다양한 변화와 변경 및 균등물을 사용할 수가 있고, 상기 실시예들을 적절히 변형하여 동일하게 응용할 수가 있음이 명확하다. 따라서 상기 기재 내용은 하기의 특허청구범위의 한계에 의해 정해지는 본 발명의 범위를 한정하는 것이 아니다.

발명의 효과

이상에서 상술한 바와 같이, 본 발명에 따른 액정표시장치의 구동회로는 다음과 같은 효과가 있다.

종래 4개의 박막트랜지스터와 2개의 커패시터로 이루어진 액정표시장치의 구동회로가 갖는 문제점인 오프 전압의 불안정화에 기인한 화면떨림 현상과 6개의 박막트랜지스터로 이루어진 액정표시장치의 구동회로가 갖는 문제점인 리셋 트랜지스터의 계속되는 DC전압 스트레스에 기인한 박막트랜지스터의 특성차 유발로 인한 회로 동작 불량 등의 문제점을 동시에 개선하여 안정적인 쉬프트 레지스터 회로를 구현할 수가 있다.

(57) 청구의 범위

청구항 1.

n-1번째 회로의 출력단과 Vss단 사이에 시리얼하게 연결된 제 1, 제 2 트랜지스터와;

클럭신호(Clk)에 의해 동작하며 드레인에는 상기 클럭신호의 반전신호인 ClkB 신호가 인가되며, 소스는 n번째 게이트 라인에 연결되는 제 3 트랜지스터와;

드레인이 상기 제 3 트랜지스터의 소스에 연결되고 소스는 상기 Vss단자에 연결되는 제 4 트랜지스터와;

VDD단자와 상기 Vss단자 사이에 시리얼하게 연결된 제 5, 제 6 트랜지스터와;

n+1번째 회로의 출력신호에 의해 동작하고, 드레인과 소스가 각각 상기 제 2 트랜지스터의 드레인과 소스에 각각 연결되는 제 7 트랜지스터와;

n+1번째 회로의 출력신호에 의해 동작하고, 드레인과 소스가 각각 상기 제 5 트랜지스터의 드레인과 소스에 각각 연결된 제 8 트랜지스터와;

상기 제 3 트랜지스터의 게이트 전단에 형성된 제 1 커패시터와;

상기 제 6 트랜지스터의 게이트와 드레인 사이에 형성된 제 2 커패시터를 포함하여 구성되는 것을 특징으로 하는 액정표시장치의 구동회로.

청구항 2.

제 1 항에 있어서, 제 1, 제 6 트랜지스터는 상기 n-1번째 회로의 출력신호에 의해 동작 상태가 결정되고, 상기 제 7, 8 트랜지스터는 n+1번째 회로의 출력신호에 의해 동작 상태가 결정되며, 상기 제 3 트랜지스터는 클럭신호(Clk)에 의해 동작 상태가 결정되고, 상기 제 2, 4 트랜지스터는 상기 제 6 트랜지스터의 드레인 전압에 의해 동작 상태가 결정되며, 상기 제 5 트랜지스터는 VDD 전압에 의해 동작 상태가 결정되는 것을 특징으로 하는 액정표시장치의 구동회로.

청구항 3.

제 2 항에 있어서, 상기 VDD 전압은 T2, T4, T5 트랜지스터의 Vth보다 큰 Vgs 전압이 인가 가능한 전압 범위를 갖는 것을 특징으로 하는 액정표시장치의 구동회로.

청구항 4.

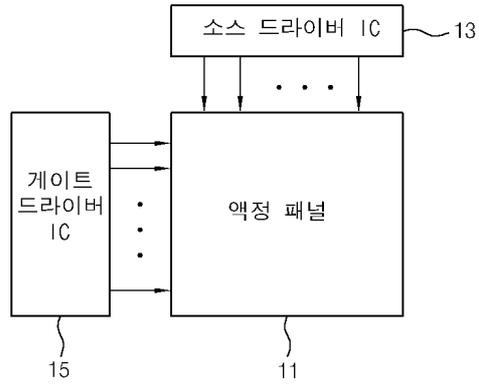
제 1 항에 있어서, 상기 제 7 트랜지스터는 n+1번째 출력신호에 의해 동작하는 리셋용 트랜지스터이고, 상기 제 8 트랜지스터는 상기 n+1번째 출력신호에 의해 동작하는 상기 VDD전압 전달용인 것을 특징으로 하는 액정표시장치의 구동회로.

청구항 5.

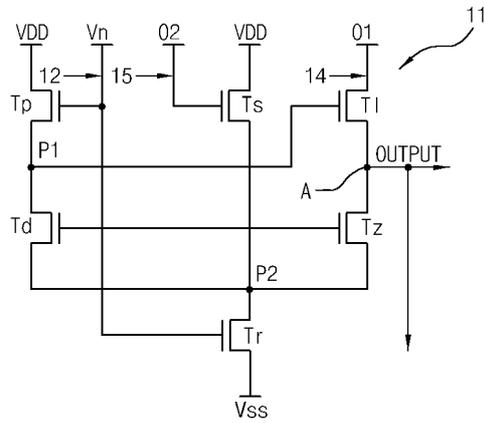
제 1 항에 있어서, 상기 제 1 커패시터는 n번째 게이트 라인으로 출력되는 신호의 오프 특성을 안정화시키기 위한 것이고, 상기 제 2 커패시터는 제 6 트랜지스터의 드레인 전압의 레벨을 안정화시키기 위한 것임을 특징으로 하는 액정표시장치의 구동회로.

도면

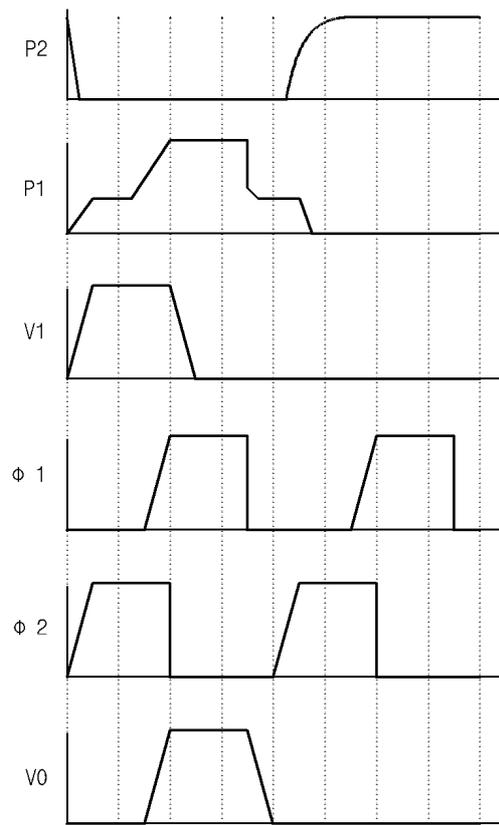
도면1



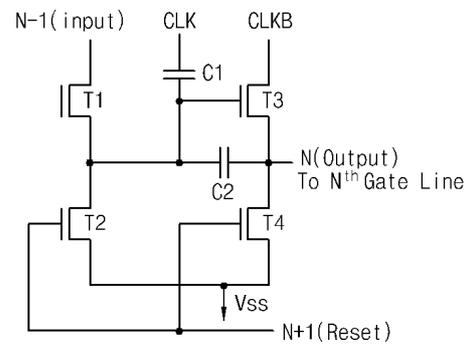
도면2



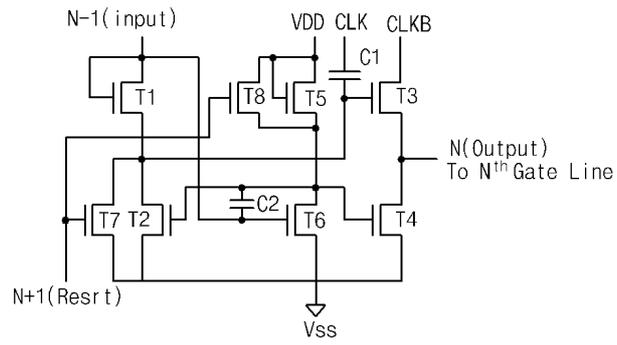
도면3



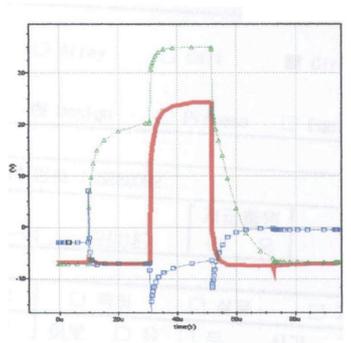
도면4



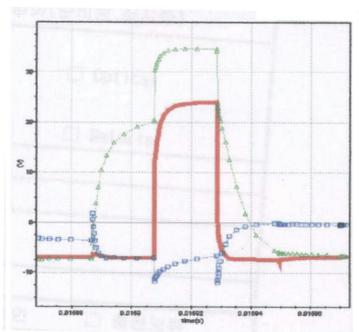
도면5



도면6a



도면6b



专利名称(译)	一种液晶显示器的驱动电路		
公开(公告)号	KR1020050070554A	公开(公告)日	2005-07-07
申请号	KR1020030100226	申请日	2003-12-30
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
当前申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	AHN SEONGJUN 안성준 KIM CHEONHONG 김천홍 YOO SEJONG 유세종		
发明人	안성준 김천홍 유세종		
IPC分类号	G09G3/20 G02F1/133 G09G3/36		
CPC分类号	G09G2300/0408 G09G3/3677 G11C19/184		
其他公开文献	KR100705628B1		
外部链接	Espacenet		

摘要(译)

本发明改善了由四个薄膜晶体管和两个电容器组成的驱动电路的Vgoff特性，并最小化了由六个薄膜晶体管组成的驱动电路的DC应力引起的薄膜晶体管特性的变化，第一和第二晶体管串联连接在第(n-1)电路的输出端和Vss级之间，第一和第二晶体管串联连接在输出端和Vss端之间。第三晶体管，以及耦合到所述第三晶体管的源极的漏极，其中源是第四晶体管和VDD端子与VSS端子之间的谷物被连接到VSS端子和施加到CLKB信号，源极连接到第n条栅极线并且第(n+1)电路的输出信号以及漏极和源极连接到第二晶体管由第七晶体管的输出信号的操作，将N+1个第二电路被分别连接到漏极和源极，漏极和源极分别连接到每个的漏极和所述第八晶体管的所述第五晶体管的源极的，第三晶体管第一电容器形成在栅极之前的栅极处，第二电容器形成在第六晶体管的栅极和漏极之间。五 指数方面 Vgoff电压，直流电压应力

