

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G09G 3/36

(11) 공개번호 10-2004-0053639
(43) 공개일자 2004년06월24일

(21) 출원번호 10-2002-0080815
(22) 출원일자 2002년12월17일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 문승환
경기도용인시수지읍상현리현대I-PARK6차아파트205동1504호(만현마을)

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 표시 장치의 구동 장치

요약

본 발명은 화상 신호의 이상 발생시 생길 수 있는 래치 업을 방지하는 액정 표시 장치의 구동 장치에 관한 것이다.

본 발명의 게이트 구동부는 일렬로 연결된 복수의 시프트 레지스터를 포함하며, 각 시프트 레지스터는 축전기와 버퍼 트랜지스터와 풀다운 트랜지스터를 포함한다. 버퍼 트랜지스터는 전단 시프트 레지스터의 출력에 연결된 제어 단자, 저항을 거쳐 제1 전압에 연결되는 입력 단자, 그리고 상기 축전기에 연결되어 있는 출력 단자를 포함한다. 풀다운 트랜지스터는 후단 시프트 레지스터의 출력에 연결된 제어 단자, 상기 저항을 거쳐 상기 제1 전압에 연결되는 입력 단자, 그리고 제2 전압에 연결되어 있는 출력 단자를 포함한다.

풀다운 트랜지스터는 버퍼 트랜지스터의 입력 단자에 연결되며, 전단 시프트 레지스터의 출력에 의하여 버퍼 트랜지스터가 턴 온되는 경우, 후단 시프트 레지스터의 출력에 의하여 풀다운 트랜지스터가 턴 온되어 상기 제1 전압이 버퍼 트랜지스터를 통하여 축전기에 충전되지 못하게 하여 래치업 현상을 방지한다.

대표도

도 5

색인어

게이트구동부, 데이터구동부, 시프트레지스터, 래치업, 풀다운, 화상신호, 수직동기시작신호

명세서

도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.

도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소의 회로도이다.

도 3은 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이다.

도 4는 본 발명의 한 실시예에 따른 게이트 구동부 시프트 레지스터의 회로도이다.

도 5는 본 발명의 다른 실시예에 따른 게이트 구동부 시프트 레지스터의 회로도이다.

도 6은 본 발명의 다른 실시예에 따른 게이트 구동부 시프트 레지스터의 회로도이다.

도 7a 및 도 7b는 본 발명의 한 실시예에 따른 게이트 구동부 시프트 레지스터의 타이밍도이다.

도 8a는 본 발명의 한 실시예에 따른 게이트 구동부의 신호 파형도이다.

도 8b는 종래의 게이트 구동부의 신호 파형도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시 장치의 구동 장치에 관한 것이다.

액정 표시 장치나 EL(electro luminescence) 표시 장치 등은 행렬의 형태로 배열된 복수의 화소를 포함한다. 각 화소는 화상 신호를 선택적으로 받아들이는 스위칭 소자를 포함하며, 스위칭 소자로 MOS형 트랜지스터 등 주로 삼단자 소자가 사용된다. 이러한 표시 장치는 또한 스위칭 소자에 연결된 복수의 게이트선과 복수의 데이터선을 포함하며, 각 게이트선은 스위칭 소자를 각각 턴온시키는 게이트 온 전압을 전달하고, 각 데이터선은 턴온된 스위칭 소자를 통하여 각 화소에 화상 신호를 전달한다.

이러한 표시 장치는 또한 게이트선에 게이트 온 전압을 인가하는 게이트 구동부와 데이터선에 화상 신호를 인가하는 데이터 구동부 및 이들을 제어하는 신호 제어부를 포함한다.

게이트 구동부는 신호 제어부로부터의 수직 동기 시작 신호에 따라 게이트 온 전압의 출력을 시작하여 일렬로 배열된 게이트선에 차례로 게이트 온 전압을 인가한다. 이와 같이 차례로 게이트 온 전압을 출력하기 위하여 종래의 게이트 구동부는 게이트선에 각각 연결되어 있는 복수의 시프트 레지스터(shift register)를 포함한다. 첫 번째 시프트 레지스터는 수직 동기 시작 신호와 클록 신호에 동기되어 게이트 온 전압의 출력을 시작하고 두 번째 시프트 레지스터부터는 전단 시프트 레지스터의 출력 전압과 클록 신호에 동기되어 게이트 온 전압의 출력을 시작한다. 각 시프트 레지스터의 게이트 온 전압 출력의 종료는 후단 시프트 레지스터의 출력 시작 시점과 밀접한 관계가 있다.

이에 대하여 좀 더 상세하게 살펴본다.

종래의 게이트 구동부의 각 시프트 레지스터는 입력 쪽의 SR 래치와 출력 쪽의 AND 게이트를 포함한다.

SR 래치는 전단 게이트 출력, 즉 전단 시프트 레지스터의 출력이 입력되는 세트 입력 단자와 후단 게이트 출력, 즉 후단 시프트 레지스터의 출력이 입력되는 리세트 입력 단자를 가지고 있으며, AND 게이트는 SR 래치의 출력과 클록 신호를 두 입력으로 하여 게이트 신호를 생성하여 출력한다.

세트 단자에 입력되는 전단 게이트 출력과 리세트 단자에 입력되는 후단 게이트 출력이 모두 로우('0')인 초기 상태에서는 SR 래치의 출력 또한 로우이다. 후단 게이트 출력이 로우를 유지하는 동안 전단 게이트 출력이 하이('1')로 바뀌면 SR 래치의 출력이 하이로 바뀐다. 후단 게이트 출력이 계속 로우를 유지하는 동안 전단 게이트 출력이 다시 로우로 바뀌더라도 SR 래치의 출력은 변함이 없다. 전단 게이트 출력이 로우를 유지하는 동안 후단 게이트 출력이 하이로 바뀌면 SR 래치의 출력은 하이에서 로우로 바뀐다. 결국 SR 래치의 출력은 전단 게이트 출력이 로우에서 하이로 바뀌는 시점부터 후단 게이트 출력이 로우에서 하이로 바뀌는 시점까지 하이로 유지하고 그 외에는 로우가 된다.

AND 게이트는 SR 래치의 출력과 클록 신호가 모두 하이일 때만 하이인 게이트 출력을 생성한다. 상세하게 설명하면, 게이트 출력은 SR 래치의 출력이 하이인 동안 클록 신호가 로우에서 하이로 바뀔 때 하이로 되어 클록 신호가 로우가

되거 나 SR 래치의 출력이 로우가 되면 로우로 바뀐다.

발명이 이루고자 하는 기술적 과제

이와 같은 종래의 게이트 구동부에서는 이른바 래치 업 현상이 나타난다. SR 래치의 출력은 세트 입력과 리세트 입력이 각각 (0, 0), (1, 0), (0, 1)일 때는 잘 정의되어 있으나 (1, 1)일 때는 정의되어 있지 않다. 그러므로 전단 게이트 출력과 후단 게이트 출력이 어떤 이유로 인하여 둘 다 하이일 때는 시프트 레지스터가 제대로 동작하지 못하는 문제점이 있다.

특히, 표시 장치의 속성 상 표시 장치에는 다양한 화상 모드가 선택적으로 입력되고 이 화상 모드들의 화상 신호 포맷(format)이 상이하면 화상 모드가 변경되는 천이 기간 중에 이러한 현상이 나타날 수 있다.

예를 들어, 유효 데이터 구간을 정의하는 데이터 인에이블 신호(DE) 신호의 주기가 짧아지거나, 무효 데이터 구간임에도 불구하고 데이터 인에이블 신호가 유효 데이터 구간인 것처럼 행동하거나 그 반대로 행동하는 경우가 있다. 전자의 경우에는 시프트 레지스터의 리세트 시간이 충분하게 주어지지 않을 수 있고, 후자의 경우에는 수직 동기 시작 신호가 여럿 발생하거나 그 폭이 길어질 수 있다. 이렇게 되면, 둘 이상의 시프트 레지스터가 동시에 게이트 온 전압을 출력할 수 있다. 이에 따라 화면 이상이 초래함은 물론, 클록 신호를 개폐하는 스위치와 게이트 오프 전압을 개폐하는 스위치가 동시에 턴온되어 단락될 수 있으며, 유리 기판 상에 형성되어 있는 신호선 또는 전력선이 과부하가 걸려 배선이 끊어지는 현상이 발생할 수 있다.

본 발명이 이루고자 하는 기술적 과제는 이러한 래치업이 방지되는 표시 장치의 구동 장치를 제공하는 것이다.

발명의 구성 및 작용

이러한 기술적 과제를 이루기 위한 본 발명의 특징은 스위칭 소자를 각각 포함하는 복수의 화소를 포함하는 표시 장치를 구동하는 장치이다.

본 발명에 따른 표시 장치의 구동 장치는 스위칭 소자를 각각 포함하는 복수의 화소를 포함하며, 일렬로 배열된 복수의 시프트 레지스터를 포함하는 게이트 구동부를 포함한다. 상기 각 시프트 레지스터는 축전기의 충전 및 방전에 의해서 결정되는 출력을 내보내며, 상기 축전기의 충전이 후단 시프트 레지스터의 출력 또는 이와 동기되는 신호에 의하여 차단되거나, 상기 축전기의 방전이 전단 시프트 레지스터의 출력 또는 이와 동기되는 신호에 의하여 차단되는 것이 바람직하다.

또한, 상기 각 시프트 레지스터는 상기 전단 시프트 레지스터의 출력 또는 이와 동기되는 신호에 의하여 상기 축전기에 인가되는 제1 전압을 스위칭하는 제1 스위칭 소자, 상기 후단 시프트 레지스터의 출력 또는 이와 동기되는 신호에 의하여 상기 축전기에 인가되는 제2 전압을 스위칭하는 제2 스위칭 소자, 그리고 상기 제1 전압 또는 상기 제2 전압 중 어느 하나를 차단하는 전압 차단부를 포함하는 것이 바람직하다.

본 발명의 한 실시예에 따른 상기 전압 차단부는 상기 후단 시프트 레지스터의 출력 또는 이와 동기되는 신호에 따라 상기 제1 스위칭 소자의 입력 단자의 전압을 상기 제2 전압으로 풀다운한다.

이때, 상기 전압 차단부는 상기 제1 전압과 상기 제1 스위칭 소자의 사이에 연결되어 있는 저항성 소자, 그리고 상기 저항성 소자와 상기 제2 전압 사이에 연결되어 있으며 상기 후단 시프트 레지스터의 출력 또는 이와 동기되는 신호가 입력되는 제어 단자를 가지는 제3 스위칭 소자를 포함한다.

본 발명의 다른 실시예에 따른 상기 전압 차단부는 상기 후단 시프트 레지스터의 출력 또는 이와 동기되는 신호에 따라 상기 제1 스위칭 소자의 제어 단자의 입력을 상기 제2 전압으로 풀다운한다.

이때, 상기 전압 차단부는 상기 전단 시프트 레지스터의 출력과 상기 제1 스위칭 소자 사이에 연결되어 있는 저항성 소자, 그리고 상기 저항성 소자와 상기 제2 전압 사이에 연결되어 있으며 상기 후단 시프트 레지스터의 출력 또는 이와 동기되는 신호가 입력되는 제어 단자를 가지는 제3 스위칭 소자를 포함한다.

본 발명의 다른 실시예에 따른 상기 전압 차단부는 상기 전단 시프트 레지스터의 출력 또는 이와 동기되는 신호에 따라 상기 제2 스위칭 소자의 제어 단자의 입력을 상기 제2 전압으로 풀다운한다.

여기서, 상기 전압 차단부는 상기 후단 시프트 레지스터의 출력과 상기 제2 스위칭 소자 사이에 연결되어 있는 저항성 소자, 그리고 상기 저항성 소자와 상기 제2 전압 사이에 연결되어 있으며 상기 전단 시프트 레지스터의 출력 또는 이와 동기되는 신호가 입력되는 제어 단자를 가지는 제3 스위칭 소자를 포함한다.

한편, 상기 제1 전압은 스위칭 소자의 문턱 전압보다 크며 상기 제2 전압은 스위칭 소자의 문턱 전압보다 작은 것이 바람직하다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

먼저, 본 발명의 실시예에 따른 액정 표시 장치에 대하여, 도면을 참고로 하여 상세하게 설명한다.

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300) 및 이에 연결된 게이트 구동부(400), 데이터 구동부(500), 데이터 구동부(500)에 연결된 게조 전압 생성부(800) 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.

액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 표시 신호선($G_1 - G_n$, $D_1 - D_m$)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)를 포함한다.

표시 신호선($G_1 - G_n$, $D_1 - D_m$)은 게이트 신호('주사 신호'라고도 함)를 전달하는 복수의 게이트선($G_1 - G_n$)과 데이터 신호를 전달하는 데이터 신호선 또는 데이터선($D_1 - D_m$)을 포함한다. 게이트선($G_1 - G_n$)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선($D_1 - D_m$)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.

각 화소는 표시 신호선($G_1 - G_n$, $D_1 - D_m$)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)(C_{lc}) 및 유지 축전기(storage capacitor)(C_{st})를 포함한다. 유지 축전기(C_{st})는 필요에 따라 생략할 수 있다.

스위칭 소자(Q)는 하부 표시판(100)에 구비되어 있으며, 삼단자 소자로서 그 제어 단자 및 입력 단자는 각각 게이트선($G_1 - G_n$) 및 데이터선($D_1 - D_m$)에 연결되어 있으며, 출력 단자는 액정 축전기(C_{lc}) 및 유지 축전기(C_{st})에 연결되어 있다.

액정 축전기(C_{lc})는 하부 표시판(100)의 화소 전극(190)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(190, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(190)은 스위칭 소자(Q)에 연결되며 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(V_{com})을 인가받는다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(190, 270)이 모두 선형 또는 막대형으로만 들어진다.

유지 축전기(C_{st})는 하부 표시판(100)에 구비된 별개의 신호선(도시하지 않음)과 화소 전극(190)이 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압(V_{com}) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기(C_{st})는 화소 전극(190)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.

한편, 색 표시를 구현하기 위해서는 각 화소가 색상을 표시할 수 있도록 하여야 하는데, 이는 화소 전극(190)에 대응하는 영역에 적색, 녹색, 또는 청색의 색 필터(230)를 구비함으로써 가능하다. 도 2에서 색 필터(230)는 상부 표시판(200)의 해당 영역에 형성되어 있지만 이와는 달리 하부 표시판(100)의 화소 전극(190) 위 또는 아래에 형성할 수도 있다.

액정 분자들은 화소 전극(190)과 공통 전극(270)이 생성하는 전기장의 변화에 따라 그 배열을 바꾸고 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판(100, 200)에 부착된 편광자(도시하지 않음)에 의하여 빛의 투과율 변화로 나타난다.

게조 전압 생성부(800)는 액정 표시 장치의 휘도와 관련된 복수의 정극성(+), 부극성(-)의 게조 전압(V_+ , V_-)을 생성한다.

게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선($G_1 - G_n$)에 연결되어 외부로부터의 게이트 온 전압(V_{on})과 게이트 오프 전압(V_{off})의 조합으로 이루어진 게이트 신호를 게이트선($G_1 - G_n$)에 인가한다.

데이터 구동부(500)는 계조 전압 생성부(800)로부터의 계조 전압(V_+ , V_-)을 선택하여 데이터 신호로서 화소에 인가한다.

신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등의 동작을 제어하는 제어 신호를 생성하여, 각 해당하는 제어 신호를 게이트 구동부(400) 및 데이터 구동부(500)에 제공한다.

그러면 이러한 액정 표시 장치의 표시 동작에 대하여 좀더 상세하게 설명한다.

신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 RGB 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호(V_{sync})와 수평 동기 신호(H_{sync}), 메인 클록(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 신호 제어부(600)는 입력 제어 신호를 기초로 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성하고 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(R', G', B')는 데이터 구동부(500)로 내보낸다.

게이트 제어 신호(CONT1)는 게이트 온 펄스(게이트 신호의 하이 구간)의 출력 시작을 지시하는 수직 동기 시작 신호(STV), 게이트 온 펄스의 출력 시기를 제어하는 게이트 클록 신호(CPV) 및 게이트 온 펄스의 폭을 한정하는 출력 인에이블 신호(OE) 등을 포함한다.

데이터 제어 신호(CONT2)는 영상 데이터(R', G', B')의 입력 시작을 지시하는 수평 동기 시작 신호(STH)와 데이터선($D_1 - D_m$)에 해당 데이터 전압을 인가하라는 로드 신호(LOAD), 공통 전압(V_{com})에 대한 데이터 전압의 극성(이하 '공통 전압에 대한 데이터 전압의 극성'을 줄여 '데이터 전압의 극성'이라 함)을 반전시키는 반전 신호(RVS) 및 데이터 클록 신호(HCLK) 등을 포함한다.

계조 전압 생성부(800)는 액정 표시 장치의 휘도와 관련된 복수의 계조 전압을 생성하여 데이터 구동부(500)에 인가한다.

데이터 구동부(500)는 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라 한 행의 화소에 대응하는 영상 데이터(R', G', B')를 차례로 입력받고, 계조 전압 생성부(800)로부터의 계조 전압 중 각 영상 데이터(R', G', B')에 대응하는 계조 전압을 선택함으로써, 영상 데이터(R', G', B')를 해당 데이터 전압으로 변환한다.

게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(V_{on})을 게이트선($G_1 - G_n$)에 인가하여 이 게이트선($G_1 - G_n$)에 연결된 스위칭 소자(Q)를 턴온시킨다.

하나의 게이트선($G_1 - G_n$)에 게이트 온 전압(V_{on})이 인가되어 이에 연결된 한 행의 스위칭 소자(Q)가 턴 온되어 있는 동안[이 기간을 '1H' 또는 '1 수평 주기(horizontal period)'이라고 하며 수평 동기 신호(Hsync), 데이터 인에이블 신호(DE), 게이트 클록(CPV)의 한 주기와 동일함], 데이터 구동부(400)는 각 데이터 전압을 해당 데이터선($D_1 - D_m$)에 공급한다. 데이터선($D_1 - D_m$)에 공급된 데이터 전압은 턴온된 스위칭 소자(Q)를 통해 해당 화소에 인가된다.

그러면 게이트 구동부의 구조와 동작에 대하여 도 3 내지 도 6을 참조하여 좀더 상세히 설명한다.

도 3은 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이다.

도 3에 도시한 바와 같이, 게이트 구동부(400)는 일렬로 배열된 복수의 시프트 레지스터(410)를 포함하며, 시프트 레지스터(410)는 화소의 스위칭 소자와 동일한 공정으로 형성되어 동일한 기판위에 집적될 수 있다.

각 시프트 레지스터(410)는 전단 게이트 출력[Gout(N-1)]과 후단 게이트 출력[Gout(N+1)]에 기초하고 클록 신호(CK1, CK2)에 동기하여 게이트 출력[Gout(N)]을 생성한다. 이웃한 시프트 레지스터(410)는 서로 다른 클록 신호(CK1, CK2)를 입력받는데, 두 클록 신호(CK1, CK2)는 위상이 반대이며 2H의 주기를 가진다. 각 클록 신호(CK1, CK2)는 화소의 스위칭 소자(Q)를 구동할 수 있도록 하이인 경우는 게이트 온 전압(V_{on})이고 로우인 경우는 게이트 오프 전압(V_{off})이다. 스위칭 소자(Q)가 비정질 규소 TFT라면 게이트 온 전압(V_{on})의 크기는 20V 이상이고 게이트 오프 전압(V_{off})의 크기는 -10V 이하이다.

도 4는 본 발명의 한 실시예에 따른 게이트 구동부의 시프트 레지스터의 상세 회로도이며, 도 5 및 도 6은 본 발명의 다른 실시예에 따른 게이트 구동부의 시프트 레지스터의 상세 회로도이다.

도 4 내지 도 6에 나타난 시프트 레지스터(410)는 N번째 시프트 레지스터이며, 전단 게이트 출력[Gout(N-1)], 후단 게이트 출력[Gout(N+1)], 클록 신호(CK1) 이외에도 게이트 온 전압(V_{on}) 및 게이트 오프 전압(V_{off})이 입력된다. 도 4의 경우 게이트 온 전압(V_{on})이 저항(R)을 통하여 입력되며, 도 5의 경우에는 전단 게이트 출력[Gout(N-1)]이 저항(R)을 통하여 입력되고, 도 6의 경우에는 후단 게이트 출력[Gout(N+1)]이 저항(R)을 통하여 입력된다.

본 실시예에 따른 시프트 레지스터(410)는 복수의 NMOS 트랜지스터(M1-M7, Mx), 저항(R) 및 축전기(C1)를 포함한다. 그러나 NMOS 트랜지스터 대신 PMOS 트랜지스터를 사용할 수도 있다. 또한, 축전기(C1) 및 저항(R)은 설명의 편의를 위하여 등가 회로적으로 도시한 것으로서, 축전기(C1)는 실제로는 공정시에 형성되는 게이트와 드레인/소스 간 기생 용량(parasitic capacitance)일 수 있으며, 저항(R)은 트랜지스터와 같은 능동형 저항성 소자일 수 있다.

클록 신호(CK1)와 게이트 오프 전압(V_{off})과 사이에는 제1 및 제2 구동 트랜지스터(M2, M3)가 직렬로 연결되어 있으며, 축전기(C1)는 두 구동 트랜지스터(M2, M3) 사이의 접점과 제1 구동 트랜지스터(M2)의 게이트 사이에 연결되어 있다. 제1 구동 트랜지스터(M2)의 게이트와 게이트 온 전압(V_{on}) 사이에는 버퍼 트랜지스터(M1)가 연결되어 있으며, 버퍼 트랜지스터(M1)의 게이트는 전단 게이트 출력[Gout(N-1)]에 연결되어 있다. 게이트 온 전압(V_{on})과 게이트 오프 전압(V_{off})의 사이에는 제1 및 제2 인버터 트랜지스터(M5, M6)가 직렬로 연결되어 있다. 제1 인버터 트랜지스터(M5)의 게이트는 소스와 연결되어 있고 제2 인버터 트랜지스터(M6)의 게이트는 버퍼 트랜지스터(M1)의 출력단에 연결되어 있으며, 제2 구동 트랜지스터(M3)의 게이트는 제1 인버터 트랜지스터(M5)와 제2 인버터 트랜지스터(M6) 사이의 접점에 연결되어 있다. 게이트 오프 전압(V_{off})과 버퍼 트랜지스터(M1)의 출력 단자 사이에는 방전 트랜지스터(M4)와 홀드 트랜지스터(M7)가 병렬로 연결되어 있으며, 방전 트랜지스터(M4)의 게이트는 후단 게이트 출력[Gout(N+1)]에, 홀드 트랜지스터(M7)의 게이트는 제2 구동 트랜지스터(M3)의 게이트에 연결되어 있다.

도 4의 경우, 게이트 온 전압(V_{on})과 게이트 오프 전압(V_{off})의 사이에 풀다운 트랜지스터(Mx)가 연결되어 있으며 풀다운 트랜지스터(Mx)의 게이트는 후단 게이트 출력[Gout(N+1)]에 연결되어 있다.

도 5의 경우, 전단 게이트 출력[Gout(N-1)]과 게이트 오프 전압(V_{off})의 사이에 풀다운 트랜지스터(Mx)가 연결되어 있으며 풀다운 트랜지스터(Mx)의 게이트는 후단 게이트 출력[Gout(N+1)]에 연결되어 있다.

도 6의 경우, 후단 게이트 출력[Gout(N+1)]과 게이트 오프 전압(V_{off})의 사이에 풀다운 트랜지스터(Mx)가 연결되어 있으며 풀다운 트랜지스터(Mx)의 게이트는 전단 게이트 출력[Gout(N-1)]에 연결되어 있다.

이러한 게이트 구동부의 동작에 대하여 도 7a 및 도 7b를 참고로 하여 상세하게 설명한다.

도 7은 본 발명의 한 실시예에 따른 게이트 구동부 시프트 레지스터의 타이밍도로서 도 7a는 정상적인 동작시의 타이밍도이고, 도 7b는 이상 동작시의 타이밍도이다.

먼저 제1 및 제2 인버터 트랜지스터(M5, M6)의 동작에 대하여 간단하게 설명하고 전체 동작에 대하여 설명한다. 도 6에서 대해서는 따로 설명한다.

먼저, 도 4 및 도 5를 참조하면, 풀다운 트랜지스터(Mx)가 오프 상태이면, 제1 인버터 트랜지스터(M5)의 게이트에는 항상 게이트 온 전압(V_{on})이 인가되므로 턴온 상태를 유지한다. 이 상태에서 제1 인버터 트랜지스터(M5)와 제2 인버터 트랜지스터(M6)의 접점 전압은, 제2 인버터 트랜지스터(M6)가 오프 상태이면 거의 게이트 온 전압(V_{on})과 동일하고, 제2 인버터 트랜지스터(M6)가 온 상태이면 두 트랜지스터(M5, M6)의 턴온시 저항 상태의 저항값에 의하여 분압된 전압, 즉 대략 게이트 온 전압(V_{on})과 게이트 오프 전압(V_{off})의 중간 정도의 전압값을 가지므로, 홀드 트랜지스터(M7)와 제2 구동 트랜지스터(M3)는 제2 인버터 트랜지스터(M6)가 오프이면 턴온되고 그 반대이면 턴오프된다.

전단 게이트 출력[Gout(N-1)]과 후단 게이트 출력[Gout(N+1)]이 모두 로우인 초기 상태에서는 버퍼 트랜지스터(M1)가 턴 오프 상태이다. 또한 버퍼 트랜지스터(M1), 풀다운 트랜지스터(Mx) 및 제2 인버터 트랜지스터(M6)는 턴 오프 상태이고 제2 구동 트랜지스터(M3)와 홀드 트랜지스터(M7)는 턴온 상태이다. 홀드 트랜지스터(M7)가 턴온되면 제1 구동 트랜지스터(M2)의 게이트에 게이트 오프 전압(V_{off})이 인가되므로, 제1 구동 트랜지스터(M2)는 턴 오프 상태가 된다. 따라서 게이트 출력[Gout(N)]은 로우 상태가 된다.

후단 게이트 출력[Gout(N+1)]은 로우 상태를 유지하고 전단 게이트 출력[Gout(N-1)]이 하이가 되면, 버퍼 트랜지스터(M1)가 턴온된다. 이에 따라 제1 구동 트랜지스터(M2)와 제2 인버터 트랜지스터(M6)가 턴온되고 제2 구동 트랜지스터(M3) 및 홀드 트랜지스터(M7)는 턴 오프된다. 따라서 게이트 출력[Gout(N)]은 클록 신호와 동일한 신호가 된

다. 클록 신호가 로우이면 게이트 출력[Gout(N)] 또한 로우이며 이때 축전기(C1)에 대략 게이트 온 전압(V_{on}) 정도의 전압이 인가되고 그만큼의 전압이 충전된다.

후단 게이트 출력[Gout(N+1)]은 로우 상태를 유지하고, 전단 게이트 출력[Gout(N-1)]이 다시 로우로 바뀌면 축전기(C1)에 충전된 전압 때문에 제1 구동 트랜지스터(M2)는 여전히 턴온 상태를 유지한다. 그런데 클록 신호 또한 하이로 바뀌므로 게이트 출력[Gout(N)]은 하이 상태가 되며 축전기(C1)에 충전된 전압을 유지하기 위해서는 제1 구동 트랜지스터(M2)의 게이트에 인가되는 전압은 더 높은 상태를 유지한다. 따라서 제2 인버터 트랜지스터(M6)가 턴온되고 이에 따라 제2 구동 트랜지스터(M3)와 홀드 트랜지스터(M7)는 오프 상태를 그대로 유지한다.

전단 게이트 출력[Gout(N-1)]은 로우 상태를 유지하고 후단 게이트 출력[Gout(N+1)]이 하이가 되면 방전 트랜지스터(M4)가 턴온되고 이에 따라 제2 인버터 트랜지스터(M6)가 턴오프되며, 제2 구동 트랜지스터(M3)와 홀드 트랜지스터(M7)는 턴온된다. 이에 따라 축전기(C1)의 양단에 모두 게이트 오프 전압(V_{off})이 인가되므로 축전기(C1)에 충전된 전압이 방전되는 동시에 제1 구동 트랜지스터(M2)가 턴 오프되며 게이트 출력[Gout(N)]은 로우가 된다.

한편, 앞서 설명한 것처럼 각 게이트 출력[Gout(N)]은 해당 클록 신호의 상승면에 동기하여 하이가 된다. 그런데 도 7a에서 알 수 있는 바와 같이 현재 시프트 레지스터에 입력되는 클록 신호가 CK1이면 전단 및 후단 시프트 레지스터에 입력되는 클록 신호는 CK1의 반전 신호인 CK2이므로, 전단 및 후단 게이트 출력[Gout(N-1), Gout(N+1)]은 클록 신호(CK2)의 상승면에 동기하여 하이가 되므로 결국 클록 신호(CK1)의 하강면에 동기하여 하이가 되는 셈이다. 각 게이트 출력의 하이 구간은 1H이므로, 결국 전단, 현재 및 후단 게이트 출력[Gout(N-1), Gout(N), Gout(N+1)]이 연속하여 하이 상태로 변하게 된다.

앞에서 전단 및 후단 게이트 출력 신호[Gout(N-1), Gout(N+1)] 대신 이에 각각 동기하는 다른 신호가 입력되더라도 무방하다.

한편, 도 8b에 도시한 바와 같이 어떠한 이유로 수직 동기 시작 신호(STV) 또는 전단 게이트 출력[Gout(N-1)]의 하이 구간이 길어져 2H를 넘는다고 하자. 후단 게이트 출력[Gout(N+1)]이 로우를 유지하는 동안은 버퍼 트랜지스터(M1)는 계속해서 턴온된 상태를 유지한다. 따라서 게이트 출력[Gout(N)]은 클록 신호(CK1)와 동일한 상태가 되므로 1H가 지나 클록 신호(CK1)가 하이로 바뀌면 게이트 출력[Gout(N)] 또한 하이 상태가 된다. 2H가 지나 클록 신호(CK1)가 로우가 되면 축전기(C1)는 다시 충전 동작을 시작한다. 그리고 이와 동시에 후단 게이트 출력[Gout(N+1)]이 하이가 된다. 후단 게이트 출력[Gout(N+1)]이 하이이므로 풀다운 트랜지스터(Mx)는 턴온 상태가 된다.

도 4에 도시한 실시예의 경우 전단 게이트 출력[Gout(N-1)]이 여전히 하이이므로 버퍼 트랜지스터(M1)가 턴온된 상태를 유지하며 축전기(C1)는 충전 동작을 계속하고자 한다. 그러나 풀다운 트랜지스터(Mx)의 턴온으로 인하여 게이트 온 전압(V_{on})의 입력 쪽 접점(N1)에 게이트 오프 전압(V_{off})이 인가되므로 축전기(C1)의 양단에 걸리는 전압이 동일해져 전압차가 사라져 버린다. 이에 따라 축전기(C1)는 충전 동작을 중지하고 게이트 출력[Gout(N)]은 로우가 된다.

도 5에 도시한 실시예의 경우 풀다운 트랜지스터(Mx)의 턴온으로 인하여 버퍼 트랜지스터(M1)의 게이트에 게이트 오프 전압(V_{off})이 걸리므로 버퍼 트랜지스터(M1)가 턴 오프되며 이에 따라 게이트 출력[Gout(N)] 또한 로우가 된다.

결국 풀다운 트랜지스터(Mx)는 후단 게이트 출력[Gout(N-1)]이 하이가 되면 축전기(C1)에 공급되는 게이트 온 전압(V_{on})을 차단함으로써 더 이상의 충전을 방지하고 제2 구동 트랜지스터(M2)를 턴오프시켜 클록 신호(CK1)의 출력을 막는 동시에 게이트 오프 전압(V_{off})을 출력하게 하는 역할을 한다. 이때 축전기(C1)에 공급되는 게이트 온 전압(V_{on})의 차단, 도 4의 경우처럼 게이트 온 전압(V_{on}) 대신 게이트 오프 전압(V_{off})을 버퍼 트랜지스터(M1)에 공급해 주거나, 도 5의 경우처럼 게이트 온 전압(V_{on})을 전달하는 스위칭 소자인 버퍼 트랜지스터(M1)를 턴 오프시키는 방식으로 이루어진다.

앞의 설명은 트랜지스터가 턴온 상태에서 저항을 가지지 않는 것으로 하여 설명하였으나, 인가되는 전압에 따라서 모스 트랜지스터는 저항으로서의 역할을 하기도 하므로 이를 고려하여야 한다.

풀다운 트랜지스터(Mx)의 턴온 시 저항(R_x)을 고려하면 접점(N1, N2)의 전압은 저항(R)과 저항(R_x)의 비에 의하여 결정되므로 저항(R)의 크기를 저항(R_x)의 크기보다 매우 크게 해서 접점(N1, N2)에 걸리는 전압이 게이트 오프 전압(V_{off})에 가깝도록 하는 것이 바람직하다.

그런데, 저항(R)은 풀다운 트랜지스터(Mx)가 턴 오프되어 있는 상태에서는 전압 강하가 거의 없이 게이트 온 전압(V_{on})을 전달해야 하므로 일반적인 저항 소자가 아니라 트랜지스터 등 능동 소자인 것이 바람직하다.

또한, 도 5에 도시한 실시예의 경우 풀다운 트랜지스터(Mx)가 턴온되면 버퍼 트랜지스터(M1)가 완전히 턴오프되는 것이 아니라 접점(N2)의 전압에 의해 풀다운 상태가 된다고 할 수 있다. 이 경우 축전기(C1)에 걸리는 전압[V(C1)]은 다음과 같은 수학적 식 1에 의하여 결정된다.

$$\text{수학식 1} \\ V(C1) = R_{on} / (R_{on} + R_{down}) \times V_{on}$$

여기서, R_{on} 는 방전 트랜지스터(M4)의 턴온시 저항값이며, R_{down} 은 버퍼 트랜지스터(M1)의 풀다운시 전압이다. 이 전압이 인버터 트랜지스터(M6)의 문턱 전압(V_{th})보다 작아 제2 구동 트랜지스터(M3)가 턴온 상태가 됨으로써 게이트 출력[Gout(N)]이 로우가 되어야 하므로,

$$\text{수학식 2} \\ R_{on} / (R_{on} + R_{down}) \times V_{on} < V_{th}$$

가 되도록 저항(R)의 크기를 결정하여야 한다.

따라서 이 경우에도 접점(N2)의 전위가 최대한 게이트 오프 전압(V_{off})에 가까워지도록 저항(R) 값이 풀다운 트랜지스터(Mx)의 내부 저항(R_x) 값보다 매우 크게 하는 것이 바람직하다.

이제, 도 6을 참조하여 본 발명의 다른 실시예에 대하여 설명한다.

도시한 바와 같이, 풀다운 트랜지스터(Mx)는 후단 게이트 출력[Gout(N+1)]과 게이트 오프 전압(V_{off}) 사이에 연결되어 있으며, 그 제어 단자는 전단 게이트 출력[Gout(N-1)]에 연결되어 있다.

도 4 및 도 5에 도시한 실시예는 버퍼 트랜지스터(M1)의 입력 단자와 제어 단자에 각각 연결되는 풀다운 트랜지스터(Mx)를 연결하여 축전기(C1)에 공급되는 게이트 온 전압(V_{on})을 차단함으로써 충전을 막는 반면, 도 6에 도시한 실시예는 방전 트랜지스터(M4)의 제어 단자에 풀다운 트랜지스터(Mx)를 연결하여 축전기(C1)에 공급되는 게이트 오프 전압(V_{off})을 차단함으로써 축전기(C1)의 방전을 막는 것이다.

이하에서는 이러한 동작에 대하여 설명한다.

버퍼 트랜지스터(M1)와 방전 트랜지스터(M4) 이외의 트랜지스터들에 대한 동작의 설명은 전술한 바와 동일하므로 생략하며 이 두 트랜지스터의 동작을 중심으로 설명한다.

전술한 바와 같이, 후단 게이트 출력[Gout(N+1)]이 하이인 경우 방전 트랜지스터(M4)가 턴온 상태이므로 축전기(C1)가 방전된다. 이때, 전단 게이트 출력[Gout(N-1)]이 하이가 되면 풀다운 트랜지스터(Mx)가 턴온되고 이에 따라 방전 트랜지스터(M4)의 입력 단자(N3)의 전압은 게이트 오프 전압(V_{off})으로 풀다운되어 방전 트랜지스터(M4)가 턴오프된다.

이와 함께 버퍼 트랜지스터(M1)의 제어 단자에도 하이 전압이 입력되어 버퍼 트랜지스터(M1)가 턴온되고 이에 따라 축전기(C1)에 게이트 온 전압(V_{on})이 인가되어 충전을 시작한다.

저항(R)의 값은 도 4 및 도 5에 도시한 실시예와 동일하게 풀다운 트랜지스터의 턴온 시 저항(R_x)을 고려하여 접점(N3)에 걸리는 전압이 게이트 오프 전압(V_{off})에 가깝도록 저항(R)의 값을 저항(R_x)보다 매우 크게 하는 것이 바람직하다.

도 8a는 본 발명의 한 실시예에 따른 게이트 구동부의 신호 파형도이고, 도 8b는 종래의 게이트 구동부의 신호 파형도이다.

도 8a 및 8b에 도시한 바와 같이 수직 동기 시작 신호의 하이 구간이 2H보다 큰 경우, 종래의 게이트 구동부에서는 신호들이 겹쳐지는 등 이상 신호가 생성되지만, 본 발명의 한 실시예에 따른 게이트 구동부에서는 그러한 문제없이

정상적인 게이트 출력이 생성됨을 알 수 있다.

이런 방식으로, 영상 신호의 이상 발생으로 전단 게이트 출력과 후단 게이트 출력이 동시에 하이가 되는 경우에도 풀 다운 트랜지스터(Mx)를 배치하여 축전기(C1)에서 충전과 방전이 동시에 일어나는 현상을 방지할 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

예를 들면, 능동 행렬 형태의 구동 방식을 취하는 경우라면, 유기 전계 발광 표시 장치 등과 같은 평판 표시 장치에도 적용할 수 있을 것이다.

발명의 효과

전술한 바와 같이, 후단 게이트 출력 또는 전단 게이트 출력을 이용하여 게이트 온 전압을 풀 다운시키거나 버퍼 트랜지스터 또는 방전 트랜지스터를 충분히 턴온시키지 못하게 함으로써 축전기에서 충전과 방전이 동시에 일어나는 현상을 방지할 수 있다.

(57) 청구의 범위

청구항 1.

스위칭 소자를 각각 포함하는 복수의 화소를 포함하는 표시 장치를 구동하는 장치로서,

일렬로 배열된 복수의 시프트 레지스터를 포함하는 게이트 구동부를 포함하며,

상기 각 시프트 레지스터는 축전기의 충전 및 방전에 의해서 결정되는 출력을 내보내며,

상기 축전기의 충전이 후단 시프트 레지스터의 출력 또는 이와 동기되는 신호에 의하여 차단되거나, 상기 축전기의 방전이 전단 시프트 레지스터의 출력 또는 이와 동기되는 신호에 의하여 차단되는

표시 장치의 구동 장치.

청구항 2.

제1항에서,

상기 각 시프트 레지스터는

상기 전단 시프트 레지스터의 출력 또는 이와 동기되는 신호에 의하여 상기 축전기에 인가되는 제1 전압을 스위칭하는 제1 스위칭 소자,

상기 후단 시프트 레지스터의 출력 또는 이와 동기되는 신호에 의하여 상기 축전기에 인가되는 제2 전압을 스위칭하는 제2 스위칭 소자, 그리고

상기 제1 전압 또는 상기 제2 전압 중 어느 하나를 차단하는 전압 차단부

를 포함하는 표시 장치의 구동 장치.

청구항 3.

제2항에서,

상기 전압 차단부는 상기 후단 시프트 레지스터의 출력 또는 이와 동기되는 신호에 따라 상기 제1 스위칭 소자의 입력 단자의 전압을 상기 제2 전압으로 풀다운하는 표시 장치의 구동 장치.

청구항 4.

제3항에서,

상기 전압 차단부는 상기 제1 전압과 상기 제1 스위칭 소자의 사이에 연결되어 있는 저항성 소자, 그리고 상기 저항성 소자와 상기 제2 전압 사이에 연결되어 있으며 상기 후단 시프트 레지스터의 출력 또는 이와 동기되는 신호가 입력되는 제어 단자를 가지는 제3 스위칭 소자를 포함하는 표시 장치의 구동 장치.

청구항 5.

제2항에서,

상기 전압 차단부는 상기 후단 시프트 레지스터의 출력 또는 이와 동기되는 신호에 따라 상기 제1 스위칭 소자의 제어 단자의 입력을 상기 제2 전압으로 풀다운하는 표시 장치의 구동 장치.

청구항 6.

제5항에서,

상기 전압 차단부는 상기 전단 시프트 레지스터의 출력과 상기 제1 스위칭 소자 사이에 연결되어 있는 저항성 소자, 그리고 상기 저항성 소자와 상기 제2 전압 사이에 연결되어 있으며 상기 후단 시프트 레지스터의 출력 또는 이와 동기되는 신호가 입력되는 제어 단자를 가지는 제3 스위칭 소자를 포함하는 표시 장치의 구동 장치.

청구항 7.

제2항에서,

상기 전압 차단부는 상기 전단 시프트 레지스터의 출력 또는 이와 동기되는 신호에 따라 상기 제2 스위칭 소자의 제어 단자의 입력을 상기 제2 전압으로 풀다운하는 표시 장치의 구동 장치.

청구항 8.

제7항에서,

상기 전압 차단부는 상기 후단 시프트 레지스터의 출력과 상기 제2 스위칭 소자 사이에 연결되어 있는 저항성 소자, 그리고 상기 저항성 소자와 상기 제2 전압 사이에 연결되어 있으며 상기 전단 시프트 레지스터의 출력 또는 이와 동기되는 신호가 입력되는 제어 단자를 가지는 제3 스위칭 소자를 포함하는 표시 장치의 구동 장치.

청구항 9.

제2항에서,

상기 제1 전압은 스위칭 소자의 문턱 전압보다 크며 상기 제2 전압은 스위칭 소자의 문턱 전압보다 작은 표시 장치의 구동 장치.

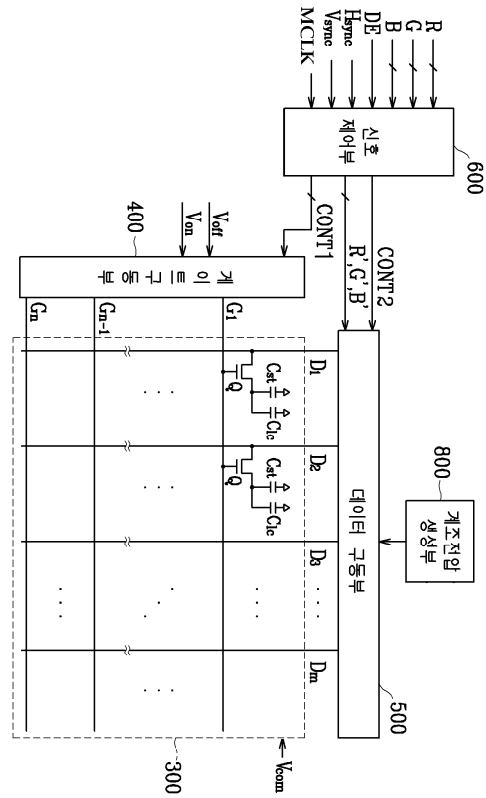
청구항 10.

제1항에서,

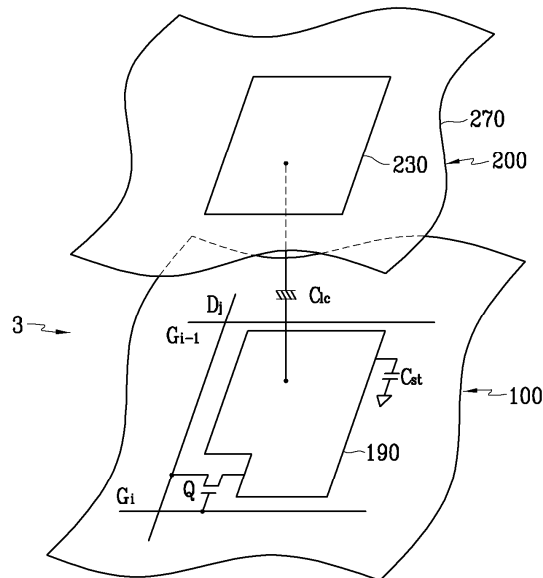
상기 시프트 레지스터는 상기 표시 장치와 동일한 기판 상에 형성되는 표시 장치의 구동 장치.

도면

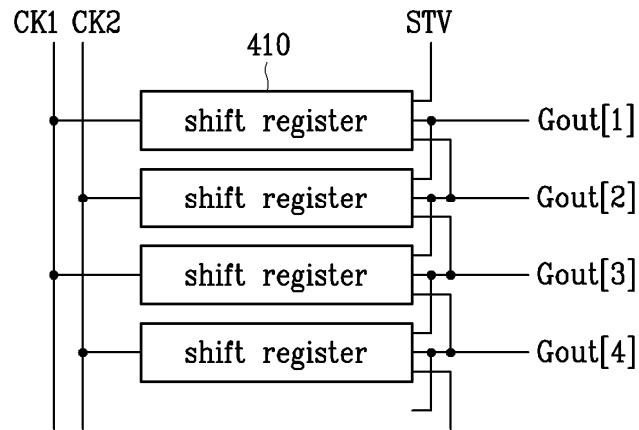
도면1



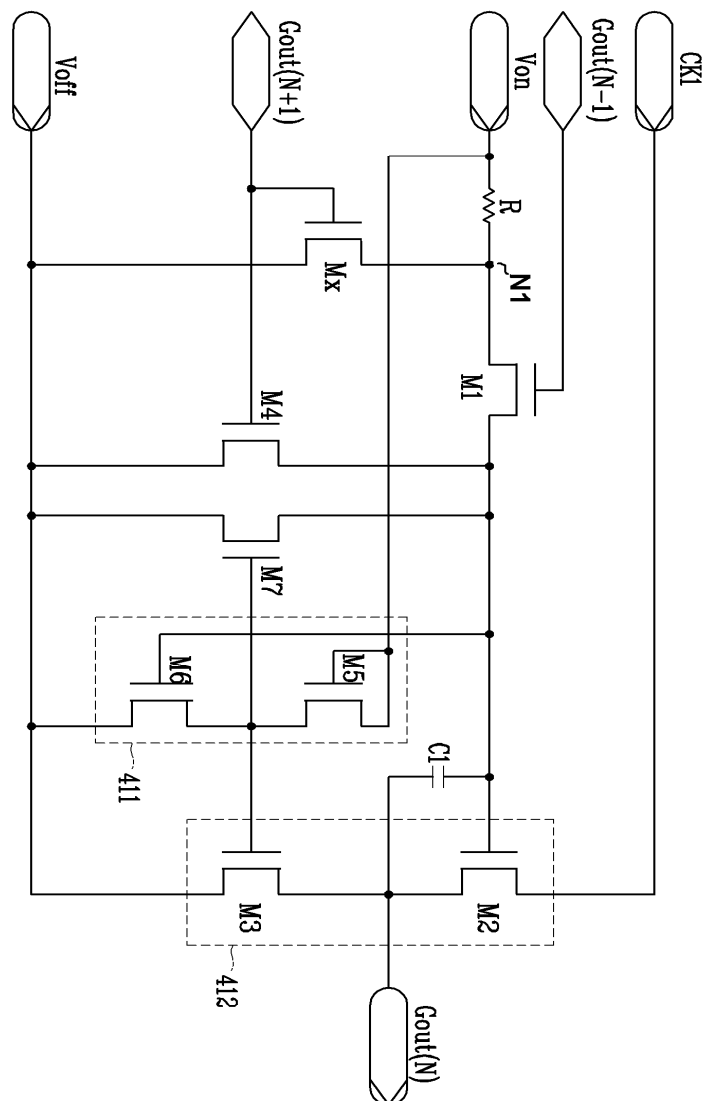
도면2



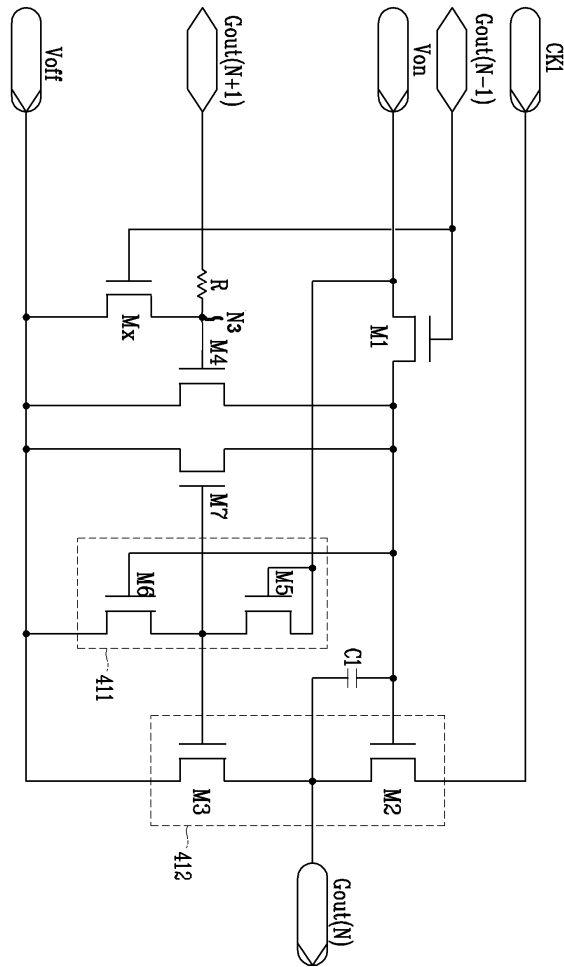
도면3



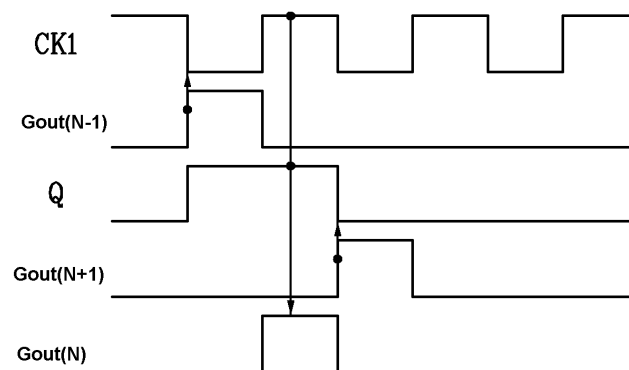
도면4



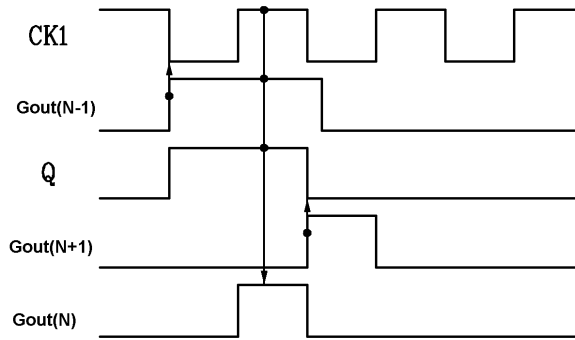
도면6



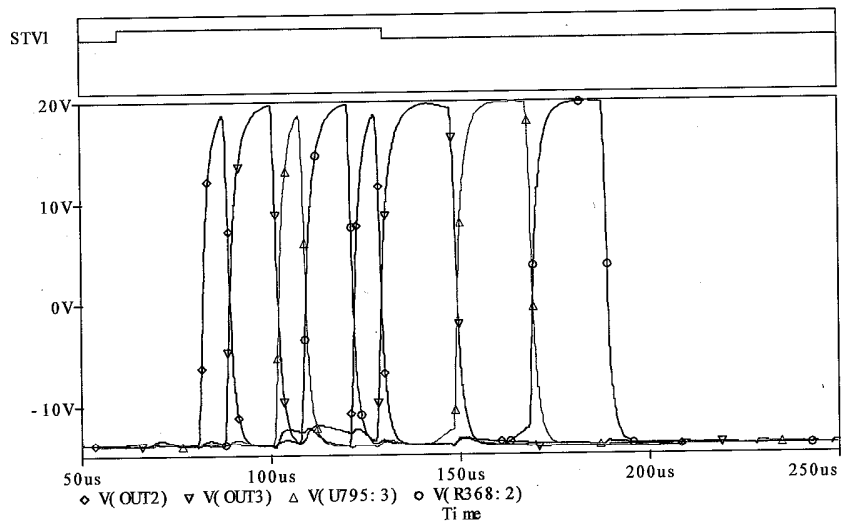
도면7a



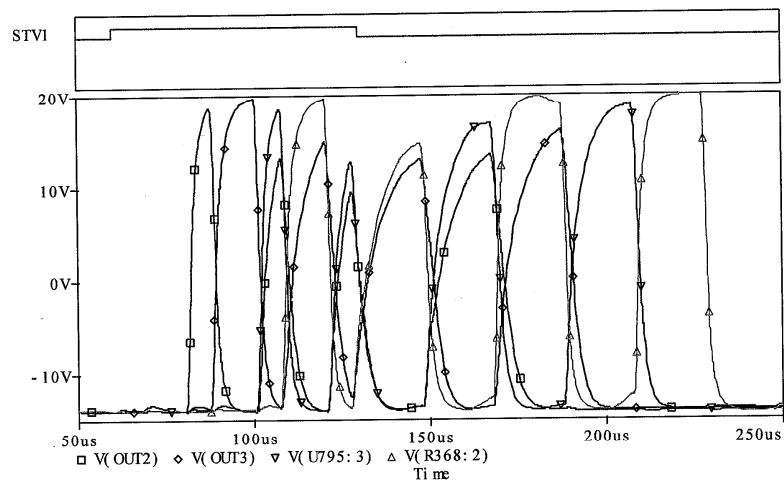
도면7b



도면8a



도면8b



本发明涉及一种用于防止在比图像信号更多的情况下可能发生的闩锁的液晶显示装置的驱动装置。本发明的栅极驱动器包括多个串联连接的移位寄存器，每个移位寄存器包括一电容器和缓冲晶体管和一个下拉晶体管。缓冲晶体管具有耦合到所述输出控制端，其经由电阻器连接到所述第一电压输入端的输出端，并且所述电容器连接到所述移位寄存器的前端。下拉晶体管包括耦合到移位寄存器控制端子的后端的输出，通过耦合到输入端子上的电阻器的输出端子，以及耦合到所述第一电压的第二电压。下拉晶体管具有耦合到所述晶体管的输入端的缓冲器，当缓冲器晶体管被所述前端移位寄存器的输出接通的电容器，是由移位寄存器的后端的输出下拉晶体管通过一个缓冲晶体管接通第一电压从而防止闩锁现象。五指数据方面栅极驱动器，数据驱动器，移位寄存器，闭锁，下拉，图像信号，

