

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
G02F 1/136

(11) 공개번호 특2002 - 0090427
(43) 공개일자 2002년12월05일

(21) 출원번호 10 - 2001 - 0028957
(22) 출원일자 2001년05월25일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 김해열
경기도안양시동안구평촌동초원성원아파트103동701호
서현식
경기도안양시동안구비산동308 - 3호성상아빌라3 - 202호
황광조
경기도안양시만안구안양6동우진빌라가동301호

(74) 대리인 김용인
심창섭

심사청구 : 있음

(54) 다결정화 방법과 이를 이용한 박막트랜지스터 제조방법 및액정표시장치 제조방법

요약

본 발명은 고품질의 박막트랜지스터 소자에 필요한 다결정 실리콘층의 제조에 관한 것으로서, 본 발명의 다결정화 방법은 절연기판 상에 제 1 버퍼층을 형성하는 단계와, 상기 제 1 버퍼층 상에 비정질 실리콘층을 형성하는 단계와, 상기 비정질 실리콘층 상에 일정 간격을 두고 제 2 버퍼층을 형성하는 단계와, 상기 제 2 버퍼층을 포함한 기판 전면에 금속박막층을 형성하는 단계와, 상기 금속박막층에 전계를 인가함과 동시에 기판을 열처리하여 상기 비정질 실리콘층을 결정화하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

대표도
도 2b

색인어
다결정 실리콘

명세서

도면의 간단한 설명

도 1a 내지 1c는 종래 기술에 따른 다결정화 방법을 설명하기 위한 공정단면도.

도 2a 내지 2d는 본 발명의 제 1 실시예에 따른 다결정화 방법을 설명하기 위한 공정단면도.

도 3a 내지 3d는 본 발명의 제 2 실시예에 따른 다결정화 방법을 설명하기 위한 공정단면도.

도 4a 내지 4e는 본 발명의 다결정화 방법을 이용한 박막트랜지스터 제조방법을 설명하기 위한 공정단면도.

도 5a 내지 5f는 본 발명의 다결정화 방법을 이용한 액정표시장치 제조방법을 설명하기 위한 공정단면도.

도면의 주요 부분에 대한 부호의 설명

201 : 절연 기판 202 : 제 1 버퍼층

202a : 제 2 버퍼층 203 : 비정질 실리콘층

204 : 금속박막층 205 : 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 다결정 실리콘 박막트랜지스터 제조방법에 관한 것으로 특히, 전계인가 금속유도결정화 방법을 이용한 다결정화 방법 및 그를 이용한 박막트랜지스터 및 액정표시장치 제조방법에 관한 것이다.

박막트랜지스터 액정표시장치(TFT - LCD)가 고밀도, 대면적화되고 디스플레이 부분과 구동회로 부분을 동일 기판 위에 제작하기 위해서는 스위칭 소자인 박막트랜지스터의 이동도(Mobility) 증가가 절실히 요구되고 있지만, 비정질 수소화 실리콘 박막트랜지스터(a - Si:H TFT)로는 이점을 만족하기가 어렵다.

최근에 이런 문제점을 효과적으로 해결할 수 있는 방법으로 다결정 실리콘 박막트랜지스터(Polycrystalline silicon TFT ; Poly - Si TFT)가 많은 주목을 받고 있다. 다결정 실리콘 TFT는 이동도가 크기 때문에 유리기판 위에 주변회로를 집적할 수 있는 장점이 있어서 생산비용 절감 측면에서도 많은 관심을 끌고 있다.

또한, 다결정 실리콘 TFT는 비정질 실리콘 TFT보다 이동도가 높아 고해상도 패널의 스위칭 소자로 유리하고, 비정질 실리콘 TFT에 비하여 광전류가 적어 빛이 많이 쏘이는 프로젝션 패널에 적합하다.

다결정 실리콘을 제작하는 방법은 여러 가지가 보고되어 있는데, 크게 다결정 실리콘을 직접 증착하는 방법과 비정질 실리콘을 증착한 후, 결정화하는 단계를 거쳐서 다결정질 실리콘을 만드는 방법이 있다.

전자의 방법에는 저압 화학기상증착(Low Pressure Chemical Vapor Deposition ; LPCVD)법, 플라즈마 화학기상증착(Plasma Enhanced Chemical Vapor Deposition ; PECVD)법 등이 있는데, 이중 LPCVD법은 그 증착 온도가 550°C 이상으로 기판 재료로 고가의 실리카(silica) 또는 석영(quartz)을 사용하기 때문에 제작 단가가 높아 대량 생산용으로는 적합하지 못하다. 그리고 PECVD법은 경우 $\text{SiF}_4/\text{SiH}_4/\text{H}_2$ 혼합 가스를 사용하여 400°C 이하에서 증착이 가능하지만, 결정립을 억제하기 힘들며, 특히 증착시의 결정립 성장 방향의 불균일성 때문에 다결정 실리콘 박막의 표면 특성에 심각한 문제점을 가지고 있는 것으로 알려져 있다.

후자의 방법 즉, 비정질 실리콘을 증착하여 결정화하는 방법에는 고상결정화(Solid Phase Crystallization ; SPC)법, 엑시머 레이저(Excimer Laser Annealing ; ELA)법 등이 있다.

상기 ELA법은 강한 에너지를 갖는 엑시머 레이저(eximer laser)를 비정질 실리콘 박막에 펄스 형태로 투여하여 순식간에 박막을 결정화시키는 방법으로 박막 내 결정립의 크기가 크고 우수한 결정성을 갖는 다결정 실리콘 박막의 제조가 가능한 방법이다. 그러나, ELA법은 엑시머 레이저라는 고가의 부대 장비를 필요로 하기 때문에 대량 생산 및 대면적용의 LCD 구동용 TFT용으로는 한계점을 가지고 있는 방법이라 할 수 있다.

고상결정화법은 주로 반응로(furnace)속에서 로 가열법을 이용하여 비정질 실리콘 박막을 결정화시키는 방법으로, 마찬가지로 우수한 결정성을 갖는 다결정 실리콘 박막의 제조가 가능하나, 고상 반응에 의해서 진행되기 때문에 결정화 반응 속도가 느려 600°C 이상의 고온에서 수십 시간 이상의 오랜 결정화 시간이 요구된다는 단점을 가진다.

상기와 같은 방법 외에, 최근에는 대면적의 액정표시장치 제작에 다결정 실리콘을 사용하기 위하여 결정화 온도를 낮추기 위한 많은 연구가 진행되고 있는데, 그 가운데 금속유도결정화(Metal Induced Crystallization)방법과 금속유도측면결정화(Metal Induced Lateral Crystallization)방법이 최근 각광을 받고 있다.

이 방법들에 의하면, 특정한 종류의 금속을 비정질 실리콘과 접촉시키면 비정질 실리콘의 결정화 온도를 500°C 이하로 낮출 수 있으며, 이러한 금속유도결정화 효과는 여러 종류의 금속에서 나타나는 것으로 알려져 있다.

금속유도결정화는 금속의 종류에 따라 결정화를 일으키는 원인이 다르다. 즉, 수소화 비정질 실리콘(a-Si:H)에 접하는 금속의 종류에 따라 결정화 현상이 달라질 수 있다.

예를 들면, 알루미늄(Al), 금(Au), 은(Ag) 등의 금속은 비정질 실리콘과의 경계면에서 실리콘(Si)의 확산(diffusion)에 의해서 지배된다. 즉, 금속과 실리콘의 경계면에서 실리콘의 확산에 의한 준안정상상태의 실리사이드(silicide)상을 형성하는데, 이 실리사이드는 결정화 에너지를 낮추는 역할을 하게 되어 실리콘의 결정화를 촉진한다.

이에 반하여 니켈(Ni), 티타늄(Ti) 등의 금속은 어닐링(annealing)에 의한 금속의 확산이 지배적이다. 즉, 금속과 실리콘 경계면에서 실리콘층 방향으로의 금속 확산에 의하여 실리사이드상을 형성하고, 이러한 실리사이드가 결정화를 촉진하여 결정화 온도를 낮춘다.

이하, 첨부된 도면을 참조하여 종래 기술에 따른 다결정화 방법을 설명하기로 한다.

도 1a 내지 1c는 종래 기술에 따른 비정질 실리콘 박막을 결정화하는 방법을 설명하기 위한 공정단면도이다.

도 1a에 도시한 바와 같이, 절연기판(101) 상에 화학기상증착법(Chemical Vapor Deposition)을 이용하여 제 1 버퍼층(102)과 비정질 실리콘층(103)을 순차적으로 형성한다. 이때, 상기 제 1 버퍼층(102)의 재료로는 실리콘 산화막(SiO_2)을 사용한다.

도 1b에 도시한 바와 같이, 상기 비정질 실리콘층(103) 상에 실리콘 산화막 재료의 제 2 버퍼층(102a)을 증착한 후, 일정 간격을 갖고 형성되도록 패터닝한다.

이후, 상기 패터닝된 제 2 버퍼층(102a)을 포함한 기판 전면에서 결정화 촉매로 작용하는 금속박막층(104)을 스퍼터링(Sputtering)법을 이용하여 형성한다. 상기 금속박막층(104)으로는 니켈(Ni) 등이 사용된다.

이어서, 상기 기판을 550°C 이상으로 열처리하면, 도 1c에 도시한 바와 같이, 비정질 실리콘층 방향으로의 니켈(Ni)의 확산에 의하여 실리사이드상(NiSi_2)이 형성된다. 그리고, 이 실리사이드(NiSi_2)가 제 2 버퍼층 하부의 비정질 실리콘층으로 측면 확산하여 결정화를 촉진한다. 참고로 도 1c의 화살표 방향은 결정화 진행 방향을 나타낸다.

발명이 이루고자 하는 기술적 과제

그러나 상기와 같은 종래 다결정화 방법은 다음과 같은 문제점이 있었다.

박막트랜지스터 소자 제조시 단결정에 가까운 소자 특성을 얻을 수 있는 장점이 있으나, 다결정화 공정에 요구되는 온도가 550°C 이상으로 높기 때문에 일반 유리를 적용하는데 상당한 제약을 갖는 단점이 있다.

본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로, 고품질의 안정적인 박막트랜지스터의 채널층을 담보할 수 있는 다결정화 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 제 1 실시예에 따른 다결정화 방법은 절연기판 상에 제 1 버퍼층을 형성하는 단계와, 상기 제 1 버퍼층 상에 비정질 실리콘층을 형성하는 단계와, 상기 비정질 실리콘층 상에 일정 간격을 두고 제 2 버퍼층을 형성하는 단계와, 상기 제 2 버퍼층을 포함한 기판 전면에 극미량의 금속박막층을 형성하는 단계와, 상기 금속박막층에 전계를 인가함과 동시에 기판을 열처리하여 상기 비정질 실리콘층을 결정화하는 단계를 포함하여 이루어지며, 본 발명의 제 2 실시예에 따른 다결정화 방법은 절연기판 상에 제 1 버퍼층을 형성하는 단계와, 상기 제 1 버퍼층 상에 표면저항 가열물질을 형성하는 단계와, 상기 표면저항 가열물질 상에 비정질 실리콘층을 형성하는 단계와, 상기 비정질 실리콘층 상에 극미량의 금속박막층을 형성하는 단계와, 상기 표면저항 가열물질에 전계를 인가함과 동시에 기판을 열처리하여 상기 비정질 실리콘층을 결정화하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

그리고 상기와 같은 다결정화 방법을 이용한 박막트랜지스터 제조방법은 절연기판 상에 제 1 버퍼층을 형성하는 공정과, 상기 제 1 버퍼층 상에 비정질 실리콘층을 형성하는 공정과, 상기 비정질 실리콘층 상에 일정 간격을 두고 제 2 버퍼층을 형성하는 공정과, 상기 제 2 버퍼층을 포함한 기판 전면에 금속박막층을 형성하는 공정과, 상기 비정질 실리콘층을 결정화한 후, 섬 모양의 반도체층을 형성하는 공정과, 상기 반도체층을 포함한 기판 전면에 게이트 절연막을 형성하는 공정과, 상기 게이트 절연막 상의 소정부위에 게이트 전극을 형성하는 공정과, 상기 반도체층에서 상기 게이트 전극과 중첩되지 않는 영역을 이온 도핑하여 소스/드레인 영역을 형성하는 공정과, 상기 반도체층을 활성화시키는 공정과, 상기 반도체층과 게이트 전극 상에 층간절연막을 형성한 후, 상기 소스/드레인 영역의 일부를 노출시키는 공정과, 노출된 상기 소스/드레인 영역과 연결되도록 소스 전극과 드레인 전극을 형성하는 공정을 포함하여 이루어진다.

또한, 상기와 같은 박막트랜지스터를 이용한 액정표시장치 제조방법은 제 1 기판과 제 2 기판을 준비하는 공정과, 상기 제 1 기판 상에 제 1 버퍼층을 형성하는 공정과, 상기 제 1 버퍼층 상에 비정질 실리콘층을 형성하는 공정과, 상기 비정질 실리콘층 상에 일정 간격을 두고 제 2 버퍼층을 형성하는 공정과, 상기 제 2 버퍼층을 포함한 기판 전면에 금속박막층을 형성하는 공정과, 상기 비정질 실리콘층을 결정화한 후, 섬 모양의 반도체층을 형성하는 공정과, 상기 반도체층을 포함한 전면에 게이트 절연막을 형성하는 공정과, 상기 게이트 절연막 상의 소정부위에 게이트 전극 및 게이트 라인들을 형성하는 공정과, 상기 반도체층에서 상기 게이트 전극과 중첩되지 않는 영역을 도핑하여 소스/드레인 영역을 형성하는 공정과, 상기 반도체층을 활성화시키는 공정과, 상기 반도체층과 게이트 전극 상에 제 1 절연막을 형성한 후, 상기 소스/드레인 영역을 노출시키는 공정과, 노출된 상기 소스/드레인 영역과 연결되도록 소스/드레인 전극 및 데이터 라인들을 형성하는 공정과, 상기 드레인 전극과 전기적으로 연결되는 화소전극을 형성하는 공정과, 상기 제 1 기판과 제 2 기판 사이에 액정층을 형성하는 공정을 포함하여 이루어지는 것을 특징으로 한다.

이하, 도면을 참조하여 본 발명에 따른 다결정화 방법 및 이를 이용한 박막트랜지스터 제조방법을 상세히 설명하기로 한다.

도 2a 내지 2d는 본 발명의 제 1 실시예에 따른 다결정화 방법을 설명하기 위한 공정단면도이고, 도 3a 내지 3d는 본 발명의 제 2 실시예에 따른 다결정화 방법을 설명하기 위한 공정단면도이다.

도 2a에 도시한 바와 같이, 절연기판(201) 상에 절연기판(201) 상에 화학기상증착법을 이용하여 실리콘 산화막(SiO_2) 재질의 제 1 버퍼층(202)과 비정질 실리콘층(a-Si:H)(203)을 순차적으로 적층한다. 여기서, 상기 제 1 버퍼층(202)은 절연기판(201)의 불순물 성분이 비정질 실리콘층(203)으로 확산되는 것을 방지하는 한편, 결정화 공정시 기판으로의 열유입을 차단하는 역할을 한다.

상기 비정질 실리콘층(203)은 SiH_4 와 H_2 혼합가스를 플라즈마 화학기상증착(Plasma Enhanced Chemical Vapor Deposition)법을 이용하여 비정질 실리콘(a-Si:H)층(203)을 형성한다.

이어서, 도 2b에 도시한 바와 같이, 상기 비정질 실리콘층(203)상에 실리콘 산화막 재질의 제 2 버퍼층(202a)을 증착한 후, 일정 간격을 두고 형성되도록 패터닝한다.

상기 제 2 버퍼층(202a)을 포함한 기판 전면에서 스퍼터링법을 이용하여 금속박막층(204)을 형성한다. 이때, 상기 금속박막층(204)으로는 크롬(Cr), 팔라듐(Pd), 니켈(Ni), 백금(Pt) 등이 사용되고, 소자 완성 후 소자의 동작 특성에 악영향을 주지 않기 위해서 증착 면밀도는 $5 \times 10^{12} / \text{cm}^2 \sim 1 \times 10^{18} / \text{cm}^2$ 의 극미량으로 제한한다.

이어서, 상기 금속박막층(204) 상의 좌우 소정 영역에 전계를 인가하기 위한 전극(205)을 부가한다. 이때, 상기 전극(205)용 물질로는 몰리브덴(Mo), 그래파이트(Graphite) 등을 사용한다.

이후, 상기 전극(205)에 일정 조건의 전계를 인가하고 동시에 기판을 열처리하여 상기 비정질 실리콘층을 결정화시킨다. 이때, 인가 전압은 10 ~ 500V/cm, 인가 시간은 15 ~ 300분, 기판의 열처리 온도는 400 ~ 600°C로 설정하는 것이 바람직하다.

이와 같은 과정을 거치면 도 2c에 도시한 바와 같이, 상기 비정질 실리콘층(203)이 다결정 실리콘층(206)으로 결정화되는데, 그 결정화 과정은 다음과 같다.

상기 금속박막층이 비정질 실리콘층으로 고상 확산(Solid Phase Diffusion)하여 금속 실리사이드를 형성한다. 예를 들어, 니켈(Ni)의 경우 니켈 실리사이드(NiSi_2)를 형성한다.

상기 금속 실리사이드는 비정질 실리콘의 결정화의 촉매 즉, 결정화핵의 역할을 수행하며, 상기 제 2 버퍼층(202a) 하부의 비정질 실리콘층으로 측면 확산하여 결정화를 진행시킨다.

또한, 전계 인가 및 열처리에 의해 발생된 열량이 열전도율이 낮은 제 1, 제 2 버퍼층에 의해 차단되므로 결정화 반응속도를 더욱 빠르게 할 수 있다.

이상과 같은 측면확산 결정화 방법은 수직확산 결정화 방법에 비해 결정립(Crystalline)들의 위치를 제어할 수 있는 장점이 있다.

도 2d에 도시한 바와 같이, 상기 다결정 실리콘층(206) 상의 미반응 금속(도시하지 않음) 및 제 2 버퍼층을 제거한다. 이 때, 제거 방법은 건식 식각 또는 습식 식각을 이용하는데, 건식 식각은 플라즈마 내에서 식각 가스(Etching gas)를 흘려주어 이방성 식각을 하는 것이고, 습식 식각은 식각 용액을 이용하여 등방성 식각을 하는 것이다.

본 발명의 제 2 실시예에 따른 다결정화 방법은 다음과 같다.

먼저, 도 3a에 도시한 바와 같이, 절연기판(201) 상에 실리콘 산화막(SiO_2) 또는 실리콘 질화막(SiN_x) 재질의 버퍼층(202)을 화학기상증착법을 이용하여 형성한 후, 상기 제 1 버퍼층(202) 상에 표면저항 가열물질(204a)을 형성한다.

상기 표면저항 가열물질(204a)은 향후 비정질 실리콘층의 결정화 작업을 위해 형성하는 것으로서, 그 재료로서는 인(P) 또는 붕소(B)가 도핑된 비정질 실리콘을 이용하거나 미세결정질 실리콘(Microcrystalline Si) 등이 사용된다.

이후, 상기 표면저항 가열물질(204a) 상에 SiH_4 와 H_2 혼합가스를 플라즈마 화학기상증착(Plasma Enhanced Chemical Vapor Deposition)법을 이용하여 비정질 실리콘(a-Si:H)층(203)을 형성한다.

도 3b에 도시한 바와 같이, 상기 비정질 실리콘층(203) 상에 일정 간격을 두고 실리콘 산화막 재질의 제 2 버퍼층(202a)을 형성한다.

이후, 상기 비정질 실리콘층 좌우 소정 영역을 식각하여 표면저항 가열물질이 드러나도록 한 다음, 상기 제 2 버퍼층(202a)을 포함한 기판 전면에 스퍼터링법을 이용하여 금속박막층(204)을 형성한다. 이때, 상기 금속박막층(204)의 으로는 크롬(Cr), 팔라듐(Pd), 니켈(Ni), 백금(Pt) 등이 사용하고, 소자 완성 후 소자의 동작 특성에 악영향을 주지 않기 위해서 증착 면밀도는 $5 \times 10^{12} / \text{cm}^2 \sim 1 \times 10^{18} / \text{cm}^2$ 의 극미량으로 제한한다.

이어서, 상기 표면저항 가열물질(204a) 상의 좌우 소정 영역에 전계를 인가하기 위한 전극(205)을 부가한다. 이때, 상기 전극(205)용 물질로는 몰리브덴(Mo), 그래파이트(Graphite) 등을 사용한다.

이후, 상기 전극(205)에 일정 조건의 전계를 인가하고 동시에 기판을 열처리하여 상기 비정질 실리콘층을 결정화시킨다. 이때, 인가 전압은 10 ~ 500V/cm, 인가 시간은 15 ~ 300분, 기판의 열처리 온도는 400 ~ 600°C 로 설정하는 것이 바람직하다.

이와 같은 과정을 거치면 도 3c에 도시한 바와 같이, 상기 비정질 실리콘층(203)이 다결정 실리콘층(206)으로 결정화 되는데, 표면저항 가열물질에 의해 결정화 반응이 빠르게 진행된다.

본 발명의 제 1 실시예와 마찬가지로, 도 3d에 도시한 바와 같이, 상기 다결정 실리콘층 상의 제 2 버퍼층과 미반응 금속을 제거한다.

이와 같은 다결정화 방법을 이용한 박막트랜지스터 제조공정을 설명하면 다음과 같다.

도 4a 내지 4e는 본 발명의 다결정화 방법을 이용한 박막트랜지스터 제조방법을 설명하기 위한 공정단면도이다.

먼저, 도 4a에 도시한 바와 같이, 절연기판(201) 상에 화학기상증착법을 이용하여 실리콘 산화막(SiO_2) 재질의 제 1 버퍼층(202)과 비정질 실리콘층(a-Si:H)(203)을 순차적으로 형성한다. 상기 버퍼층(202)은 유리기판의 불순물 성분이 비정질 실리콘층(203)으로 확산되는 것을 방지한다.

도 4b에 도시한 바와 같이, 상기 비정질 실리콘층(203) 상에 일정 간격을 두고 실리콘 산화막 재질의 제 2 버퍼층을 형성한다. 이어, 상기 제 2 버퍼층을 포함한 기판 전면에 금속박막층(204)을 스퍼터링법으로 형성한다. 이때, 상기 금속박막층(204)의 물질로서는 크롬(Cr), 팔라듐(Pd), 니켈(Ni), 백금(Pt) 등을 사용한다.

상기 금속박막층(204) 상의 좌우 소정 영역에 전계를 인가하기 위한 전극(205)을 부가한다. 이때, 상기 전극(205)의 물질로서는 몰리브덴(Mo), 그래파이트(Graphite) 등을 사용한다.

한편, 상기 제 1 버퍼층(202)과 비정질 실리콘층(203) 사이에 본 발명의 제 2 실시예에서와 같이 표면저항 가열물질(도시하지 않음)을 형성하는 것도 가능하며, 표면저항 가열물질을 형성한 때에는 상기 전극을 표면저항 가열물질 상에 부가한다.

이후, 상기 전극(205)에 일정 조건의 전계를 인가하고, 동시에 절연 기판을 열처리하여 상기 비정질 실리콘층(203)을 결정화시킨다. 이때, 인가 전압은 10 ~ 500V/cm, 인가 시간은 15 ~ 300분, 기판의 열처리 온도는 400 ~ 600°C 로 설정하는 것이 바람직하다.

이와 같은 과정을 통해 비정질 실리콘층(203)을 다결정 실리콘층(206)으로 결정화한 다음 상기 제 2 버퍼층(202a) 및 미반응 금속을 제거한 후, 도 4c에 도시한 바와 같이, 상기 다결정 실리콘층(206)을 섬 모양으로 패터닝한 다음, 상기 다결정 실리콘층(206)을 포함한 기판 전면에 실리콘 산화막 또는 실리콘 질화막 재질의 게이트 절연막(207)을 형성한다. 이후, 상기 게이트 절연막(207) 상에 AlNd, Mo 의 이중의 금속층을 스퍼터링(Sputtering)법을 이용하여 차례로 적층한 후, 패터닝하여 이중막 구조의 게이트 전극(208)을 형성한다.

이어, 도 4d에 도시한 바와 같이, 상기 게이트 전극(208)을 마스크로 하는 이온주입 공정을 통해 상기 게이트 전극(208) 양측의 다결정 실리콘층(206)에 n^+ 이온을 주입하여 소스/드레인 영역을 형성하고, 결정화 온도보다 낮은 온도에서 활성화시킨 다음, 상기 게이트 전극(208)을 포함한 기판 전면에 층간절연막(209)을 형성한다.

이어서, 도 4e에 도시한 바와 같이, 상기 n^+ 이온이 도핑된 다결정 실리콘층(206)의 소스/드레인 영역의 소정 부위가 노출되도록 층간절연막(209)과 게이트 절연막(207)을 식각하여 비아 홀(Via hole)을 형성하고, 상기 비아 홀이 충분히 채워지도록 AlNd, Mo의 이중의 금속층을 차례로 적층한 후, 패터닝하여 소스/드레인 전극(210, 211)을 형성하면, 본 발명에 따른 다결정화 방법을 이용한 박막트랜지스터 제조공정이 완료된다.

이하에서는 상기와 같은 박막트랜지스터 제조공정을 이용한 액정표시장치 제조방법을 설명하기로 한다.

도 5a 내지 5f는 본 발명의 박막트랜지스터를 이용한 액정표시장치 제조방법을 설명하기 위한 공정단면도이다.

도 5a에 도시한 바와 같이, 제 1 기판(201a) 상에 실리콘 산화막 재질의 제 1 버퍼층(202)을 형성한 후, 상기 제 1 버퍼층(202) 상에 SiH_4 와 H_2 혼합가스를 이용한 플라즈마 화학기상증착법으로 비정질 실리콘층(203)을 형성한다.

이후, 도 5b에 도시한 바와 같이, 상기 비정질 실리콘층(203)을 전술한 결정화공정을 통해 다결정 실리콘층(206) 결정화한 다음, 도 5c에 도시한 바와 같이, 박막트랜지스터의 채널층으로 사용될 수 있도록 섬 모양으로 패터닝한다. 이후, 상기 섬 모양의 다결정 실리콘층(206)을 포함한 전면에 실리콘 질화막 또는 실리콘 산화막 재질의 게이트 절연막(207)을 형성한 후, 상기 게이트 절연막 상에 AlNd, Mo의 이중의 금속층을 적층한 후, 패터닝하여 박막트랜지스터의 게이트 전극(208) 및 게이트 라인(도시하지 않음)을 형성한다.

이후, 도 5d에 도시한 바와 같이, 상기 게이트 전극(208)을 마스크로 상기 다결정 실리콘층(206)에 n^+ 이온을 주입하여 소스/드레인 영역을 형성하고 활성화시킨 후, 상기 게이트 전극(208) 및 게이트 라인을 포함한 전면에 층간절연막(209)을 형성한다.

이어, 도 5e에 도시한 바와 같이, 상기 n^+ 이온이 주입된 다결정 실리콘층(206)의 소스/드레인 영역의 소정부위가 노출되도록 층간절연막(209) 및 게이트 절연막(207)을 차례로 제거하여 비아 홀을 형성한 후, 상기 비아 홀이 충분히 채워지도록 AlNd, Mo의 이중의 금속막을 형성한 다음 패터닝하여 박막트랜지스터의 소스 전극(210)과 드레인 전극(211)을 형성한다.

이후, 도 5f에 도시한 바와 같이, 상기 소스/드레인 전극(210, 211)을 포함한 전면에 실리콘 질화막 재질의 제 1 보호막(212)과 BCB(Benzocyclobutene) 재질의 제 2 보호막(213)을 차례로 적층한 후, 상기 드레인 전극(211)이 노출되도록 콘택홀을 형성한다.

이후, 상기 콘택홀을 포함한 기판 전면에 투명도전막 예컨대, ITO(Indium Tin Oxide)를 형성한 후, 패터닝하여 상기 콘택홀을 통해 드레인 전극(211)과 전기적으로 연결되는 화소전극(214)을 형성한다.

이후, 도면에 도시되지 않았지만, 상기 제 1 기판(201a)과 대향되는 제 2 기판 사이에 액정층을 형성하면 본 발명에 따른 액정표시장치 제조공정이 완료된다.

여기서, 상기 제 2 기판에는 색상을 표현하기 위한 칼라필터층이 형성되고, 상기 제 1 기판(201a) 상에 형성된 박막트랜지스터와 게이트 라인 및 데이터 라인으로 빛이 투과되는 것을 방지하기 위한 블랙매트릭스 패턴이 형성되며, 상기 화소전극(214)과 함께 액정층에 전기적 신호를 인가하는 공통전극이 형성된다.

발명의 효과

이상 상술한 바와 같이, 본 발명의 다결정화 방법 및 이를 이용한 박막트랜지스터 및 액정표시장치 제조방법은 다음과 같은 효과가 있다.

저온 공정에 의함에도 불구하고 고온 다결정 실리콘 박막에 가까운 특성을 갖는 다결정 실리콘층을 제조할 수 있는 장점이 있으며, 기존의 엑시머 레이저법을 대체함으로써, TFT - LCD 분야의 장비투자비를 감소시켜 관련 분야의 가격경쟁력을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

기판 상에 제 1 버퍼층을 형성하는 단계;

상기 제 1 버퍼층 상에 비정질 실리콘층을 형성하는 단계;

상기 비정질 실리콘층 상에 일정 간격을 두고 제 2 버퍼층을 형성하는 단계;

상기 제 2 버퍼층을 포함한 기판 전면에 금속박막층을 형성하는 단계;

상기 금속박막층에 전계를 인가함과 동시에 기판을 열처리하여 상기 비정질 실리콘층을 결정화하는 단계를 포함하여 이루어지는 것을 특징으로 하는 다결정화 방법.

청구항 2.

제 1 항에 있어서, 상기 금속박막층의 증착 면밀도는 $5 \times 10^{12} / \text{cm}^2 \sim 1 \times 10^{18} / \text{cm}^2$ 정도인 것을 특징으로 하는 다결정화 방법.

청구항 3.

제 1 항에 있어서, 상기 금속박막층은 크롬(Cr), 팔라듐(Pd), 니켈(Ni), 백금(Pt) 중 어느 하나로 형성하는 것을 특징으로 하는 다결정화 방법.

청구항 4.

제 1 항에 있어서, 상기 금속박막층에 전계를 인가하는 전극은 몰리브덴(Mo), 그래파이트(Graphite) 중 어느 하나로 형성하는 것을 특징으로 하는 다결정화 방법.

청구항 5.

제 1 항에 있어서, 상기 비정질 실리콘을 결정화하는 단계는,

상기 금속박막층에 인가되는 전압이 약 10 ~ 500V/cm, 인가하는 시간이 약 15 ~ 300분, 열처리 온도는 400 ~ 600°C의 범위에서 이루어지는 것을 특징으로 하는 다결정화 방법.

청구항 6.

기판 상에 제 1 버퍼층을 형성하는 단계;

상기 제 1 버퍼층 상에 표면저항 가열물질을 형성하는 단계;

상기 표면저항 가열물질 상에 비정질 실리콘층을 형성하는 단계;

상기 비정질 실리콘층 상에 일정 간격을 두고 제 2 버퍼층을 형성하는 단계;

상기 제 2 버퍼층 상에 금속박막층을 형성하는 단계;

상기 표면저항 가열물질에 전계를 인가함과 동시에 기판을 열처리하여 비정질 실리콘층을 결정화하는 단계를 포함하여 이루어지는 것을 특징으로 하는 다결정화 방법.

청구항 7.

제 6 항에 있어서, 상기 금속박막층의 증착 면밀도는 $5 \times 10^{12} / \text{cm}^2 \sim 1 \times 10^{18} / \text{cm}^2$ 정도인 것을 특징으로 하는 다결정화 방법.

청구항 8.

제 6 항에 있어서, 상기 금속박막층은 크롬(Cr), 팔라듐(Pd), 니켈(Ni), 백금(Pt) 중 어느 하나로 형성하는 것을 특징으로 하는 다결정화 방법.

청구항 9.

제 6 항에 있어서, 상기 표면저항 가열물질에 전계를 인가하는 전극은 몰리브덴(Mo), 그래파이트(Graphite) 중 어느 하나로 형성하는 것을 특징으로 하는 다결정화 방법.

청구항 10.

제 6 항에 있어서, 상기 표면저항 가열물질은 전도성 물질로 형성하는 것을 특징으로 하는 다결정화 방법.

청구항 11.

제 10 항에 있어서, 상기 전도성 물질은 인(P) 또는 붕소(B)가 도핑된 비정질 실리콘 박막이거나 미세결정질 실리콘 박막인 것을 특징으로 하는 다결정화 방법.

청구항 12.

제 6 항에 있어서, 상기 비정질 실리콘을 결정화하는 단계는,

상기 표면저항 가열물질에 인가되는 전압이 약 10 ~ 500V/cm, 인가하는 시간이 약 15 ~ 300분, 열처리 온도는 400 ~ 600°C의 범위에서 이루어지는 것을 특징으로 하는 다결정화 방법.

청구항 13.

제 1 기판과 제 2 기판을 준비하는 공정과,

상기 제 1 기판 상에 제 1 버퍼층을 형성하는 공정과,

상기 제 1 버퍼층 상에 비정질 실리콘층을 형성하는 공정과,

상기 비정질 실리콘층 상에 일정 간격을 두고 제 2 버퍼층을 형성하는 공정과,

상기 제 2 버퍼층을 포함한 기판 전면에 금속박막층을 형성하는 공정과,

상기 금속박막층이 증착된 상기 비정질 실리콘층을 전압을 인가함과 동시에 열처리하여 결정화한 후, 섬 모양의 반도체층을 형성하는 공정과,

상기 반도체층을 포함한 전면에 게이트 절연막을 형성하는 공정과,

상기 게이트 절연막 상의 소정부위에 게이트 전극 및 게이트 라인들을 형성하는 공정과,

상기 반도체층에 이온을 도핑하여 소스/드레인 영역을 형성하는 공정과,

상기 반도체층을 활성화시키는 공정과,

상기 반도체층과 게이트 전극 상에 층간절연막을 형성한 후, 상기 소스/드레인 영역의 일부를 노출시키는 공정과,

상기 게이트 절연막 상에 제 1 절연막을 형성한 후, 상기 게이트 전극 양측의 반도체층을 노출시키는 공정과,

상기 노출된 반도체층과 연결되도록 소스/드레인 전극 및 데이터 라인들을 형성하는 공정과,

상기 드레인 전극과 전기적으로 연결되는 화소전극을 형성하는 공정과,

상기 제 1 기판과 제 2 기판 사이에 액정층을 형성하는 공정을 포함하여 이루어지는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 14.

제 13 항에 있어서, 상기 제 1 버퍼층 상에 표면저항 가열물질을 형성하는 공정을 더 포함하여 이루어지는 것을 특징으로 하는 박막트랜지스터 제조방법.

청구항 15.

제 14 항에 있어서, 상기 표면저항 가열물질은 전도성 물질로 형성하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 16.

제 15 항에 있어서, 상기 전도성 물질은 인(P) 또는 붕소(B)가 도핑된 비정질 실리콘 박막이거나 미세결정질 실리콘 박막인 것을 특징으로 하는 액정표시장치 제조방법.

청구항 17.

제 14 항에 있어서, 상기 비정질 실리콘층을 결정화하는 공정은,

상기 표면저항 가열물질에 전계를 인가함과 동시에 상기 기판을 열처리하는 공정을 포함하여 이루어지는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 18.

제 13 항에 있어서, 상기 금속박막층은 크롬(Cr), 팔라듐(Pd), 니켈(Ni), 백금(Pt) 중 어느 하나로 형성하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 19.

제 13 항에 있어서, 상기 비정질 실리콘을 결정화하는 단계는 상기 금속박막층에 인가되는 전압이 10 ~ 500V/cm, 인가하는 시간이 15 ~ 300분, 열처리 온도는 400 ~ 600°C의 범위에서 이루어지는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 20.

제 13 항에 있어서, 상기 소스/드레인 전극은 AlNd, Mo의 이중층으로 형성하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 21.

제 13 항에 있어서, 상기 금속박막층의 증착 면밀도는 $5 \times 10^{12} / \text{cm}^2 \sim 1 \times 10^{18} / \text{cm}^2$ 정도인 것을 특징으로 하는 액정표시장치 제조방법.

청구항 22.

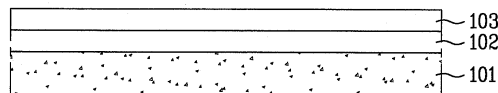
제 13 항에 있어서,

상기 소스/드레인 전극을 포함한 전면에 실리콘 질화막과 BCB의 이중절연막을 형성하는 공정과,

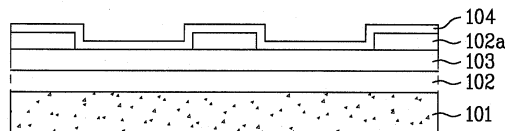
상기 이중절연막을 일부 식각형 드레인 전극을 노출시켜서 상기 화소전극과 전기적으로 연결하는 공정을 더 포함하여 이루어지는 것을 특징으로 하는 액정표시장치.

도면

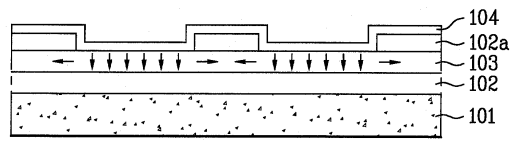
도면 1a



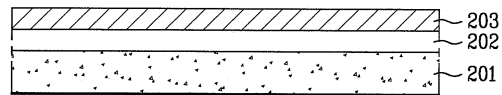
도면 1b



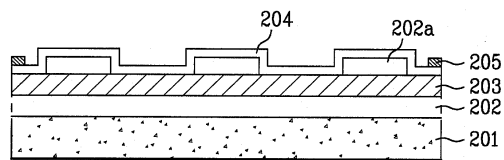
도면 1c



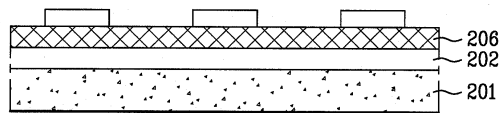
도면 2a



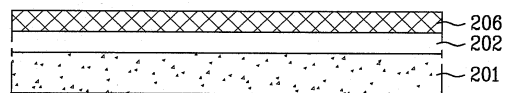
도면 2b



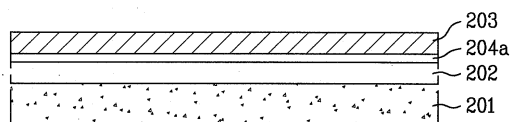
도면 2c



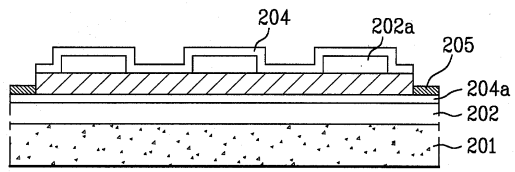
도면 2d



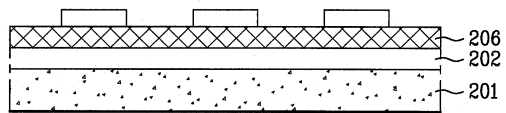
도면 3a



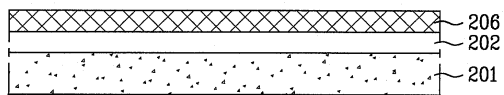
도면 3b



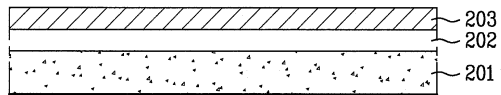
도면 3c



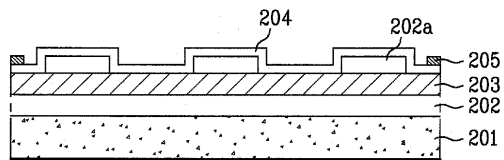
도면 3d



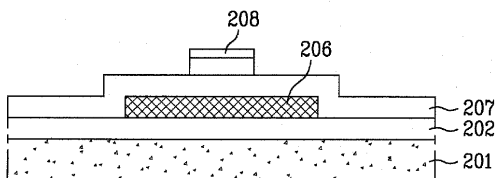
도면 4a



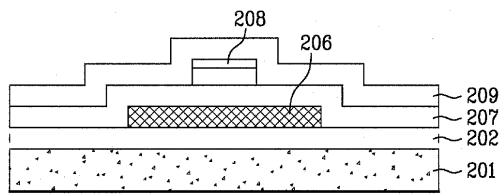
도면 4b



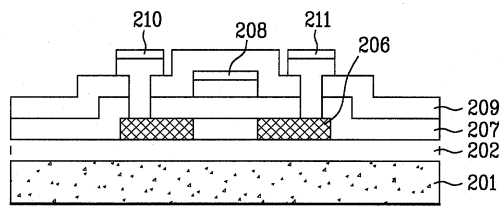
도면 4c



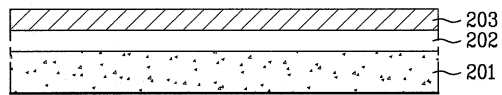
도면 4d



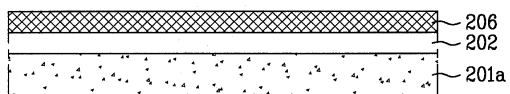
도면 4e



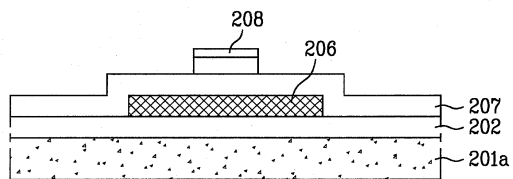
도면 5a



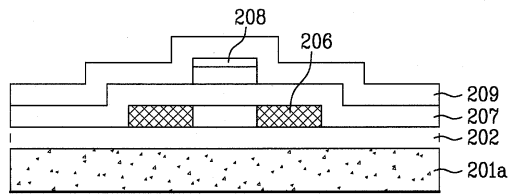
도면 5b



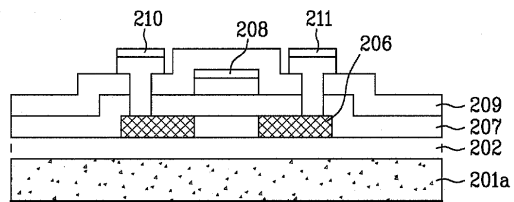
도면 5c



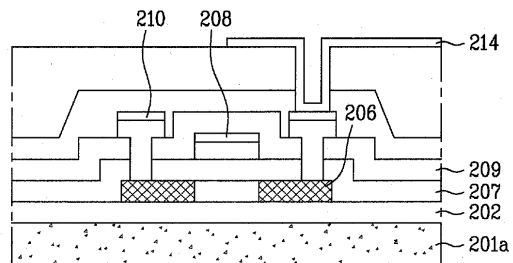
도면 5d



도면 5e



도면 5f



专利名称(译)	多晶化方法，使用其的薄膜晶体管的制造方法以及液晶显示器的制造方法		
公开(公告)号	KR1020020090427A	公开(公告)日	2002-12-05
申请号	KR1020010028957	申请日	2001-05-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM HAEYEOL 김해열 SEO HYUNSIK 서현식 HWANG KWANGJO 황광조		
发明人	김해열 서현식 황광조		
IPC分类号	G02F1/136		
代理人(译)	金勇 新昌		
其他公开文献	KR100421907B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种制造用于高质量薄膜晶体管器件的多晶硅层的方法，该方法包括：在绝缘基板上形成第一缓冲层；在第一缓冲层上形成非晶硅层；在非晶硅层上以预定间隔形成第二缓冲层，在包括第二缓冲层的基板的整个表面上形成金属薄膜层，向金属薄膜层施加电场并通过热处理基板使非晶硅层结晶。 图2b 指数方面 多晶硅

