

(19)
(12)(KR)
(A)(51) 。 Int. Cl. ⁷
G09G 3/20(11)
(43)2002 - 0025652
2002 04 04(21) 10 - 2001 - 0034584
(22) 2001 06 19

(30) 2000 - 298658 2000 09 29 (JP)

(71) - 가 가

4 - 13 - 23

(72) 4 - 13 - 23 - 가 가

6 - 1 - 2 가 가

(74)

:

(54)

가

가

(

)

MM

(4)가

(6)

C_d

(5)

가

가

A/D , , , , ,

1 1 ,

2 , , ,

3 1 가 ,

4 2 가 ,

5 3 가 ,

6 4 가 ,

7 5 ,

8 .

< >

1; A/D , 2; , 3; , 4; , 5; , 6;
 , 7;

) , (가
 A/D(Analog to Digital) 가 ,

A/D
 1 () ()
)

,
 .

가
 가 640 × 480 가 1024 × 768 , , 1024/640 ,
 768/480 ()가 , 1024 × 76
 8 가 .

, , 640 × 480 , 1024 × 768
 가 (,)
 가 , 가 2
 () .

, 가 가 ,
 ()가 . 가 2
 1 (beat) 가

, (A/D)
 , IC(Integrated Circuit) 가 1 I
 C 가

, 1 9 - 244586
 , 8 8 (101)
 , (102) 1 , (103) 1 LPF(Low Pass Filter), (104) 1 VCO(Volt
 age Controlled Oscillator), (105) 1 , 1 (102), 1 LPF(103), 1 VC
 O(104) 1 (105) 1 PLL(Phase Locked Loop)(106) .

, (107) , (108) 2 , (109) 가 , (110) 2 LPF, (111) 2 VCO, (112) 2 , 2
 (108), 가 (109), 2 LPF(110), 2 VCO(111) 2 (112) 2 PLL(113) .
 , (114) 2 PLL(113) , (115)
 1 , (116) 2 , (117) 1
 2 (115), (116) .

, (107) , (107) , (1
 07) 1 PLL(106) (1 VCO(104) ,) 2
 PLL(113) (2 VCO(111) ,)

toggle) , 2 PLL(113) VCO 가 , 가 (가 .

가 ()

가

1 1 1 A/D , 2

2 ,

2 1 ,

3 가 1 ,

4 1 가 , 가 ,

가 가 가

5 가 4 , 가 가

6 가 4 , 가 가 , 가

7 1 , 가

8

7

,

,

.

9

1

,

,

.

10

1

,

가

.

< >

< 1>

가

,

,

,

가

.

1

1

 S_{in} S_{ad}

A/D

1

(1)

(3)

(2)

 C_s

(4)

 C_s C_d S_{in}

(VGA

XGA

 S_{cs} S_{cd}

,

(5)

 S_{ad} S_{out}

,

(6)

 C_d

,

(7)

.

,

.

,

 S_{in}

A/D

(1)

 S_{ad}

.

A/D

 C_s

,

 S_{in} S_{in} S_{sy} (

)

(3)

,

 S_{ds}

,

 S_{ds}

(4)가

(2)

 S_{cs}

.

,

(2)

 S_{cs}

2

 C_s

(

,

2

180

, 1

).

,

(4)

 S_{in} C_s

가

 C_d

,

(6)

 S_{cd}

.

,

(6)

 S_{cd}

2

(

,

2

가

, 1

).

,

r

가

가

 C_d

J

.

,

 C_d

(5)

가

(5)

 S_{ad} S_{out} 가

(5)

(7)

(7)

(C_s , C_d) S_{in} 가

(4) MM (4) C_d

4)가

1

입력영상 신호종류	도트클럭 [MHz]	수평동기주파수 [kHz]	수직동기주파수 [Hz]	데이터클럭 [MHz]
MAC13	30.24	35	66.67	37.5
NAC16	57.24	49.69	74.49	35
VGA350	25.18	31.47	70.08	35
VGA60	25.18	31.47	59.94	35
VGA75	31.5	37.5	75	32.5
VESA720	28.32	31.47	70.08	35
SVGA56	36	35.16	56.25	37.5
SVGA60	40	37.88	60.32	35
SVGA72	50	48.08	72.19	37.5
SVGA75	49.5	46.88	75	37.5
XGA60	65	48.36	60	35
XGA70	75	56.48	70.07	35
XGA72	78.08	58.1	72.08	32.5
XGA75	78.75	60.02	75.03	35

1 32.5MHz, 35MHz, 37.5MHz 3 1

가 65MHz 「XGA60」 가 35MHz 32.5MHz

, (3) D_d 3 (S02).
 (3) , S_{ds} (S03).
 S_{ds} (4)가 ,
 C_d (S04) (6) S_{cd} ,
 (6) S_{cd} C_d (S05).
 , C_d 가 S_{in}
 (4) C_d S_{in}
 , 가 가 가 . ,
 S_{in} C_d 가 가
 , 가 .
 (7) 1
 (PDP) , (LED) .
 < 2>
 1
 S_{in} S_{sy} 가 C_d ,
 S_{in} S_{sy} 가
 S_{in} C_d 가 .
 , S_{in} S_{sy} 가
 가 , (4) 가 C_d () 가 .
 , S_{in} S_{sy}
 .
 가 .
 , 4 , (4)
 (3) 가 (S12)). ,
 (3) (4) (S13). S_{sy} 가 , (4) S
 14). , 가 , S12 가 .
 S_{in} S_{sy} 가
 가 ,
 가 .

< 3>

S_{sy} 가 2 S_{in} 가
 (, 가 (ON))

2

가

가

가

가

가

가

5

(3)

가

(S22).

(4)

S_{sy}

가

(3)

(4)

(S23).

S_{sy}

가

(4)

가

MM

(S24).

MM

가

(S25).

가

S22

가

가

가

가

가

가

가

VGA

XGA

가

가

(4)

가

가

가

MM

(4)가

MM

MM

(4)가

< 4>

1

1 (3)

. 1

(4)

6

C_d 가

(3)

(3)

(S32).

(3)

S_{ds}

(S33).

가

가

S_{ds}

(4)가

C_d

(S34),

(6)

S_{cd}

(6)

S_{cd}

C_d

(S35).

(3)

< 5>

1

7

7

1

가

1

가

7

(6)

S_{se}

가

(6)

S_{se}

가

가

가

1 , 가 , 가 가 , 가 .

2 , 가 . 가

3 , 가 가

가 .

4 , 가 가 가 가 가 .

5 가 , 가 가 가 가 가 .

6 가 , 가 가 가 가 가 .

7 , 가 .

8 , .

9 , 가 가

10 , 가 .

(57)

1.

A/D 가 ;

1

2

;

1

2

;

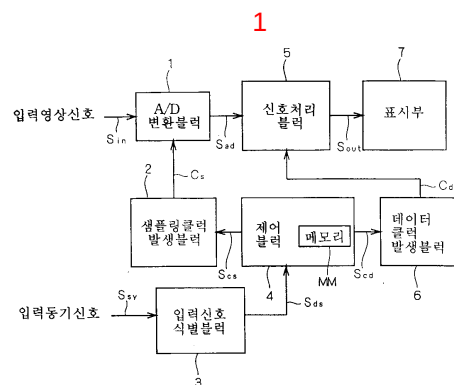
2.

1

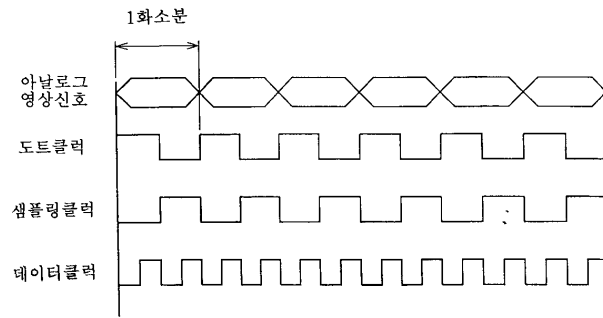
3.

1

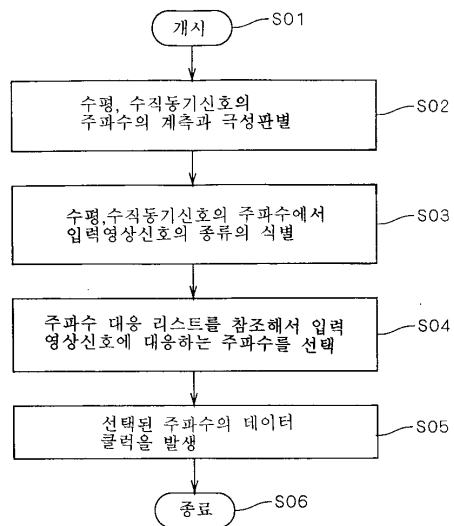
가



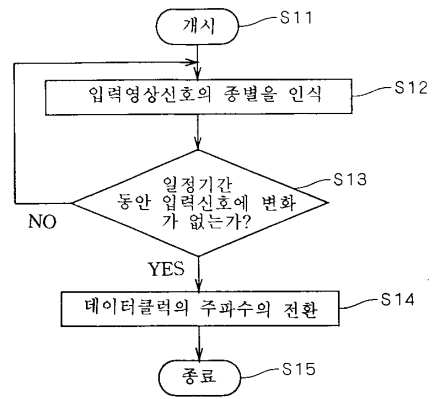
2



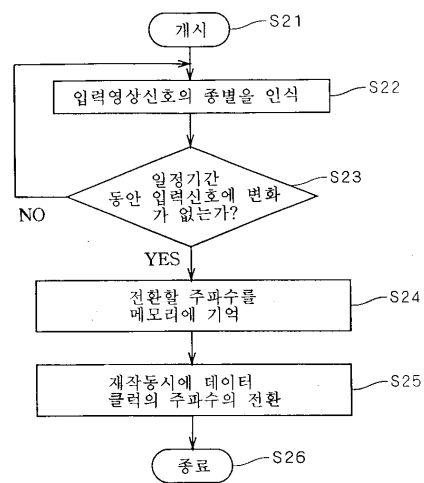
3



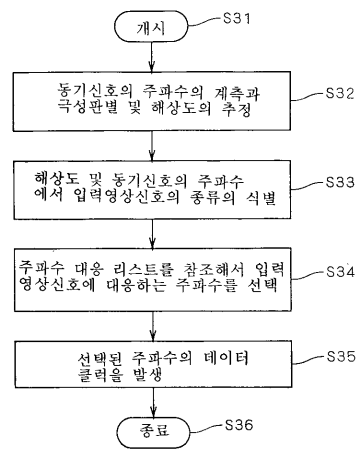
4



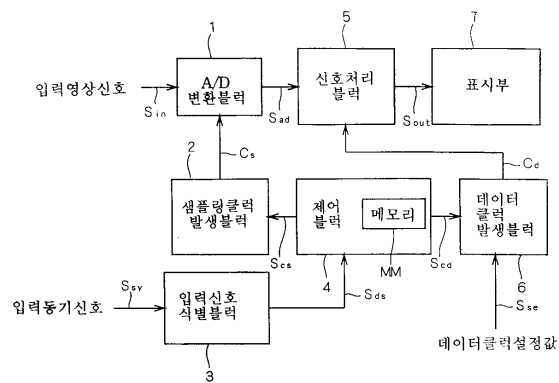
5



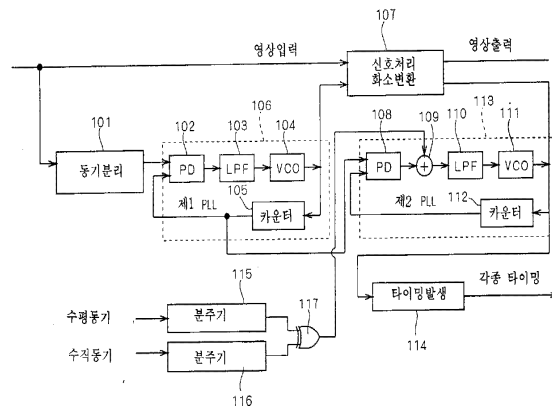
6



7



8



专利名称(译)	图像显示装置		
公开(公告)号	KR1020020025652A	公开(公告)日	2002-04-04
申请号	KR1020010034584	申请日	2001-06-19
[标]申请(专利权)人(译)	NEC显示解决方案		
申请(专利权)人(译)	这是你的显示解决方案企业可否让这个夏		
当前申请(专利权)人(译)	这是你的显示解决方案企业可否让这个夏		
[标]发明人	TACHIBANA MIYUKI 다치바나미유키 IWATAKA HIROKI 이와타카히로키		
发明人	다치바나미유키 이와타카히로키		
IPC分类号	G09G3/20 G09G5/00 G09G3/36 H04N5/14 H04N5/66		
CPC分类号	G09G5/005 G09G5/006 G09G2340/04 G09G5/008		
优先权	2000298658 2000-09-29 JP		
其他公开文献	KR100442002B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种图像显示，其涉及用于将模拟输入视频信号转换为数字信号，对数字信号执行诸如像素转换的信号处理并将结果信号发送至显示单元的数字图像显示。组成：如图1所示。图1是用于将作为点串提供的输入模拟视频信号Sin转换为数字视频信号Sad的A / D转换块（1），用于生成采样时钟Cs的采样时钟生成块（2），输入信号判别。框（3），用于区分输入模拟视频信号Sin（种类为VGA或XGA）的种类；控制框（4），用于输出用于控制采样时钟Cs的产生的控制信息Scs和Scd；以及数据时钟Cd，信号处理块（5），用于对数字视频信号Sad执行诸如像素转换处理的信号处理，并将处理后的信号作为数字视频信号Sout输出；数据时钟产生块（6），用于产生数据时钟Cd用于指定像素转换处理之后的分辨率的液晶显示器和诸如液晶面板部分的显示单元（7）。下面描述图像显示的操作。首先，输入的模拟视频信号Sin被提供给A / D转换块（1），并被采样到数字视频信号Sad。

