(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G02F 1/133

(11) 공개번호 특2001-0111264
(43) 공개일자 2001년12월17일

(21) 출원번호 10-2001-7010511
(22) 출원일자 2001년08월18일
번역문 제출일자 2001년08월18일
(86) 국제출원번호 PCT/EP2000/11542
(86) 국제출원출원일자 2000년11월20일
(87) 국제공개번호 WO 2001/46940
(87) 국제공개일자 2001년06월28일

(81) 지정국 국내특허 : 일본, 대한민국,
EP 유럽특허: 오스트리아, 벨기에, 스위스, 사이프러스, 독일, 덴마크, 스페인, 핀랜드, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 터어키,

(30) 우선권주장 09/469,449 1999년12월21일 미국(US)

(71) 출원인 코닌클리케 필립스 일렉트로닉스 엔.브이.
요트.게.아. 롤페즈
네델란드왕국, 아인드호펜, 그로네보드스베그 1

(72) 발명자 얀센,페테르,예이
네델란드,아아아인트호펜5656,프로프.홀스트란6
데안,욘,아
네델란드,아아아인트호펜5656,프로프.홀스트란6
알부,루시안,에르
네델란드,아아아인트호펜5656,프로프.홀스트란6

(74) 대리인 문경진
조현석

심사청구 : 없음

(54) 전기광학장치를 위한 램프 발생기를 갖는 신호 구동기

요약

투사광에 대한 변조기로서 서브하는 액정 디스플레이 장치 같은 광전 디스플레이 장치에서 글로벌 DAC 제어식 램프 발생기는 상기 디스플레이의 각 열에 대한 트랙 및 유지 회로와 함께 사용되고 모든 열에 대해 디지털 디스플레이 신호를 아날로그 신호로 변환한다. 행 어드레스 회로는 상기 디스플레이의 각 행을 어드레스 지정함으로써, 이러한 아날로그

신호를 갖는 디스플레이 장치의 개개의 화소를 어드레스 지정한다. 상기 DAC의 유한 변환 시간(사이클 타임)에 기인하는 프레임 레이트의 증가에 관한 제한은 상기 계조 해상도를 줄임으로써 극복하고, 따라서 각 램프 사이클 동안 상기 DAC가 디지털 수를 아날로그 전압으로 변환해야하는 시간 수를 감소시키고 시간 " 디서링" 즉, 연속하는 프레임에서 화소의 휘도 레벨 사이의 보간(補間)을 사용하여 원(原) 화상을 회복시킨다.

대표도

도 1

명세서

기술분야

본 발명은 하나 이상의 전기광학장치를 채용하는 컬러 디스플레이 시스템에 관한 것이다. 이러한 디스플레이 장치는 각 화소점(pixel point)에서 투사된 광의 그레이 레벨(grey level)을 제어하기 위해 반사 모드 또는 투과 모드 중 하나에서 광 변조기로의 기능을 한다. 보다 상세하게, 본 발명은 입력되는 디지털 디스플레이 신호를 아날로그 신호로 변환하기 위한 디지털-아날로그 변환기(DAC:Digital to Analog Converter) 제어식 램프 발생기(controlled ramp generator)회로와, 상기 아날로그 신호에 의해 상기 디스플레이 장치의 개개의 화소를 어드레스 지정하기 위한 회로를 구비하는 상기 컬러 디스플레이 시스템에 관한 것이다.

배경기술

컬러 디스플레이 시스템이 공지되어 있는데, 이 시스템에서는 여러 가지 컬러의 광 바(bar)들이 컬러 디스플레이를 생성하기 위해 단일 전기광학 광 변조기 패널에 걸쳐 순차적으로 스크롤된다. 예컨대, 여기에 참고로 병합되고 일반 양도된 미국특허 제 5,532,763호를 보자.

이러한 디스플레이 시스템은 특히 컬러 비디오 정보 같은 연속하는 프레임들로 배열된 지속적으로 갱신되는 이미지 정보 신호 형태로 컬러 정보를 디스플레이하는 데 알맞고, 여기서 각 프레임은 콤포넌트 컬러 서브 프레임, 예를 들면 적색, 청색 및 녹색 서브 프레임으로 구성된다.

이러한 시스템은 연속하는 프레임 주기 동안 이미지 정보 신호에 따른 광을 변조하기 위해 화소의 행(row) 및 열(column) 매트릭스 어레이로 구성된 전기광학 광 변조기 패널을 채용한다. 상기 아날로그 신호 정보는 각 프레임 주기 동안 한번에 한 행 씩, 상기 어레이의 화소 열에 인가된다.

상기 형태의 시스템은 또한 제이. 에이. 시미즈(J.A. Shimizu)의 간행물 " 단일 패널 반사 LCD 프로젝터(Single Panel Reflective LCD Projector) " {Projection Displays V, Proceedings SPIE, Vol. 3634, pp. 197-206(1999)} 에 개시되어 있다. 상기 시스템에서 복수의 열 화소 구동기(driver) 회로들은 복수의 사이클 동안 디지털-아날로그 변환기(DAC) 제어 램프 발생기의 출력 버퍼에 의해 반복적으로 생성되는 공통 램프 신호를 수신한다. 각 열 구동기는 전기광학 디스플레이 장치의 열에 있는 모든 화소들에 연결된다. 각 램프 사이클 동안 열 구동기는 원하는 화소 휘도 레벨에 대응하는 정해진 전압을 개개의 열의 특정 행에 있는 화소에 인가한다.

열의 화소는 행 제어회로에 의해 선택되는 데, 행 제어회로는 연속하는 램프 사이클 동안 연속하는 화소 행을 선택한다.

상기 형태의 시스템에서, DAC 제어식 램프 발생기는 높은 프레임 레이트(frame rate)(120 프레임/초 보다 더 큰)에서 어떤 성능의 " 병목현상(bottle

neck)" 이 이루어지는데, 상기 프레임 레이트는 컬러 인공물(artifacts) 및 플리커(

flicker)를 줄이는 데 바람직하다. 프레임 레이트가 증가함에 따라, DAC의 유한변환시간(사이클 타임)은 최대 동작 속도에서 제한된다.

발명의 상세한 설명

본 발명의 주된 목적은 DAC 속도 증가나 하드웨어의 코스트 증가 없이, 그리고 각 화소에 인가될 수 있는 그레이 레벨(휘도 레벨) 수의 감소 없이 전기광학 디스플레이에서 프레임 레이트의 증가를 가능케 하는 회로를 제공하는 데 있다.

본 목적은 청구항 1에 명시된 본 발명에 따른 장치에 의해 성취된다. 프레임 레이트의 증가는 (1)그레이 스케일(gray scale:階調) 해상도를 감소시키며, DAC가 각 램프 사이클 동안 디지털 수를 아날로그 전압으로 변환해야 하는 횟수를 감소시키고 " 시간 디서링(temporal dithering)" 즉, 연속하는 프레임의 화소 휘도 레벨 사이의 보간(interpolation: 補間)을 사용하여 원(原) 해상도를 회복시킴으로써, 및/또는 (2)각 클록 사이클(DAC 변환)동안 여러 아날로그 레벨 중에서 선택될 수 있는 다상 위상(multi-phase) 클록 및 멀티플렉서를 제공함으로써 성취된다.

따라서 본 발명은 열이 수직으로, 행이 수평으로 배열된 화소의 매트릭스를 갖는 전기광학 디스플레이 장치에서 다양한 전압 레벨을 개개의 화소에 인가하기 위한 시스템의 속도 개선을 가능케 한다.

본 장치에 의해서, 각 화소의 평균적인 휘도 레벨은 비록 각 화소에 대한 상기 열 레지스터에 저장된 수들이 원하는 휘도 레벨과 동등한 값으로 나타낼 수 없다고 할지라도 원하는 휘도 레벨에 근접하게 한다. 최종 결과는 소위 " 시간 디서링" , 즉 연속하는 프레임의 각 화소의 휘도 레벨 사이의 보간일 수 있다.

바람직하게, 열 레지스터에 대한 입력 회로는 별도로 디지털 수를 홀수 열 레지스터, 짝수 열 레지스터에 제공하고 2세트의 열 레지스터에 대한 제어신호를 위상 시프트시킬 수 있게 구성될 수 있다. 이러한 방법에서 시간 인공물의 가시도가 감소될 수 있다.

시간 디서링 제공에 더하여, 열 제어 회로는 " 공간 디서링" 을 제공하기 위해 즉, 주어진 행의 인접한 열에 있는 2개의 화소 또는 주어진 열의 인접한 행에 있는 2개의 화소의 휘도 레벨을 엇갈리게 하도록(alternate) 구성될 수 있다. 시간 디서링의 경우에, 인간의 눈은 휘도가 각 화소 개개의 휘도 사이의 중간으로 보이도록 2개의 인접한 화소 사이에 보간될 수 있다.

더 바람직한 실시예는 종속 청구항에 명시된다.

본 발명의 완전한 이해를 위하여, 첨부 도면에 도시된 바와 같이 다음 본 발명의 바람직한 실시예의 상세한 설명이 이제 참고될 것이다.

도면의 간단한 설명

도 1은 본 발명에 관련되는 형태의 아날로그 전기광학 광 변조기 패널 및 이에 연결된 구동기 회로의 블록 다이어그램.

도 2는 디지털-아날로그 변환기(DAC) 램프 발생기의 상세한 부분을 나타내는 도 1의 시스템의 부분 블록 다이어그램.

도 3은 도 2의 상기 DAC 램프 발생기의 동작을 도시하는 설명 다이어그램.

도 4는 풀(full) 해상도의 DAC를 갖는 도 1의 시스템의 동작을 도시하는 시간 다이어그램.

도 5는 본 발명에 따른 하프(half) 해상도의 DAC를 갖는 도 1의 시스템의 동작을 도시하는 시간 다이어그램.

도 6은 광전자 디스플레이 장치 위의 DC 빌드 업(build up)을 피하기 위한 구동 파형의 위상 변화(상부 다이어그램) 및 결과로서 생기는 화소에 대한 휘도 변조를 나타내는 시간 다이어그램.

도 7은 2개의 불연속 레벨(M 및 M+1)이 화소에 대한 4 레벨 데이터 보간 스킴(interpolation scheme)을 제공하기 위해 어떻게 샘플화 할 수 있는지를 도시하는 테이블.

도 8은 역변환에 따른 구동 파형(상부 다이어그램) 및 4레벨 보간 스킴에 대한 휘도 파형(하부 다이어그램)을 도시한 도면.

도 9는 도 1의 시스템에 대한 열 제어 회로의 바람직한 실시예의 블록 다이어그램.

실시예

본 발명의 바람직한 실시예가 도 1 내지 도 9를 참조하여 이제 설명될 것이다. 여러 도면의 동일 요소는 동일 참조 부호로 분명히 나타낸다.

도 1은 전기광학 디스플레이 장치를 제어하고 구동하기 위한 전형적인 장치를 도시한다. 상기 장치에 있어서, 액정 디스플레이 또는 광 변조기(10)는 수직으로 열 및 수평으로 행이 배열된 화소의 매트릭스를 갖는다. 상기 화소는 열 도체(12) 및 행 도체(14)의 교차점에 위치된다. 상기 열 도체(12)는 각 열의 화소에 아날로그 전압을 제공하는 반면, 행 도체(14)는 열 전압을 그 행의 화소에 인가하도록 스위칭 전압을 각 연결된 행에 제공한다.

행은 행 구동기(18)의 연속하는 행을 활성화하는 행 디코더(16)에 의해 정해진 순서로 연속적으로 어드레스 지정된다.

열 전압은 트랙 및 유지 회로로서 실현되는 열 구동기 회로(20)에 의해 공급된다. 상기 트랙 및 유지 회로는 디지털-아날로그 변환기(DAC) 제어식 램프 발생기(22)로부터 램프전압을 수신한다. 상기 DAC(22)는 클록(25)에 의해 발생된 펄스를 카운트하는 카운터(24)로부터 연속적인 디지털 수를 수신한다. 상기 카운트는 특정 최소수 또는 최대수 중 어느 하나로부터 시작하여 카운트가 스케일의 상대단(opposite end)의 각각 최대수 또는 최소수가 도달할 때까지 끊임없이 증가하거나 감소한다. 따라서, 상기 DAC는 DAC의 디지털 입력에 근접하는 반복 사이클로 증가하거나 감소하는 램프 신호를 생성한다.

카운터(24)의 출력은 또한 각 열에 하나씩 있는 다수의 비교기(26)에 공급된다. 상기 수는 그 때 각 비교기에서 연결된 열 화소의 원하는 휘도 레벨를 나타내는 디지털 수와 비교된다. 상기 휘도 레벨을 나타내는 수는 시스템 각각의 완전 사이클 동안에 연결된 화소 레지스터(28)에 저장된다.

카운터(24)에 의해 공급된 카운트가 화소 레지스터에 저장된 디지털 수와 동등할 때, 상기 각 비교기(26)는 해당 열에 대한 트랙 및 유지 회로(20)로 전달되는 펄스를 생성한다. 상기 인에이블 펄스를 수신함에 따라, 연결된 열 구동기(20)는 램프 발생기(22)의 순간적인 출력과 동한한 전압을 저장한다.

각 램프의 사이클이 완료됨에 따라, 열 구동기 회로에 저장된 전압은 행 구동기(18)에 의해 선택된 행의 화소에 공급된다.

도 2는 더욱 상세하게 램프 발생기(22)를 도시한다. 각 클록 펄스에 응답하여, 카운터(24)는 출력을 증가시고, 그 출력은 룩 업 테이블(LUT:Look Up Table)(30)에 어드레스로서 공급된다. 상기 LUT는 상기 어드레스의 내용, 디지털 수를 DAC(32)에 공급한다. 연속하는 클록 펄스 사이의 주기 동안, 상기 DAC는 디지털 수를 램프 버퍼 증폭기(34)를 거쳐 모든 열 구동기(20)(도 1)로 글로벌하게 전달되는 아날로그 전압 신호로 변환한다. 상기 버퍼 증폭기는 부하와 다른 장애로부터 상기 램프 파형을 분리시키는 기능을 한다. 버퍼 출력단(36)의 저 진성(low intrinsic) 출력 임피던스(Zi)는 피드 백에 의해 더 감소된다.

도 1의 시스템 동작 속도는 DAC(32)의 변환 시간, 즉 상기 DAC가 디지털 수를 아날로그 전압으로 변환할 수 있는 최소 시간에 의해 제한된다.

도 3은 그 다음 보다 각각 연속적으로 더 높은 10개의 디지털 수로부터 생성된 램프전압(40)(하위 라인)을 나타낸다. 상기 램프전압(40)에 할당된 전체 시간은 15ns이므로, 각 디지털 수는 1.5ns의 시간 주기 내에 공급되고 변환되어야 한다. 상기 1.5ns의 변환 시간이 상기 DAC에 의해 요구된 최소 시간이면, 상기 램프전압(40)은 더 빠른 속도로 발생되지 못한다. 이것은 도 1의 시스템의 프레임 레이트 에 상한(upper limitation)을 가한다.

본 발명에 의하면, 룩 업 테이블(30)은 카운터(24)로부터 수신된 연속하는 어드레스에 따라 더 큰 전압 스텝을 상기 DAC로 제공하도록 프로그램된다. 이것은 도 3의 램프전압(42)(상위 라인)에 의해 나타낸 바와 같이 램프 주기가 감소되도록 한다. 이해된 바와 같이, 램프전압(42)은 10 스텝이 아니라 5 스텝으로 생성된다. 비록 모든 램프가 램프전압(40)의 경우와 같이 15ns가 아니라 단지 10ns에서 생성된다고 할지라도, 개개의 스텝{각 램프전압(40 및 42) 위의 "x" 로 나타낸} 사이의 상기 DAC 변환 시간은 램프전압(40)의 경우 보다 램프전압(42)의 경우 보다 더 길다.

비록 도 3은 램프전압(40 및 42)(각각 10 스텝 및 5 스텝)에 대한 상대적인 코스(course) 해상도를 나타낸다고 할지라도, 실제로 램프는 256 스텝(8 비트)의 해상도로 또는 훨씬 더 큰(10 비트 까지) 해상도로 생성될 수 있는 것을 이해할 것이다.

본 발명은 디스플레이 성능의 저하나 코스트의 증가없이 상기 시스템의 프레임 레이트를 증가시키는 것을 가능하게 한다. 비록 2개의 DAC를 제공하고 상기 디스플레이 장치의 홀수 및 짝수 행에 대해 엇갈리게 사용하는 것이 가능하지만, 이러한 변형은 실질적으로 상기 디스플레이의 코스트를 증가시킬 것이다.

본 발명에 의하면, 상기 DAC의 해상도는 룩 업 테이블(30)로부터 1(또는 이상)입력 비트를 강하(drop)하고 시간 디서링, 즉 연속하는 프레임의 상기 DAC에 의해 생성된 가변 휘도의 인간 시각 시스템에 의해 평균을 통한 보간으로 시스템의 해상도(그레이 스케일)를 회복시킴으로써 감소된다.

상기 발명에 따르면, 상기 스킴(scheme)의 예는 도 4 및 도 5에 나타난다. 도 4는 고 해상도 파형이 일련의 밀접하게 이격된 아날로그 레벨, 예를들면 디스플레이의 열 구동기에 의해 제공되고 이에 의해 트랙된 A, B 및 C에 의해 생성되는 현재 공지된 기술를 나타낸다. 예컨대, 특정 열에 있는 화소의 원하는 휘도가 B이면, 열 구동기가 상기 레벨(B)에 도달할 때 열 구동기는 상기 아날로그 전압을 샘플링(저장)할 것이다.

도 5는 열 구동기에 의해 트랙된 더 적은 스텝(A 및 C)을 갖는 코서(course

r) 램프 파형을 나타낸다. 상기 파형은 대응하는 레벨(A 및 C)을 저장할 수 있으나 원하는 전압(B)은 저장할 수 없다. 본 발명에 의하면, 열 구동기 회로는 엇갈리는 프레임 주기 동안 B에 등가인 평균 아날로그 레벨을 생성함으로써 상기 레벨(A 및 C)을 각각 저장한다.

상기 시스템은 100% 플리커에 대한 지각 한계를 상당히 넘어서는 매우 높은 프레임 레벨을 지지할 수 있기 때문에, 1%에 대응하는 최소 유효 비트(LSB)에 연결된 휘도 변조는 실제로 눈에 띄지 않게 된다.

시간 디서링의 스킴은 인접한 열 또는 행의 화소를 디서링함으로써 예를 들면, 인접한 화소의 위상을 엇갈리게 함으로써 더 개량될 수 있다. 상기 방법에서, 시간 디서링은 예컨대, 참고로 병합된 미국 특허 제5,189,406호에 개시되는 바와 같이 공간 디서링으로 보충될 수 있다.

전기광학(액정) 디스플레이 장치의 화소에는 순수하게 아날로그 전압이 공급되어야 하기 때문에, 아무리 작더라도 DC 빌드 업을 막기 위해 프레임에서 프레임으로 편리하게 극성을 주기적으로 전환시킬 필요가 있다. 시간 디서링 프로세스는 각 프레임과 동기화 되기 때문에, 화소의 위상은 도 6에 도시된 바와 같이 규칙적으로 변환다.

구동 파형(도 6의 상부 다이어그램)의 위상은 시간(T)에서 나타난 바와 같이 반복적으로 변경된다. 이것은 각각의 화소(하부 다이어그램)의 휘도 변조를 초래한다. 위상 변환은 다른 화소 또는 다른 그룹의 화소에 대해 다른 순간에서 일어나게 디자인될 수 있다. 상기 방법에서 상기 변환은 더 이상 글로벌하지 않고 따라서 눈에 덜 띄게 된다.

디서링은 최하위 비트 레벨에서의 변조 즉, 8 비트 데이터의 경우에 1% 정도의 휘도 변조 를 나타내기 때문에 디서링의 시각적인 효과는 큰 자유도가 상기 스킴의 실현으로 나타날 수 있을 만큼 작다.

시간 디서링 프로세스는 상기 디스플레이 장치의 열 레지스터에 보내진 데이터를 변형시키고 룩 업 테이블(30)의 상기 데이터를 변경함에 의해 상기 DAC 스텝 사이즈를 증가시킴으로써 전기광학 장치 자체의 변화 없이 이행될 수 있다.

4 보간 스텝에 기인하는 2 비트 디서링 방법이 도 7 및 도 8과 관련하여 이제 설명될 것이다.

정수(N, 0 N 255)를 원래의(8 비트) 데이터 워드로 나타내자. N은 상위 유효 6 비트 파트(M) 및 하위 유효 2 비트 파트(L)로 분류될 수 있다. 그러므로,

N = M ·4 + L,

where0 M 64

and0 L 3

4 프레임에 걸친 간격에서, 각 4 프레임의 다른 수(i)는 상기 데이터 워드(N)에 더해지고, 여기서i는 시퀀스(0,1,2,3)나 이들의 어느 순열을 나타낸다. 이 프로세스는 동일 또는i의 다른 순열 등으로 다음 4 프레임 주기 동안 반복된다.

앞에서와 같이 상기 신규 데이터 워드 값{Nnew = (N +i)}은 다음과 같이 쓰여질 수 있다.

Nnew = Mnew ·4 + Lnew = M ·4 + L +ifor L +i4

Nnew = Mnew ·4 + Lnew = (M + 1) ·4 + (L +i - 4) for L +i4

이것은 하위 유효 파트(L)에서 상위 유효 파트(M)로 간단하게 이월한다. 상위 유효 파트의 값은 상기 데이터를 클립핑함으로써 63(6 비트)으로 더 제한한다.(이로 인해 256레벨에서 253레벨로 최대 해상도를 감소시킨다):

Mnew 63 if M = 63

다음에, 신규 워드는 하위 유효 파트(L)를 강하함에 의해 6비트로 잘라 줄이고 2개의 리딩 제로(leading zero)를 더함으로써 다시 8 비트로 확장된다. 클립핑을 더한 후자는 변환 주기에서 단지 64 클록 사이클을 카운팅하는 8 비트 카운터가 모든 64 가능 데이터 값에 대응할 수 있게 보장한다.

상기 4 레벨 데이터 보간 스킴은 도 7의 테이블과 도 8의 시간 다이어그램으로 도시한다. 도 7에서, 보간은 2 하위 비트 값에 비례해서 2개의 불연속 레벨(M 및 M+1)을 샘플링 함으로써 이루어진다. 도 7의 테이블은 각 4 프레임에 대해 샘플링 된 Mnew의 값을 나타낸다.

도 8은 역 변환후의 구동 파형 및 상기 4 레벨 데이터 보간 스킴에 대한 휘도 파형(하부 다이어그램)을 도시한다.

도 9는 시간 디서링 스킴을 이행하기 위한 장치의 바람직한 실시예를 나타낸다. 상기 실시예에서, 상기 룩 업 테이블(30)은 연속하는 변환 사이클 사이에서 더 큰 스텝을 갖는 상기 DAC(32)를 제공하도록 프로그램된 것으로 가정한다. 하위 유효 비트 데이터(2 비트)는 4개의 출력단(0, 1, 2 및 3) 중 하나의 출력신호를 제공하는 디코더(50)에서 디코딩된다. 상기 디코딩된 LSB 데이터는 글로벌 제어 신호(A, B 및 C)의 제어하에 MSB 데이터에 더해지고, 글로벌 제어 신호(A, B 및 C)는 다이어그램의 하부에 범례로 나타낸다. 상기 홀수 열 레지스터(281) 및 상기 짝수 열 레지스터(280)에 대한 제어 신호는 시간 인공물의 시계(視界)를 줄이기 위해 서로에 대해 위상 시프트된다.

다이어그램의 상부 파트에 나타난 바와 같이, 덧셈기(52)의 출력은 상기 홀수 열 레지스터(281)로 전달된다. 동일 하드웨어는 데이터를 상기 짝수 열 레지스터(280)에 공급하기 위해 상기 다이어그램의 하부 파트의 점선으로 나타난 바와 같이 제공된다.

산업상 이용 가능성

따라서, 상기에 나타난 모든 목적 및 이점을 이행하는 컬러 전기광학 디스플레이 장치에 있어서는 전압을 개개의 화소에 인가하기 위한 DAC 제어식 램프 발생기를 갖는 새로운 장치를 나타내고 설명해 왔다. 그러나, 본 발명의 많은 변화, 변형, 변동, 다른 용도 및 응용은 상기의 바람직한 실시예를 개시하는 이 명세서 및 첨부도면을 고려한 후 당업자에게 명백해질 것이다. 본 발명의 사상과 범위를 벗어나지 않는 모든 이러한 변화, 변형, 변동, 다른 용도 및 응용은 다음 청구항에 의해 단지 제한되는 상기 발명에 의해 커버되는 것으로 간주된다.

(57) 청구의 범위

청구항 1.

수직으로 열(column) 및 수평으로 행(row)으로 배열된 화소의 매트릭스를 갖는 디스플레이 장치에서 다양한 전압 레벨을 개개의 화소에 인가하기 위한 장치로서,

(a)한 프레임 사이클 동안 연속하는 스텝의 값으로 단조롭게 변화하고, 복수의 연속하는 사이클 동안 상기 변화를 반복하는 복수의 디지털 신호를 생성하기 위한 디지털 신호 소스(24, 25)와,

(b)상기 디지털 신호에 대응하는 값을 갖는 전압 신호를 발생하기 위한, 상기 디지털 신호 소스에 연결된 디지털-아날로그 변환기(DAC)(22)와,

(c)상기 전압신호가 주어진 사이클 동안 개개의 열과 특정 행에 있는 한 화소의 특정 휘도 레벨에 대응하는 정해진 값에 도달할 때, 상기 전압 신호를 저장하기 위해 각각이 상기 디스플레이 장치의 하나의 열과 연결되고, 상기 디스플레이 장치의 개개의 열의 화소에 연결된 트랙 및 유지회로를 포함하는 복수의 열 구동기(20)와,

(d)상기 전압 신호가 각 개개의 열에 대한 상기 정해진 값에 도달할 때 상기 트랙 및 유지 회로 중 하나가 상기 전압 신호를 저장하게 하기 위해 상기 열 구동기에 연결된 열 제어 회로(26,28)와,

(f)상기 열 구동기의 상기 트랙 및 유지 회로에 저장된 전압 신호를 수신하는 하나 이상의 화소 행을 반복적으로 선택하기 위한 행 제어 회로(16,18)를

구비하며,

상기 열 제어회로는,

(1)개개의 열에 있는 화소의 원하는 휘도 레벨에 대응하는 디지털 수를 저장하기 위해 각각이 상기 디스플레이 장치의 하나의 열에 연결되는 복수의 열 레지스터(28)와,

(2)전압신호가 해당 열에 연결된 열 레지스터에 저장된 디지털 수에 대응하는 값에 도달할 때, 개개의 열에 연결된 각 열 구동기가 전압 신호를 유지하게 하기 위해 상기 열 레지스터에 접속된 제어 회로(26)와,

(3)디지털 수를 상기 열 레지스터에 공급하기 위해 상기 복수의 열 레지스터에 접속되고, 상기 원하는 휘도 레벨이 각 개개의 열에서 화소의 원하는 휘도 레벨 위의 값을 나타내는 수와 아래의 값을 나타내는 수 사이의 레벨일 때, 이러한 2개의 수 사이의 복수의 프레임 사이클 동안 상기 디지털 수를 엇갈리게 하게 하는 입력회로(50, 52)를 포함하여,

이로 인해, 비록 이러한 각 화소의 열 레지스터에 저장된 수가 원하는 휘도 레벨과 동등한 값을 나타내지 않는다 할지라도, 각 화소의 평균 휘도 레벨은 원하는 휘도 레벨에 근접할 수 있는 것을 특징으로 하는, 디스플레이 장치에서 다양한 전압 레벨을 개개의 화소에 인가하기 위한 장치

청구항 2.

제 1항에 있어서, 상기 입력 회로(50, 52)는 제1 부분 및 제2 부분을 포함하는데, 상기 제1 부분은 상기 디지털 수를 상기 열 레지스터 중 몇몇 열 레지스터에, 상기 제2 부분은 상기 디지털 수를 열 레지스터의 다른 열 레지스터에 공급하는, 디스플레이 장치에서 다양한 전압 레벨을 개개의 화소에 인가하기 위한 장치.

청구항 3.

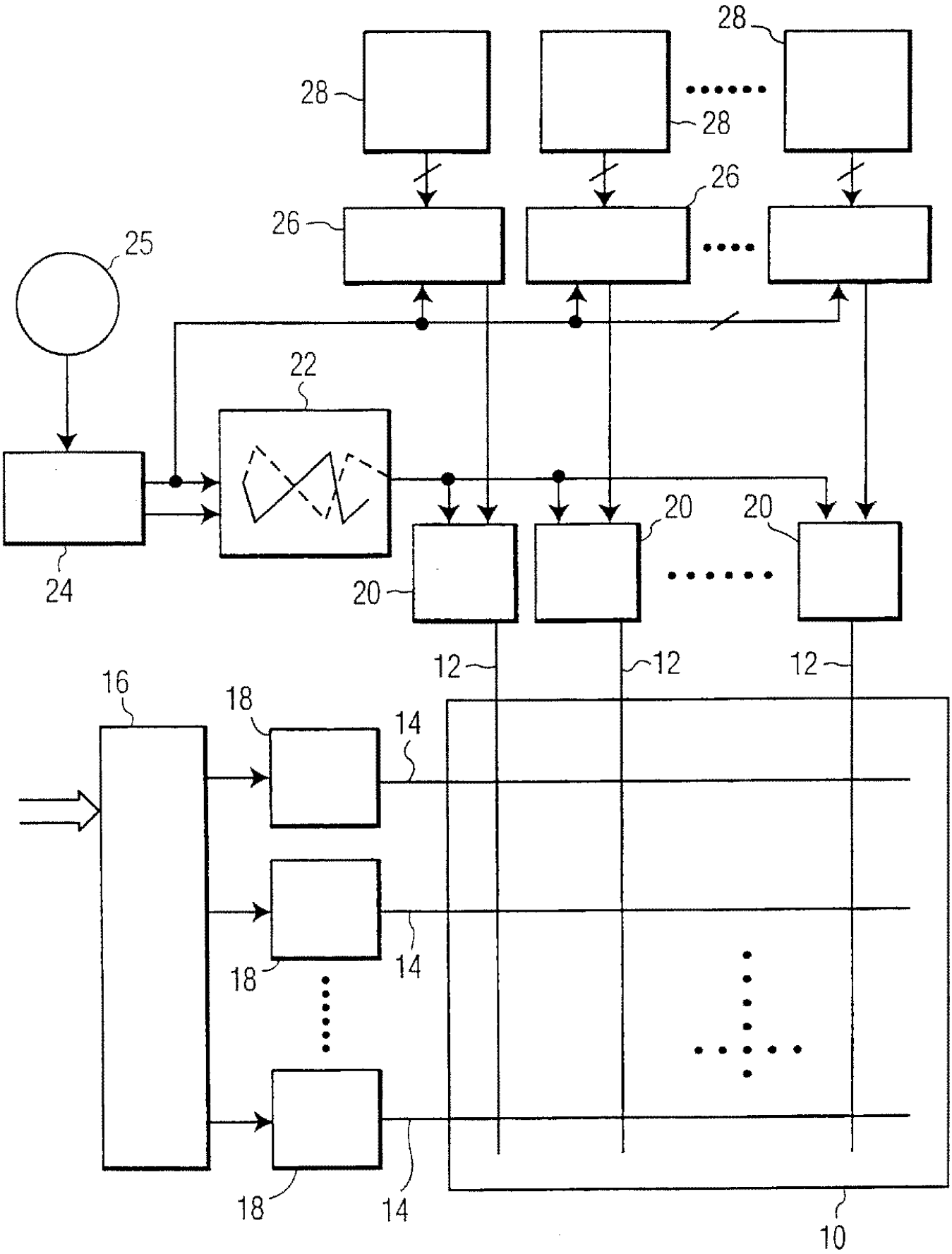
제 1항에 있어서, 상기 열 제어 회로(26)는 주어진 행의 인접한 열의 2개의 화소에 인가하는 전압 신호 값을 반복적으로 엇갈리게 동작함으로써, 각 화소 개개의 휘도 사이의 중간으로 보이는 상기 2개의 화소에 대한 휘도 레벨을 생성해 내는, 디스플레이 장치에서 다양한 전압 레벨을 개개의 화소에 인가하기 위한 장치.

청구항 4.

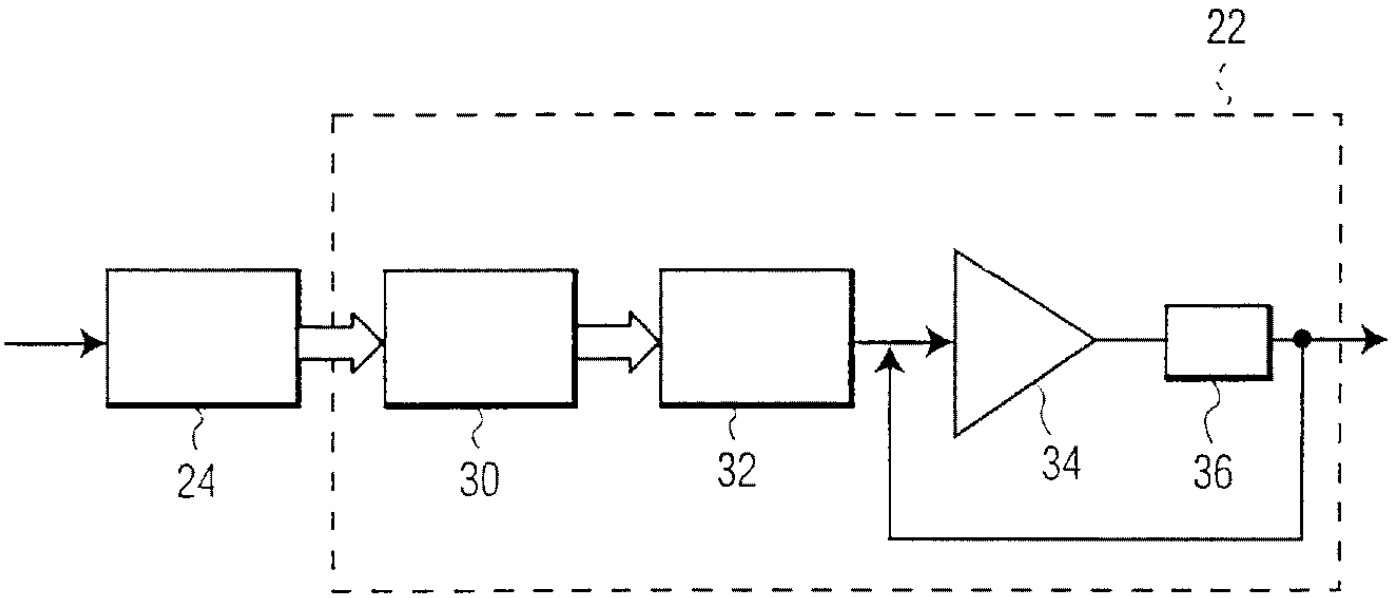
제 1항에 있어서, 상기 행 제어장치(16)는 주어진 열의 인접한 행의 2개의 화소에 인가하는 전압 신호 값을 반복적으로 엇갈리게 동작함으로써, 각 화소 개개의 휘도 사이의 중간으로 보이는 상기 2개의 화소에 대한 휘도 레벨을 생성해 내는, 디스플레이 장치에서 다양한 전압 레벨을 개개의 화소에 인가하기 위한 장치.

도면

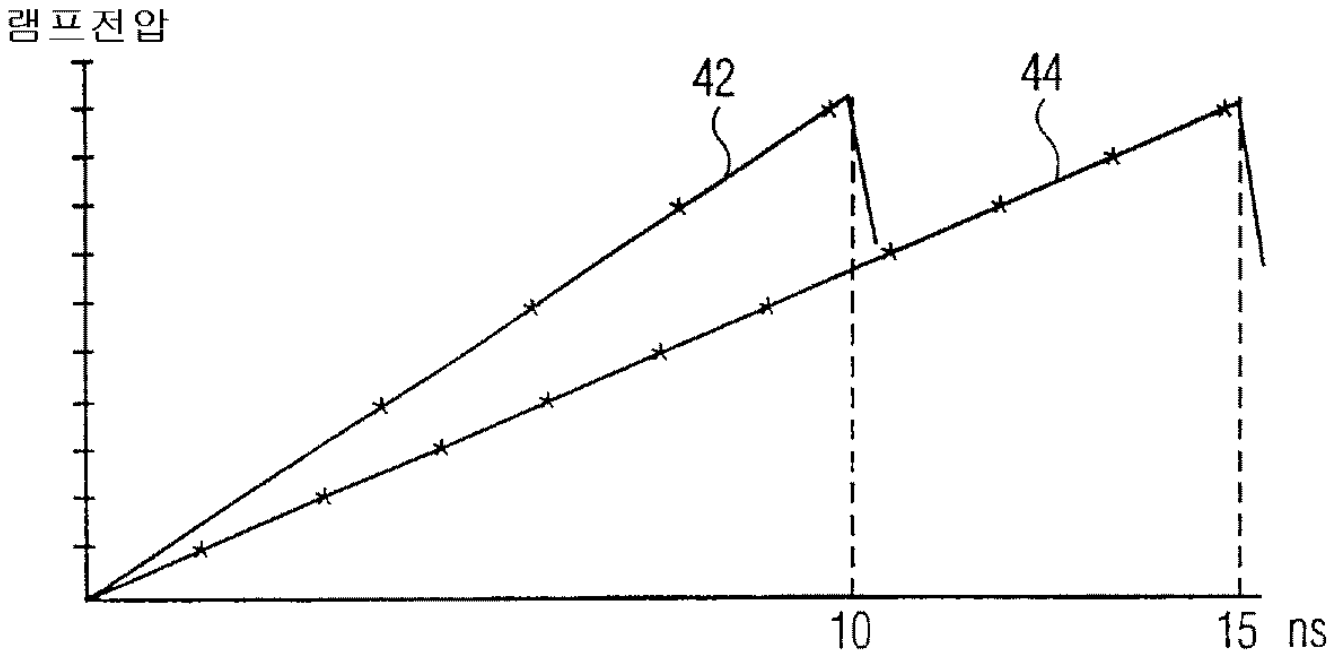
도면 1



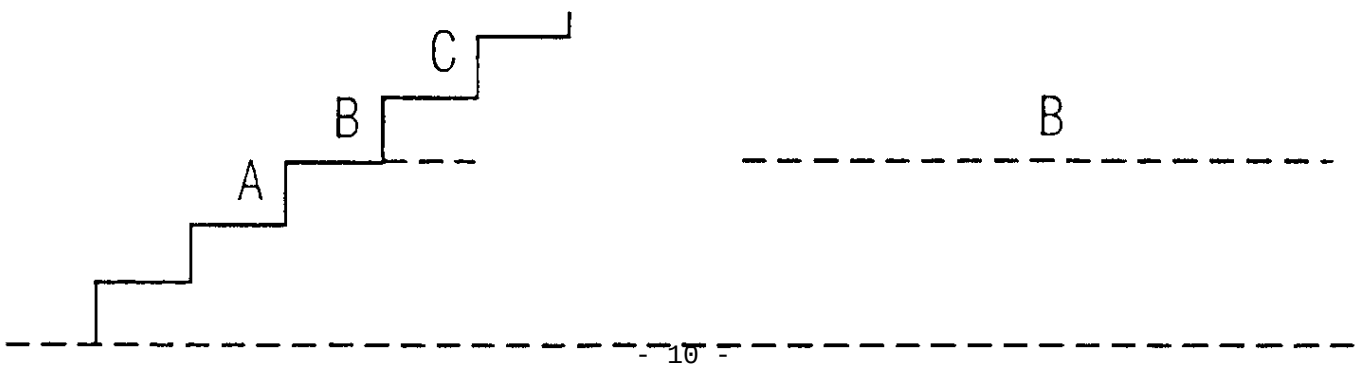
도면 2



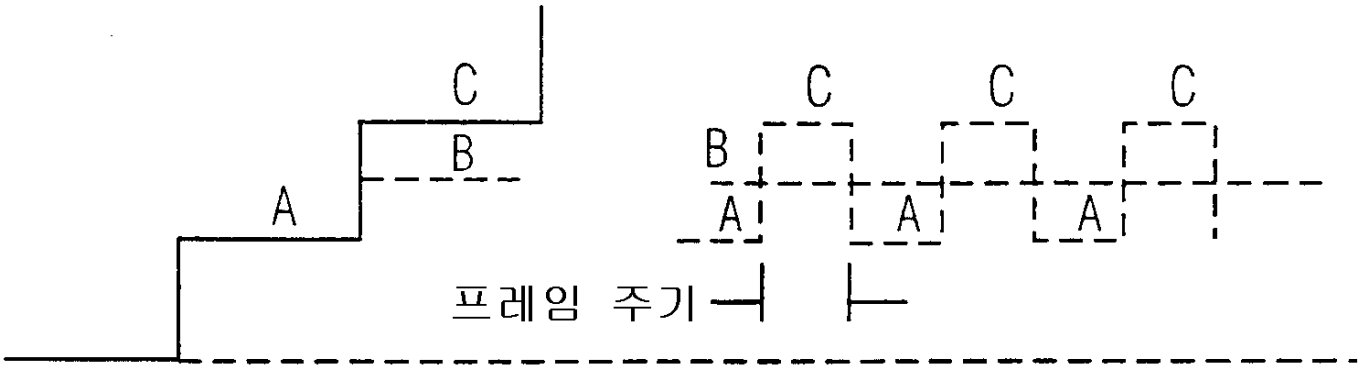
도면 3



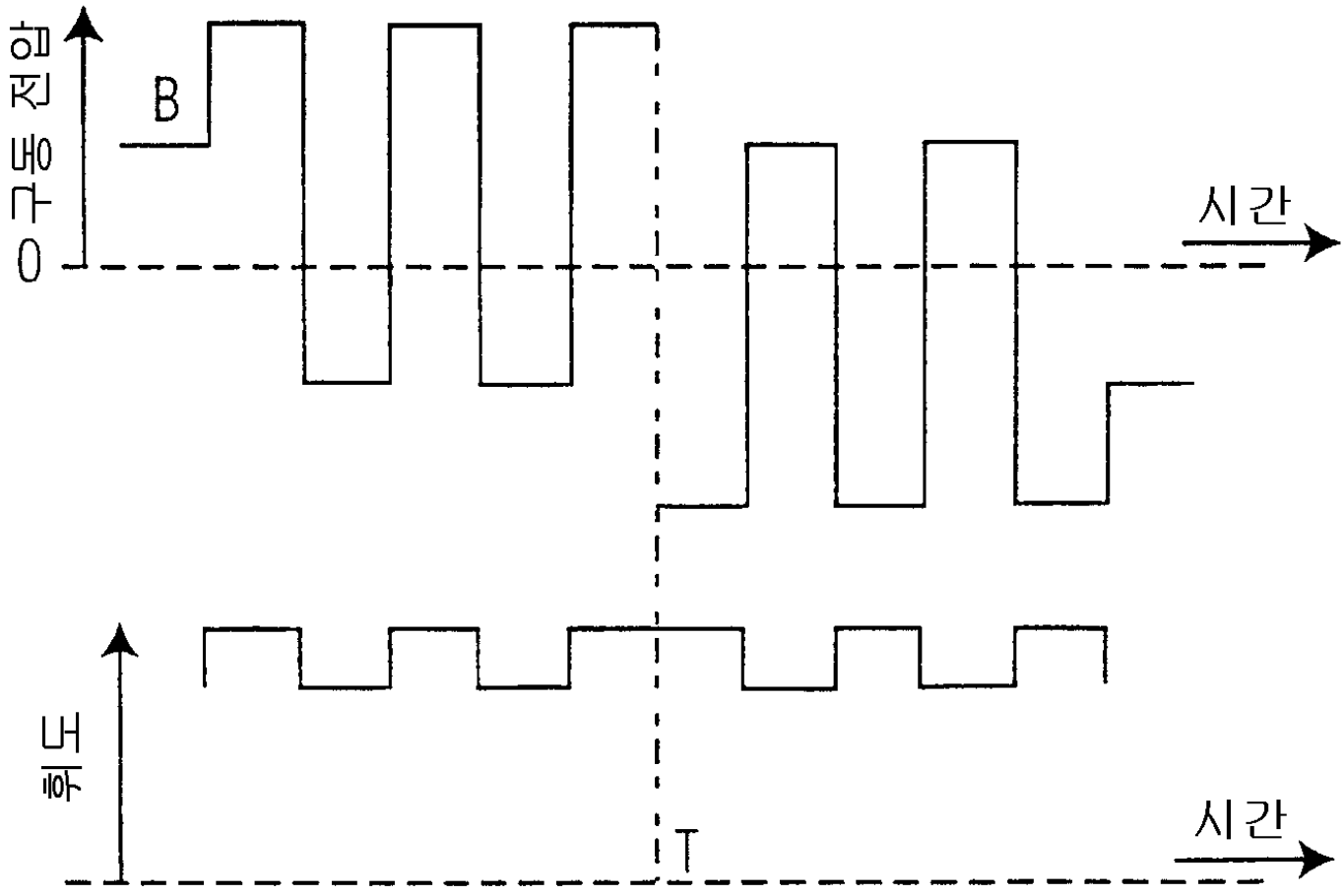
도면 4



도면 5



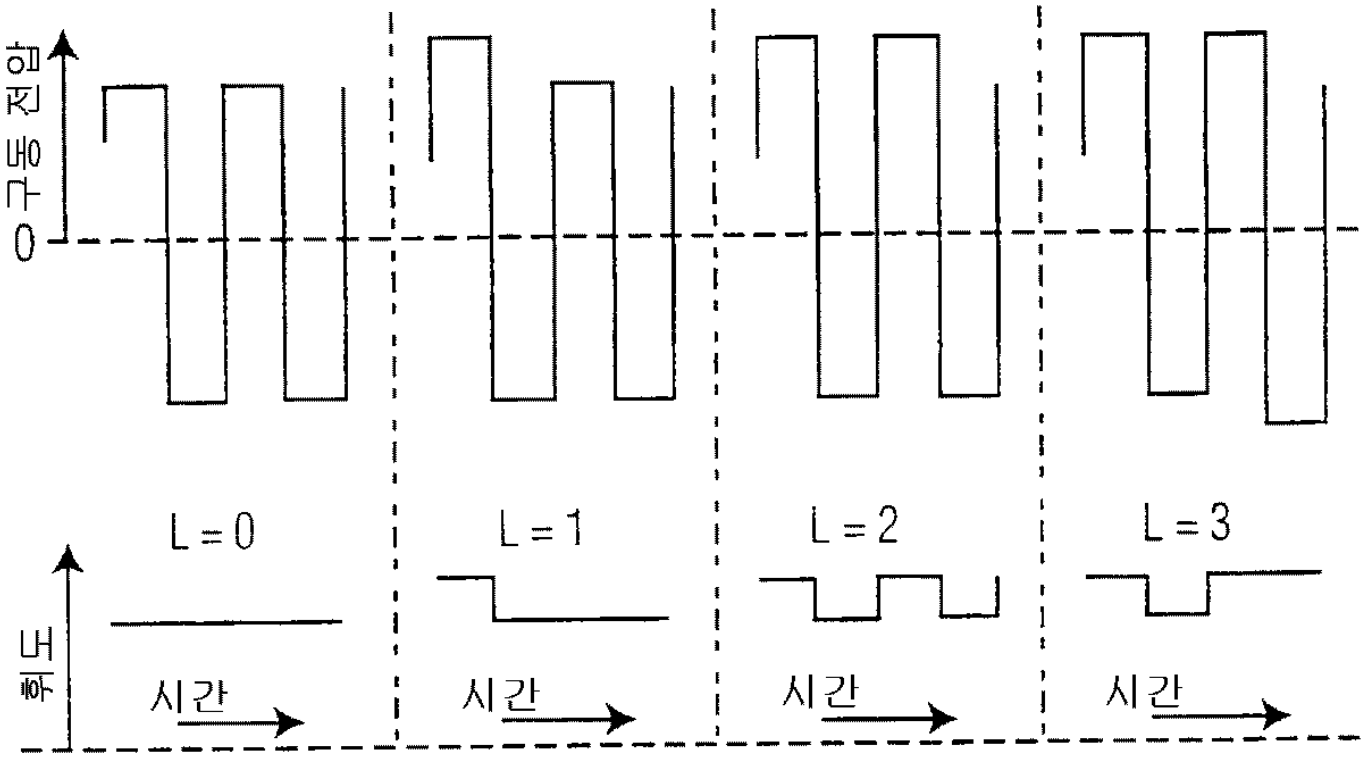
도면 6



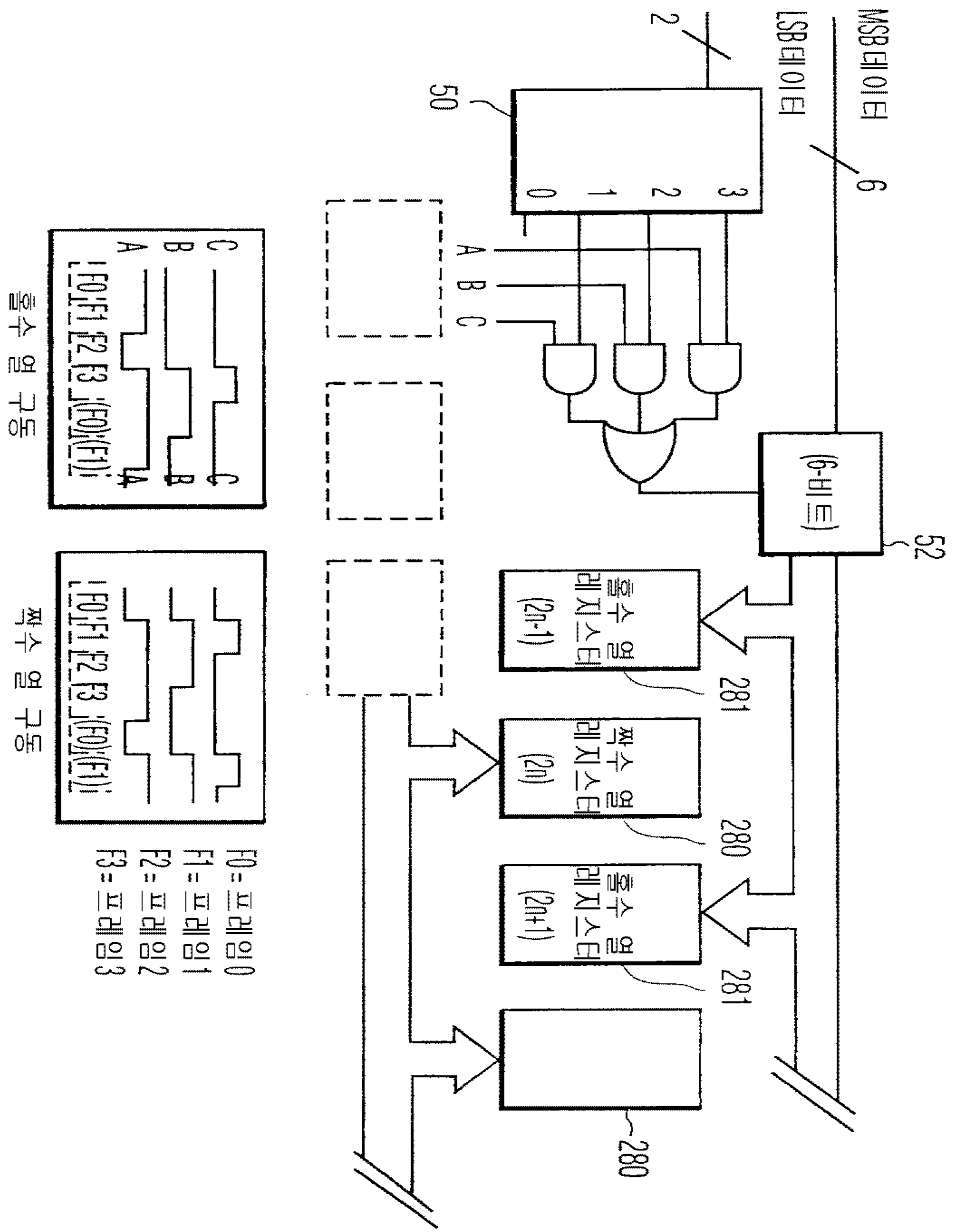
도면 7

		M신규(=샘플링된 값)			
		L=0	L=1	L=2	L=3
프레임1	i=3	M	M+1	M+1	M+1
프레임2	i=0	M	M	M	M
프레임3	i=2	M	M	M+1	M+1
프레임4	i=1	M	M	M	M+1

도면 8



도면 9


MSB데이터
LSB데이터
6
2
50
52
(6-비트)
A B C
홀수 열 레지스터 (2n-1)
짝수 열 레지스터 (2n)
홀수 열 레지스터 (2n+1)
281
280
281
280
홀수 열 구동
짝수 열 구동
F0=프레임 0
F1=프레임 1
F2=프레임 2
F3=프레임 3

专利名称(译)	带有斜坡发生器的信号驱动器，用于电光器件		
公开(公告)号	KR1020010111264A	公开(公告)日	2001-12-17
申请号	KR1020017010511	申请日	2000-11-20
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	科宁欣克利凯恩菲利普斯日元.V.		
当前申请(专利权)人(译)	科宁欣克利凯恩菲利普斯日元.V.		
[标]发明人	JANSSEN PETER J 얀센페테르에이 DEAN JOHN A 데안욘아 ALBU LUCIAN R 알부루시안에르		
发明人	얀센,페테르,에이 데안,욘,아 알부,루시안,에르		
IPC分类号	G02F1/133 G09G3/20 G09G3/34 G09G3/36		
CPC分类号	G09G3/20 G09G3/2011 G09G3/2025 G09G3/2051 G09G3/3688 G09G2310/0259 G09G2310/027		
代理人(译)	MOON，KYOUNG金 CHO，贤SEOG		
优先权	09/469449 1999-12-21 US		
外部链接	Espacenet		

摘要(译)

在诸如液晶显示装置的光电显示装置中用作关于入射光的调制器，全局DAC控制的斜坡发生器与磁轨一起用于显示和保持电路的每个热量，并且数字显示信号被转换成关于所有热量的模拟信号。具有行地址电路的显示装置的每个像素是具有地址分配盒的该模拟信号，每行显示被指定为地址。由DAC的有限转换时间（循环时间）引起的帧速率增加的限制通过降低到梯度分辨率来克服。 DAC必须将数字数字转换为每个斜坡周期的模拟电压的时间减少，因此原始图像在时间抖动时转向，换句话说，连续帧使用强度等级之间的插值。像素。