

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
G02F 1/1335

(11) 공개번호 특2001 - 0109166
(43) 공개일자 2001년12월08일

(21) 출원번호 10 - 2001 - 0029959
(22) 출원일자 2001년05월30일

(30) 우선권주장 2000 - 162775 2000년05월31일 일본(JP)

(71) 출원인 소니 가부시끼 가이샤
이데이 노부유키
일본국 도쿄도 시나가와쿠 키타시나가와 6초메 7반 35고

(72) 발명자 와다토모히로
일본도쿄도시나가와쿠키타시나가와6 - 7 - 35소니가부시끼가이샤내
사토타쿠세이
일본도쿄도시나가와쿠키타시나가와6 - 7 - 35소니가부시끼가이샤내

(74) 대리인 이병호

심사청구 : 없음

(54) 액정 표시 장치 및 그 제조 방법

요약

본 발명은 TFT 기판의 고리 형상의 상층 차광막과 패드의 근접에 동반하는 정전기 불량률의 발생을 칩 사이즈를 크게 하지 않고서 억제한다.

TFT 기판(110)에는, 외주 부근의 영역에 금속 배선(115) 및 패드부(116)가 설치되고, 그 외측에는 도전성 차광막(124)이 설치되어 있다.

도전성 차광막(124)은, TFT 기판(110)에 상층 차광막을 형성하는 경우에, 스크라이브(scribe) 라인측의 상층 차광막이 에칭시나 세정시에 잘 박리되지 않기 때문에, TFT 기판(110)의 외주부에 고리 형상으로 남기도록 한 것이다. 그리고, 이 도전성 광막(124) 중, 패드부(116)의 외측에 배치되는 도전성 차광막(124A)의 위치를 외측으로 이동하고, 도전성 차광막(124A)과 패드부(116)의 간격을 예를 들면 10 μ m 이상 떨어지게 하였다. 이로써, 도전성 차광막(124A)과 패드부(116) 사이의 정전 불량률을 억제한다.

대표도

도 1

색인어

도전성 차광막, 패드부, 간격, 정전 불량, 10 μ m

명세서

도면의 간단한 설명

도 1은 본 발명의 제 1 실시예에 따른 액정 표시 장치의 TFT 기판상의 패드부와 도전성 차광막의 배치 관계를 도시하는 주요부 평면도.

도 2는 본 발명의 제 2 실시예에 따른 액정 표시 장치의 TFT 기판상의 패드부와 도전성 차광막의 배치 관계를 도시하는 주요부 평면도.

도 3은 종래의 TFT 기판 상의 배선 패턴의 일 예를 도시하는 평면도.

도 4는 도 3의 A - A로 도시된 영역의 내부 적층 구조를 도시하는 부분 단면도.

도 5는 도 3에 도시된 TFT 기판상의 패드부와 도전성 차광막의 배치 관계를 도시하는 주요부 평면도.

* 도면의 주요 부분에 대한 부호의 설명 *

101: 웨이퍼 110: TFT 기판

112: 표시 영역 113: 수직 구동 회로

114: 수평 구동 회로 115: 금속 배선

116: 패드부 124, 124A, 124B: 도전성 차광막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 각종 표시 장치로서 사용되는 액정 표시 장치 및 그 제조 방법에 관한 것이다.

종래부터, 액정 표시 장치를 구성하는 화소 트랜지스터를 탑재한 구동 기판(TFT 기판)을 기판(웨이퍼) 상에 다수 일괄로 형성하고, 기판을 스크라이브 라인(scribed line)으로 분단하는 것에 의해, 각각의 TFT 기판을 얻는 방식이 알려져 있다.

도 3은 이러한 종래의 TFT 기판 상에 있어서의 배선 패턴의 일 예를 도시하는 평면도이고, 도 4는 도 3의 A - A로 도시된 영역의 내부 적층 구조를 도시하는 부분 단면도이다.

도 3에 도시하는 바와 같이, 1개의 TFT 기판(10)을 형성하는 영역은, 웨이퍼(1) 상에 격자형으로 형성된 스크라이브 라인(2)에 의해 구획되어 있고, 각 TFT 기판(10)에는 화소 트랜지스터(11)를 매트릭스형으로 배치한 표시 영역(12)이 설치되어 있다.

또한, 이 표시 영역(12)의 외측에는 표시 영역(12)의 각 화소 트랜지스터를 구동하기 위한 수직 구동 회로(13) 및 수평 구동 회로(14)가 설치되고, 더욱이, 그 외측에 금속 배선(15)이 설치됨과 동시에, 복수의 패드부(16)가 설치되어 있다.

패드부(16)는 표시 영역(12)의 수평 구동 회로(14)를 설치한 1개의 변을 따라서 평행하게 배열되어 있다. 그리고, 이들의 패드부(16)는 금속 배선(15)에 접속되어 있고, 검사 기기 등의 단자가 접촉하는 것이다. 또, 몇 개의 패드부(16)는, 금속 배선(15)에 접속되지 않는 더미(dummy)로서 설치되어 있다.

또한, 금속 배선(15)의 코너부에는 공통 전극부(15A)가 설치되고, 각 구동회로(13, 14) 등으로의 급전이 행해지도록 되어 있다.

또한, 도 4에 있어서, 석영 기판(20) 상에 설치한 층간 절연막(21) 상에 다결정 실리콘막(22)이 형성되고, 그 상층에 Al 전극막(23), 상층 차광막(24)이 설치되어 있다. 또한, 상층 차광막(24)의 위에 층간 절연막(25)을 사이에 두고 투명 전극(26)이 설치되어 있다.

또한, 다결정 실리콘막(22)의 외주부에는, 층간 절연막(27, 28)이 설치되고, 상방으로 돌출한 형상에 의해 스크라이브 라인의 흠을 형성하고 있다.

또, 상층 차광막(24)은 Al이나 Ti 등을 사용한 합금 등으로 형성된 도전성 차광막이다. 또한, 투명 전극(26)은 ITO막 등으로 형성되고, 층간 절연막(25)은 P형 TEOS막 또는 SOG막 등으로 형성되어 있다. 또한, 그 밖의 층간 절연막은, 실리콘 산화막이나 실리콘 질화막 등이 적절하게 사용되고 있다.

그런데, 이러한 TFT 기판의 제작에 있어서, 웨이퍼의 스트레스에 의한 휘어짐을 완화하기 위한 대책으로서, 스크라이브 라인상에 성막되는 각 박막을, 각각 성막할 때마다, 드라이 또는 웨트 에칭과 리소그래피 기술을 사용하여 제거하는 처리를 행하고 있다.

이 때문에, 상층 차광막(24)을 형성하는 단계에서는 스크라이브 라인의 흠이 깊어지고, 이 상층 차광막(24)을 가공할 때에, 스크라이브 라인의 저면부에 상층 차광층이 남으며, 이 부분이 가공 후의 세정 등으로 벗겨져, 예를 들면 화소간의 쇼트(short)를 초래하는 원인으로 되어 있었다.

그래서, 도 4에 도시하는 바와 같이, TFT 기판의 외주부를 따라서 상층 차광막을 고리 형상으로 남기는 것에 의해 상층 차광막이 잘 벗겨지지 않는 구조를 채용하여 대응하고 있었다.

발명이 이루고자 하는 기술적 과제

그러나, 이와 같이 TFT 기판의 외주부를 따라서 상층 차광막을 고리 형상으로 남기도록 한 경우, 도 5에 도시하는 바와 같이, 상술한 패드부(16)의 주변에도, 상층 차광막(24; 도 5에 실선(24A)으로 도시한다)이 배치되며, 이러한 고리 형상의 상층 차광막(24)의 존재에 의해서 액정 공정에서 정전기로 인한 손실을 입기 쉽다는 문제가 있다.

이에 대하여, 고리 형상의 상층 차광막을 패드부로부터 떨어진 위치에 형성하는 것에 의해, 정전기의 악영향을 방지하는 것도 가능하지만, 스크라이브 라인 상에는, 여러 가지 맞춤 마크, TEG가 배치되어 있고, 고리 형상의 상층 차광막을 TFT 기판의 전체 둘레에 걸쳐 중심으로부터 떨어진 위치에 형성하면, 그 배치 스페이스 때문에 스크라이브 라인을 굽게 할 필요가 있고, 또한, 칩 사이즈가 커져, 나아가서는 TFT 기판으로부터의 수율이 감소된다는 문제가 생긴다.

그래서 본 발명의 목적은, TFT 기판의 고리 형상의 상층 차광막과 패드의 근접에 동반하는 정전기 불량률의 발생을 칩 사이즈를 크게 하지 않고서 억제할 수 있는 액정 표시 장치 및 그 제조 방법을 제공하는 것에 있다.

발명의 구성 및 작용

본 발명은 상기 목적을 달성하기 위해서, 기판 상에 복수개가 일괄적으로 형성되고, 상기 기판을 스크라이브 라인으로 분단하는 것에 의해 제작된 구동 기판을 갖는 액정 표시 장치에 있어서, 상기 구동 기판의 외주부를 따라서 고리 형상으로 형성된 도전성 차광막과 상기 구동 기판의 한 변을 따라서 상기 도전성 차광막의 내측에 배열된 복수의 패드부를 갖고, 상기 구동 기판의 패드부를 설치한 변에 있어서 상기 도전성 차광막과 상기 각 패드의 간격이 적어도 $10\mu\text{m}$ 이상 이격되어 있는 것을 특징으로 한다.

또한 본 발명은, 기판 상에 복수개가 일괄적으로 형성되고, 상기 기판을 스크라이브 라인으로 분단하는 것에 의해 제작된 구동 기판을 갖는 액정 표시 장치의 제조 방법에 있어서, 상기 구동 기판의 외주부를 따라서 고리 형상으로 도전성 차광막을 형성하는 공정과, 상기 구동 기판의 한 변을 따라서 상기 도전성 차광막의 내측에 배열된 복수의 패드부를 형성하는 공정을 갖고, 상기 구동 기판의 패드부를 설치한 변에 있어서 상기 도전성 차광막과 상기 각 패드 간격을 적어도 $10\mu\text{m}$ 이상 이격시켜서 형성한 것을 특징으로 한다.

본 발명에 따른 액정 표시 장치에서는, 구동 기판의 패드부를 설치한 변에 있어서 도전성 차광막과 각 패드의 간격이 $10\mu\text{m}$ 이상 이격 배치되어 있다.

이 $10\mu\text{m}$ 이상이라는 간격은, 정전기로 인한 불량 발생율을 저하시킬 수 있는 값으로서 판명되어 있다. 따라서, 도전성 차광막과 각 패드 간격을 $10\mu\text{m}$ 이상 떨어지게 함으로써, 도전성 차광막과 각 패드 사이의 정전기로 인한 불량을 억제할 수 있다.

또한, 구동 기판의 패드부를 설치한 변에 있어서만, 도전성 차광막과 각 패드와의 간격을 $10\mu\text{m}$ 이상 떨어지게 하는 것에 의해, 구동 기판의 전체 둘레에 걸쳐 도전성 차광막을 중심으로부터 떨어지게 하지 않고서, 칩 사이즈를 그다지 크게 하지 않고서 실현할 수 있다.

또한, 본 발명에 따른 액정 표시 장치의 제조 방법도 마찬가지로, 구동 기판의 패드부를 설치한 변에 있어서, 도전성 차광막과 각 패드 간격을 $10\mu\text{m}$ 이상 이격시켜서 배치한다.

따라서, 도전성 차광막과 각 패드 간격을 $10\mu\text{m}$ 이상 이격시키는 것에 의해, 도전성 차광막과 각 패드 사이의 정전기로 인한 불량을 억제할 수 있다.

또한, 구동 기판의 패드부를 설치한 변에 있어서만, 도전성 차광막과 각 패드와의 간격을 $10\mu\text{m}$ 이상 이격시키는 것에 의해, 구동 기판의 전체 둘레에 걸쳐 도전성 차광막을 중심으로부터 떨어지게 하지 않으며, 칩 사이즈를 그다지 크게 하지 않고서 실현할 수 있다.

이하, 본 발명에 따른 액정 표시 장치와 그 제조 방법의 실시예에 대하여 설명한다.

도 1은 본 발명의 제 1 실시예에 따른 액정 표시 장치의 TFT 기판 상에 있어서의 패드부와 도전성 차광막의 배치 관계를 도시하는 주요부 평면도이다.

상기 예의 TFT 기판(110)은, 웨이퍼(101) 상에 격자형으로 형성된 스크라이브 라인(도 1에서는 생략함)에 의해 구획된 영역에 형성되고, 웨이퍼(101)를 스크라이브 라인으로 분단하는 것에 의해, 복수개가 일괄적으로 형성되는 것이다.

이 TFT 기판(110)에는, 중앙에 화소 트랜지스터(도 1에서는 생략한다)를 매트릭스형으로 배치한 표시 영역(112)이 설치되어 있고, 이 표시 영역(112)의 외측에, 표시 영역(112)의 각 화소 트랜지스터를 구동하기 위한 수직 구동 회로(113) 및 수평 구동 회로(114)가 설치되며, 더욱이, 그 외측에 금속 배선(115)이 설치됨과 동시에, 복수의 패드부(116)가 설치되어 있다.

패드부(116)는, 표시 영역(112)의 수평 구동 회로(114)를 설치한 1개의 변을 따라서 평행하게 배열되어 있다. 그리고, 이들의 패드부(116)는 금속 배선(115)에 접속되어 있고, 검사 기기 등의 단자가 접촉하는 것이다. 또, 몇 개의 패드부(116)는, 금속 배선(115)에 접속되지 않은 더미로서 설치되어 있다.

또한, 금속 배선(115)의 코너부에는 공통 전극부(115A)가 설치되고, 각 구동회로(113, 114) 등으로의 급전이 행해지도록 되어 있다.

또한, 금속 배선(115) 및 패드부(116)의 외측에는, 도전성 차광막(124)이 설치되어 있다.

이 도전성 차광막(124)은, TFT 기판(110)의 외주부를 따라서 사각형의 고리 형상으로 형성된 것이고, TFT 기판(110)에 상층 차광막을 형성하는 경우에, 스크라이브 라인층의 상층 차광막이 에칭시나 세정시에 박리되기 어렵게 하기 때문에, TFT 기판(110)의 외주부에 고리 형상으로 남기도록 한 것이다.

또, 이 도전성 차광막(124)은, W, MO, Ta, Cr, Ti, Al, Cu, Zn과, 각각의 실리사이드와, 그 합금의 어느 하나의 조합을 사용하고, 50 내지 500nm의 범위의 막 두께로 형성할 수 있다. 또한, 이 도전성 차광막(124)은, 200 K Ω /□ 이하의 저 저항을 갖고, 적어도 400 내지 500nm의 영역의 광에 대하여 투과율이 10% 이하인 것으로 되어 있다.

그리고, 상기 예에 있어서는, 패드부(116)의 외측에 배치되는 도전성 차광막(124A)의 위치를, 도 5에 도시한 종래 예(도 1에 파선(24B)으로 도시함)와 비교하여 147nm만큼 외측으로 이동시키는 것에 의해, 도전성 차광막(124A)과 패드부(116)의 간격을 예를 들면 10 μ m 이상 떨어지게 하였다.

즉, 도 1에 도시하는 바와 같이, 고리 형상의 도전성 차광막(124) 중 패드부(116)가 배열된 부분의 도전성 차광막(124A)만을 147nm만큼 외측에 형성하고 있다.

또, 이러한 도전성 차광막(124)의 위치 및 형상의 변경에 동반하여, 스크라이브 라인의 위치 및 형상도 도전성 차광막(124, 124A)에 대응하도록 형성하고 있다.

이러한 TFT 기판을 제조하는 경우, 도전성 차광막으로서, 예를 들면 AL/Ti On/Ti를 100nm/50nm/100nm의 막 두께로 차례로 성막 후, 에칭 등에 의해서 패턴 형성하고, 평면적으로 6 μ m의 폭을 갖는 띠형 패턴으로 형성한다.

그 후, P-TEOS를 100nm 성막 후, SOG(Spin on Glass)를 400nm 성막하여 층간 절연막을 형성하고, 콘택트 홀을 뚫어, 막 두께가 70nm의 ITO 막으로 이루어지는 투명 화소 전극을 형성한다.

이러한 구조에 의해, 패드부와 플렉시블 기판의 압착 작업에 있어서, 압착 마진이 증가하고, 정전기로 인한 패드부와 플렉시블 기판의 쇼트를 저감할 수 있다.

또한, 이상의 예에서는, 고리 형상의 도전성 차광막(124) 중 패드부(116)가 배열된 범위의 도전성 차광막(124A)을 패드부(116)로부터 떨어지게 하도록 하였지만, 도 2에 도시하는 바와 같이, 도전성 차광막(124) 중 패드부(116)가 배치된 변의 도전성 차광막(124)을 전체적으로 패드부(116)로부터 떨어지도록 하여도 좋다.

또한, 그 밖의 구성은, 도 1에 도시하는 예와 같기 때문에 설명은 생략한다.

또한, 이상의 예는, TFT 기판을 스크라이브 라인으로 웨이퍼로부터 분단한 후도 도전성 차광막이 TFT 기판의 외주부에 잔존하도록 구성한 것이었지만, 도전성 차광막을 패드부보다 크게 후퇴한 위치에 형성하는 것에 의해, TFT 기판을 스크라이브 라인으로 웨이퍼로부터 분단하였을 때에, 도전성 차광막도 함께 절단되도록 하는 것도 가능하다.

이러한 제조 방법에 따르면, 패드부와 플렉시블 기판의 압착 작업에 있어서, 패드부의 주변에는 도전성 차광막이 존재하지 않게 되고, 정전기로 인한 패드 기판과 플렉시블 기판의 쇼트를 더욱 확실하게 저감할 수 있다.

또한, 이상과 같은 실시예에 있어서, 도전성 차광막(124A)의 위치는, 패드 부에서 5 μ m 이상 떨어진 위치에 배치되어 있으면, 일정한 효과를 얻을 수 있지만, 확실한 효과를 얻기 위한 값으로서 10 μ m 이상 떨어진 위치에 배치하는 것으로 하고, 더욱 바람직한 범위로서는 150 μ m 이상 내지 200nm 이내의 범위로 설정하는 것이 좋다.

또한, 도전성 차광층은, 인접 배선으로의 커플링 용량의 원인이 되기 때문에, 100K Ω /□ 이하의 저 저항이 좋고, 바람직하게는 10K Ω /□ 이하로 하는 것이 좋다.

발명의 효과

이상 설명한 바와 같이 본 발명의 액정 표시 장치에서는, 구동 기판의 패드부를 설치한 변에 있어서 도전성 차광막과 각 패드의 간격이 10 μ m 이상 떨어져서 배치되어 있다.

따라서, 도전성 차광막과 각 패드의 간격을 10 μ m 이상 떨어지게 하는 것에 의해, 도전성 차광막과 각 패드 사이의 정전기로 인한 불량을 억제할 수 있는 동시에, 구동 기판의 패드부를 설치한 변에 있어서만, 도전성 차광막과 각 패드의 간격을 10 μ m 이상 떨어지게 하는 것에 의해, 구동 기판의 전체 둘레에 걸쳐 도전성 차광막을 중심으로부터 멀어지게 하지 않으며, 칩 사이즈를 그다지 크게 하지 않고서 실현할 수 있는 효과가 있다.

또한, 본 발명에 따른 액정 표시 장치의 제조 방법에서도 마찬가지로, 구동 기판의 패드부를 설치한 변에 있어서 도전성 차광막과 각 패드 간격을 10 μ m 이상 이격시켜서 배치한다.

따라서, 도전성 차광막과 각 패드의 간격을 10 μ m 이상 이격시키는 것에 의해, 도전성 차광막과 각 패드 사이의 정전기로 인한 불량을 억제할 수 있는 동시에, 구동 기판의 패드부를 설치한 변에 있어서만, 도전성 차광막과 각 패드의 간격을 10 μ m 이상 이격시키는 것에 의해, 구동 기판의 전체 둘레에 걸쳐서 도전성 차광막을 중심으로부터 멀어지게 하지 않으며, 칩 사이즈를 그다지 크게 하지 않고서 실현할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

기판 상에 복수개가 일괄적으로 형성되고, 상기 기판을 스크라이브 라인으로 분단하는 것에 의해 제작된 구동 기판을 갖는 액정 표시 장치에 있어서,

상기 구동 기판의 외주부를 따라서 고리 형상으로 형성된 도전성 차광막과, 상기 구동 기판의 한 변을 따라서 상기 도전성 차광막의 내측에 배열된 복수의 패드부를 구비하고,

상기 구동 기판의 패드부를 설치한 변에 있어서, 상기 도전성 차광막과 상기 각 패드의 간격이 10 μ m 이상 이격되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 2.

제 1 항에 있어서, 상기 도전성 차광막은, W, Mo, Ta, Cr, Ti, Al, Cu, Zn과, 각각의 실리사이드 및 그 합금 중 소정의 조합을 사용한 것을 특징으로 하는 액정 표시 장치.

청구항 3.

제 1 항에 있어서, 상기 도전성 차광막의 막 두께는 50 이상 500nm 이하인 것을 특징으로 하는 액정 표시 장치.

청구항 4.

제 1 항에 있어서, 상기 도전성 차광막은 200 K Ω /□ 이하의 저 저항을 갖는 것을 특징으로 하는 액정 표시 장치.

청구항 5.

제 1 항에 있어서, 상기 도전성 차광막은 적어도 400 이상 500nm 이하의 영역의 광에 대하여 투과율이 10% 이하인 것을 특징으로 하는 액정 표시 장치.

청구항 6.

기판 상에 복수개가 일괄적으로 형성되고, 상기 기판을 스크라이브 라인으로 분단하는 것에 의해 제작된 구동 기판을 갖는 액정 표시 장치의 제조 방법에 있어서,

상기 구동 기판의 외주부를 따라서 고리 형상으로 도전성 차광막을 형성하는 단계와, 상기 구동 기판의 한 변을 따라서 상기 도전성 차광막의 내측에 배열된 복수의 패드부를 형성하는 단계를 포함하고,

상기 구동 기판의 패드부를 설치한 변에 있어서, 상기 도전성 차광막과 상기 각 패드와의 간격을 적어도 10 μ m 이상 이격시켜서 형성한 것을 특징으로 하는 액정 표시 장치의 제조 방법.

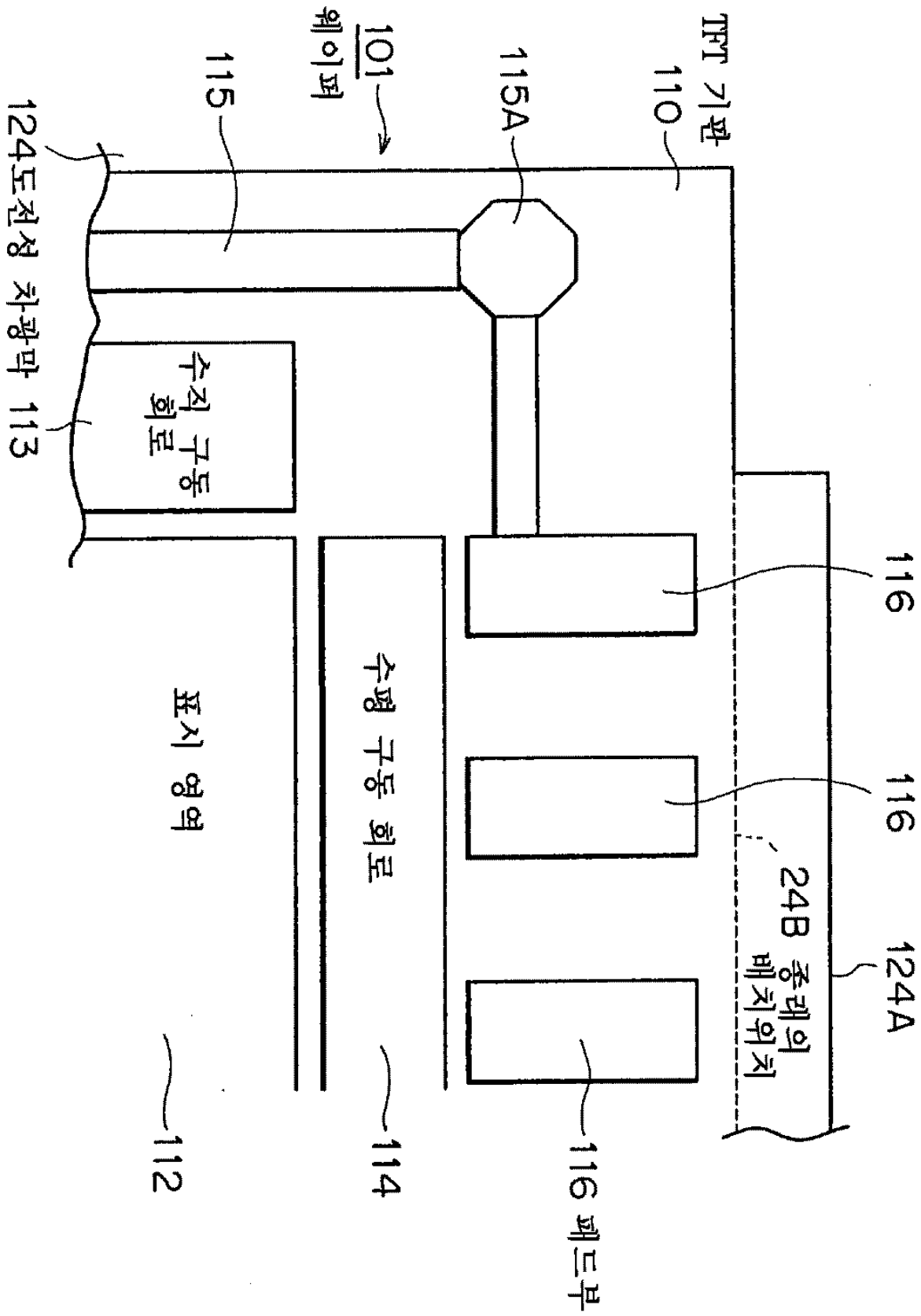
청구항 7.

제 6 항에 있어서, 상기 도전성 차광막은 화소 트랜지스터 또는 주변 구동 회로의 배선 성막시, 또는, 차광용 박막 성형시에 동시에 성막하고, 상기 배선 또는 차광용 박막의 패턴 형성시에 동시에 패턴 형성하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 8.

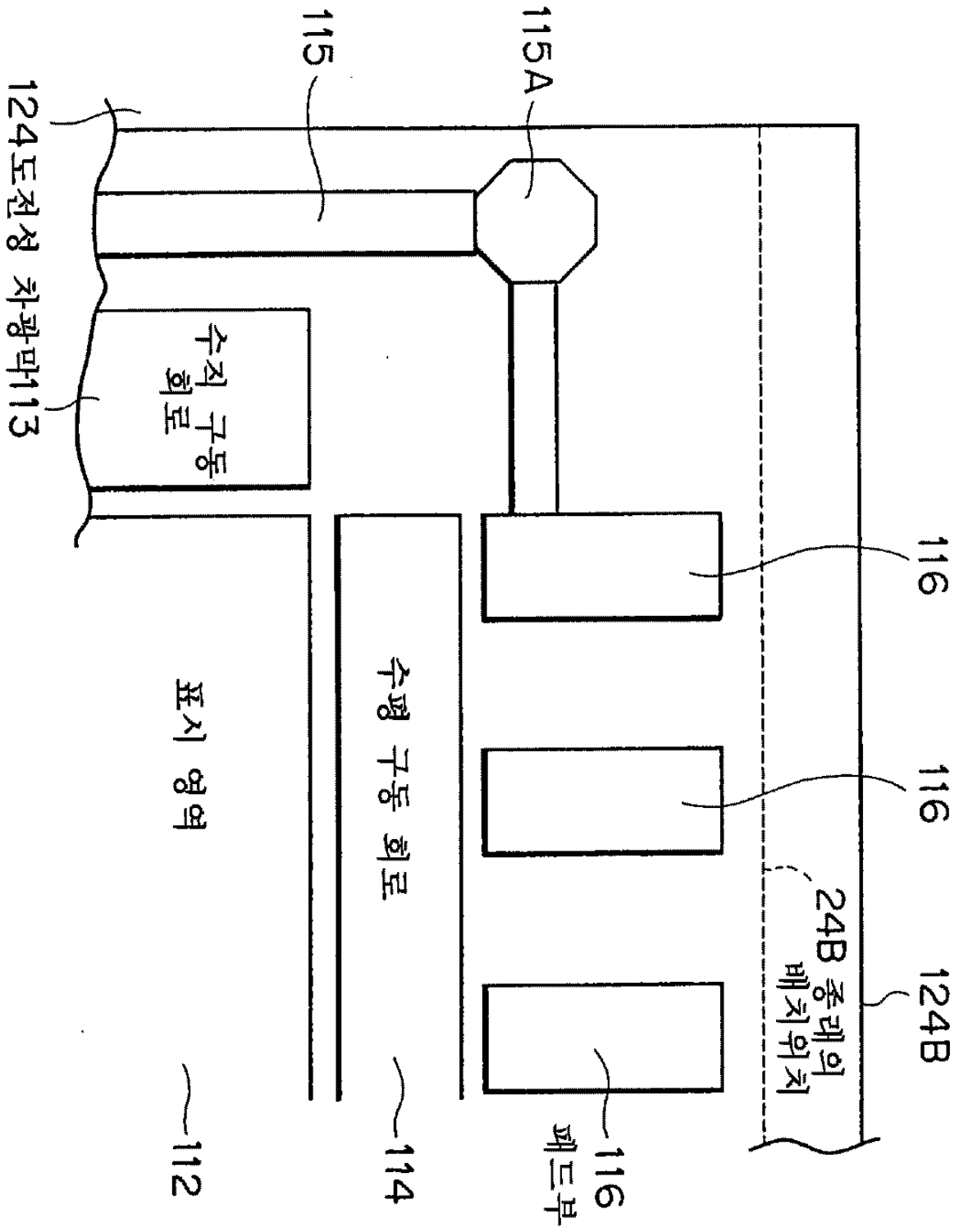
제 6 항에 있어서, 상기 도전성 차광막은 기판의 가공시에만 기판 상에 존재하고, 구동 기판의 분단시에는 제거하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

도면 1

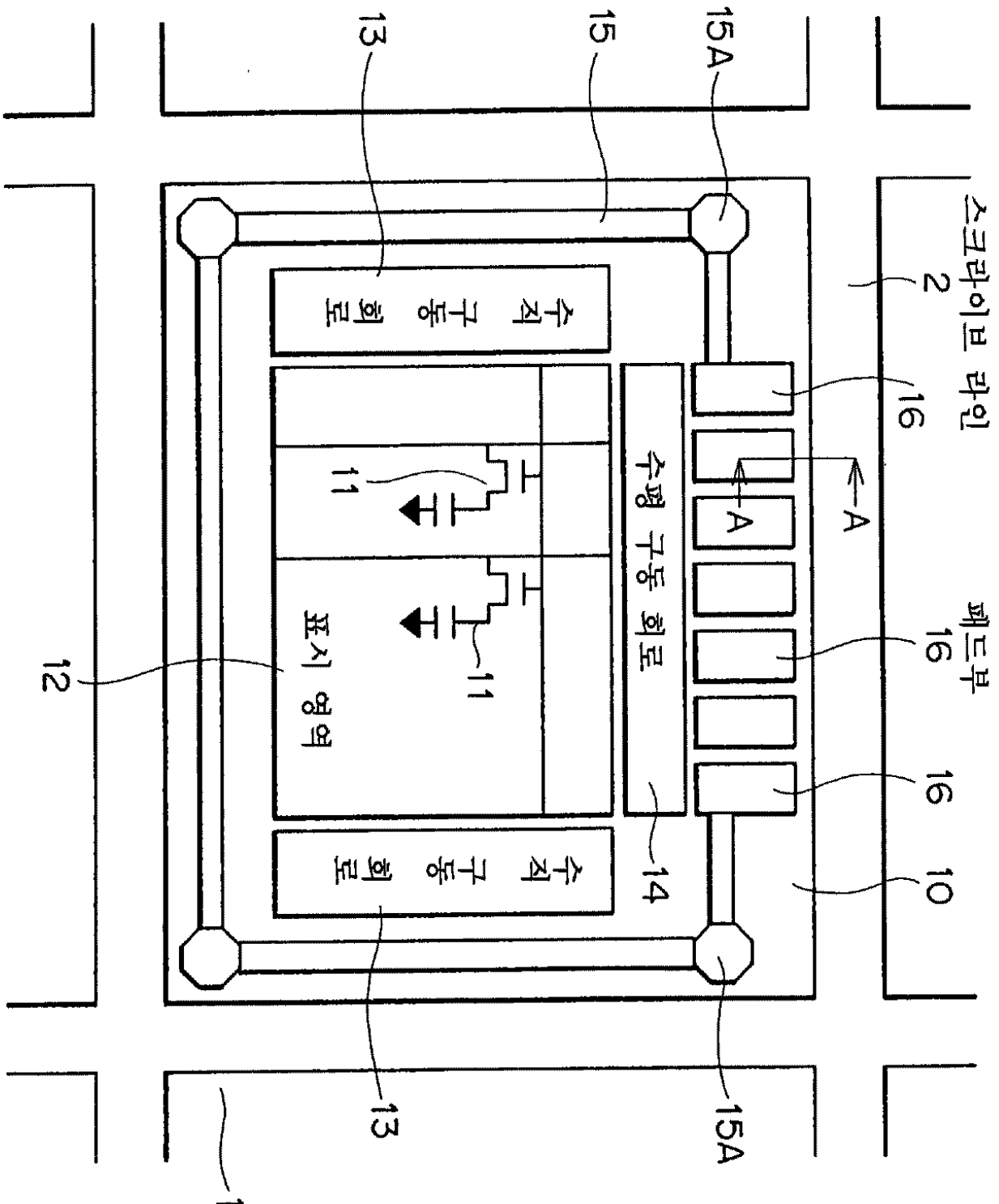


도면

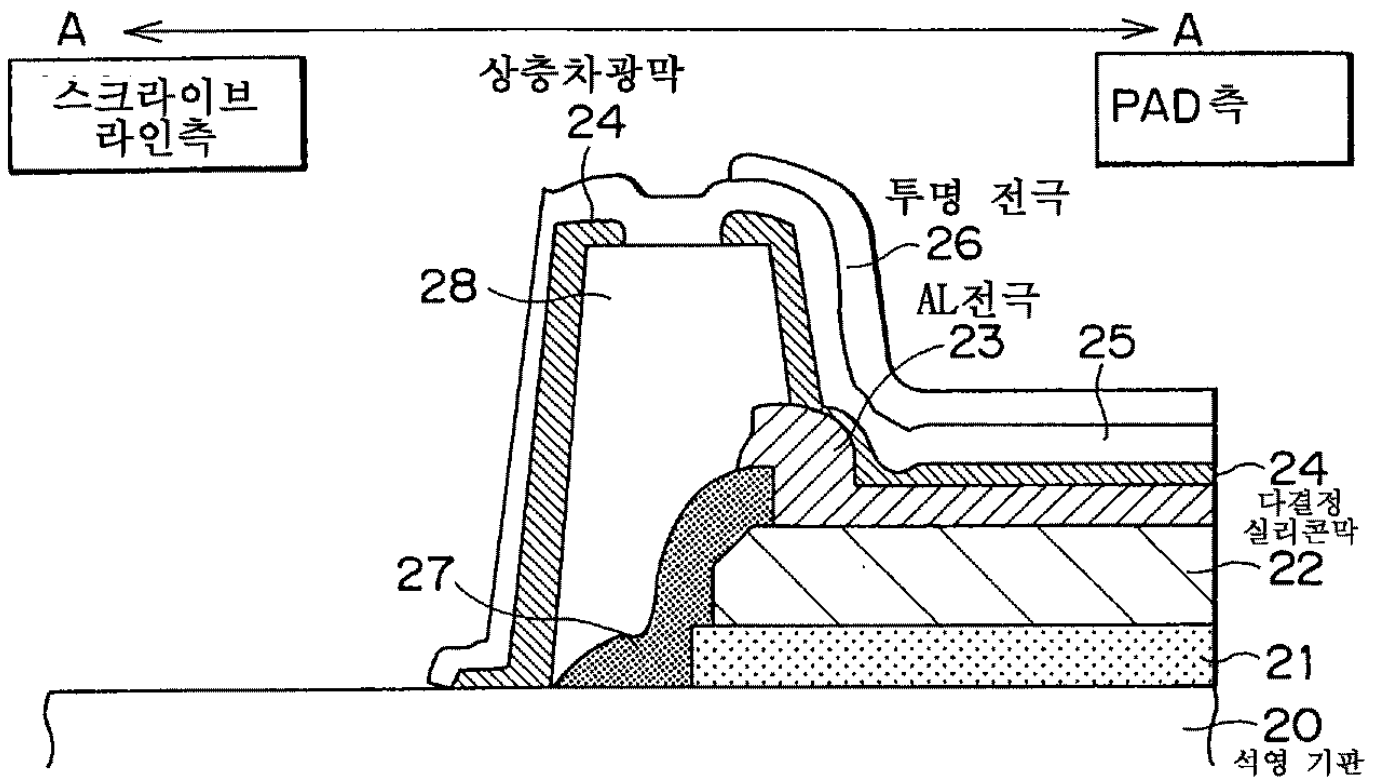
도면 2



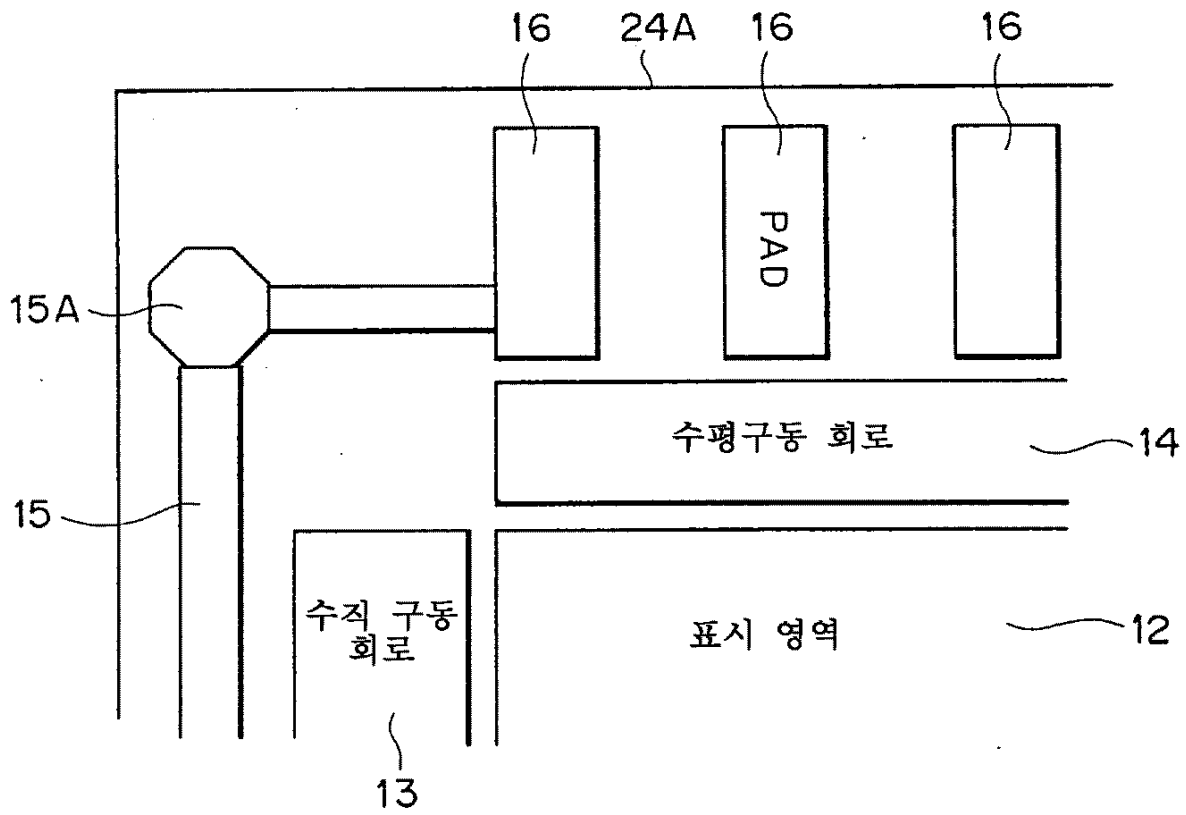
도면 3



도면 4



도면 5



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020010109166A	公开(公告)日	2001-12-08
申请号	KR1020010029959	申请日	2001-05-30
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	WADA TOMOHIRO 와다토모히로 SATO TAKUSEI 사토타쿠세이		
发明人	와다토모히로 사토타쿠세이		
IPC分类号	G02F1/1333 G02F1/1335 G02F1/1345 G02F1/136 G02F1/1362 G02F1/1368 G09F9/00 G09F9/30		
CPC分类号	G02F1/133351 G02F1/133512 G02F1/13454 G02F1/136204		
代理人(译)	李, 何炳 李贝尔		
优先权	2000162775 2000-05-31 JP		
其他公开文献	KR100762113B1		
外部链接	Espacenet		

摘要(译)

在未发布芯片尺寸之后，抑制了本发明伴随TFT基板和焊盘的钩形状的上层遮光层的附近产生的静电缺陷。附近周边区域和焊盘部分（116）中的金属布线（115）安装在TFT基板（110）中。并且导电遮光膜（124）可以安装在外部。在导电遮光膜（124）在TFT基板（110）上形成上层遮光层的情况下，划线侧的上层遮光层在蚀刻时间或洗涤中没有很好地剥离。因此，它通过钩形留在TFT基板（110）的周边部分中。并且，在焊盘部分（116）和导电遮光膜（124A）的间隙的情况下，布置在焊盘部分（116）外部的导电遮光膜（124A）的位置在该导电光学膜（124）之间移动。）到外面，它超过10微米。因此，阻挡了焊盘部分（116）和导电遮光膜（124A）之间的断电故障。导电遮光膜，焊盘部分，间隙，停电故障，10μm。

