

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) 。 Int. Cl. ⁷
G02F 1/136(11) 공개번호 특2001 - 0062260
(43) 공개일자 2001년07월07일(21) 출원번호 10 - 2000 - 0074552
(22) 출원일자 2000년12월08일

(30) 우선권주장 99 - 352895 1999년12월13일 일본(JP)

(71) 출원인 미쓰비시덴키 가부시기가이샤
다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고
세이코 엡슨 가부시기가이샤
구사마 사부로
일본 도쿄도 신주쿠구 니시신주쿠 2초메 4 - 1(72) 발명자 구보타다케시
일본도쿄도지요다쿠마루노우치2초메2반3고미쓰비시덴키가부시기가이샤내
무라이이치로
일본나가노켄스와시오와3초메3 - 5세이코엡슨가부시기가이샤내

(74) 대리인 김창세

심사청구 : 있음

(54) 반도체 장치 및 그 제조 방법

요약

반도체 장치, 액정 표시 장치 및 그들의 제조 방법에 관한 것으로서, 박막 전계 효과 트랜지스터의 임계값 전압을 안정화시키고 또한 이 박막 전계 효과 트랜지스터의 채널 영역과 동일 레이어에 의해서 구성되는 도전층을 구성 요소로 하는 용량의 내구성 및 신뢰성을 향상시키기 위해서, 박막 전계 효과 트랜지스터(17, 18)와 도전층(3)을 구비하는 반도체 장치로서, 기판(1), 반도체층(5, 7), 도전층(3) 및 유전체층(35)을 구비하고, 반도체층(5, 7)은 기판(1) 상에 형성된 박막 전계 효과 트랜지스터(17, 18)의 채널 영역(5, 7)을 포함하고, 도전층(3)은 기판(1) 상에 형성되고 반도체층(5, 7)과 동일 레이어에 의해 구성되고, 유전체층(35)은 도전층(3) 상에 형성되고, 채널영역(5, 7)에 있어서의 도전성 불순물 농도는 10^{16} atoms/cm³ 이하이고, 유전체막(35)에 있어서의 도전성 불순물 농도는 10^{17} atoms/cm³ 이하인 것으로 하였다.

이와 같이 하는 것에 의해, 액정 표시 장치의 제조효율(양품률) 및 특성의 향상을 도모하는 것이 가능해진다는 효과가 얻어진다.

대표도

도 1

명세서

도면의 간단한 설명

- 도 1은 본 발명에 따른 액정 표시 장치의 실시예 1을 도시한 단면 모식도,
- 도 2는 도 1에 도시한 액정 표시 장치의 제조 방법의 제 1 공정을 설명하기 위한 단면 모식도,
- 도 3은 도 1에 도시한 액정 표시 장치의 제조 방법의 제 2 공정을 설명하기 위한 단면 모식도,
- 도 4는 도 1에 도시한 액정 표시 장치의 제조 방법의 제 3 공정을 설명하기 위한 단면 모식도,
- 도 5는 도 1에 도시한 액정 표시 장치의 제조 방법의 제 4 공정을 설명하기 위한 단면 모식도,
- 도 6은 도 1에 도시한 액정 표시 장치의 제조 방법의 제 5 공정을 설명하기 위한 단면 모식도,
- 도 7은 도 1에 도시한 액정 표시 장치의 제조 방법의 제 6 공정을 설명하기 위한 단면 모식도,
- 도 8은 본 발명에 따른 액정 표시 장치의 실시예 2의 제조 방법의 제 1공정을 설명하기 위한 단면 모식도,
- 도 9는 본 발명에 따른 액정 표시 장치의 실시예 2의 제조 방법의 제 2 공정을 설명하기 위한 단면 모식도,
- 도 10은 본 발명에 따른 액정 표시 장치의 실시예 2의 제조 방법의 제 3 공정을 설명하기 위한 단면 모식도,
- 도 11은 본 발명에 따른 액정 표시 장치의 실시예 3의 제조 방법의 제 1 공정을 설명하기 위한 단면 모식도,
- 도 12는 본 발명에 따른 액정 표시 장치의 실시예 3의 제조 방법의 제 2 공정을 설명하기 위한 단면 모식도,
- 도 13은 종래의 액정 표시 장치를 도시한 단면 모식도,
- 도 14는 도 13에 도시한 액정 표시 장치의 제조 방법의 제 1 공정을 설명하기 위한 단면 모식도,
- 도 15는 도 13에 도시한 액정 표시 장치의 제조 방법의 제 2 공정을 설명하기 위한 단면 모식도,
- 도 16은 도 13에 도시한 액정 표시 장치의 제조 방법의 제 3 공정을 설명하기 위한 단면 모식도,
- 도 17은 박막 전계 효과 트랜지스터의 채널 영역에 있어서의 불순물 농도와 임계값 전압의 변화량의 관계를 도시한 그래프,
- 도 18은 액정 표시 장치의 또 하나의 제조 방법을 설명하기 위한 단면 모식도,
- 도 19는 보론 이온을 실리콘으로 이루어지는 타겟재에 주입한 경우의 타겟재의 주입면으로부터의 깊이와 보론의 농도의 관계를 도시한 그래프,
- 도 20은 액정 표시 장치의 또 하나의 예를 도시한 단면 모식도,
- 도 21은 도 20에 도시한 액정 표시 장치의 제조 방법의 제 1 공정을 설명하기 위한 단면 모식도,

도 22는 도 20에 도시한 액정 표시 장치의 제조 방법의 제 2 공정을 설명하기 위한 단면 모식도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치, 액정 표시 장치, 반도체 장치의 제조 방법 및 액정 표시 장치의 제조 방법에 관한 것으로서, 보다 특정적으로는 박막 전계 효과 트랜지스터와 도전층을 구비하는 반도체 장치, 액정 표시 장치, 반도체 장치의 제조 방법 및 액정 표시 장치의 제조 방법에 관한 것이다.

종래, 액정 표시 장치의 하나로서 저온 폴리실리콘을 사용한 박막 전계 효과 트랜지스터를 이용한 액정 표시 장치가 알려져 있다. 이러한 액정 표시 장치에 있어서는 전하를 축적하기 위한 용량을 통상 필요로 한다. 이러한 액정 표시 장치의 박막 전계 효과 트랜지스터가 형성된 기판을 도 13에 도시한다. 여기서, 도 13은 종래의 액정 표시 장치를 도시한 단면 모식도이다. 도 13을 참조하여 종래의 액정 표시 장치를 설명한다.

도 13을 참조하면, 액정 표시 장치는 구동 회로 영역과 표시 화소 영역을 갖고, 유리 기판(101)상에 있어서 각각 구동 회로 영역에서는 p형 박막 전계 효과 트랜지스터(117)가 형성되고, 표시 화소 영역에서는 n형 박막 전계 효과 트랜지스터(118) 및 축적 용량(119)이 형성되어 있다.

구동 회로 영역에 있어서는 유리 기판 상에 하지막(102)이 형성되어 있다. 하지막(102)상에는 p형 박막 전계 효과 트랜지스터(117)의 소스/드레인 영역(106a), (106b)와 채널 영역(107)이 동일 레이어(layer)의 반도체막으로서의 폴리실리콘막에 의해 형성되어 있다. 이 소스/드레인 영역(106a), (106b)에는 p형의 도전성 불순물이 주입되어 있다. 소스/드레인 영역(106a), (106b)와 채널 영역(107) 상에는 게이트 절연막으로서 작용하는 절연막(108)이 형성되어 있다. 채널 영역(107)상의 영역에 있어서 절연막(108)상에는 게이트 전극(109a)이 형성되어 있다. 게이트 전극(109) 상에는 보호막(111)이 형성되어 있다. 소스/드레인 영역(106a), (106b) 상에 있어서는 보호막(111)과 절연막(108)의 일부를 에칭에 의해 제거하는 것에 의해서 콘택트 홀(112a), (112b)가 형성되어 있다. 콘택트 홀(112a), (112b)의 내부에서 보호막(111)의 상부 표면상으로부터 연장하도록 전극(113a), (113b)가 형성되어 있다. 전극(113a), (113b)와 보호막(111) 상에는 절연막(114)이 형성되어 있다.

액정 표시 장치의 표시 화소 영역에 있어서는 유리 기판(101) 상에 하지막(102)이 형성되어 있다. 이 하지막(102)상에는 n형 박막 전계 효과 트랜지스터(118)의 소스/드레인 영역(104a), (104b)와 채널 영역(105)이 동일 레이어의 반도체막으로서의 폴리실리콘막에 의해 형성되어 있다. 또, 하지막(102) 상에는 이 소스/드레인 영역(104a), (104b) 및 채널 영역(105)을 형성하는 반도체막과 동일 레이어의 반도체막을 이용하여 축적 용량(119)의 하부 전극(103)이 형성되어 있다. 소스/드레인 영역(104a), (104b), 채널 영역(105) 및 하부 전극(103) 상에는 절연막(108)이 형성되어 있다. 이 절연막(108)은 n형 박막 전계 효과 트랜지스터(118)의 게이트 절연막으로서 작용하는 부분 및 축적 용량(119)의 유전체막으로서 작용하는 부분을 포함한다. 즉, 채널 영역(105) 상에 위치하는 절연막(108)은 게이트 절연막으로서 작용하고, 하부 전극(103) 상에 위치하는 절연막(108)은 유전체막으로서 작용한다. 채널 영역(105) 상에 위치하는 영역에 있어서는 절연막(108) 상에 게이트 전극(109b)이 형성되어 있다. 또, 하부 전극(103) 상에 위치하는 영역에 있어서는 유전체막으로서의 절연막(108) 상에 공통 전극(110)이 형성되어 있다. 게이트 전극(109b)과 공통 전극(110) 상에는 보호막(111)이 형성되어 있다. 보호막(111)과 절연막(108)의 일부를 에칭에 의해 제거하는 것에 의해서, 콘택트 홀(112c) (112e)이 형성되어 있다. 이 콘택트 홀(112c) (112e)의 내부에서 보호막(111)의 상부 표면상으로부터 연장하도록, 각각 전극(113c) (113e)이 형성되어 있다. 전극(113c) (113e)과 보호막(111) 상에는 절연막(114)이 형성되어 있다. 그 후, 표시 화소 영역에서는 투명 전극 등을 형성하고, 통상의 공정에 따라서 액정 표시 장치를 제조한다.

이와 같이, p형 박막 전계 효과 트랜지스터(117)와 n형 박막 전계 효과 트랜지스터(118)의 게이트 절연막과 축적 용량(119)의 유전체막을 절연막(108)이라는 동일 레이어에 의해 구성하는 것에 의해서, 액정 표시 장치의 제조 공정을 간략화할 수 있다.

또, 동일 평면(coplanar)형의 박막 전계 효과 트랜지스터를 이용하는 경우, 축적 용량(119)의 하부 전극(103)은 p형 박막 전계 효과 트랜지스터(117)의 채널 영역(107) 및 n형 박막 전계 효과 트랜지스터(118)의 채널 영역(105)을 형성하는 반도체막과 동일한 반도체막에 도전성 불순물을 주입하는 것에 의해서 형성되어 있다. 이것은 박막 전계 효과 트랜지스터의 특성이 게이트 절연막을 형성할 때까지의 프로세스에 있어서의 금속 불순물에 의한 오염에 대해서 매우 민감하므로, 게이트 절연막보다 하층에는 금속 전극을 형성하는 것이 실질적으로 곤란하기 때문이다.

도 14 도 16은 도 13에 도시한 액정 표시 장치의 제조 방법을 설명하기 위한 단면 모식도이다. 도 14 도 16을 참조하여 액정 표시 장치의 제조 방법을 설명한다.

도 14를 참조하면, 우선 유리 기판(101) 상에 일반적인 방법에 의해서 예를 들면 PECVD(Plasma Enhanced Chemical Vapor Deposition)에 의해서 하지막(102)을 형성한다. 하지막(102)으로서는 실리콘 질화막 및 실리콘 산화막의 2층막을 이용할 수 있다. 이 하지막(102) 상에 비정질 실리콘막을 형성한다. 엑시머 레이저를 이용하여 p형 박막 전계 효과 트랜지스터(117) 및 n형 박막 전계 효과 트랜지스터(118)의 채널 영역으로 될 비정질 실리콘막을 어닐하는 것에 의해 폴리실리콘막을 형성한다. 그 후, 형성된 폴리실리콘막 상에 레지스트막을 형성한다. 이 레지스트막을 마스크로서 이용하여 드라이 에칭에 의해 도 14에 도시하는 바와 같은 반도체막으로서의 폴리실리콘막(124a) (124c)을 형성한다. 그 후, 레지스트막을 제거한다.

다음에, 축적 용량(119)의 하부 전극으로 될 폴리실리콘막(124c)에 n형의 도전성 불순물인 인(P)이온을 주입한다. 이 폴리실리콘막(124c)에 선택적으로 인 이온을 주입하기 위해서, 폴리실리콘막(124c) 이외의 영역에 있어서 폴리실리콘막(124a), (124b)을 덮도록 레지스트막(125)을 형성한다. 이 레지스트막(125)을 마스크로 하여 인 이온(129)을 폴리실리콘막(124c)에 주입하는 것에 의해서 하부 전극(103)을 형성한다. 이 인 이온(129)의 주입에 의해, 레지스트막(125)의 상층에는 이 인 이온의 주입에 의해서 변질된 변질층(126)이 형성된다. 한편, 레지스트막(125)의 하층은 이 인 이온(129)의 주입의 영향을 받지 않아 변질되어 있지 않다. 이 때문에, 레지스트막(125)은 변질층(126)과 불변질층(127)의 2층으로 구성되게 된다.

그 후, 레지스트막(125)을 제거한다. 단, 변질층(126)은 통상의 박리액을 이용하여 박리하고자 한 경우, 박리에 필요한 시간이 길어지거나 또는 박리할 수 없다는 문제가 발생한다. 그 때문에, 변질층(126)을 제거하기 위해서는 산소 플라즈마를 이용한 플라즈마 어싱(세정)을 이용한다. 즉, 도 16에 도시하는 바와 같이 산소 플라즈마(133)를 레지스트막(125)의 변질층(126) 표면에 접촉시키는 것에 의해서 변질층(126)을 제거한다. 그리고, 변질층(126)이 제거된 후, 불변질층(127)을 통상의 박리액을 이용하여 제거한다.

그 후, 게이트 절연막 및 용량 전극(119)의 유전체막으로 이루어지는 절연막(108)(도 13 참조)을 형성한다. 이 절연막(108)으로서는 예를 들면 TEOS PECVD를 이용하여 형성한 실리콘 산화막을 이용할 수 있다. 이 절연막(108) 상에 스퍼터링법을 이용하여 크롬막을 형성한다. 이 크롬막 상에 레지스트막을 형성한다. 이 레지스트막을 마스크로서 이용하여 에칭에 의해 크롬막의 일부를 제거하는 것에 의해서, 게이트 전극(109a), (109b) 및 공통 전극(110)(도 13 참조)을 형성한다. 이와 같이 해서, 공통 전극(110), 하부 전극(103) 및 절연막(108)에 의해서 축적 용량(119)이 구성된다. 그 후, n형의 도전성 불순물로서의 인 이온을 소스/드레인 영역(104a), (104b)에 주입한다. 또, 소스/드레인 영

역(106a), (106b)는 p형의 도전성 불순물로서의 예를 들면 보론(B)이온을 주입한다. 이와 같이 해서, p형 박막 전계 효과 트랜지스터(117)와 n형 박막 전계 효과 트랜지스터(118)가 형성된다.

다음에, 게이트 전극(109a), (109b) 및 공통 전극(110) 상에 보호막(111)(도 13 참조)을 형성한다. 이 보호막(111)으로서는 TEOS CVD를 이용하여 형성된 실리콘 산화막을 이용할 수 있다. 이 다음, 가열온도를 400°C로 한 활성화 어닐을 실행한다. 보호막(111) 상에 레지스트막을 형성한다. 이 레지스트막을 마스크로 하여 보호막(111)과 절연막(108)의 일부를 제거하는 것에 의해 콘택트 홀(112a) (112e)을 형성한다. 그 후, 레지스트막을 제거한다. 이 콘택트 홀(112a) (112e)의 내부와 보호막(111)의 상부 표면 상에 크롬막을 형성한다. 이 크롬막의 막두께는 100nm로 한다. 이 크롬막 상에 스퍼터링법을 이용하여 알루미늄계의 합금막을 형성한다. 이 알루미늄계의 합금막의 막두께는 400nm로 한다. 이 알루미늄계의 합금막 상에 레지스트막을 형성한다. 이 레지스트막을 마스크로 하여 알루미늄계의 합금막과 크롬막을 이방성 에칭에 의해 제거하는 것에 의해서, 전극(113a) (113e)(도 13 참조)을 형성한다. 그 후, 레지스트막을 제거한다. 이 전극(113a) (113e)은 상기한 크롬막과 알루미늄계의 합금막으로 이루어진다.

그 후, 수소플라즈마를 이용하여 채널 영역(105), (107)의 수소화를 실행하는 등의 수법을 이용하여 박막 전계 효과 트랜지스터의 특성의 향상 및 안정화를 도모한다. 그 후, 전극(113a) (113e) 상에 절연막(114)을 형성한다. 이 절연막(114)으로서는 예를 들면 실리콘 질화막을 이용할 수 있다. 이와 같이 해서, 도 13에 도시하는 바와 같은 구조를 얻을 수 있다.

그리고, 구동 회로 영역에 있어서는 도시한 p형 박막 전계 효과 트랜지스터(117) 이외에도 n형 박막 전계 효과 트랜지스터를 상술한 수법을 이용하여 동시에 형성하고, 이들을 조합해서 구동 회로를 구성한다. 또, 표시 화소 영역에 있어서는 n형 박막 전계 효과 트랜지스터(118)와 별도로 형성하는 투명 전극을 전기적으로 접속하는 것에 의해서 표시 화소를 형성한다. 또, 반도체 장치로서의 이들 소자가 형성된 유리 기판을 컬러 필터나 대향 전극이 형성된 다른 한쪽의 유리 기판과 접합한다. 그리고, 이들 유리 기판 사이에 형성된 간극에 액정을 주입하여 봉지하는 등의 소정의 공정을 실시하는 것에 의해서 액정 표시 장치를 얻을 수 있다.

상술한 바와 같이, 종래의 액정 표시 장치의 제조 방법에서는 도 15에 도시한 공정에 있어서 인 이온(129)을 주입할 때에 레지스트막(125)의 상부에는 이 인 이온(129)의 주입에 의해 변질된 변질층(126)이 형성된다. 그리고, 이 변질층(126)을 제거하기 위해서, 도 16에 도시하는 바와 같이 산소플라즈마(113)를 이용한 산소 플라즈마 처리를 실행하고 있다.

그러나, 이 산소플라즈마 처리시에 이하에 설명하는 바와 같은 문제가 발생한다. 즉, 레지스트막(125)의 변질층(126)에 주입된 인 등의 도전성 불순물은 일단 이 산소플라즈마 처리(어싱 공정)에 있어서 변질층(126)이 제거됨에 따라서 분위기중에서 방출된다. 이 방출된 인 이온의 일부는 산소플라즈마 처리에 있어서 발생하는 전계의 영향에 의해 채널 영역(105), (107)으로 될 폴리실리콘막(124a), (124b)에 불순물(139)로서 재주입되는 경우가 있다. 이와 같이, 폴리실리콘막(124a), (124b)에 불순물(139)이 재주입되는 것에 의해서, 채널 영역(105), (107) 중의 불순물 농도가 설정값보다 높아지는 경우가 있었다. 이 결과, 형성되는 p형 박막 전계 효과 트랜지스터(117) 및 n형 박막 전계 효과 트랜지스터(118)의 임계값 전압이 이 채널 영역(105), (107) 중의 불순물 농도에 의해 변동되고 있는 것이 발명자들의 연구에 의해 명확하게 되었다. 이 임계값 전압의 변동에 대해서 도 17을 이용하여 설명한다.

도 17은 박막 전계 효과 트랜지스터의 채널 영역에 있어서의 불순물 농도와 임계값 전압의 변화량의 관계를 도시한 그래프이다. 도 17은 p형 박막 전계 효과 트랜지스터의 채널 영역에 n형의 도전성 불순물(예를 들면 인 이온)이 주입된 경우의 데이터를 도시하고 있다. 도 17에서도 명확한 바와 같이, 불순물의 농도가 10^{16} atoms/cm³를 넘으면, 급격하게 임계값 전압이 설정값보다 커져 가는 것을 알 수 있다.

또, n형 박막 전계 효과 트랜지스터의 채널 영역에 n형의 도전성의 불순물이 주입된 경우에는 임계값 전압이 저하하지만, 그 임계값 전압의 저하량의 절대값을 그래프화하면, 이 도 17에 도시한 그래프와 거의 마찬가지로 된다.

이러한 박막 전계 효과 트랜지스터의 임계값 전압의 변화가 발생하는 경우, 액정 표시 장치에서는 이러한 박막 전계 효과 트랜지스터를 이용한 구동 회로부의 동작이 불안정하게 되고, 결과적으로 제품이 불량품으로 되는 경우가 있었다. 그 결과, 액정 표시 장치의 양품률(제조효율)의 저하라는 문제를 일으키는 요인으로 되고 있었다.

상기의 과제를 해결하기 위해서 몇가지 방법이 고려된다. 우선, 한가지 방법으로서 도 18에 도시하는 바와 같이, 인 이온(129)을 주입하기 전에 미리 폴리실리콘막(124a), (124b) 및 하부 전극(103) 상에 게이트 절연막 및 유전체막으로서 작용하는 절연막(108)을 형성해 둔다고 하는 방법이다. 도 18은 액정 표시 장치의 다른 한가지의 제조 방법을 설명하기 위한 단면 모식도이다. 도 18에 도시하는 바와 같이 미리 절연막(108)을 형성해 두면, 도 16에 도시하는 바와 같이 산소 플라스마를 이용한 플라스마 어싱 처리를 실행할 때에 폴리실리콘막(124a), (124b) 상에는 절연막(108)이 형성된 상태로 되어 있다. 그리고, 이 절연막(108)은 이 폴리실리콘막(124a), (124b)에 불순물(139)(도 16 참조)이 재주입되는 것을 방지하기 위한 보호막으로서 작용한다. 이와 같이 하면, 채널 영역(105), (107)로 될 폴리실리콘막(124a), (124b)에 인 이온 등의 불순물이 재주입되는 것을 방지할 수 있다.

그러나, 이 경우 도 18에 도시한 인 이온을 주입하는 공정에 있어서는 절연막(108) 아래에 위치하는 하부 전극(103)에 인 이온(129)을 주입할 필요가 있다. 이 때문에, 인 이온(129)의 주입에너지(가속 에너지)를 크게 할 필요가 있다. 이러한 큰 에너지에 의해서 가속된 인 이온을 하부 전극(103)에 주입하는 경우, 하부 전극(103) 상에 위치하고 유전체막으로서 작용하는 절연막(108)이 이 이온주입에 의해서 손상을 받거나 또는 인 이온(129) 등의 도전성 불순물이 절연막(108) 중에 잔존한다고 하는 문제가 발생한다. 이와 같이, 절연막(108)이 손상을 받으면, 이 절연막(108)의 내압이 저하한다. 이 결과, 축적 용량(119)의 내구성이나 신뢰성이 저하한다. 또, 이와 같이 인 이온(129)의 가속 에너지가 큰 경우에는 레지스트막(125)의 변질층(126)이 확대하고 또 그 변질 정도도 커진다. 이 때문에, 이 레지스트막(125)을 제거하는 공정에서 레지스트막(125)의 제거 불량이 발생한다. 이러한 레지스트막(125)의 제거 불량이 발생한 경우에는 p형 박막 전계 효과 트랜지스터(117) 및 n형 박막 전계 효과 트랜지스터(118)의 소정의 구조를 형성할 수 없기 때문에, 이들의 박막 전계 효과 트랜지스터의 동작불량이 발생한다. 이 결과, 액정 표시 장치의 가공의 양품률이 저하하고 있었다.

또, 하부 전극(103)에는 통상 10^{20} atoms/cm² 정도의 도전성 불순물을 주입할 필요가 있다. 이 경우, 하부 전극(103) 상에 위치하는 절연막(108)에도 어느 정도 도전성 불순물이 주입된다. 이 절연막(108)에 주입되는 도전성 불순물의 농도는 도 19에 도시된 데이터를 참고로 하여 검토하면, 약 10^{18} atoms/cm² 이상이라고 고려된다. 도 19는 불순물 이온으로서 보론 이온을 이용하고, 이 보론 이온을 실리콘으로 이루어지는 타겟재에 주입한 경우의 타겟재 주입면으로부터의 깊이와 그 위치에 있어서의 보론 농도의 관계를 도시한 그래프이다. 도 19에 도시한 그래프에 있어서는 보론 이온의 주입 에너지를 변화시킨 경우의 결과가 도시되어 있다. 도 19를 참조하면, 예를 들면 보론 이온의 주입 에너지를 4.8×10^{-15} J(30keV)로 한 조건에서 주입한 경우, 주입면의 표면에서 약 0.1 μ m의 위치에 있어서의 보론 농도는 10^{20} atoms/cm²이다. 그리고, 이 경우 실리콘의 최표면층(깊이가 0 μ m인 위치)에 있어서는 보론 농도는 약 10^{19} atoms/cm²로 되어 있다. 그리고, 가장 보론 농도가 높은 영역에 있어서의 보론 농도를 10^{20} atoms/cm² 정도로 한 조건에서 보론 이온의 주입에너지를 변화시키면, 타겟재의 최표면층에 있어서의 보론 농도는 약 10^{18} atoms/cm² 이상으로 되어 있다는 것을 알 수 있다.

이 점에서 유추하여, 도전성 불순물로서의 인 이온(129)이 주입되는 타겟재인 하부 전극(103)의 상부 표면(상기 최표면층에 대응) 상에 위치하는 절연막(108)에도 이 인 이온(129)이 약 10^{18} atoms/cm² 정도는 포함되어 있다고 고려된다. 즉, 보호막으로서 절연막(108)을 미리 형성한 후에 인 이온(129)을 주입하는 공정을 실시한 경우, 하부 전극(103) 상에 위치하는 절연막(108)에는 10^{18} atoms/cm² 정도의 불순물 이온이 주입되게 된다고 고려된다. 이러한 유전체막 중의 도전성 불순물의 잔존은 축적 용량(119)의 내구성이나 신뢰성의 저하의 원인의 하나로 된다. 또한, 도 19의 출전은 [초LSI 프로세스 데이터 핸드북; (주)사이언스포럼, 1990년 3월, P.232]이다. 또, 도면중 50keV, 70keV, 100keV, 200keV는 각각 8.0×10^{-15} J, 1.1×10^{-14} J, 1.6×10^{-14} J, 3.2×10^{-14} J를 나타낸다.

또, 채널 영역(105), (107)으로 될 폴리실리콘막(124a), (124b)로의 인 이온 등의 불순물 재주입이라는 문제를 해결하기 위해 고려되는 또 다른 한가지의 방법으로서 예를 들면 이하에 설명하는 바와 같은 것이 있다. 도 20은 이하에 설명하는 또 다른 하나의 방법을 이용하여 제조된 액정 표시 장치의 또 다른 1예를 도시한 단면 모식도이다. 도 20을 참조하여 액정 표시 장치는 기본적으로는 도 13에 도시한 종래의 액정 표시 장치와 마찬가지로 구조를 구비한다. 단, 게이트 절연막 및 축적 용량(119)의 유전체막으로서 작용하는 절연막이 하층 절연막(137)과 하층 절연막(138)의 2층으로 구성되어 있다.

도 21 및 도 22는 도 20에 도시한 액정 표시 장치의 제조 방법을 설명하기 위한 단면 모식도이다. 도 21 및 도 22를 참조하여 반도체 장치의 제조 방법을 설명한다.

도 21은 기본적으로는 도 18에 도시한 공정과 마찬가지로이다. 단, 폴리실리콘막(124a), (124b) 및 하부 전극(103) 상에는 도 18에 도시한 절연막(108)보다 그 막두께가 얇은 하층 절연막(137)이 보호막으로서 형성되어 있다. 이러한 얇은 보호막으로서의 하층 절연막(137)을 형성한 상태에서 인 이온(129)을 주입한 후, 레지스트막(125)을 플라즈마 어싱 등의 방법을 이용하여 제거한다. 그 후, 도 22에 도시하는 바와 같이 하층 절연막(137) 상에 상층 절연막(138)을 퇴적시킨다. 이 하층 절연막(137)과 상층 절연막(138)의 합계 막두께는 p형 박막 전계 효과 트랜지스터(117) 및 n형 박막 전계 효과 트랜지스터(118)에 있어서의 게이트 절연막에 요구되는 막두께와 거의 동등하게 되도록 조정된다.

도 21에 도시하는 바와 같이, 보호막으로서 도 18에 도시한 절연막(108)보다 막두께가 얇은 하층 절연막(137)을 이용하고 있으므로, 인 이온(129)의 주입 에너지를 도 18에 도시한 공정보다 낮게 할 수 있다. 이 결과, 도 18에 도시한 공정에서의 인 이온의 주입에 따라 발생하는 절연막(108)의 손상을 어느 정도 경감시킬 수 있다.

발명이 이루고자 하는 기술적 과제

그러나, 도 21 및 도 22에 도시한 공정에서는 도 18에 도시한 제조 방법보다 프로세스수가 증가한다고 하는 결점이 있다. 또, 도 22에 도시한 바와 같이 게이트 절연막을 2층막으로 한 경우, 단일의 막에 의해서 게이트 절연막을 형성한 경우보다 내압 및 신뢰성이 저하하는 것이 알려져 있다. 이 결과, 역시 형성되는 p형 박막 전계 효과 트랜지스터(117) 및 n형 박막 전계 효과 트랜지스터(118) 또 축적 용량(119)의 내압 및 신뢰성이 저하하는 것에 의해서, 액정 표시 장치의 제조 양품률이 저하한다고 하는 문제가 발생한다.

이와 같이, 종래는 박막 전계 효과 트랜지스터의 채널 영역과 동일 레이어에 의해서 형성되는 도전층을 구비하는 반도체 장치에 있어서는 박막 전계 효과 트랜지스터의 채널 영역에의 불순물 재주입을 방지하는 것에 의해서 임계값 전압을 안정화시킴과 동시에, 도전층으로서의 하부 전극(103)을 포함하는 축적 용량의 내구성 및 신뢰성을 충분히 높게 유지할 수 있다고 하는 이 2개의 목적을 동시에 달성하는 것은 곤란했다.

본 발명의 하나의 목적은 박막 전계 효과 트랜지스터와 도전층을 구비하는 반도체 장치에 있어서 박막 전계 효과 트랜지스터의 임계값 전압을 안정화시킴과 동시에, 도전층이 전극으로서 이용되는 용량의 내구성 및 신뢰성을 향상시키는 것이 가능한 반도체 장치 및 그 제조방법을 제공하는 것이다.

본 발명의 다른 하나의 목적은 박막 전계 효과 트랜지스터와 도전층을 구비하는 액정 표시 장치에 있어서 박막 전계 효과 트랜지스터의 임계값 전압을 안정화시킴과 동시에, 도전층이 전극으로서 이용되는 용량의 내구성 및 신뢰성을 향상시키는 것이 가능한 액정 표시 장치 및 그 제조방법을 제공하는 것이다.

발명의 구성 및 작용

본 발명의 하나의 국면에 따른 반도체 장치는 박막 전계 효과 트랜지스터와 도전층을 구비하는 반도체 장치로서, 기판, 반도체막, 도전층 및 유전체막을 구비한다. 반도체막은 기판상에 형성된 박막 전계 효과 트랜지스터의 채널 영역을 포함한다. 도전층은 기판상에 형성되고 반도체막과 동일한 레이어에 의해 구성된다. 유전체막은 도전층 상에 형성된다. 채널 영역에 있어서의 도전성 불순물 농도는 10^{16} atoms/cm³ 이하이다. 유전체막에 있어서의 도전성 불순물 농도는 10^{17} atoms/cm³ 이하이다.

이와 같이, 박막 전계 효과 트랜지스터의 채널 영역에 있어서의 도전성 불순물 농도가 10^{16} atoms/cm³ 이하이기 때문에, 박막 전계 효과 트랜지스터의 임계값 전압의 변동을 방지할 수 있다.

또, 유전체막에 있어서의 도전성 불순물 농도가 10^{17} atoms/cm³ 이하이기 때문에, 이 유전체막의 내압 및 신뢰성이 저하하는 것을 방지할 수 있다. 이 때문에, 도전층을 한쪽의 전극으로 하고 또 이 도전층과 유전체막을 거쳐서 대향하도록 배치된 다른 하나의 도전층을 다른쪽의 전극으로 한 용량이 형성되는 경우, 이 용량의 내구성 및 신뢰성을 향상시킬 수 있다. 또, 유전체막을 형성한 후 이 유전체막을 거쳐서 도전성 불순물을 도전층에 주입하는 공정을 실시하는 경우, 상술한 바와 같이 유전체막의 도전성 불순물 농도는 적어도 10^{18} atoms/cm³ 정도 이상으로 되기 때문에, 유전체막의 도전성 불순물 농도를 10^{17} atoms/cm³ 이하로 하기 위해서는 유전체막이 존재하지 않는 상태에서 도전층에 도전성 불순물을 주입할 필요가 있다. 즉, 유전체막이 이 도전성 불순물의 주입 공정에 기인하는 손상을 받는 것을 방지할 수 있다.

상기 하나의 국면에 따른 반도체 장치에서는 박막 전계 효과 트랜지스터가 제 1 도전형의 소스 및 드레인 영역을 갖고, 도전성 불순물은 제 1도전형과는 반대 도전형인 제 2 도전형의 도전성 불순물인 것이 바람직하다.

여기서, 채널 영역에 있어서의 도전성 불순물이 제 2 도전형인 경우, 이 도전성 불순물의 농도가 높아지면, 상기 박막 전계 효과 트랜지스터의 임계값 전압은 상승한다. 그리고, 채널 영역에 있어서의 도전성 불순물 농도를 본 발명에 규정한 범위로 설정하는 것에 의해, 박막 전계 효과 트랜지스터의 임계값 전압이 규정값보다 증대한다고 하는 문제를 확실하게 방지할 수 있다.

상기 하나의 국면에 따른 반도체 장치에서는 박막 전계 효과 트랜지스터가 제 1 도전형의 소스 및 드레인 영역을 갖고, 도전성 불순물은 제 1 도전형의 도전성 불순물이어도 좋다.

이 경우, 박막 전계 효과 트랜지스터의 임계값 전압이 도전성 불순물의 존재에 의해서 설정값보다 저하한다고 하는 문제의 발생을 확실하게 방지할 수 있다.

본 발명의 다른 국면에 따른 액정 표시 장치는 상기 하나의 국면에 따른 반도체 장치를 구비한다.

이와 같이 하면, 박막 전계 효과 트랜지스터를 액정 표시 장치의 표시 화소 영역에 있어서의 스위칭 소자에 적용하고 도전층을 화소의 축적 용량의 전극에 적용하는 것에 의해서, 표시 화소 영역의 박막 전계 효과 트랜지스터의 임계값 전압을 용이하게 안정화시킬 수 있음과 동시에 축적 용량의 내구성 및 신뢰성을 향상시킬 수 있다. 이 결과, 액정 표시 장치의 표시 특성을 향상시킬 수 있다.

본 발명의 다른 국면에 따른 박막 전계 효과 트랜지스터와 도전층을 구비하는 반도체 장치의 제조 방법에서는 기판 상에 반도체막을 형성한다. 반도체막 상에 제 1 레지스트막을 형성한다. 제 1 레지스트막을 마스크로서 이용하여 반도체막을 에칭하는 것에 의해, 박막 전계 효과 트랜지스터의 채널 영역으로 될 제 1 반도체막과 제 2 반도체막을 형성한다. 제 1 레지스트막을 제거한다. 제 2 반도체막이 형성된 영역 이외의 영역에 있어서 적어도 제 1 반도체막 상에 제 2 레지스트막을 형성한다. 제 2 레지스트막을 마스크로 하여 제 2 반도체막에 도전성 불순물을 주입하는 것에 의해서 도전층을 형성한다. 자외선 조사법 또는 웨트(습식) 에칭에 의해 제 2 레지스트막을 제거한다. 도전층을 형성하는 공정후에 도전층 상에 유전체막을 형성한다.

이와 같이 하면, 제 2 레지스트막을 제거하는 공정에서 산소 플라즈마 등을 이용한 플라즈마 어싱을 이용하고 있

지 않기 때문에, 이 플라즈마 어싱 공정에 있어서 레지스트중에 잔존하고 있던 도전성 불순물이 박막 전계 효과 트랜지스터의 채널 영역으로 될 제 1 반도체막에 주입되는 것을 확실하게 방지할 수 있다. 이 결과, 제 1 반도체막중의 도전성 불순물 농도가 필요 이상으로 상승하는 것을 방지할 수 있으므로, 이 제 1 반도체막을 채널 영역으로서 이용하는 박막 전계 효과 트랜지스터의 임계값 전압이 변동하는 것을 방지할 수 있다.

또, 도전층을 형성하는 공정후에 유전체막을 형성하고 있으므로, 이 유전체막이 도전성 불순물의 주입 공정에 의해서 손상을 받는 것을 방지할 수 있다. 이 결과, 유전체막의 내압 및 신뢰성을 향상시킬 수 있다. 이것에 의해, 이 유전체막을 이용하여 형성되는 용량 등의 내구성 및 신뢰성을 향상시킬 수 있다.

상기 다른 국면에 따른 반도체 장치의 제조 방법에서는 제 2 레지스트막은 하층 부분과 그 하층 부분 상에 위치하는 상층 부분을 포함하고 있어도 좋고, 제 2 레지스트막을 제거하는 공정은 상층 부분을 자외선 조사법에 의해 제거하는 공정과 하층 부분을 웨트 에칭에 의해 제거하는 공정을 포함하는 것이 바람직하다.

이 경우, 도전성 불순물의 주입에 의해 변질층으로 된 부분을 포함하는 상층 부분을 자외선 조사법에 의해 확실하게 제거할 수 있음과 동시에, 웨트 에칭을 이용하는 것에 의해 하층 부분을 비교적 단시간에 제거할 수 있다. 이 때문에, 변질층이 잔존한다고 하는 문제의 발생을 방지함과 동시에, 반도체 장치의 제조에 필요한 시간을 단축할 수 있다.

상기 다른 국면에 따른 반도체 장치의 제조 방법에서는 제 2 레지스트막을 형성하는 공정 전에 제 1 반도체막 상에 보호막을 형성하는 것이 바람직하고, 제 2 레지스트막을 제거하는 공정 후에 보호막을 제거하는 것이 바람직하다. 제 2 레지스트막을 제거하는 공정은 보호막을 잔존시킨 상태에서 실시되는 것이 바람직하다.

이 경우, 보호막이 존재하는 것에 의해서 제 2 레지스트막을 제거하는 공정에 있어서 제 2 레지스트막 중에 잔존하고 있던 도전성 불순물이 제 1 반도체막에 주입되는 것을 확실하게 방지할 수 있다. 이 결과, 제 1 반도체막에 있어서의 도전성 불순물 농도가 필요 이상으로 상승하는 것을 방지할 수 있다.

본 발명의 다른 하나의 국면에 따른 박막 전계 효과 트랜지스터와 도전층을 구비하는 반도체 장치의 제조 방법에서는 기판 상에 반도체막을 형성한다. 반도체막 상에 제 1 레지스트막을 형성한다. 제 1 레지스트막을 마스크로서 이용하여 반도체막을 에칭하는 것에 의해서, 박막 전계 효과 트랜지스터의 채널 영역으로 될 제 1 반도체막과 제 2 반도체막을 형성한다. 제 1 반도체막 상에 보호막을 형성한다. 제 2 반도체막이 형성된 영역 이외의 영역에 있어서 적어도 보호막 상에 제 2 레지스트막을 형성한다. 제 2 레지스트막을 마스크로 하여 제 2 반도체막에 도전성 불순물을 주입하는 것에 의해서 도전층을 형성한다. 도전층을 형성하는 공정후에 보호막을 잔존시키고 제 2 레지스트막을 제거한다. 보호막을 제거한다. 보호막을 제거한 후, 도전층 상에 유전체막을 형성한다.

이와 같이 하면, 제 2 레지스트막을 제거하는 공정에 있어서 보호막이 형성되고 있으므로, 제 2 레지스트막 중에 잔존하는 도전성 불순물이 제 1 보호막에 주입되는 것을 확실하게 방지할 수 있다. 이 결과, 제 1 반도체막에 있어서의 도전성 불순물의 농도가 필요 이상으로 높아지는 것을 방지할 수 있다. 이것에 의해, 박막 전계 효과 트랜지스터의 채널 영역에 있어서의 도전성 불순물의 농도가 소정의 값보다 커지는 것을 확실하게 방지할 수 있으므로, 박막 전계 효과 트랜지스터의 임계값 전압이 변동하는 것을 방지할 수 있다.

또, 보호막을 제거한 후 즉 도전성 불순물의 주입이 종료한 후에 도전층 상에 유전체막을 형성하고 있으므로, 유전체막이 도전성 불순물의 주입에 기인하는 손상을 받는 일은 없다. 이 때문에, 유전체막의 손상에 기인해서 이 유전체막의 내압이나 신뢰성이 저하한다고 하는 문제의 발생을 방지할 수 있다. 이 때문에, 이 유전체막을 이용한 용량 등의 소자의 내구성 및 신뢰성을 향상시킬 수 있다.

본 발명의 또 다른 국면에 따른 박막 전계 효과 트랜지스터와 도전층을 구비하는 반도체 장치의 제조 방법에서는 기판 상에 반도체막을 형성한다. 반도체막 상에 보호막으로 될 피복막을 형성한다. 피복막 상에 제 1 레지스트막을 형성한다. 제 1 레지스트막을 마스크로서 이용하여 반도체막 및 피복막을 에칭에 의해 제거하는 것에 의해서, 박막 전계 효과 트랜지스터의 채널 영역으로 될 제 1 반도체막 및 제 2 반도체막과 제 1 및 제 2 반도체막 상에 위치하는 보호막을 형성한다. 제 2 반도체막이 형성된 영역 이외의 영역에 있어서 적어도 보호막 상에 제 2 레지스트막을 형성한다. 제 2 레지스트막을 마스크로 하여 제 2 반도체막에 도전성 불순물을 주입하는 것에 의해서 도전층을 형성한다. 도전층을 형성하는 공정후에 보호막을 잔존시키고 제 2 레지스트막을 제거한다. 보호막을 제거한다. 보호막을 제거한 후에 도전층 상에 유전체막을 형성한다.

이와 같이 하면, 보호막이 형성된 상태에서 제 2 레지스트막을 제거하므로, 제 1 반도체막에 제 2 레지스트막중에 잔존하고 있던 도전성 불순물이 주입되는 방지할 수 있다. 이 때문에, 박막 전계 효과 트랜지스터의 채널 영역에 있어서 도전성 불순물의 농도가 필요 이상으로 높아지는 것을 방지할 수 있다.

또, 보호막을 제거한 후 즉 도전성 불순물의 주입이 종료한 후에 유전체막을 형성하고 있으므로, 이 유전체막이 도전성 불순물의 주입 공정에 의해서 손상을 받는 일은 없다. 이 때문에, 유전체막의 막질이 열화하는 것을 방지할 수 있으므로, 유전체막의 내압 및 신뢰성을 향상시킬 수 있다. 이 결과, 이 도전층 및 유전체막을 이용한 용량 등의 소자의 내구성 및 신뢰성을 향상시킬 수 있다.

상기 다른 하나의 국면 또는 또 다른 국면에 따른 반도체 장치의 제조 방법에서는 제 2 레지스트막을 제거하는 공정에서 제 2 레지스트막의 상부 표면을 포함하는 상층 부분을 플라즈마 어싱에 의해 제거하는 공정과 상층 부분 아래에 위치하는 제 2 레지스트막의 하층 부분을 웨트 에칭에 의해 제거하는 공정을 포함하는 것이 바람직하다.

이 경우, 도전성 불순물의 주입에 의해 변질된 영역(변질층)을 포함하는 상층 부분을 플라즈마 어싱에 의해서 확실하게 제거함과 동시에 하층 부분을 웨트 에칭을 이용하여 제거하고 있으므로, 변질층이 잔존한다고 하는 문제의 발생을 방지함과 동시에 웨트 에칭을 이용하여 공정 시간을 단축하는 것이 가능해진다.

상기 다른 하나의 국면 또는 또 다른 국면에 따른 반도체 장치의 제조 방법에서는 제 2 레지스트막의 상층 부분은 도전성 불순물이 주입된 변질층인 것이 바람직하다.

이 경우, 플라즈마 어싱을 이용하여 이 변질층을 확실하게 제거할 수 있다. 이 때문에, 변질층이 잔존하는 것에 의해서 박막 전계 효과 트랜지스터의 구조에 결함이 발생한다고 하는 불량 발생을 확실하게 방지할 수 있다.

상기 다른 국면 또는 다른 하나의 국면 또는 또 다른 국면에 따른 반도체 장치의 제조 방법에서는 보호막이 산화막 또는 질화막인 것이 바람직하다.

이 경우, 종래 반도체 장치를 제조하기 위해서 이용되는 CVD법이나 열산화법 또는 자외선 조사법 등을 이용하여 용이하게 보호막을 형성할 수 있다. 이 때문에, 이 보호막을 형성하기 위해서 새로 제조 장치를 추가하는 바와 같은 투자를 실행할 필요가 없다. 이 때문에, 반도체 장치의 제조비용의 상승을 억제할 수 있다.

상기 다른 국면 또는 다른 하나의 국면 또는 또 다른 국면에 따른 반도체 장치의 제조 방법에서는 보호막이 화학 기상 성장법 또는 스퍼터링법을 이용하여 형성되는 것이 바람직하다.

이 경우, 화학 기상 성장법 등의 조건을 조정하는 것에 의해서, 보호막을 임의의 두께로까지 용이하게 두껍게 형성할 수 있다.

또, 제 1 반도체막을 형성하는 공정에 있어서 화학 기상 성장법을 이용한 경우에는 연속해서 보호막을 형성할 수 있으므로, 프로세스를 간략화할 수 있다.

상기 다른 국면 또는 다른 하나의 국면 또는 또 다른 국면에 따른 반도체 장치의 제조 방법에서는 보호막은 자외선 조사법을 이용하여 형성되어 있어도 좋다.

이 경우, 보호막을 자외선 조사법이라는 간단하고 또한 단시간의 프로세스에 의해서 형성할 수 있으므로, 제조 공정을 간략화함과 동시에 제조 공정에 필요한 시간을 단축할 수 있다.

본 발명의 또 다른 국면에 따른 액정 표시 장치의 제조 방법은 상기다른 국면 또는 다른 하나의 국면 또는 또 다른 국면에 따른 반도체 장치의 제조 방법을 이용한다.

이와 같이 하면, 박막 전계 효과 트랜지스터를 액정 표시 장치의 표시 화소 영역에 있어서의 회로 소자로서 이용하고 도전층을 표시 화소 영역에 있어서의 축적 용량의 전극에 이용하는 경우, 이 표시 화소 영역에 있어서의 박막 전계 효과 트랜지스터의 임계값 전압을 안정화시킴과 동시에 용량의 내구성 및 신뢰성을 향상시킬 수 있다. 이 결과, 액정 표시 장치의 표시 특성을 향상시킬 수 있다.

이하, 도면에 따라서 본 발명의 실시예를 설명한다. 또한, 이하의 도면에 있어서 동일 또는 상당하는 부분에는 동일한 참조 번호를 붙이고 그 설명은 반복하지 않는다.

(실시예 1)

도 1을 참조하여 액정 표시 장치를 설명한다.

도 1을 참조하면, 액정 표시 장치는 유리 기판(1), 상부 유리 기판(21) 및 이 유리 기판(1)과 상부 유리 기판(21) 사이에 유지되는 액정(20)을 구비한다. 유리 기판(1) 상에는 하지막(2)이 형성되어 있다. 유리 기판(1)의 구동 회로 영역에 있어서는 이 하지막(2) 상에 p형 박막 전계 효과 트랜지스터(17)가 형성되어 있다. p형 박막 전계 효과 트랜지스터(17)는 소스/드레인 영역(6a), (6b), 채널 영역(7), 게이트 절연막으로서 작용하는 절연막(8) 및 게이트 전극(9a)을 구비한다.

하지막(2) 상에는 동일 레이어로서의 반도체막을 이용하여 형성된 소스/드레인 영역(6a), (6b)과 채널 영역(7)이 형성되어 있다. 소스/드레인 영역(6a), (6b)에는 보론(B) 등의 p형의 도전성 불순물이 주입되어 있다. 채널 영역(7) 상에는 게이트 절연막으로서 작용하는 절연막(8)이 형성되어 있다. 채널 영역(7) 상에 위치하는 영역에 있어서 절연막(8) 상에는 크롬막으로 이루어지는 게이트 전극(9a)이 형성되어 있다. 게이트 전극(9a)과 절연막(8) 상에는 실리콘 산화막으로 이루어지는 보호막(11)이 형성되어 있다. 소스/드레인 영역(6a), (6b) 상에 위치하는 영역에 있어서는 보호막(11)과 절연막(8)의 일부를 제거하는 것에 의해서 콘택트 홀(12a), (12b)이 형성되어 있다. 콘택트 홀(12a), (12b)에서 보호막(11) 상으로까지 연장하도록, 각각 전극(13a), (13b)이 형성되어 있다. 전극(13a), (13b)과 보호막(11) 상에는 절연막(14)이 형성되어 있다.

유리 기판(1)의 표시 화소 영역에 있어서는 상술한 바와 같이 유리 기판(1) 상에 하지막(2)이 형성되고, 이 하지막(2) 상에 n형 박막 전계 효과 트랜지스터(18)와 축적 용량(19)이 형성되어 있다. n형 박막 전계 효과 트랜지스터(18)는 소스/드레인 영역(4a), (4b), 채널 영역(5), 게이트 절연막으로서 작용하는 절연막(8) 및 게이트 전극(9b)을 구비한다. 하지막(2) 상에는 소스/드레인 영역(4a), (4b)과 채널 영역(5)이 동일 레이어로서의 반도체막을 이용하여 형성되어 있다. 이 소스/드레인 영역(4a), (4b)에는 인(P) 이온 등의 n형의 도전성 불순물이 주입되어 있다. 채널 영역(5) 상에는 게이트 절연막으로서 작용하는 절연막(8)이 형성되어 있다. 또, 채널 영역(5) 상에 위치하는 영역에 있어서는 절연막(8) 상에 게이트 전극(9b)이 형성되어 있다. 게이트 전극(9b)과 절연막(8) 상에는 구동 회로 영역과 마찬가지로 보호막(11)이 형성되어 있다. 소스/드레인 영역(4a), (4b) 상에 위치하는 영역에 있어서는 보호막(11)과 절연막(8)의 일부를 제거하는 것에 의해서 콘택트 홀(12c), (12d)이 형성되어 있다. 콘택트 홀(12c), (12d)의 내부에서 보호막(11)의 상부 표면 상으로까지 연장하도록 전극(13c), (13d)이 형성되어 있다.

또, 하지막(2) 상에는 소스/드레인 영역(4a), (4b)와 채널 영역(5)을 구성하는 반도체막과 동일 레이어에 의해 구성되는 도전층으로서의 하부 전극(3)이 형성되어 있다. 이 하부 전극(3) 상에는 유전체막으로서의 절연막(8)이 형성되어 있다. 이 하부 전극(3) 상에 위치하는 절연막 부분(35)은 용량의 유전체막으로서 작용한다. 이 절연막 부분(35) 상에는 공통 전극(10)이 형성되어 있다. 공통 전극(10)과 절연막(8) 상에는 보호막(11)이 형성되어 있다. 하부 전극(3) 상에 위치하는 영역에 있어서는 보호막(11)과 절연막(8)의 일부가 제거되는 것에 의해서 콘택트 홀(12e)이 형성되어 있다. 콘택트 홀(12e)의 내부에서 보호막(11)의 상부 표면 상으로까지 연장하도록 전극(13e)이 형성되어 있다. 전극(13e)과 보호막(11) 상에는 절연막(14)이 형성되어 있다.

전극(13d) 상에 위치하는 영역에는 절연막(14)에 콘택트 홀(15)이 형성되어 있다. 콘택트 홀(15)의 내부에서 절연막(14)의 상부 표면 상으로까지 연장하도록, 전극(13a)과 전기적으로 접속된 ITO(주석첨가 산화인듐) 화소 전극(16)이 형성되어 있다. ITO 화소 전극(16)과 절연막(14) 상에는 배향막(36a)이 형성되어 있다.

이 유리 기판(1) 상에 p형 박막 전계 효과 트랜지스터(17), n형 박막 전계 효과 트랜지스터(18) 및 축적 용량(19)이 형성된 면과 대향하도록, 상부 유리 기판(21)이 배치되어 있다. 상부 유리 기판(21)의 유리 기판(1)과 대향하는 면에는 컬러 필터(23)가 형성되어 있다. 컬러 필터(23)의 유리 기판(1)과 대향하는 면 상에는 대향 전극(22)이 형성되어 있다. 대향 전극(22)의 유리 기판(1)과 대향하는 면상에는 배향막(36b)이 형성되어 있다. 배향막(36a), (36b) 사이에는 액정(20)이 유지되어 있다.

여기서, 채널 영역(7), (5)에 있어서의 n형의 도전성 불순물의 농도는 모두 10^{16} atoms/cm³ 이하로 되어 있다. 이와 같이, 불순물농도를 10^{16} atoms/cm³ 이하로 하는 것에 의해서, 도 17에 도시한 그래프에서도 알수 있는 바와 같이, 전계 효과 트랜지스터의 임계값 전압이 설정값에서 대폭 어긋나는 것을 확실하게 방지할 수 있다. 채널 영역(5), (7)의 도전성 불순물 농도가 10^{16} atoms/cm³를 넘는 경우에는 도 17에서도 알수 있는 바와 같이 임계값 전압의 변화량이 급격하게 증대한다. 또한, p형의 도전성 불순물에 대해서도 채널 영역(7), (5)에 있어서의 농도를 상기와 같이 10^{16} atoms/cm³ 이하로 하는 것에 의해서 마찬가지로 효과를 얻을 수 있다.

또, 용량의 절연막 부분(35)에 있어서의 n형의 도전성 불순물 농도는 10^{17} atoms/cm³ 이하로 되어 있다. 이것은 후술하는 제조 방법에 있어서 설명하는 바와 같이, 이 절연막 부분(35)이 하부 전극(3)으로의 도전성 불순물의 주입 공정 후에 형성되므로, 이와 같이 도전성 불순물 농도를 상대적으로 낮게 유지할 수 있기 때문이다. 그리고, 이러한 도전성 불순물 농도이면, 이 도전성 불순물의 존재에 의해서 유전체막으로서의 절연막 부분(35)의 내압이 저하하거나 또는 신뢰성이 저하한다고 하는 문제의 발생을 확실하게 방지할 수 있다. 또, 하부 전극(3)으로의 도전성 불순물의 주입 공정을 실시할 때에 이 절연막 부분(35)이 이미 형성되어 있는 경우에는 절연막 부분(35)에 있어서 이러한 상대적으로 낮은 불순물 농도를 달성하는 것은 곤란하다. 이것은 도 19에 도시한 데이터에서도 추정할 수 있다. 그리고, 이러한 불순물 농도를 달성하기 위해서는 후술하는 제조 방법에 있어서도 설명하는 바와 같이, 하부 전극(3)으로의 도전성 불순물의 주입 공정이 종료한 후에 절연막 부분(35)을 형성할 필요가 있다. 그리고, 이와 같이 하면 이 절연막 부분(35)이 이 도전성 불순물의 주입 공정에 기인해서 손상을 받는다고 하는 문제의 발생을 방지할 수 있다. 이 결과, 절연막 부분(35)의 내압이나 신뢰성이 저하한다고 하는 문제의 발생을 확실하게 방지할 수 있다. 또한, 하부 전극(3)으로의 도전성 불순물의 주입 공정에 있어서 절연막 부분(35)이 이미 형성되어 있는 경우에는 도 19에서도 알수 있는 바와 같이, 이 절연막 부분(35)의 도전성 불순물 농도가 10^{17} atoms/cm³를 넘는 값으로 된다. 이 경우, 절연막 부분(35)에 있어서 이 도전성 불순물의 주입 공정에 기인하는 손상 등이 발생하고 있기 때문에, 절연막 부분(35)의 내압 등이 저하한다.

또, p형 박막 전계 효과 트랜지스터(17)에 있어서는 소스/드레인 영역(6a), (6b)에 보론 등의 p형의 도전성 불순물이 주입되고 있다. 그리고, 하부 전극(3)에 주입된 인 이온 등의 n형의 도전성 불순물이 채널 영역(7)에 주입되는 경우를 고려하면, p형 박막 전계 효과 트랜지스터(17)의 임계값 전압은 상승하게 된다. 그러나, 상술한 바와 같이 채널 영역(7)에 있어서의 인 이온의 농도를 10^{16} atoms/cm³ 이하로 하면, 이 임계값 전압의 상승을 확실하게 방지할 수 있다.

또, n형 박막 전계 효과 트랜지스터(18)에 대해서 고려하면, 소스/드레인 영역(4a), (4b)에는 n형의 도전성 불순물인 인 이온이 주입되고 있다. 그리고, 하부 전극(3)에 주입된 인 이온이 채널 영역(5)에 재주입되는 경우, n형 박막 전계 효과 트랜지스터(18)의 임계값 전압은 저하하게 된다. 그러나, 상술 바와 같이 이 채널 영역(5)에 있어서의 인 이온의 농도를 10^{16} atoms/cm³ 이하로 하면, 이러한 임계값 전압의 저하를 확실하게 방지할 수 있다.

이와 같이, 본 발명에 의하면 액정 표시 장치에 있어서 구동 회로 영역 및 표시 화소 영역에 있어서의 박막 전계 효과 트랜지스터의 임계값 전압의 변동을 확실하게 방지하고 또한 축적 용량(19)의 내구성 및 신뢰성을 향상시키는 것이 가능하다.

도 2 도 7을 참조하여 액정 표시 장치의 제조 방법을 설명한다.

우선, 유리 기판(1)의 표면에 예를 들면 PECVD를 이용하여 하지막(2)을 형성한다. 하지막(2)으로서는 실리콘 질화막 및 실리콘 산화막의 2층막을 이용한다. 이 하지막(2) 상에 비정질 실리콘막(도시하지 않음)을 연속해서 형성한다. 이 비정질 실리콘막을 엑시머 레이저를 이용하여 어닐하는 것에 의해 폴리실리콘막을 생성한다. 그리고, 이 폴리실리콘막 상에 레지스트막(도시하지 않음)을 형성한다. 이 레지스트막을 마스크로서 이용하여 폴리실리콘막을 드라이 에칭에 의해 부분적으로 제거하는 것에 의해서, 제 1 및 제 2 반도체막으로서의 폴리실리콘막(24a) (24c)(도 2 참조)을 형성한다. 그 후, 레지스트막을 제거한다. 이와 같이 해서, 도 2에 도시하는 바와 같은 구조를 얻는다.

다음에, 하부 전극(3)(도 1 참조)으로 될 제 2 반도체막으로서의 폴리실리콘막(24c)이 위치하는 영역 이외의 영역에 있어서 제 1 반도체막으로서의 폴리실리콘막(24a), (24b) 상에 레지스트막(25)(도 3 참조)를 형성한다. 이 레지스트막(25)의 막두께 T1(도 3 참조)은 약 1.3 μ m이다. 그리고, 도 3에 도시하는 바와 같이 폴리실리콘막(24c)에 인 이온(29)을 1.60×10^{-15} J(10keV) 정도의 조건으로 주입한다. 이러한 인 이온의 주입에 의해서, 레지스트막(25)에는 이 인 이온의 주입에 기인하는 변질층(26)이 형성된다. 변질층(26)의 막두께를 T2로 한다. 이 변질층(26) 아래에는 인 이온의 주입에 의한 손상을 받고 있지 않은 불변질층(27)이 위치한다. 불변질층(27)의 막두께를 T3으로 한다. 이 인 이온(29)의 주입에 의해, 도 3에 도시하는 바와 같이 하부 전극(3)이 형성된다.

다음에, 도 4에 도시하는 바와 같이 자외선(30)을 조사하는 것에 의해 변질층(26)을 제거한다. 이 자외선(30)으로서는 파장이 172nm인 엑시머 UV를 이용했다. 이 때의 프로세스 조건으로서는 램프 조도가 10mW/cm², 유리 기판의 온도를 130°C, 램프와 유리 기판(1) 사이의 거리를 3mm로 했다. 이 경우의 레지스트 제거속도는 400nm/min 정도이다. 이 때문에, 막두께 T1이 약 1.3 μ m 정도의 레지스트막(25)을 제거할 수 있도록, 엑시머 UV의 조사 시간을 2분 내지 3분 정도로 했다. 이와 같이 해서, 불변질층(27)도 자외선 조사에 의해서 제거했다.

또한, 여기서 자외선 조사 대신에 웨트 처리를 이용하여 레지스트막(25)을 제거해도 좋다. 이 경우의 웨트 처리의 조건으로서는 예를 들면 처리액으로서는 질은 황산(濃硫酸)과 과산화 수소의 혼합액을 95°C로 가열한 것을 이용한다.

또, 통상의 박리액을 이용하여 레지스트막(25)을 제거해도 좋다.

또, 변질층(26)을 주로 자외선 조사에 의해서 제거한 후 불변질층(27)을 웨트 처리에 의해서 제거하는 바와 같이, 자외선 조사와 웨트 처리를 조합해서 레지스트막(25)을 제거해도 좋다. 이와 같이 하면, 더욱 처리 속도가 빠른 웨트 처리를 조합해서 이용하므로, 변질층(26)과 불변질층(27)을 모두 자외선 조사법에 의해서 제거하는 경우보다 레지스트막(25)을 제거하기 위한 프로세스 시간을 단축할 수 있다.

이와 같이, 레지스트막(25)을 제거할 때에 플라즈마 어싱 처리를 실행하지 않으므로, 종래와 같이 플라즈마 어싱 처리시에 레지스트막(25) 중에 잔존하고 있던 인 이온이 채널 영역(5), (7)(도 1 참조)로 될 폴리실리콘막(24a), (24b)에 재주입되는 것을 방지할 수 있다. 이 결과, 재주입된 인 이온의 존재에 의해서 p형 박막 전계 효과 트랜지스터(17), n형 박막 전계 효과 트랜지스터(18)의 임계값 전압이 변동한다고 하는 문제의 발생을 방지할 수 있다.

다음에, 박막 전계 효과 트랜지스터의 게이트 절연막 및 축적 용량(19)의 유전체막으로서 작용하는 절연막(8)(도 5 참조)을 예를 들면 TEOS PECVD법을 이용하여 형성한다. 이 절연막(8)으로서는 실리콘 산화막을 이용한다. 절연막(8)의 막두께는 70nm 정도로 한다. 다음에, 절연막(8) 상에 크롬막을 스퍼터링법 등을 이용하여 형성한다. 이 크롬막 상에 레지스트막(도시하지 않음)을 형성한다. 이 레지스트막을 마스크로서 이용하여 크롬막을 부분적으로 에칭에 의해 제거하는 것에 의해서, 도 5에 도시하는 바와 같이 게이트 전극(9a), (9b) 및 공통 전극(10)을 형성한다. 공통 전극(10)(공통 배선이라고도 한다), 하부 전극(3), 절연막(8)의 절연막 부분(35)에 의해서 축적 용량(19)이 구성된다. 그 후, 폴리실리콘막(24b)(도 4 참조)이 위치하는 영역 이외의 영역을 레지스트막으로 덮은 후, 폴리실리콘막(24b)에 게이트 전극(9b)을 마스크로 하여 인 이온을 주입한다. 이와 같이 해서, 소스/드레인 영역(4a), (4b)(도 5 참조) 및 채널 영역(5)(도 5 참조)을 형성한다. 그 후, 레지스트막을 제거한다. 그리고, 폴리실리콘막(24a)이 위치하는 영역 이외의 영역에 있어서 도 5에 도시하는 바와 같이 레지스트막(28)을 형성한다. 그리고, 폴리실리콘막(24a)에 게이트 전극(9a)을 마스크로 하여 보론 이온(31)을 주입한다. 이와 같이 해서, 소스/드레인 영역(6a), (6b) 및 채널 영역(7)이 형성된다.

여기서, 축적 용량(19)의 절연막 부분(35)을 포함하는 절연막(8)은 도 3에 도시한 인 이온(29)의 주입 공정이 종료한 후에 형성되어 있다. 그 때문에, 이 절연막 부분(35)가 도 3에 도시한 인 이온(29)의 주입 공정에 기인해서 손상을 받는 일은 없다. 이 때문에, 이 절연막 부분(35)의 내압이 저하하거나 또는 신뢰성이 저하한다고 하는 문제의 발생을 확실하게 방지할 수 있다. 이 결과, 축적 용량(19)의 내구성 및 신뢰성을 향상시킬 수 있다.

다음에, 도 5에 도시한 레지스트막(28)을 제거한 후, 도 6에 도시하는 바와 같이 게이트 전극(9a), (9b) 및 공통 전극(10) 상에 보호막(11)을 형성한다. 이 보호막(11)으로서는 TEOS PECVD를 이용하여 형성된 실리콘 산화막을 이용할 수 있다. 그리고, 이 보호막(11)을 형성한 후, 400°C와 같은 온도 조건에서 활성화 어닐을 실행한다.

다음에, 보호막(11) 상에 레지스트막을 형성한다. 이 레지스트막을 마스크로 하여 보호막(11) 및 절연막(8)의 일부를 이방성 에칭에 의해 제거하는 것에 의해서, 콘택트 홀(12a) (12e)(도 7 참조)을 형성한다. 그 후, 레지스트막을 제거한다. 이 콘택트 홀(12a) (12e)의 내부에서 보호막(11)의 상부 표면 상으로까지 연장하도록, 스퍼터링법을 이용하여 크롬막(도시하지 않음)을 형성한다. 이 크롬막의 막두께는 약 100nm로 한다. 그리고, 스퍼터링법을 이용하여 크롬막 상에 알루미늄계의 합금막을 형성한다. 이 알루미늄계의 합금막의 막두께는 400nm로 한다. 이 알루미늄계의 합금막 상에 레지스트막을 형성한다. 이 레지스트막을 마스크로서 이용하여 알루미늄 합금막과 크롬막을 부분적으로 에칭에 의해 제거하는 것에 의해서, 전극(13a) (13e)(도 7 참조)을 형성한다. 그 후, 레지스트막을 제거한다. 그리고, 수소 플라스마에 의해 채널 영역(5), (7)의 수소화를 실행하는 등의 처리를 실행하는 것에 의해서, p형 박막 전계 효과 트랜지스터(17) 및 n형 박막 전계 효과 트랜지스터(18)의 특성의 향상 및 안정화를 실행한다. 그리고, 전극(13a) (13e)과 보호막(11) 상에 절연막(14)(도 7 참조)을 형성한다. 이 절연막(14)으로서는 예를 들면 실리콘 질화막을 이용할 수 있다. 이와 같이 해서, 도 7에 도시하는 바와 같은 구조를 얻는다.

이와 같이 해서, 유리 기판(1)의 구동 회로 영역에 p형 박막 전계 효과 트랜지스터(17)를, 또 표시 화소 영역에 n형 박막 전계 효과 트랜지스터(18) 및 축적 용량(19)을 형성한다. 또, 구동 회로 영역에 있어서는 도시되어 있지 않은 다른 영역에 n형 박막 전계 효과 트랜지스터를 형성하고 있어도 좋고, 또 표시 화소 영역에 있어서 p형 박막 전계 효과 트랜지스터를 다른 영역에 형성하고 있어도 좋다. 그리고, 구동 회로 영역에 있어서 p형 박막 전계 효과 트랜지스터와 n형 박막 전계 효과 트랜지스터를 조합하는 것에 의해 구동 회로를 구성한다. 또, 표시 화소 영역에 있어서는 n형 박막 전계 효과 트랜지스터(18)와 투명 전극을 조합하는 것에 의해 표시 화소를 형성한다.

즉, 도 7에 도시한 공정후에 절연막(14)의 상부 표면을 평탄화한 후, 전극(13d) 상에 위치하는 영역에 있어서 절연막(14)에 콘택트 홀(15)(도 1 참조)을 형성한다. 그리고, 콘택트 홀(15)의 내부에서 절연막(14)의 상부 표면 상으로가

지 연장하도록, ITO 화소 전극(16)(도 1 참조)을 형성한다. 그 후, ITO 화소 전극(16) 상에 배향막(36a)(도 1 참조)을 형성한다. 또, 도 1에 도시한 바와 같이 컬러 필터(23), 대향 전극(22) 및 배향막(36b)이 형성된 상부 유리 기판(21)을 준비하고, 이 상부 유리 기판(21)과 유리 기판(1)을 대향하도록 배치하여 고정시킨다. 그리고, 이 유리 기판(1)과 상부 유리 기판(21) 사이(배향막(36a), (36b) 사이)에 액정(20)을 주입하여 봉지하는 것에 의해서, 도 1에 도시하는 바와 같은 액정 표시 장치를 얻을 수 있다.

(실시예 2)

본 발명에 따른 액정 표시 장치의 실시예 2는 도 1에 도시한 액정 표시 장치와 마찬가지로 구조를 구비한다. 액정 표시 장치의 제조 방법을 도 8 도 10을 참조하여 설명한다.

우선, 유리 기판(1) 상에 하지막(2) 및 반도체막으로서의 폴리실리콘막(24a) (24c)을 형성하는 공정까지는 본 발명의 실시예 1과 마찬가지다. 그리고, 폴리실리콘막(24a) (24c) 상에 보호막으로서의 절연막(32)(도 8 참조)을 본 발명의 실시예 2에 있어서는 형성한다. 이 절연막(32)은 예를 들면 플라즈마 CVD 법을 이용하여 형성된 실리콘 산화막을 이용할 수 있다. 또, 절연막(32)으로서 질화막으로서의 실리콘 질화막을 이용해도 좋다. 또, 이 절연막(32)의 막두께는 10nm이다. 그 후, 이 절연막(32) 상에 도 8에 도시하는 바와 같이 막두께 T4의 레지스트막(25)을 형성한다. 그리고, 이 레지스트막(25)을 마스크로 하여 폴리실리콘막(24c)에 인 이온(29)을 주입한다. 이 인 이온(29)의 주입 에너지는 1.60×10^{-15} J(10keV)이다. 이 인 이온의 주입에 의해 하부 전극(3)을 형성한다. 그리고, 이 인 이온(29)의 주입에 따라서 레지스트막(25)의 상부 표면을 포함하는 부분은 이 이온주입에 의해서 변질된 변질층(26)으로 된다. 변질층(26)의 막두께를 T5로 한다. 또, 불변질층(27)의 막두께를 T6로 한다.

여기서, 플라즈마 CVD법과 같은 화학 기상 성장법을 이용하여 절연막(32)을 형성해도 좋지만, 스퍼터링법을 이용하여 절연막(32)을 형성해도 좋다. 이와 같이, 화학 기상 성장법이나 스퍼터링법을 이용하면, 절연막(32)을 임의의 두께로 정밀도 좋게 형성할 수 있다. 또, 절연막(32)의 막두께를 충분히 두껍게 하는 것도 가능해진다. 또, 절연막(32)을 폴리실리콘막(24a) (24c)의 표면에 자외선을 조사해서 폴리실리콘막(24a) (24c)의 표면을 산화하는 것에 의해 형성해도 좋다.

이 절연막(32)은 또 폴리실리콘막(24a) (24c)을 형성하기 위해서 퇴적되는 비정질 실리콘막 상에 연속해서 형성되어도 좋다. 이 경우, 이 절연막(32)은 비정질 실리콘막의 표면을 질소플라즈마 또는 산소플라즈마를 이용하여 질화 또는 산화하는 것에 의해서 질화막 또는 산화막을 형성해도 좋다. 이와 같이 하면, 비정질 실리콘막의 형성과 연속해서 절연막(32)을 형성할 수 있으므로, 제조공정을 간략화할 수 있다.

또, 이와 같이 비정질 실리콘막 상에 CVD법 등을 이용하여 절연막(32)을 형성해도 좋다. 이 경우도 비정질 실리콘막의 형성과 연속해서 절연막(32)을 형성할 수 있으므로, 상술한 바와 마찬가지로의 효과를 얻을 수 있다.

다음에, 도 9에 도시하는 바와 같이 산소플라즈마(33)를 이용하여 변질층(26)을 플라즈마 어싱 처리에 의해 제거한다. 이 때, 변질층(26)의 제거나머지(다 제거되지 않고 남는 것)를 방지하기 위해서, 막두께 T5의 변질층(26)을 확실하게 제거하는 프로세스 조건을 설정한다. 이 때, 보호막으로서의 절연막(32)이 형성되어 있기 때문에, 이 플라즈마 어싱시에 레지스트막(25) 중에 잔존하고 있던 인 이온 등이 폴리실리콘막(24a), (24b)에 재주입되는 것을 확실하게 방지할 수 있다. 또, 이 절연막(32)의 막두께는 약 10nm와 8nm 이상의 충분한 두께로 설정되어 있으므로, 인 이온 등의 폴리실리콘막(24a), (24b)으로의 재주입을 확실하게 방지할 수 있다.

이러한 플라즈마 어싱 처리에 의해서 변질층(26)을 제거한 후, 나머지 불변질층(27)을 예를 들면 유기 아민계 등의 레지스트 박리액을 이용하여 제거한다.

여기서, 산소 플라즈마 어싱의 조건으로서는 분위기 압력을 200Pa, 산소의 유량을 0. 6리터/분(600sccm), 플라즈마의 파워를 1kW로 한 조건을 이용했다. 또한, 레지스트막(25)의 제거율은 장치 등의 조건에 따라서 변화한다. 그 때문에, 제거 대상으로 하고 있는 레지스트의 제거막두께에 대응해서 처리 시간의 미세조정을 실행했다. 또, 제거율이 커서 미세조정을 실행하기 곤란한 경우에는 플라즈마의 파워, 분위기 압력 및 산소 유량중의 적어도 1개를 작게 하는 것에 의해서, 제거율을 작게 하는 것이 바람직하다. 이와 같이 하면, 제거율의 미세조정을 용이하게 실행할 수 있다.

또, 상술한 레지스트 박리액의 처리 조건으로서는 사용하는 액으로서 디메틸설폭시드 30% 모노에탄올아민 70%라는 박리액을 이용한다. 이 박리액의 온도는 80℃이다. 이러한 조건의 용액을 이용한 경우의 처리 시간은 약 180초 정도이다. 또, 1대의 박리 장치에 있어서의 박리조에 의해 여러개의 기판을 동시에 처리할 수 있기 때문에, 처리 택트(tact) 시간은 1분 이하로 된다.

이와 같이, 산소플라즈마(33)를 이용하여 변질층(26)을 제거하고 있으므로, 변질층(26)을 확실하게 제거할 수 있다. 이 때문에, 변질층(26)이 부분적으로 잔존하는 것에 의해서 박막 전계 효과 트랜지스터의 구조에 결함이 발생한다고 하는 문제의 발생을 방지할 수 있다.

다음에, 레지스트막(25)을 제거한 후에 플루오르화 수소산(hydrofluoric acid)계의 에칭액을 이용하여 절연막(32)을 제거한다. 이와 같이 해서, 도 10에 도시한 바와 같은 구조를 얻는다.

그 후, 본 발명의 실시예 1에 따른 액정 표시 장치의 제조 방법인 도 5 7에 도시한 공정과 마찬가지로 공정을 실시하는 것에 의해서 액정 표시 장치를 얻을 수 있다.

여기서, 하부 전극(3)에 인 이온(29)을 주입하는 공정후에 하부 전극(3) 상에 위치하는 절연막 부분(35)으로 되는 절연막(8)을 형성하고 있으므로, 이 절연막 부분(35)(도 1 참조)이 인 이온(29)의 주입공정(도 8 참조)에 의해 손상을 받는 일은 없다. 이 때문에, 절연막 부분(35)의 막질이 열화하는 것을 방지할 수 있다. 이 결과, 본 발명의 실시예 1에 따른 효과와 마찬가지로 효과를 얻을 수 있다.

또, 보호막으로서의 절연막(32)이 존재하는 상태에서 본 발명의 실시예 1와 마찬가지로 공정을 실시해도 좋다. 즉, 절연막(32)이 형성된 상태에서 도 9에 도시한 공정 대신에, 도 4에 도시한 바와 같이 자외선 조사 또는 웨트 처리를 이용하여 레지스트막(25)을 제거해도 좋다.

(실시예 3)

도 11 및 도 12를 참조하여 액정 표시 장치의 제조 방법을 설명한다.

우선, 본 발명의 실시예 1에 따른 도 2에 도시한 공정과 마찬가지로 공정을 실행하는 것에 의해서, 폴리실리콘막(24a)(24c)(도 2 참조)을 형성한다. 그 후, 이 폴리실리콘막(24a)(24c)의 표면에 자외선을 조사하는 것에 의해서, 폴리실리콘막(24a)(24c)의 표면을 산화시키는 것에 의해 실리콘 산화막으로 이루어지는 절연막(34a)(34c)(도 11 참조)을 형성한다. 또한, 절연막(34a)(34c)으로서 질화막으로서의 실리콘 질화막을 이용해도 좋다. 이 절연막(34a)(34c)의 막두께는 약 3nm이다. 그리고, 도 11에 도시하는 바와 같이, 축적 용량(19)이 형성될 영역 이외의 영역에 레지스트막(25)을 형성한다. 이 레지스트막(25)의 막두께 T7은 약 1.8μm 정도로 한다. 그리고, 본 발명의 실시예 1에 따른 인 이온의 주입 조건과 마찬가지로 조건을 이용하여 폴리실리콘막(24c)에 인 이온(29)을 주입한다. 이와 같이 해서, 하부 전극(3)을 형성한다. 이 인 이온(29)의 주입에 의해서 레지스트막(25)의 상부 표면을 포함하는 층은 막두께 T8을 갖는 변질층(26)으로 된다. 변질층(26) 아래에는 막두께 T9의 불변질층(27)이 위치하고 있다.

여기서, 절연막(34a)(34c)을 자외선 조사법에 의해서 형성하고 있으므로, 이 절연막(34a)(34c)을 간단한 또한

단시간의 프로세스에 의해 형성할 수 있다. 또한, 절연막(34a) (34c)은 자외선 조사법 대신에, 과산화 수소수 등의 산화력이 있는 약액(藥液)을 이용하여 폴리실리콘막(24a) (24c)의 표면을 산화 처리하는 것에 의해서 형성해도 좋다. 또, 폴리실리콘막(24a) (24c)를 형성하기 위한 비정질 실리콘막에 연속해서 형성해도 좋다. 이와 같이, 비정질 실리콘막에 연속해서 절연막을 형성하는 경우에는 상술한 바와 같이 비정질 실리콘막의 표면을 질소플라즈마 또는 산소플라즈마를 이용하여 질화 또는 산화하는 것에 의해서 산화막 또는 질화막을 형성해도 좋다. 이러한 경우, 도 11에 도시한 도면과는 구조가 다소 다르다. 즉, 이와 같이 비정질 실리콘막 상에 연속해서 형성된 절연막은 폴리실리콘막(24a) (24c)의 상부 표면 상에만 형성되고, 이 폴리실리콘막(24a) (24c)의 측벽 상에는 형성되지 않는다.

다음에, 도 12에 도시하는 바와 같이, 도 11에 도시한 공정에 있어서 형성된 변질층(26)을 산소플라즈마(33)를 이용한 산소 플라즈마 어싱에 의해서 제거한다. 이 때, 산소 플라즈마 어싱에 의해서 제거되는 레지스트막(25)의 막두께는 변질층(26)을 완전히 제거하도록 설정된다. 예를 들면, 제거막두께를 약 1.5 μm 로 설정하면, 변질층(26)을 완전히 제거할 수 있다. 그리고, 불변질층(27)의 일부가 산소 플라즈마 어싱의 처리후에도 약 0.3 μm 정도 잔존한다. 그리고, 이 잔존한 불변질층(27)을 예를 들면 유기 아민계 등의 레지스트 박리액을 이용하여 제거한다. 여기서, 산소플라즈마 처리 및 레지스트 박리액을 이용한 처리의 프로세스 조건은 본 발명의 실시예 2에 따른 산소 플라즈마 어싱 및 레지스트 박리액을 이용한 처리의 프로세스 조건과 마찬가지로 한다. 그리고, 이 불변질층(27)은 레지스트 박리액을 이용하여 문제 없이 제거할 수 있다. 그 후, 절연막(34a) (34c)은 플루오르화 수소산계의 에칭액을 이용하여 제거한다. 이 결과, 도 10에 도시한 구조와 마찬가지로 구조를 얻는다. 그 후, 도 5 도 7에 도시한 공정과 마찬가지로 공정을 실시하는 것에 의해서 액정 표시 장치를 얻을 수 있다. 이 실시예 3에 있어서도 본 발명의 실시예 1 및 2와 마찬가지로 효과를 얻을 수 있다.

여기서, 도 11에 도시한 공정에 앞서서(공정 전에) 레지스트막(25)의 막두께 T7을 2.0 μm 이상으로 상대적으로 두껍게 하면, 도 12에 도시하는 바와 같이 레지스트막(25)의 표면을 포함하는 변질층(26)을 산소 플라즈마 어싱에 의해서 제거해도 불변질층(27)을 0.5 μm 이상 잔존시킬 수 있다. 이와 같이 하면, 절연막(34a) (34c)을 형성하지 않는 경우에 이러한 상대적으로 두꺼운 막두께를 갖는 레지스트막의 불변질층(27)이 존재하므로, 산소 플라즈마 어싱 처리중인 불순물의 폴리실리콘막(24a), (24b)으로의 재주입 정도를 경감시킬 수 있다. 이것에 의해, 채널 영역(5), (7)에 있어서의 도전성 불순물의 농도를 10^{16} atoms/ cm^3 이하로 하는 것이 가능하다. 이와 같이 하면, 절연막(34a) (34c)을 형성하지 않아도 좋기 때문에, 공정수를 삭감할 수 있다. 이 결과, 액정 표시 장치의 비용을 저감할 수 있다.

또한, 배선을 형성하기 위한 패터닝 등에 이용하는 레지스트막을 형성하는 경우에는 이와 같이 레지스트막을 두껍게 형성한 경우 패터닝의 위치정밀도가 악화되므로, 이와 같이 레지스트막을 두껍게 하는 것은 불가능하다. 그러나, 도 3, 도 8, 도 11에 도시하는 바와 같은 축적 용량(19)이 형성되는 영역과 그 이외의 영역을 분리하는 경우에는 상기 배선 형성시와 같은 엄격한 치수 정밀도는 요구되지 않는다. 이 때문에, 상기한 바와 같이 레지스트막(25)을 두껍게 해도 반도체 장치의 특성 등에 문제는 발생하지 않는다. 또, 레지스트막은 일반적으로 회전식의 레지스트 도포법을 이용하여 도포된다. 그리고, 이 레지스트막(25)의 막두께는 이 레지스트 도포시의 회전속도를 조정 하는 것에 의해 용이하게 변경할 수 있다. 그리고, 이러한 레지스트막(25)의 막두께를 두껍게 하는 것에 의해서, 본 발명의 실시예 1 3과 마찬가지로 효과를 얻을 수 있다.

발명의 효과

이와 같이 본 발명에 의하면, 박막 전계 효과 트랜지스터의 임계값 전압의 변동을 억제함과 동시에, 이 박막 전계 효과 트랜지스터의 채널 영역과 동일한 레이어에 의해서 형성되는 도전층을 이용한 용량의 내구성 및 신뢰성을 향상시킬 수 있고, 결과적으로 액정 표시 장치의 제조효율(양품률) 및 특성의 향상을 도모하는 것이 가능해진다.

(57) 청구의 범위

청구항 1.

박막 전계 효과 트랜지스터와 도전층을 구비하는 반도체 장치에 있어서,
 기판과,
 상기 기판 상에 형성된 박막 전계 효과 트랜지스터의 채널 영역을 포함하는 반도체막과,
 상기 기판 상에 형성되어 반도체막과 동일 레이어에 의해 구성되는 상기 도전층과,
 상기 도전층 상에 형성된 유전체막을 구비하고,
 상기 채널 영역에 있어서의 도전성 불순물 농도가 10^{16} atoms/cm³ 이하이고,
 상기 유전체막에 있어서의 도전성 불순물 농도가 10^{17} atoms/cm³ 이하인 반도체 장치.

청구항 2.

박막 전계 효과 트랜지스터와 도전층을 구비하는 반도체 장치의 제조 방법에 있어서,
 기판 상에 반도체막을 형성하는 공정과,
 상기 반도체막 상에 제 1 레지스트막을 형성하는 공정과,
 상기 제 1 레지스트막을 마스크로서 이용하여 상기 반도체막을 에칭하는 것에 의해 상기 박막 전계 효과 트랜지스터의 채널 영역으로 될 제 1 반도체막과 제 2 반도체막을 형성하는 공정과,
 상기 제 1 레지스트막을 제거하는 공정과,
 상기 제 2 반도체막이 형성된 영역 이외의 영역에서 적어도 상기 제 1 반도체막 상에 제 2 레지스트막을 형성하는 공정과,
 상기 제 2 레지스트막을 마스크로 하여 상기 제 2 반도체막에 도전성 불순물을 주입하는 것에 의해 상기 도전층을 형성하는 공정과,
 자외선 조사법 또는 웨트 에칭에 의해 상기 제 2 레지스트막을 제거하는 공정과,
 상기 도전층을 형성하는 공정후에 상기 도전층 상에 유전체막
 을 형성하는 공정을 구비하는 반도체 장치의 제조 방법.

청구항 3.

박막 전계 효과 트랜지스터와 도전층을 구비하는 반도체 장치의 제조 방법에 있어서,
 기판 상에 반도체막을 형성하는 공정과,
 상기 반도체막에 제 1 레지스트막을 형성하는 공정과,
 상기 제 1 레지스트막을 마스크로서 이용하여 상기 반도체막을 에칭하는 것에 의해 상기 박막 전계 효과 트랜지스터의 채널 영역으로 될 제 1 반도체막과 제 2 반도체막을 형성하는 공정과,

상기 제 1 반도체막 상에 보호막을 형성하는 공정과,

상기 제 2 반도체막이 형성된 영역 이외의 영역에서 적어도 상기 보호막 상에 제 2 레지스트막을 형성하는 공정과,

상기 제 2 레지스트막을 마스크로 하여 상기 제 2 반도체막에 도전성 불순물을 주입하는 것에 의해 상기 도전층을 형성하는 공정과,

상기 도전층을 형성하는 공정후에 상기 보호막을 잔존시키고 상기 제 2 레지스트막을 제거하는 공정과,

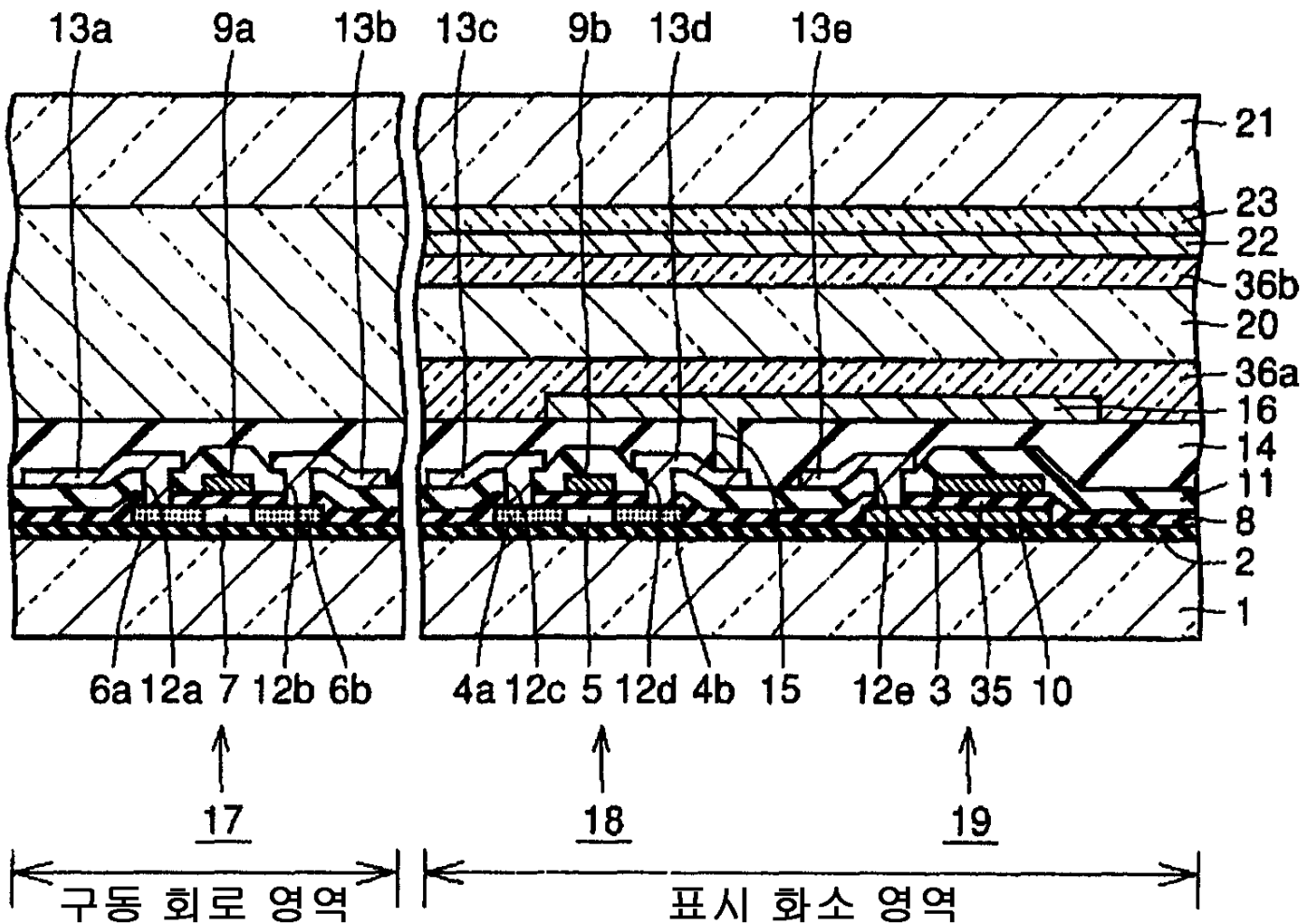
상기 보호막을 제거하는 공정과,

상기 보호막을 제거한 후에 상기 도전층 상에 유전체막을 형성하는 공정

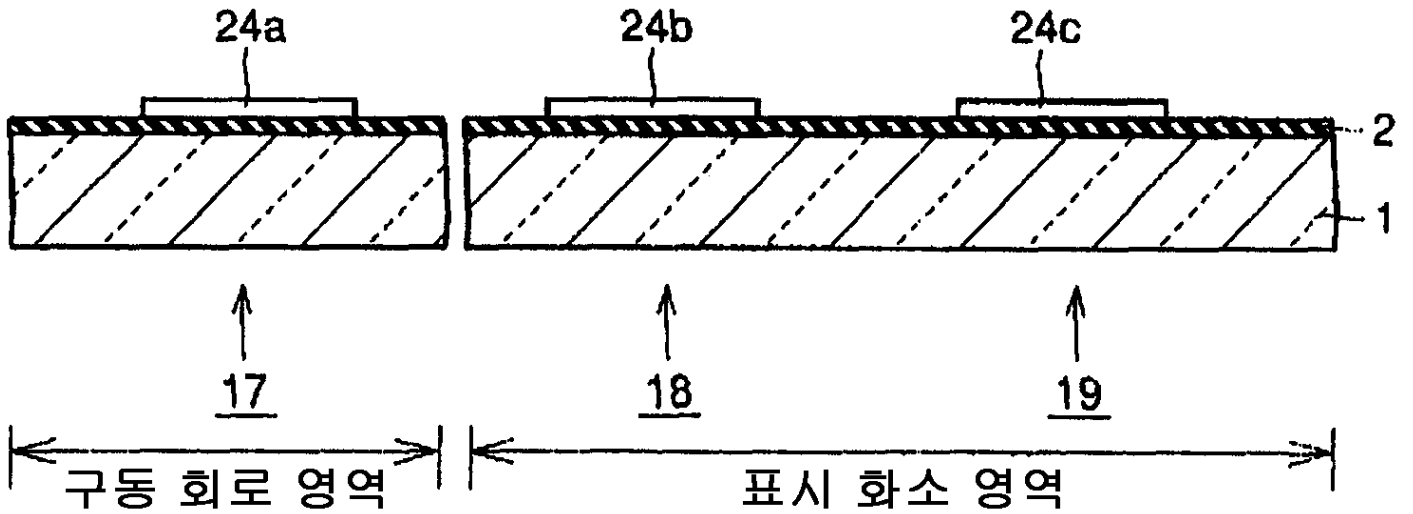
을 구비하는 반도체 장치의 제조 방법.

도면

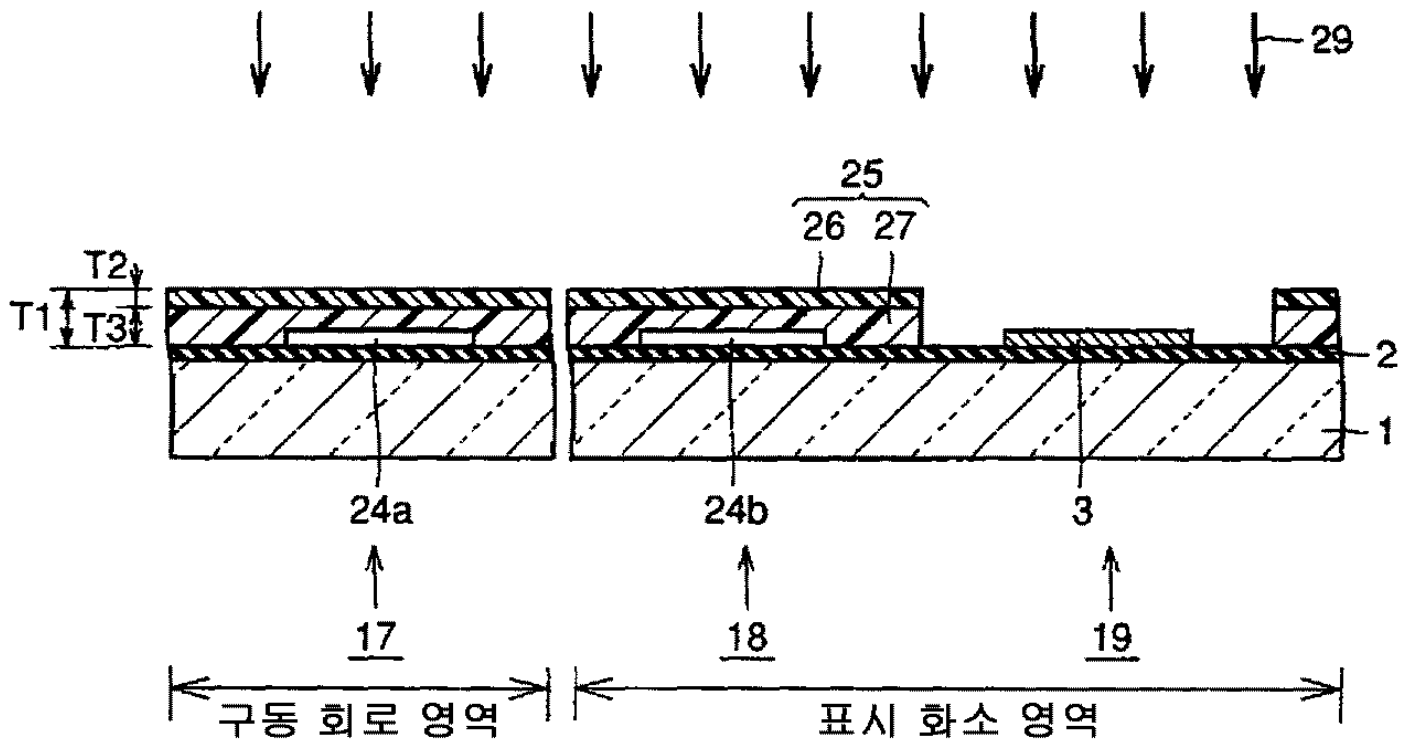
도면 1



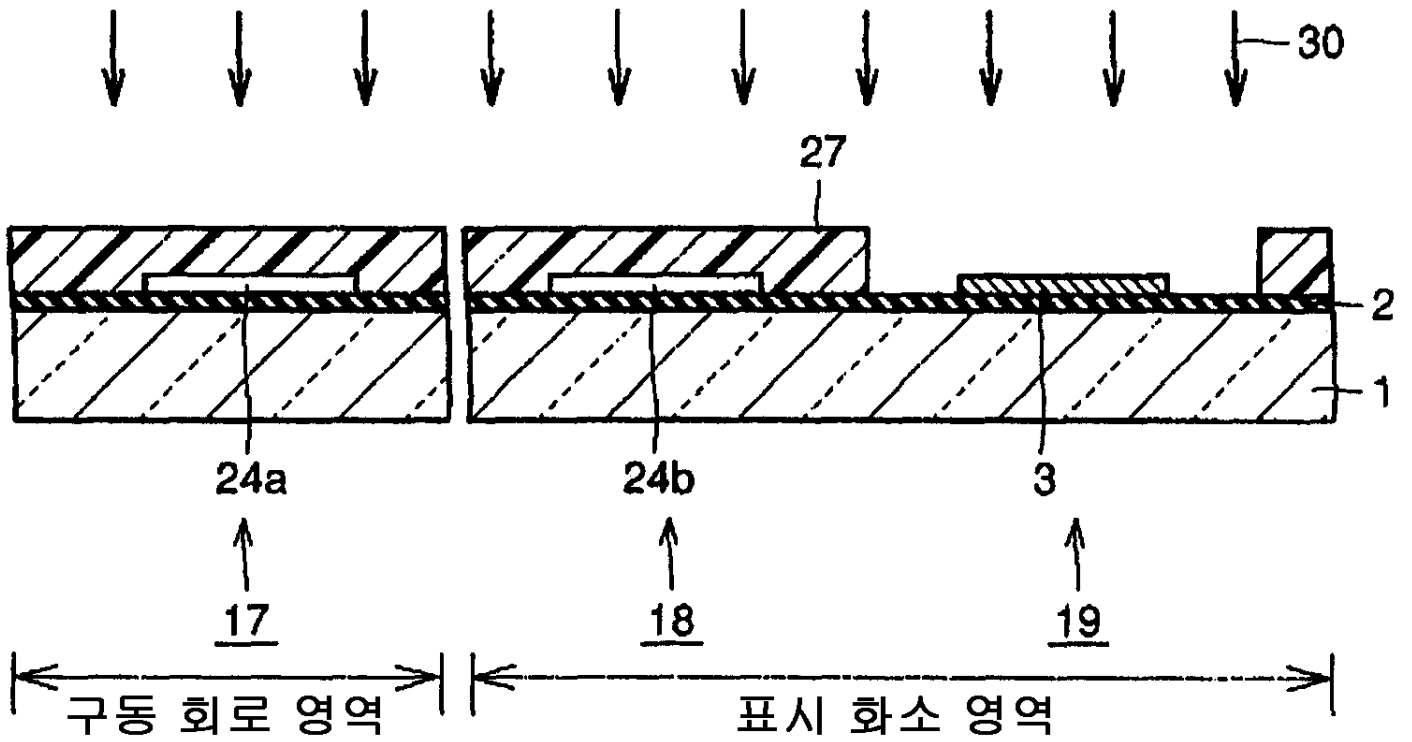
도면 2



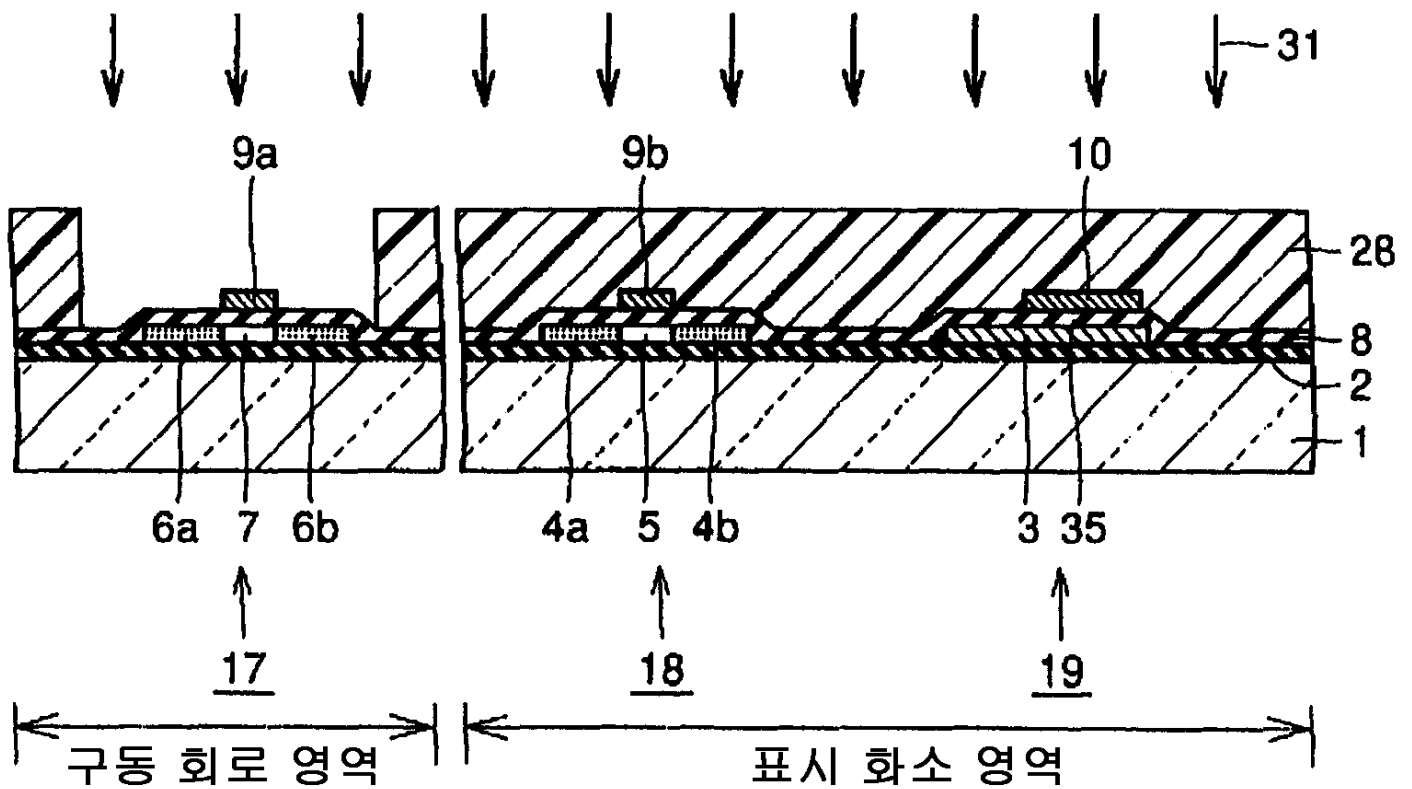
도면 3



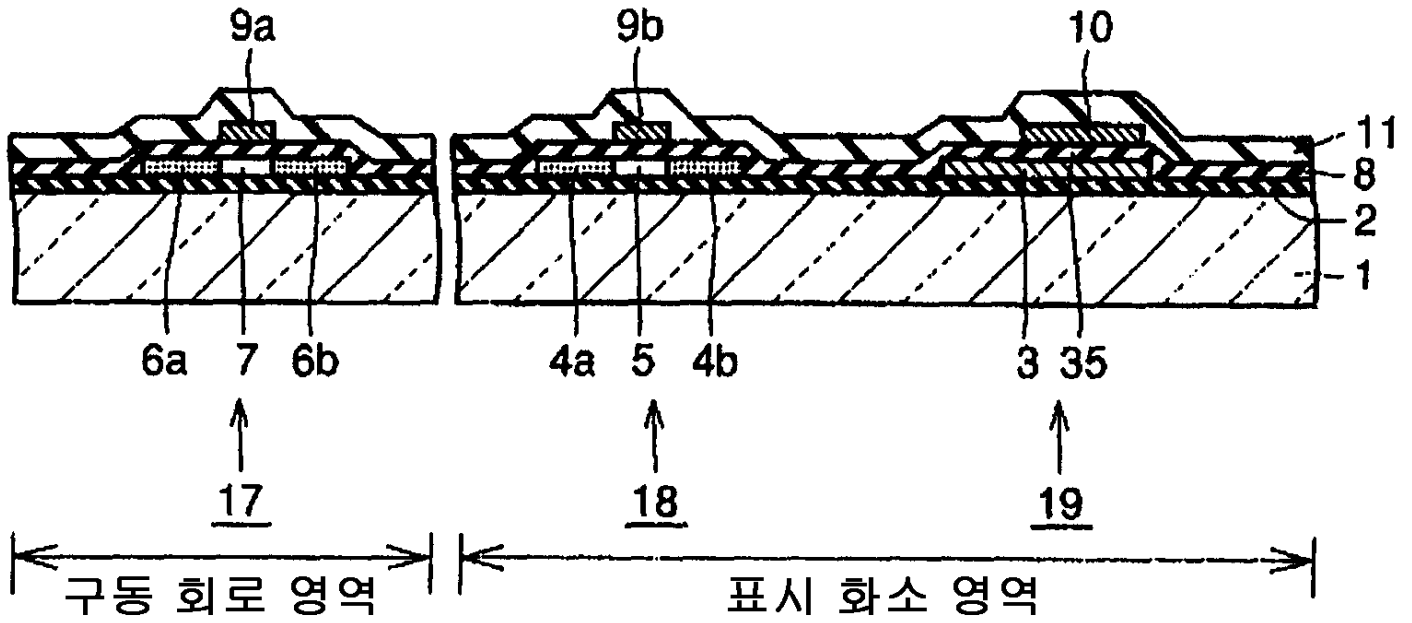
도면 4



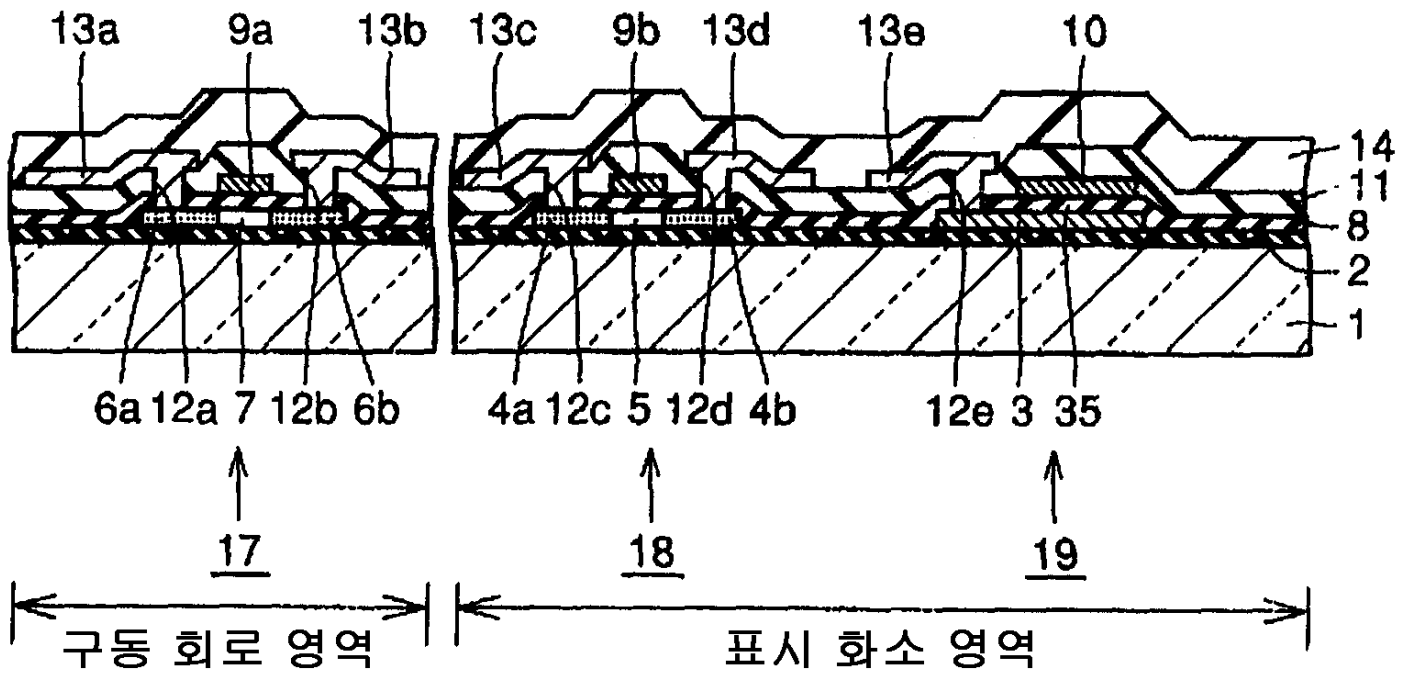
도면 5



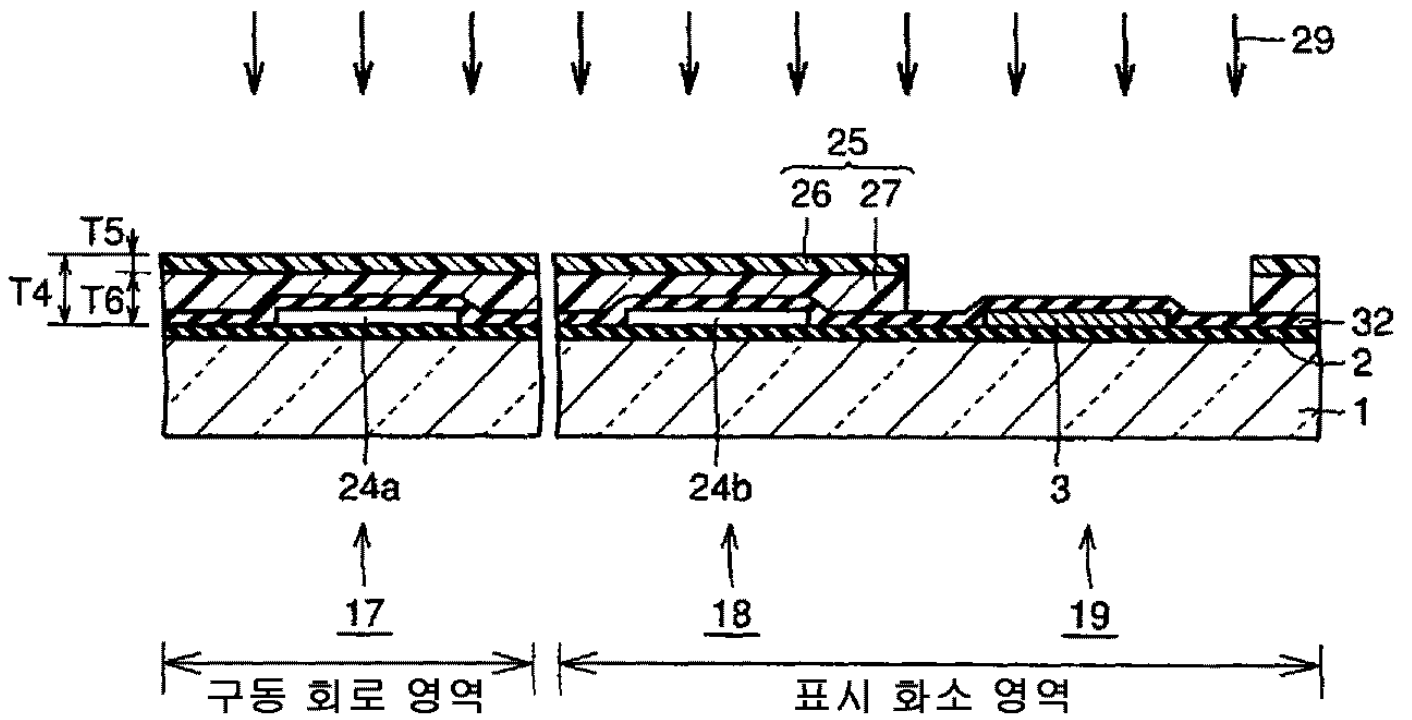
도면 6



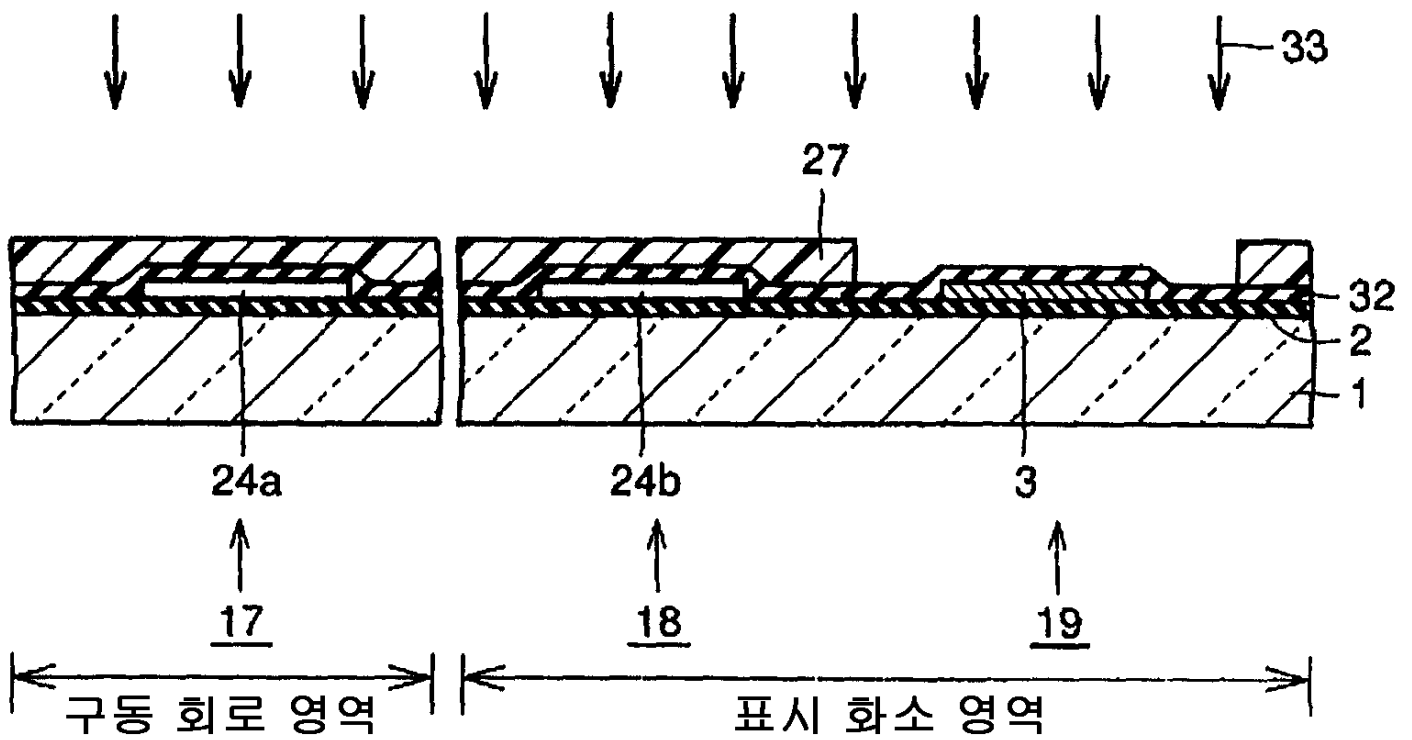
도면 7



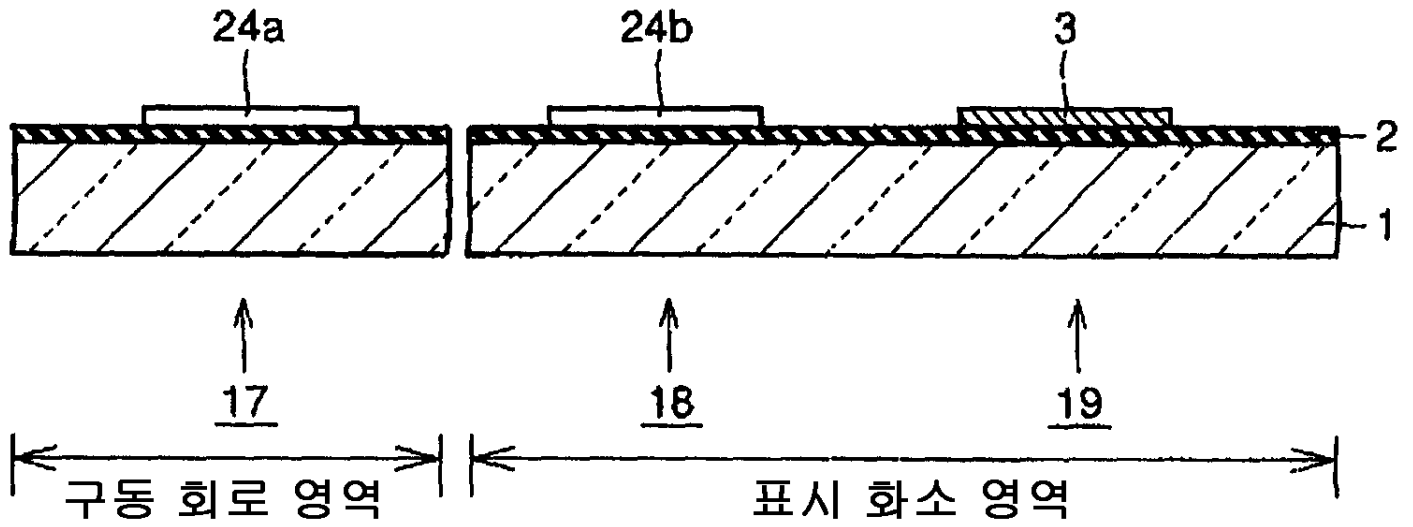
도면 8



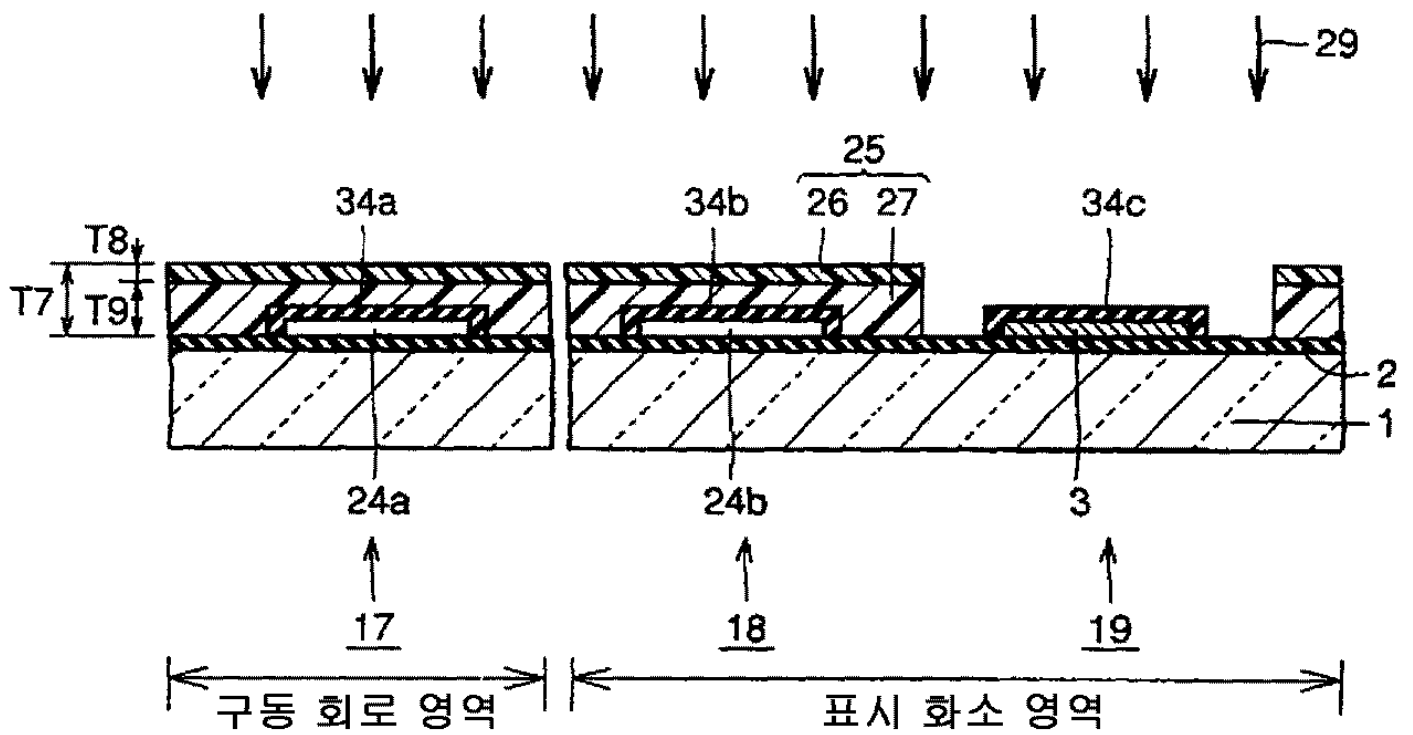
도면 9



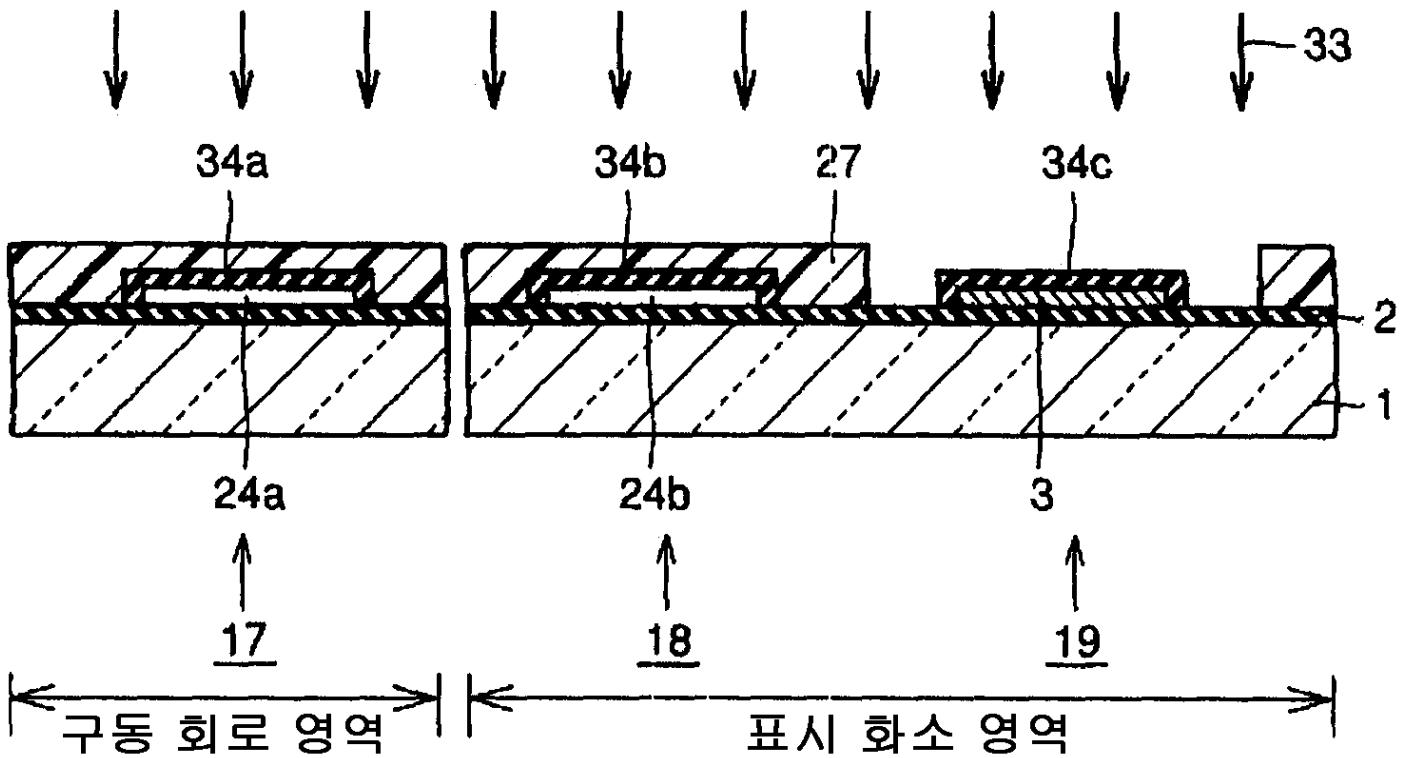
도면 10



도면 11

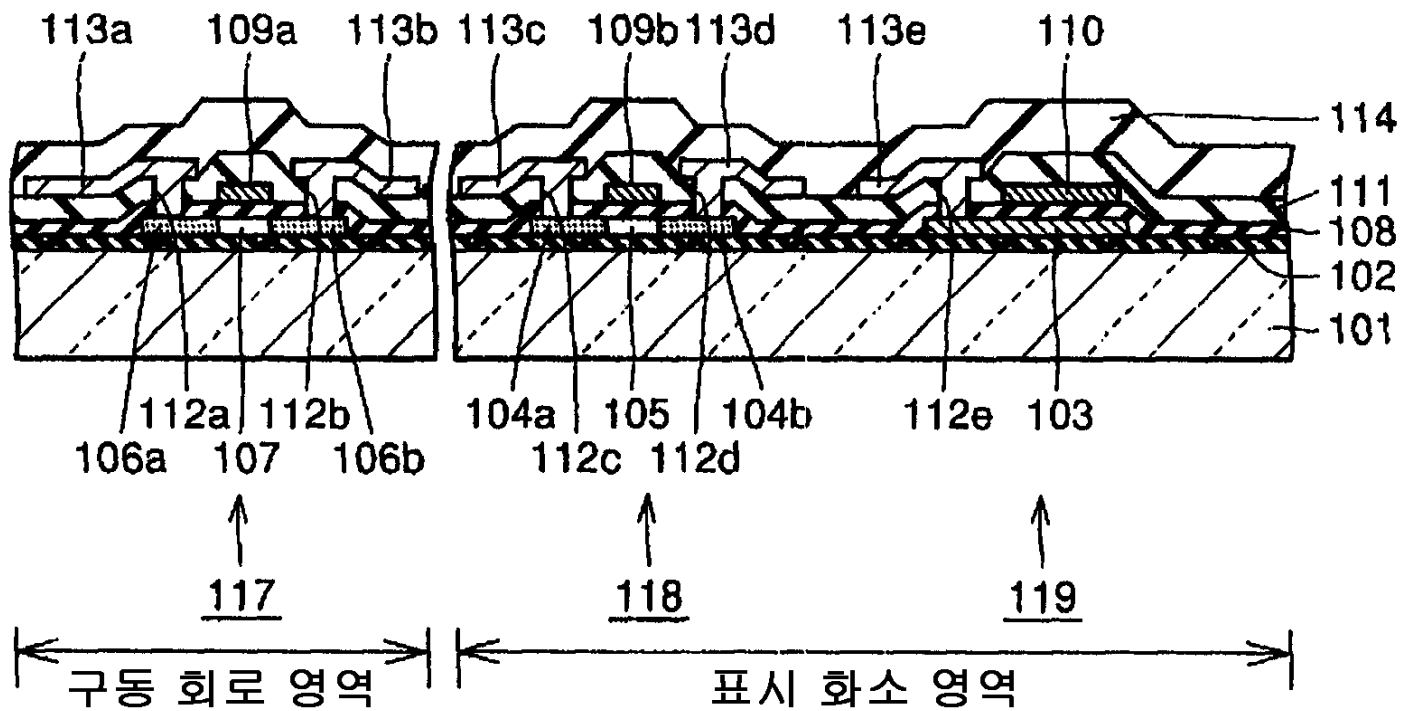


도면 12



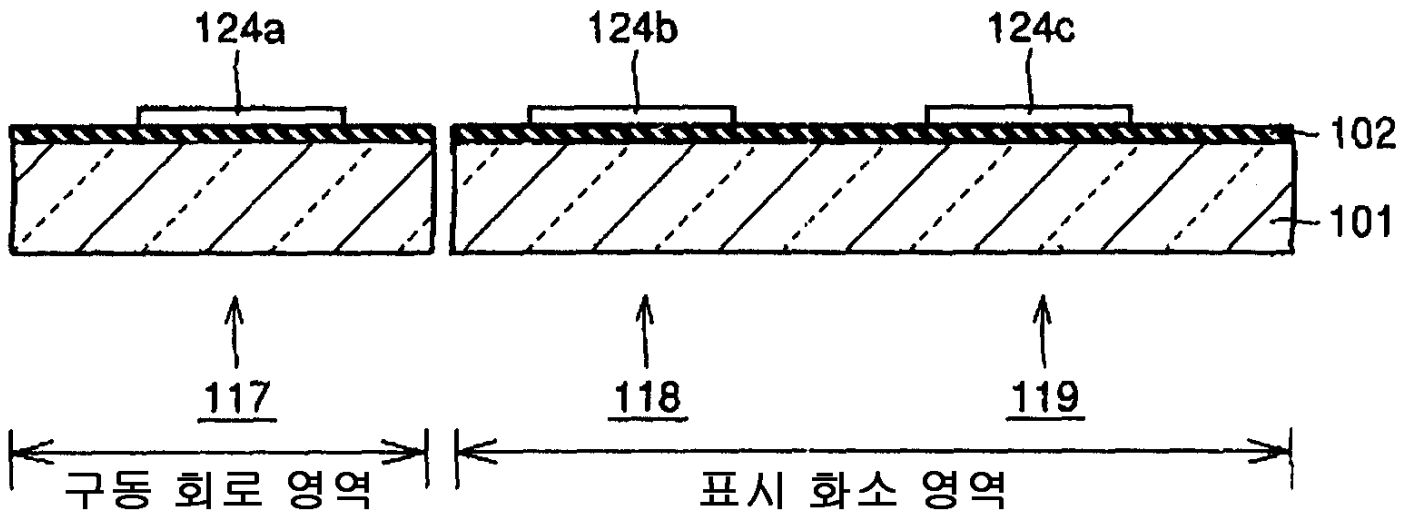
도면 13

(종래기술)



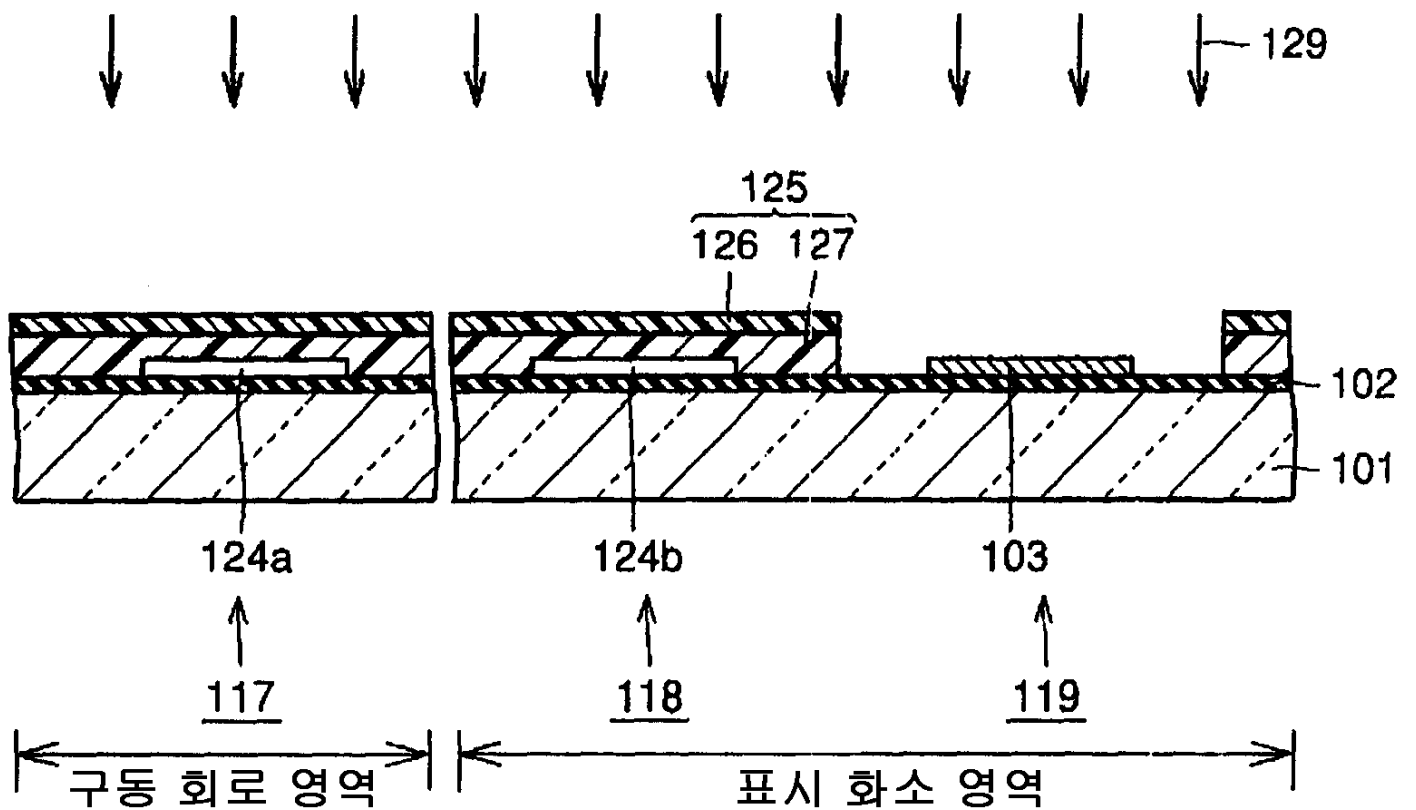
도면 14

(종래기술)



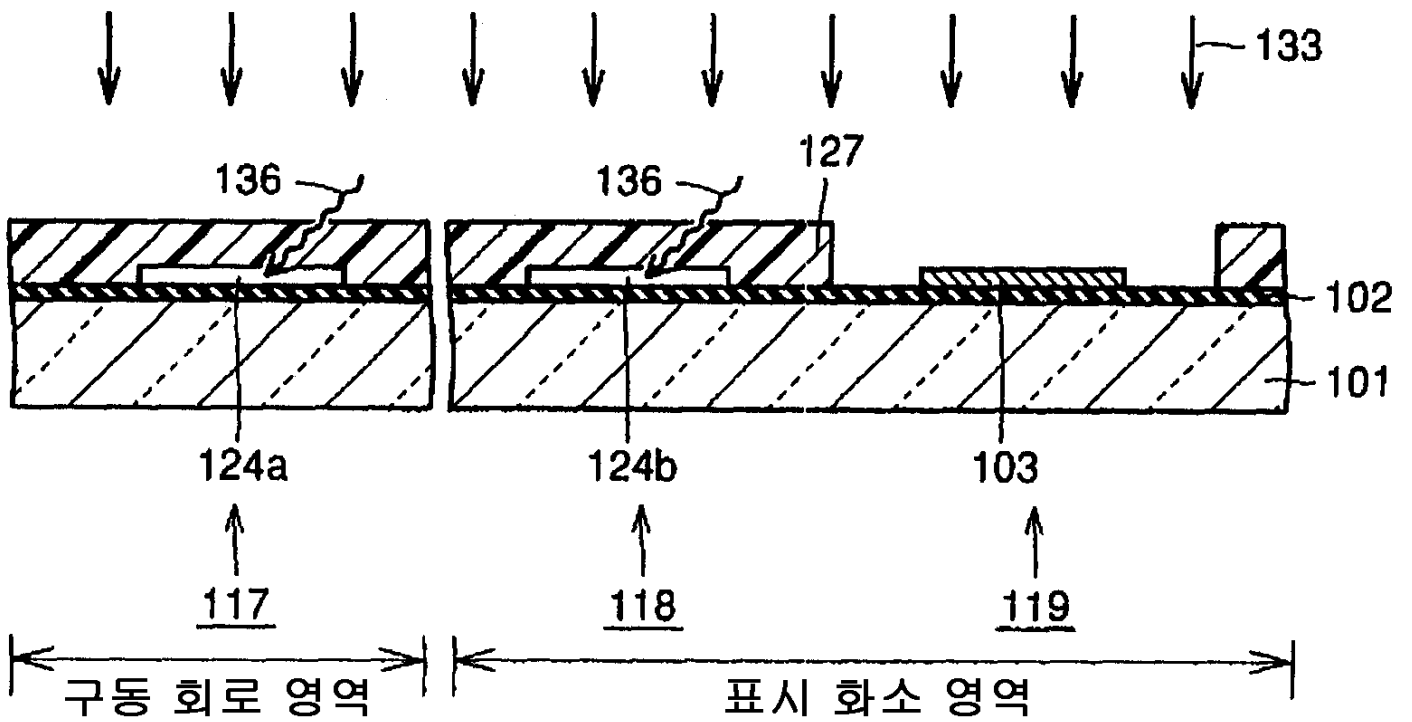
도면 15

(종래기술)



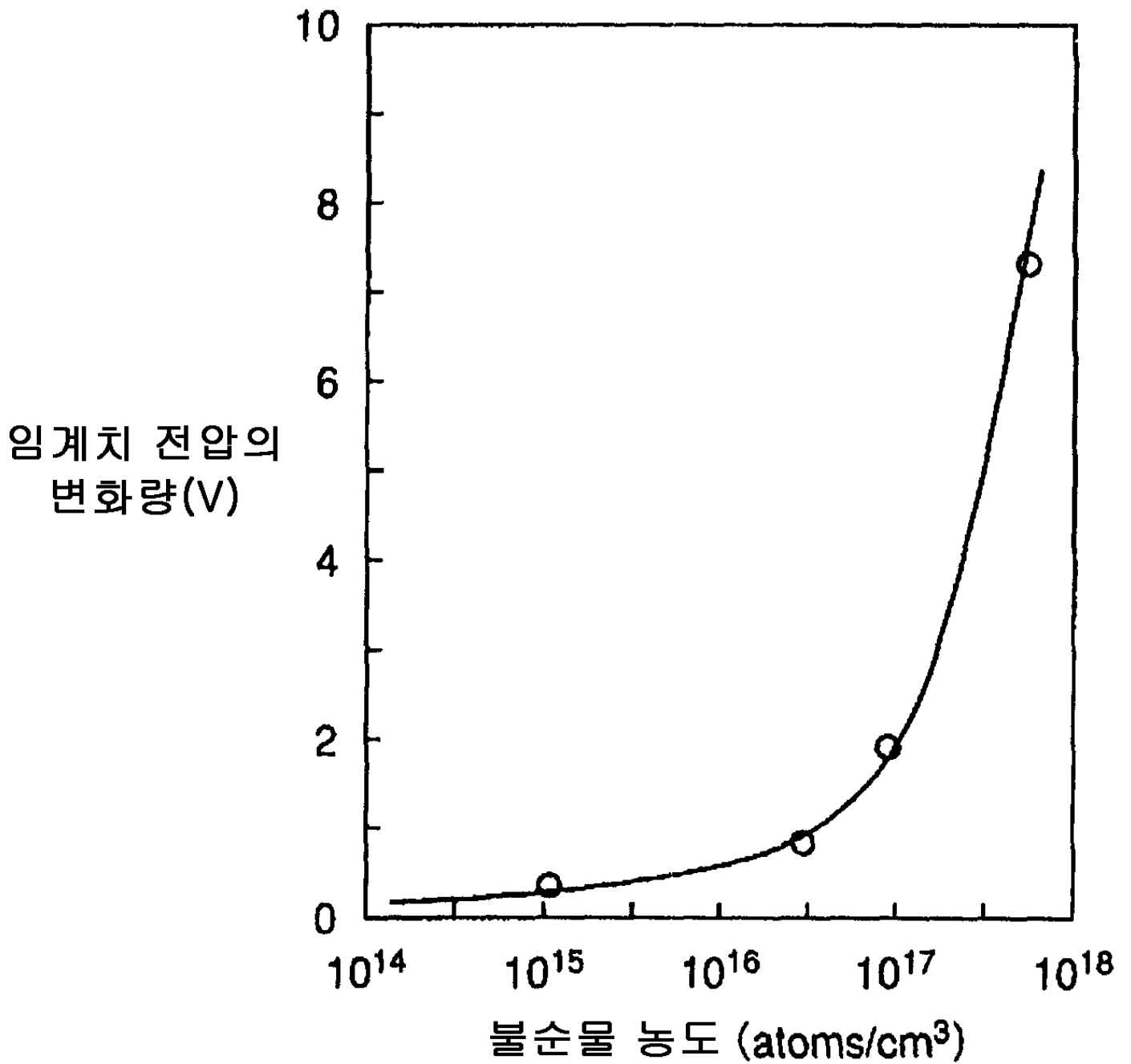
도면 16

(종래기술)



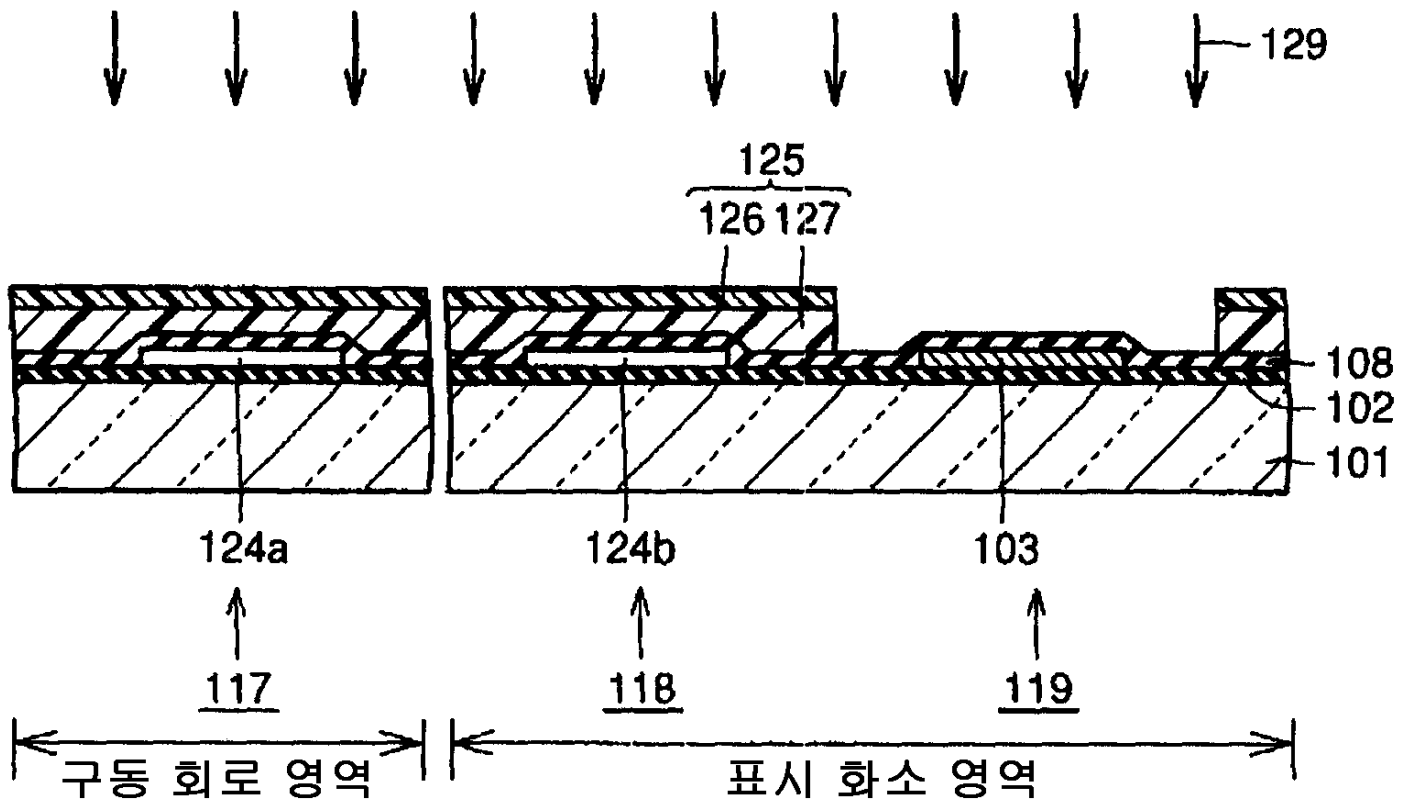
도면 17

(종래기술)



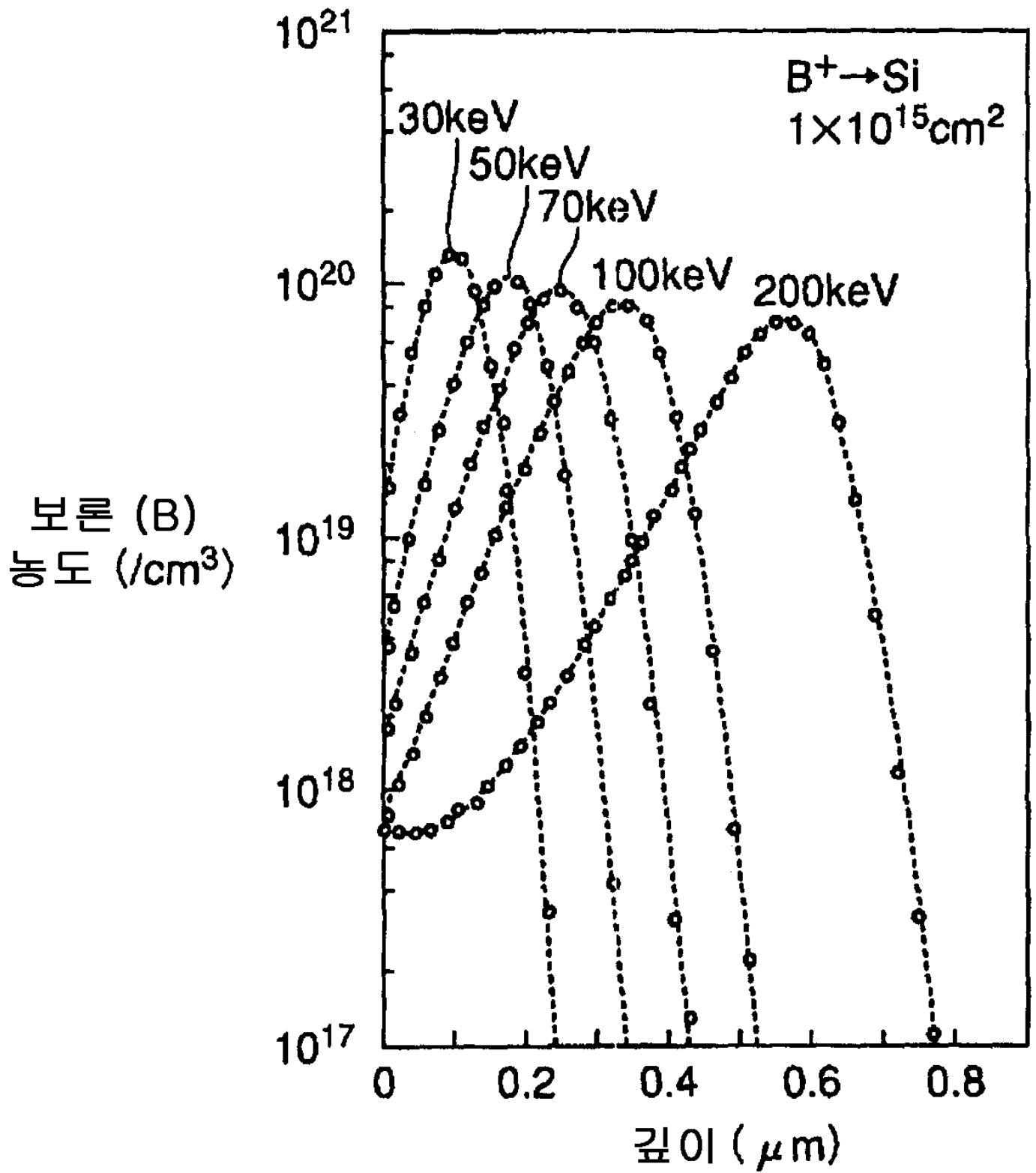
도면 18

(종래기술)



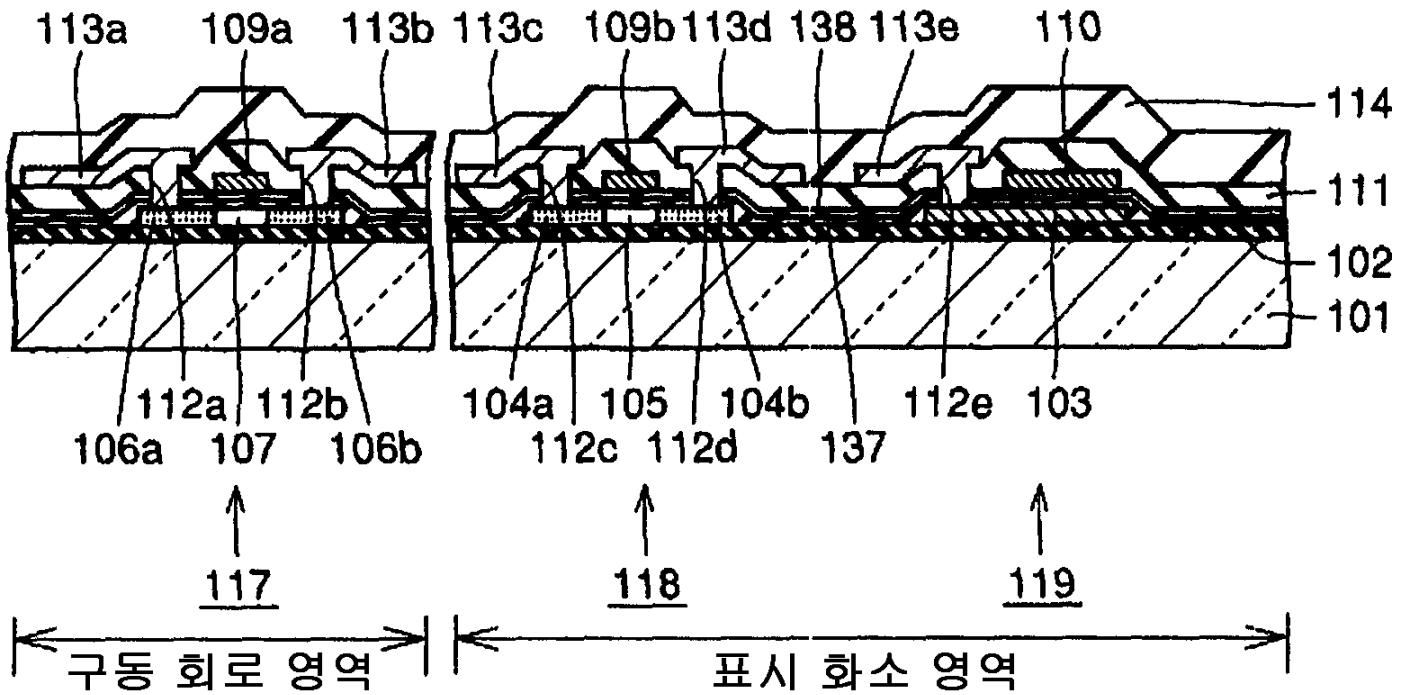
도면 19

(종래기술)



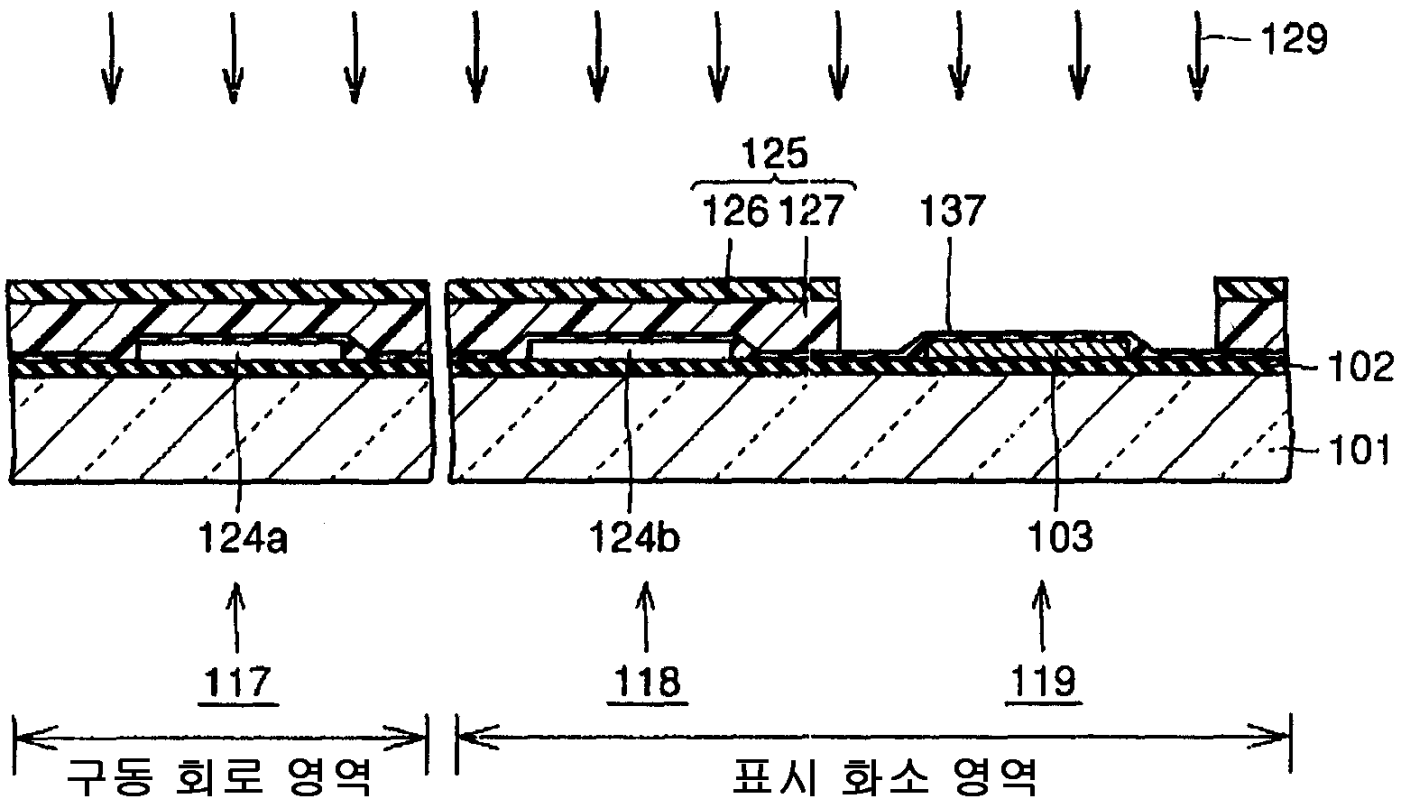
도면 20

(종래기술)



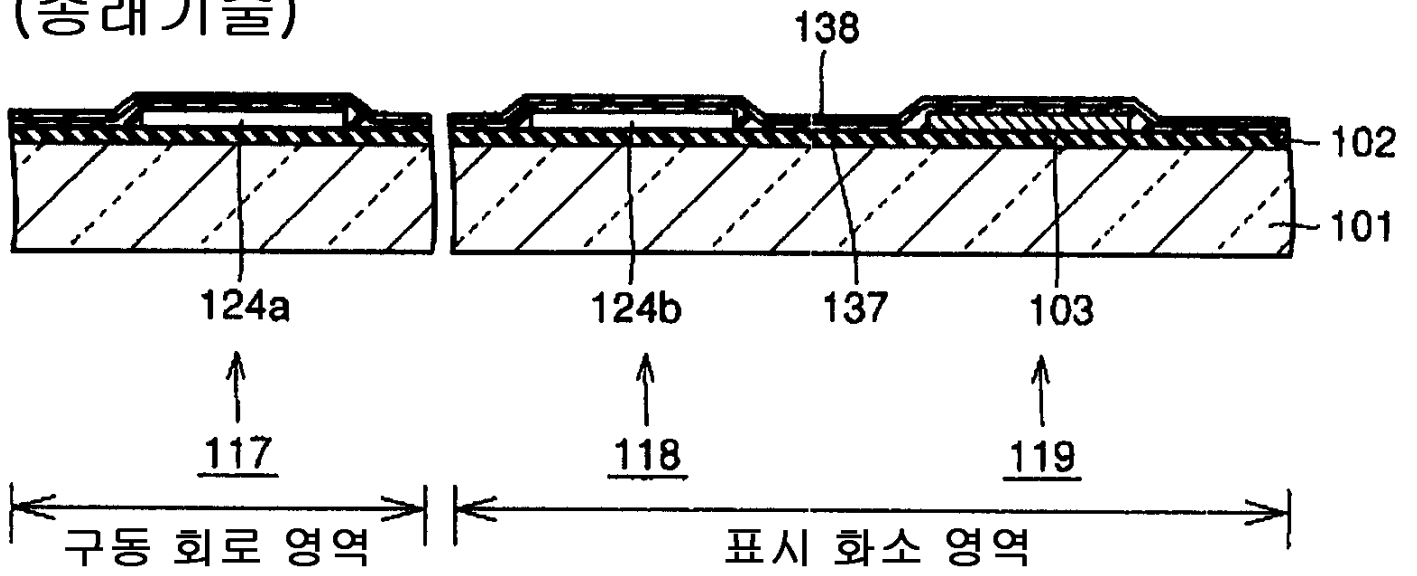
도면 21

(종래기술)



도면 22

(종래기술)



专利名称(译)	半导体器件及其制造方法		
公开(公告)号	KR1020010062260A	公开(公告)日	2001-07-07
申请号	KR1020000074552	申请日	2000-12-08
[标]申请(专利权)人(译)	三菱电机株式会社 精工爱普生株式会社		
申请(专利权)人(译)	三菱电机有限公司 精工爱普生株式会社		
当前申请(专利权)人(译)	三菱电机有限公司 精工爱普生株式会社		
[标]发明人	KUBOTA TAKESHI 구보타다케시 MURAI ICHIRO 무라이이치로		
发明人	구보타다케시 무라이이치로		
IPC分类号	G02F1/13 G02F1/1368 H01L27/12 H01L21/84 G02F1/1362 H01L29/786 H01L27/13 H01L21/336 G02F1/136 H01L21/70 H01L21/77 G02F H01L		
CPC分类号	H01L27/13 H01L27/1214 G02F1/13454 H01L27/12 H01L27/1255		
代理人(译)	KIM, CHANG SE		
优先权	1999352895 1999-12-13 JP		
其他公开文献	KR100398838B1		
外部链接	Espacenet		

摘要(译)

为了使具有由半导体器件构成的导电层的电容的耐久性和可靠性以及薄膜场效应晶体管的阈值电压稳定，并且与涉及液晶显示器的发明及其制造方法相同。此外，该薄膜场效应晶体管的沟道区域作为元件的层得到改善，它是配备有薄膜场效应晶体管（17,18）和导电层（3）的半导体器件。包括衬底（1），半导体层（5,7），以及导电层（3）和介电层（35）。沟道区域（5,7）薄其中包括在衬底（1）上形成半导体层（5,7）的薄膜场效应晶体管（17,18）。导电层（3）形成在基板（1）上，并且由与半导体层（5,7）相同的层构成。在介电层（35）银导电底层（3）上形成相同的层。沟道区（5,7）中的导电杂质浓度为 10^{16} 原子/cm²或更小。介电膜（35）中的导电杂质浓度为 10^{17} 原子/cm²或更低。通过这种方式，它确实如此。因此，规划液晶显示器的制造效率（产量）和改善性能的效果是获得。

