



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년04월20일
 (11) 등록번호 10-0893966
 (24) 등록일자 2009년04월10일

(51) Int. Cl.
G09G 3/36 (2006.01)
 (21) 출원번호 10-2002-0050015
 (22) 출원일자 2002년08월23일
 심사청구일자 2007년07월31일
 (65) 공개번호 10-2003-0017418
 (43) 공개일자 2003년03월03일
 (30) 우선권주장
 JP-P-2001-00254800 2001년08월24일 일본(JP)
 (56) 선행기술조사문헌
 JP12081858 A*
 JP10143115 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
소니 가부시끼 가이샤
 일본국 도쿄도 미나토쿠 코난 1-7-1
 (72) 발명자
우찌노가즈히데
 일본도쿄도시나가와구기타시나가와6쵸메7-35소니
 가부시끼가이샤내
야마시따준이찌
 일본도쿄도시나가와구기타시나가와6쵸메7-35소니
 가부시끼가이샤내
 (74) 대리인
구영창, 장수길

전체 청구항 수 : 총 4 항

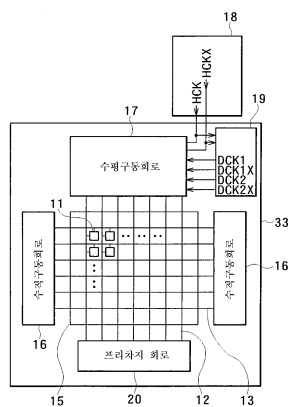
심사관 : 이성현

(54) 표시장치

(57) 요약

수평구동회로는, 제1 클럭신호(HCK)에 동기하여 쉬프트 동작을 수행하며, 각각의 쉬프트 단으로부터 쉬프트 펄스를 순차적으로 출력하는 쉬프트 레지스터; 쉬프트 레지스터에서 순차적으로 출력되는 쉬프트 펄스에 응답하여 제2 클럭신호(DCK)를 추출하는 제1 스위치 군; 및 제1 스위치 군의 각 스위치에 의해 추출되는 제2 클럭신호(DCK)에 응답하여 입력 비디오 신호를 순차적으로 샘플링하고, 샘플링 된 비디오 신호를 각 신호라인에 공급하는 제2 스위치 군을 포함한다. 수평구동회로에 제1 클럭신호(HCK)를 외부적으로 공급하기 위해 외부 클럭생성회로가 외부에 배치되고, 수평구동회로에 제2 클럭신호(DCK)를 내부적으로 공급하기 위해 내부 클럭생성회로가 패널 내에 배치된다.

대표도 - 도1



특허청구의 범위

청구항 1

삭제

청구항 2

행 형태의 게이트 라인, 열 형태의 신호라인 및 양자가 교차하는 부분에 행렬 형태로 배치된 화소를 갖는 패널과,

상기 게이트 라인에 접속되어 순차적으로 화소의 행을 선택하는 수직구동회로와,

상기 신호라인에 접속됨과 함께 소정의 주기의 클럭신호에 기초하여 동작하고, 선택된 행의 화소에 순차적으로 영상 신호를 기입하는 수평구동회로와,

상기 수평구동회로의 동작 기준이 되는 제1 클럭신호를 생성함과 함께, 그 제1 클럭신호에 대하여 주기가 동일하고 또한 듀티비가 적은 제1 클럭신호에 포함되는 펄스보다 폭이 좁은 펄스를 포함하는 제2 클럭신호를 생성하는 클럭생성수단으로 이루어지며,

상기 수평구동회로는, 상기 클럭생성수단으로부터 상기 제1 클럭신호와 스타트 펄스를 받아들여 상기 제1 클럭신호에 동기하여 상기 스타트 펄스의 쉬프트 동작을 행하는 각 쉬프트 단으로부터 쉬프트 펄스를 순차적으로 출력하는 쉬프트 레지스터와, 상기 쉬프트 레지스터로부터 순차적으로 출력되는 상기 쉬프트 펄스에 응답하여 상기 제2 클럭신호에 포함되는 펄스를 추출하여 샘플링 펄스로 하는 제1 스위치 군과, 입력되는 영상 신호를 상기 제1 스위치 군의 각 스위치에 의해 추출된 상기 제2 클럭신호의 펄스로 이루어지는 상기 샘플링 펄스에 응답하여 순차적으로 샘플링하여 각 신호라인에 공급하는 제2 스위치 군을 포함하며,

상기 클럭생성수단은, 패널의 외부에 배치된 상기 제1 클럭신호를 외부적으로 상기 수평구동회로에 공급하는 외부 클럭생성회로와, 패널의 내부에 형성된 상기 제2 클럭신호를 내부적으로 상기 수평구동회로에 공급하는 내부 클럭생성회로로 나누어져 있고,

상기 내부 클럭생성회로는, 상기 외부 클럭생성회로로부터 공급된 제1 클럭신호를 처리하여 상기 제2 클럭신호를 생성하는 것을 특징으로 하는 표시장치.

청구항 3

제2항에 있어서,

상기 내부 클럭생성회로는, 제1 클럭신호를 지연 처리하는 지연 회로를 포함하고 있으며, 지연 처리가 실시되기 전의 제1 클럭신호와 지연 처리된 후의 제1 클럭신호에 의해 상기 제2 클럭신호를 생성하는 것을 특징으로 하는 표시장치.

청구항 4

제3항에 있어서,

상기 지연 회로는, 직렬 접속된 짝수개의 인버터로 이루어지는 것을 특징으로 하는 표시장치.

청구항 5

제3항에 있어서,

상기 내부 클럭생성회로는, 지연 처리가 실시되기 전의 제1 클럭신호와 지연 처리된 후의 제1 클럭신호를 서로 NAND 합성하여 상기 제2 클럭신호를 생성하는 NAND 회로를 포함하는 것을 특징으로 하는 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <42> 본 발명은 표시장치에 관한 것으로서, 특히 수평구동회로에서 소위 클럭구동법을 사용하는 점 순차 구동방식(dot-sequential driving type)의 능동 행렬 형태 표시장치에 관한 것이다.
- <43> 표시장치, 예컨대 화소(pixel)의 표시소자(전기광학소자)로 액정 셀을 사용하는 능동 행렬 형태 액정표시장치에 있어서, 예컨대 클럭구동법을 사용하는 점 순차 구동형의 수평구동회로가 공지되어 있다. 도 13은 종래 기술의 클럭구동형 수평구동회로의 일례를 나타낸다. 도 13에 있어서, 수평구동회로(100)는 쉬프트 레지스터(101), 클럭 추출 스위치 군(102), 및 샘플링 스위치 군(103)을 포함한다.
- <44> 쉬프트 레지스터(101)는 "n"개의 쉬프트 단(전송단)으로 형성된다. 수평 스타트 펄스(이하, HST)가 쉬프트 레지스터(101)에 공급되는 때, 쉬프트 레지스터(101)는 서로 역상인 수평클럭(HCK 및 HCKX)에 동기하여 쉬프트 동작을 수행한다. 따라서, 도 14의 타이밍도에 도시된 바와 같이, 쉬프트 레지스터(101)의 쉬프트 단들은 수평클럭(HCK 및 HCKX)의 사이클과 동일한 펄스폭을 갖는 쉬프트 펄스(Vs1 내지 Vsn)를 연속적으로 출력한다. 쉬프트 펄스(Vs1 내지 Vsn)는 클럭 추출 스위치 군(102)의 스위치들(102-1 내지 102-n)에 공급된다.
- <45> 클럭 추출 스위치 군(102)의 스위치들(102-1 내지 102-n)은 수평클럭(HCKX 및 HCK)를 입력하는 클럭 라인(104-1 및 104-2)으로 자신의 각 단자에서 교대로 접속된다. 쉬프트 레지스터(101)의 쉬프트 단들로부터 쉬프트 펄스(Vs1 내지 Vsn)가 공급됨으로써, 클럭 추출 스위치 군(102)의 스위치들(102-1 내지 102-n)이 순차적으로 턴온되어, 수평 클럭(HCKX 및 HCK)를 교대로 추출한다. 추출된 펄스들은 샘플링 펄스(Vh1 내지 Vhn)로서 샘플링 스위치 군(103)의 스위치들(103-1 내지 103-n)에 공급된다.
- <46> 샘플링 스위치 군(103)의 스위치들(103-1 내지 103-n)은 자신의 단자에서 비디오 신호 "video"를 전송하기 위한 비디오 라인(105)으로 각각 접속된다. 샘플링 스위치 군(103)의 스위치들(103-1 내지 103-n)은 클럭 추출 스위치 군(102)의 스위치들(102-1 내지 102-n)에 의해 순차적으로 추출되어 공급되는 샘플링 펄스(Vh1 내지 Vhn)에 응답하여 순차적으로 턴온되어, 비디오 신호 "video"를 순차적으로 샘플링한 후, 샘플링 된 비디오 신호 "video"를 화소 어레이 유닛(도시 생략)의 신호 라인들(106-1 내지 106-n)에 공급한다.
- <47> 상기 종래 기술의 클럭 구동형의 수평구동회로(100)에서는, 클럭 추출 스위치 군(102)의 스위치들(102-1 내지 102-n)에 의한 수평 클럭(HCKX 및 HCK)의 추출에서부터, 샘플링 스위치 군(103)의 스위치들(103-1 내지 103-n)로 샘플링 펄스(Vh1 내지 Vhn)로서 수평클럭(HCKX 및 HCK)가 공급되기까지의 전송 과정에서, 배선 저항, 기생 용량 등에 의해 샘플링 펄스(Vh1 내지 Vhn)내에 지연이 유발된다.
- <48> 전송과정에서의 샘플링 펄스(Vh1 내지 Vhn)의 지연은 샘플링 펄스(Vh1 내지 Vhn) 파형을 등글게 만든다. 그 결과, 도 15의 타이밍도에서 명백한 바와 같이, 예컨대 두번째 단의 샘플링 펄스(Vh2)를 직시하면, 두번째 단의 샘플링 펄스(Vh2)의 파형이 첫번째 단과 세번째 단의 앞뒤의 샘플링 펄스(Vh1 및 Vh3)의 파형과 중첩한다.
- <49> 일반적으로, 도 15에 도시된 바와 같이, 샘플링 스위치 군(103)의 각 스위치들(103-1 내지 103-n)이 턴온이 되는 순간에 비디오 라인(105)과 신호 라인(106-1 내지 106-n) 사이의 전위 관계 때문에, 비디오 라인(105) 상에 충방전 잡음이 더해진다.
- <50> 그러한 상황에서, 전술한 바와 같이 샘플링 펄스(Vh2)가 앞뒤 단의 샘플링 펄스들과 중첩하는 경우, 세번째 단의 샘플링 스위치(103-3)를 턴온시킴으로써 발생된 충방전 잡음이 샘플링 펄스(Vh2)에 기초하는 두번째 단의 샘플링 타이밍에서 샘플링된다. 샘플링 스위치들(103-1 내지 103-n)은 샘플링 펄스(Vh1 내지 Vhn)가 "L" 레벨에 도달하는 타이밍에서 비디오 라인(105)의 전위를 샘플링/유지(sample and hold)한다.
- <51> 이러한 경우, 비디오 라인(105)상에 더해지는 충방전 잡음이 변동되고, 또한 각 샘플링 펄스(Vh1 내지 Vhn)가 "L"레벨에 도달하는 타이밍도 변동되기 때문에, 샘플링 스위치들(103-1 내지 103-n)에 의해 샘플링 되는 전위도 변동된다. 그 결과, 샘플링 된 전위의 변동은 표시 화면상에 수직의 줄무늬 잡음으로 나타나서, 화질을 저하시킨다.
- <52> 특히, 점 순차 구동방식의 능동 행렬 형태 액정표시장치에서 고 해상도로 수평방향의 화소수가 증가되는 경우, 한정된 수평 실효기간 내에 한 시스템에 의해 입력되는 비디오 신호 "video"의 모든 화소에 대한 순차적 샘플링을 위한 샘플링 시간을 충분하게 확보하기가 어렵다. 따라서, 도 16에 도시된 바와 같이, 충분한 샘플링 시간을 확보하기 위하여, 비디오 신호가 "m" 개(m는 2 이상의 정수)의 시스템에 의해 병렬로 입력되고, 수평방향의 "m"개의 화소 단위로 "m"개의 샘플링 스위치가 제공되어, 하나의 샘플링 펄스에 의해 동시에 구동됨으로써, "

m"개의 화소 단위의 순차적 기입이 수행되는 방법이 사용된다.

- <53> 이하, 단위 화소수 "m" 또는 그 이하에 해당하는 폭을 갖는 미세 흑선이 표시되는 경우에 대하여 고려한다. 그러한 흑선이 표시되는 경우, 도 17의 (a)에 도시된 바와 같이 펄스 형태의 흑색 레벨 부분을 포함하며, 샘플링 펄스(B)의 폭과 같은 폭을 갖는 파형으로 비디오 신호 "video"가 입력된다. 펄스 형태의 비디오 신호 "video"는 구형파인 것이 이상적이지만, 비디오 신호 "video"를 전송하는 비디오 라인의 배선 저항, 기생 용량 등으로 인하여 도 17의 (c)에 도시된 바와 같이 펄스 파형(비디오 신호 "video")의 상승 에지와 하강 에지가 둥글게 된다.
- <54> 둥근 상승 에지와 하강 에지를 갖는 펄스 형태의 비디오 신호 "video"가 샘플링 펄스(Vh1 내지 Vhn)에 의해 샘플링/유지 되는 경우, k번째 단에서 샘플링 펄스(Vhk)에 의해 펄스 형태의 비디오 신호 "video"를 샘플링/유지를 하고자 하여도, 비디오 신호 "video"의 상승 에지 부분이 앞 단의 샘플링 펄스(Vhk-1)에 의해 샘플링/유지되거나, 비디오 신호 "video"의 하강 에지부분이 뒷 단의 샘플링 펄스(Vhk+1)에 의해 샘플링/유지 된다. 그 결과 고스트 현상이 발생한다. 고스트 현상은 정상 이미지를 왜곡시키고 겹치게 하는 불필요한 간섭 이미지를 말한다.
- <55> 도 18에 도시된 바와 같이, 샘플링 펄스(Vhk)와 비디오 신호 "video"의 위상 관계는, 비디오 신호 "video"를 처리하는 회로로 시간축 상에서 비디오 신호 "video"의 샘플링/유지 위치를 조절함으로써 예컨대 6 개의 위상(S/H = 0 내지 5)으로 변화될 수 있다.
- <56> 이하, 샘플링/유지에서 고스트 현상 발생의 종속성을 설명한다. 먼저, S/H=1인 경우에 대하여 설명한다. 도 19는 S/H=1이고, 샘플링 펄스가 Vhk=1인 경우의 비디오 신호 "video"와 샘플링 펄스(Vhk-1, Vhk, Vhk+1) 사이의 위상관계, 및 신호라인 전위의 변화를 나타낸다. S/H=1 인 경우, 펄스 형태의 비디오 신호 "video"는 샘플링 펄스(Vhk)에 의해 샘플링/유지되어, 흑색신호가 k번째 단의 신호에 기입되고, 흑선이 표시된다.
- <57> 그러나, 동시에 비디오 신호 "video"의 흑색신호 부분(펄스 부분)이 (k-1)번째 단의 샘플링 펄스(Vhk-1)에 중첩하며, (k-1)번째 단의 신호 라인에도 흑색신호가 기입된다. 따라서, 도 20에 도시된 바와 같이, (k-1)번째 단의 위치, 즉 수평 주사의 앞 방향에서 고스트 현상이 발생한다. 유사하게, S/H=0 인 경우, 비디오 신호 "video"의 흑색신호 부분이 (k-1)번째 단의 샘플링 펄스(Vhk-1)에 중첩하여, 수평 주사의 앞 방향에서 고스트가 발생한다.
- <58> 다음, S/H=5 인 경우에 대하여 설명한다. 도 21은 S/H=5 인 경우의 비디오 신호 "video"와 샘플링 펄스(Vhk-1, Vhk, 및 Vhk+1)의 위상 관계, 및 신호 라인 전위의 변화를 나타낸다. S/H=5 인 경우, 흑색 비디오 신호는 (k+1)번째 단의 샘플링 펄스(Vhk+1)에 중첩한다. 샘플링 스위치가 턴온되는 때, (k+1)번째 단의 신호 라인으로 흑색신호가 기입된 후, 신호 라인 전위는 회색 레벨로 복귀하려 한다. 그러나, 많은 량이 중첩하기 때문에, 신호 라인 전위는 완전하게 회색 레벨로 복귀되지 못하게 된다. 따라서, 도 22에 도시된 바와 같이, (k+1)번째 단의 위치, 즉, 수평 주사의 뒷 방향에서 고스트가 발생한다.
- <59> S/H=5 인 경우와 유사하게, S/H=1 내지 4인 경우, (k+1)번째 단의 샘플링 펄스(Vhk+1)와 비디오 신호의 흑색 부분이 서로 겹쳐진다. 샘플링 스위치가 턴온되는 때에 (k+1)번째 단의 신호라인으로 흑색신호가 기입된다. 그러나, 중첩량이 더 작아, S/H=5인 경우보다 더 낮은 흑색 레벨이 기입되기 때문에, 신호라인 전위는 완전하게 회색 레벨로 복귀될 수 있다. 따라서, 고스트가 발생하지 않는다.
- <60> 전술한 과정에 있어서, 고스트는 비디오 신호 "video"와 샘플링 펄스 간의 중첩에 의해 발생한다. 앞 방향과 뒤 방향에서 고스트가 발생하지 않는 S/H=2, 3, 및 4와 같은 샘플링/유지 위치의 수는 고스트 현상에 대한 여유도(이하, 고스트 마진)라 한다.
- <61> 따라서, 비디오 라인의 배선 저항, 기생 용량 등으로 인하여 펄스 형태의 비디오 신호 "video"의 상승 에지와 하강 에지에서 발생하는 파형이 둥글게 되는 문제점은 불가피할지 모르지만, 비디오 신호 "video"를 처리하는 회로부에 의해 최적의 샘플링/유지 위치를 설정함으로써 고스트의 발생은 피할 수 있다.
- <62> 그러나, 비디오 라인의 배선 저항, 기생 용량 등으로 인하여 펄스 형태의 비디오 신호 "video"의 상승 에지와 하강 에지에서 파형이 둥글게 되기 때문에, 비디오 신호 "video"의 펄스파형 부분은 앞단 또는 뒷단의 샘플링 펄스와 중첩한다. 따라서, 고스트 마진은 대응하여 제한된다. 전술한 예에서, 고스트 마진은 S/H=2, 3, 및 4을 가져, 3이 된다.

발명이 이루고자 하는 기술적 과제

<63> 본 발명은 상기 문제점들을 감안하여 창안된 것으로서, 본 발명의 목적은 클럭 구동방법에 의한 수평구동에 있어 완전하게 중첩하지 않는 샘플링을 실현함으로써, 중첩하는 샘플링으로 인한 수직 줄무늬 결함을 방지하고 고스트 마진을 증대시킬 수 있는 표시장치를 제공하는 것이다.

발명의 구성 및 작용

<64> 본 발명의 이러한 또는 기타의 목적들은 첨부된 도면과 연계하여 설명을 참조함으로써 명백할 것이다.

<65> 상술한 본 발명의 목적을 달성하기 위해, 이하의 수단을 강구하였다. 즉, 본 발명에 관한 표시장치는, 행(row) 형태의 게이트 라인, 열(column) 형태의 신호라인 및 양자가 교차하는 부분에 행렬 형태로 배치된 화소를 갖는 패널과, 상기 게이트 라인에 접속되어 순차적으로 화소의 행을 선택하는 수직구동회로와, 상기 신호라인에 접속됨과 함께 소정의 주기의 클럭신호에 기초하여 동작하고, 선택된 행의 화소에 순차적으로 영상 신호를 기입하는 수평구동회로와, 상기 수평구동회로의 동작 기준이 되는 제1 클럭신호를 생성함과 함께, 그 제1 클럭신호에 대하여 주기가 동일하고 또한 듀티비(duty ratio)가 적은 제1 클럭신호에 포함되는 펄스보다 폭이 좁은 펄스를 포함하는 제2 클럭신호를 생성하는 클럭생성수단으로 이루어진다. 상기 수평구동회로는, 상기 클럭생성수단으로부터 상기 제1 클럭신호와 스타트 펄스를 받아들이는 상기 제1 클럭신호에 동기하여 상기 스타트 펄스의 쉬프트 동작을 행하는 각 쉬프트 단으로부터 쉬프트 펄스를 순차적으로 출력하는 쉬프트 레지스터와, 상기 쉬프트 레지스터로부터 순차적으로 출력되는 상기 쉬프트 펄스에 응답하여 상기 제2 클럭신호에 포함되는 펄스를 추출하여 샘플링 펄스로 하는 제1 스위치 군과, 입력되는 영상 신호를 상기 제1 스위치 군의 각 스위치에 의해 추출된 상기 제2 클럭신호의 펄스로부터 이루어지는 상기 샘플링 펄스에 응답하여 순차적으로 샘플링하여 각 신호라인에 공급하는 제2 스위치 군을 포함한다. 상기 클럭생성수단은, 패널의 외부에 배치된 상기 제1 클럭신호를 외부적으로 상기 수평구동회로에 공급하는 외부 클럭생성회로와, 패널의 외부에 형성된 상기 제2 클럭신호를 내부적으로 상기 수평구동회로에 공급하는 내부 클럭생성회로로 분리되어 있다.

상기 본 발명의 목적을 달성하기 위하여, 다음의 수단이 제공된다. 본 발명에 따르면, 행(row) 형태의 게이트 라인들, 열(column) 형태의 신호라인들, 및 게이트 라인들과 신호라인들의 교차 지점에 행렬 형태로 배치되는 화소들을 포함하는 패널; 화소들의 행을 순차적으로 선택하기 위하여 상기 게이트 라인들로 접속되는 수직구동회로; 소정의 사이클을 갖는 클럭신호에 기초하여 동작하며 선택된 행의 화소들에 비디오 신호를 순차적으로 기입하는, 신호라인들로 접속되는 수평구동회로; 및 수평구동회로의 동작의 기초로 기능하는 제1 클럭신호, 및 제1 클럭신호 보다 낮은 듀티비(duty ratio)를 가지며 동일한 사이클을 갖는 제2 클럭신호를 발생시키는 클럭생성수단을 포함하는 표시장치가 제공된다. 수평구동회로는, 제1 클럭신호에 동기하여 쉬프트 동작을 수행하며, 각각의 쉬프트 단으로부터 쉬프트 펄스를 순차적으로 출력하는 쉬프트 레지스터; 쉬프트 레지스터로부터 순차적으로 출력되는 쉬프트 펄스에 응답하여 제2 클럭신호를 추출하는 제1 스위치 군; 및 제1 스위치 군의 각 스위치에 의해 추출되는 제2 클럭신호에 응답하여 입력 비디오 신호를 순차적으로 샘플링하며, 샘플링 된 비디오 신호를 각 신호라인에 공급하는 제2 스위치 군을 포함한다. 클럭생성수단은, 수평구동회로에 제1 클럭신호를 외부적으로 공급하기 위해 패널 외부에 배치되는 외부 클럭생성회로; 및 수평구동회로에 제2 클럭신호를 내부적으로 공급하기 위하여 패널 내에 형성되는 내부 클럭생성회로로 나누어진다.

<66> 바람직하게는, 내부 클럭생성회로는 외부 클럭생성회로로부터 공급되는 제1 클럭신호를 처리함으로써 제2 클럭신호를 발생시킨다. 이러한 경우, 내부 클럭생성회로는 제1 클럭신호를 지연처리시키는 지연회로를 포함하며, 지연처리 전의 제1 클럭신호와 지연처리 후의 제1 클럭신호를 사용하여 제2 클럭신호를 발생시킨다. 예컨대, 지연회로는 서로 직렬로 접속된 짝수개의 인버터로 형성된다. 또한, 내부 클럭생성회로는 지연처리 전의 제1 클럭신호와 지연처리 후의 제1 클럭신호의 NAND 합성으로 제2 클럭신호를 발생시키는 NAND 회로를 포함한다.

<67> 상기 형태로서 제1 스위치 군의 각 스위치는 제1 클럭신호에 동기하여 쉬프트 레지스터로부터 순차적으로 출력되는 쉬프트 펄스에 응답하여 제2 클럭신호를 순차적으로 추출한다. 이로써, 제1 클럭신호 보다 낮은 듀티비를 갖는 제2 클럭신호가 샘플링 펄스로서 제2 스위치 군에 공급된다. 다음, 제2 스위치 군의 각 스위치는 샘플링 신호에 응답하여 입력 비디오 신호를 순차적으로 샘플링/유지하며, 그 결과를 화소 유닛의 신호라인에 공급한다. 이 경우, 샘플링 신호의 듀티비가 제1 클럭신호 보다 낮기 때문에, 완전한 비중첩 샘플링이 실현될 수 있다.

<68> 특히, 본 발명에 따르면, 클럭생성수단은 외부 클럭생성회로와 내부 클럭생성회로로 나누어진다. 외부 클럭생성회로는 제1 클럭신호를 공급하는 반면, 내부 클럭생성회로는 제2 클럭신호를 발생시킨다. 따라서, 패널로부터 외부적으로 입력되는 클럭신호의 수가 감소될 수 있다. 패널에 형성된 외부 접속을 위한 단자와 배선들이 상

당히 간단화 될 수 있다. 또한, 외부 클럭생성회로는 수평구동회로 동작의 기초로 기능하는 제1 클럭신호만을 공급하면 되기 때문에, 종래에 사용되던 다목적 시스템보드가 그대로 패널에 접속될 수 있다.

<69> 이하, 본 발명의 바람직한 실시예를 도면을 참조하여 상세하게 설명한다.

<70> 도 1은 본 발명에 따른 표시장치의 기본 형태를 나타낸 개략 블록도이다. 도 1에 도시된 바와 같이, 표시장치는 그 위에 집적된 화소 어레이 유닛(15), 수직구동회로(16), 수평구동회로(17) 등을 갖는 패널(33)로 형성된다. 화소 어레이 유닛(15)은 행 형태의 게이트 라인(13), 열 형태의 신호 라인(12), 및 게이트 라인(13)과 신호 라인(12)의 교차 지점에 행렬 형태로 배치된 화소(11)들로 형성된다. 수직구동회로(16)는 좌측 및 우측에 배치된 회로로 나누어 지는데, 이들 회로들은 게이트 라인(13)의 양 끝단에 접속되어, 화소의 행을 순차적으로 선택한다. 수평구동회로(17)는 신호라인(12)에 접속된다. 수평구동회로(17)는 소정의 사이클을 갖는 클럭신호에 기초하여 동작하여, 선택된 행의 화소(11)들에 비디오 신호를 순차적으로 기입한다. 표시장치는 클럭생성수단을 더 포함한다. 클럭생성수단은 수평구동회로(17) 동작의 기초로 역할하는 제1 클럭신호(HCK 및 HCKX)를 발생시키며, 또한 제1 클럭신호(HCK 및 HCKX)와 동일한 사이클을 가지면서 보다 낮은 듀티비를 갖는 제2 클럭신호(DCK1, DCK1X, DCK2, 및 DCK2X)를 발생시킨다. HCKX는 HCK의 반전된 신호를 일컫는다. 동일하게, DCK1X는 DCK1의 반전된 신호를, DCK2X는 DCK2의 반전된 신호를 일컫는다.

<71> 본 발명의 특징으로서, 수평구동회로(17)는 쉬프트 레지스터, 제1 스위치 군, 및 제2 스위치 군을 갖는다. 쉬프트 레지스터는 제1 클럭신호(HCK 및 HCKX)에 동기하여 쉬프트 동작을 수행하여, 자신의 각 쉬프트 단으로부터 쉬프트 펄스를 순차적으로 출력한다. 제1 스위치 군은 쉬프트 레지스터에서 순차적으로 출력되는 쉬프트 펄스에 응답하여 제2 클럭신호(DCK1, DCK1X, DCK2, 및 DCK2X)를 추출한다. 제2 스위치 군은 제2 클럭신호(DCK1, DCK1X, DCK2, 및 DCK2X)에 응답하여, 외부에서 입력되는 비디오신호를 순차적으로 샘플링 한 후, 그 결과를 각 신호 라인(12)에 공급한다. 그러한 형태로서 완전한 비중첩 샘플링을 구현할 수 있다.

<72> 본 발명의 또 다른 특징으로서, 클럭생성수단은 외부 클럭생성회로(18)와 내부 클럭생성회로(19)로 나누어진다. 외부 클럭생성회로(18)는 패널(33) 외부의 구동 시스템보드상에 배치된다. 외부 클럭생성회로(18)는 내부 수평구동회로(17)에 제1 클럭신호(HCK 및 HCKX)를 공급한다. 반면, 내부 클럭생성회로(19)는 수직구동회로(16) 및 수평구동회로(17)와 함께 패널(33)내에 형성된다. 내부 클럭생성회로(19)는 패널(33) 내부에서 제2 클럭신호(DCK1, DCK1X, DCK2, 및 DCK2X)를 발생시킨 후, 제2 클럭신호(DCK1, DCK1X, DCK2, 및 DCK2X)를 수평구동회로(17)에 공급한다. 본 발명에 있어서, 내부 클럭생성회로(19)는 외부 클럭생성회로(18)로부터 공급되는 제1 클럭신호(HCK 및 HCKX)를 처리하여, 제2 클럭신호(DCK1, DCK1X, DCK2, 및 DCK2X)를 발생시킨다.

<73> 도 2는 표시장치의 참조예를 나타낸 개략 블록도이다. 본 발명에 따른 표시장치와 비교를 위해, 도 1의 해당하는 부분들은 해당 참조번호로 식별된다. 제1 클럭신호(HCK 및 HCKX) 및 제2 클럭신호(DCK1, DCK1X, DCK2, 및 DCK2X)가 모두 외부 클럭생성회로(18)로부터 공급되는 점, 및 패널(33)이 내부 클럭생성회로를 갖지 않는 점에서, 도 2의 표시장치는 도 1에 도시된 본 발명에 따른 표시장치와는 다르다. 도 2에 도시된 참조예는 외부 클럭생성회로(18)와 패널(33)의 접속을 위해 적어도 6개의 단자 및 관련되는 배선을 필요로 한다. 반면, 도 1에 도시된 본 발명에 따른 표시장치는 외부 접속을 위해 2개의 단자만을 필요로 한다.

<74> 일반적으로, 패널(33)을 구동하는데 외부 시스템보드가 사용되어, 패널(33)에 필요한 다양한 클럭신호들과 비디오 신호를 공급한다. 종래 기술에서 사용되던 다목적 시스템보드는 클럭신호(HCK 및 HCKX)를 패널에 공급하는 기능을 갖는다. 통상적인 수평구동회로는 클럭신호(HCK 및 HCKX)에 의해 구동이 가능하므로, 종래의 시스템보드는 클럭신호(HCK 및 HCKX)를 공급하도록 설계되었다. 반면, 본 발명에서는 수평구동회로(17)를 구동하기 위하여 클럭신호(HCK 및 HCKX)와는 다른 펄스폭을 갖는 클럭신호(DCK1, DCK1X, DCK2, 및 DCK2X)가 더해진다. 이러한 경우, 도 2에 도시된 형태에서는, 제1 클럭신호 및 제2 클럭신호 모두가 시스템보드에서 공급될 것을 필요로 하기 때문에, 시스템보드가 본 발명에 따른 패널에 적용되도록 재설계될 필요가 있어서, 전체적으로 표시장치의 비용을 증가시킨다. 반면, 도 1에 도시된 본 발명의 형태에서는, 제1 클럭신호(HCK 및 HCKX)를 발생시키는 외부 클럭생성회로(18)는 시스템보드상에 유지되는 반면, 제2 클럭신호를 발생시키는 내부 클럭생성회로(19)는 패널(33) 내에 포함된다. 그 결과, 종래 기술의 다목적 시스템보드가 도 1에 도시된 본 발명에 따른 표시장치를 구동하도록 그대로 사용될 수 있다. 물론, 시스템보드와 패널(33)을 연결하기 위한 단자와 배선의 수는 변하지 않는다.

<75> 도 3a 및 도 3b는 도 1에 도시된 내부 클럭생성회로의 형태의 구체적인 예를 나타낸 블록도이다. 내부 클럭생성회로는 도 3a의 시스템 및 도 3b의 시스템으로 나누어진다. 2개 시스템은 기본적으로 동일한 형태를 갖는다. 도 3a의 제1 시스템은 제1 클럭신호(HCK)에 기초하여 제2 클럭신호(DCK1 및 DCK1X)를 발생시킨다. 유사하게,

도 3b의 제2 시스템은 제1 클럭신호(HCKX)를 처리하여, 제2 클럭신호(DCK2 및 DCK2X)를 발생시킨다. 도 3a의 제1 시스템은 서로 직렬로 접속된 4개의 인버터(51 내지 54); NAND 회로(55); 출력 인버터(56); 및 2개의 버퍼(57 및 58)를 포함한다. 유사하게, 도 3b의 제2 시스템은 4개의 인버터(61 내지 64); NAND 회로(65); 출력 인버터(66); 및 출력버퍼쌍(67 및 68)을 포함한다.

<76> 도 3a의 제1 시스템을 직시하면, 외부 클럭생성회로부터 공급되는 제1 클럭신호(HCK)는 2개의 신호로 나누어진다. 한 신호는 NAND 회로(55)의 한 입력단자에 그대로 공급된다. 다른 신호는 서로 직렬로 연결된 4개의 인버터(51 내지 54)로 형성된 지연회로에 공급된다. 지연회로의 출력은 NAND 회로(55)의 또 다른 입력단자에 공급된다. 따라서, 지연되지 않은 신호(HCK)와 지연된 신호(HCK')가 NAND 회로(55)에 의해 NAND 합성되게 된다. NAND 회로(55)로부터 출력되는 신호는 인버터(56)에 의해 반전된 후, 버퍼(57)를 통해 클럭신호(DCK1)로 출력된다. NAND 회로(55)의 출력단자로부터 출력되는 신호는 분기점으로부터 버퍼(58)를 통해 수평기동회로측에 클럭신호(DCK1X)로서 공급된다. 통상적으로 펄스신호는 펄스신호가 인버터를 통과할 때 마다 지연되는 것으로 알려져 있다. 따라서, 본 예에서, 복수의 인버터를 통과한 클럭신호(HCK')가 인버터를 통과하지 않은 클럭신호(HCK)에 비하여 몇십 nsec 정도 지연된다. 2개의 클럭신호(HCK 및 HCK')의 NAND 합성에 의해, 목적의 클럭신호(DCK1 및 DCK1X)가 발생될 수 있다. 유사하게, 클럭신호(DCK2 및 DCK2X)가 도 3b의 시스템에 의해 발생된다.

<77> 도 4a 및 도 4b는 도 3a 및 도 3b에 도시된 내부 클럭생성회로의 동작설명을 돕기 위한 파형도이다. 도 4a는 도 3a에 도시된 제1 시스템의 동작을 나타내는 반면, 도 4b는 도 3b에 도시된 제2 시스템의 동작을 나타낸다. 도 4a를 직시하면, 클럭신호(HCK')가 클럭신호(HCK)에 비하여 소정의 시간 지연된다. 지연량은 서로 직렬로 연결된 인버터의 수에 의해 최적으로 설정될 수 있다. 지연 처리에 의해 위상이 서로 바뀌어진 클럭신호(HCK 및 HCK')들은 NAND 연산되게 되어, 클럭신호(DCK1X)가 얻어진다. 클럭신호(DCK1X)가 출력 인버터에 의해 반전 연산되게 될 때, 클럭신호(DCK1)가 얻어진다. 유사하게, 도 4b에 도시된 바와 같이, 지연되지 않은 클럭신호(HCKX) 및 지연된 클럭신호(HCKX')는 논리연산되어 클럭신호(DCK2X)를 제공한다. 클럭신호(DCK2X)가 반전 연산되게 될 때, 클럭신호(DCK2)가 얻어진다.

<78> 도 23a 및 도 23b는 도 1에 도시된 내부 클럭생성회로(19) 형태의 또 다른 예를 나타낸 블록도이다. 이해의 용이성을 위해, 도 3a 및 도 3b의 형태에서 앞의 예들의 해당 부분들은 해당 참조번호로 식별된다. 도 23a의 내부 클럭생성회로의 시스템에서는 NAND 회로(55) 대신에 AND 회로(55a)가 사용되고, 출력 인버터(56)가 버퍼(58)측에 접속된 점에서, 도 23a 및 도 23b에 도시된 형태의 예는 도 3a 및 도 3b에 도시된 형태의 예와 다르다. 본 예에서, NAND 합성 대신에 AND 합성이 사용된다. AND 회로(55a)의 출력은 클럭신호(DCK1)이며, AND 회로(55a)의 출력은 인버터(56)에 의해 반전되어, 클럭신호(DCK1X)를 제공한다. 유사하게, 도 23b의 내부 클럭생성회로의 시스템에서는, NAND 회로(65) 대신에 AND 회로(65a)가 사용되며, 출력 인버터(66)가 버퍼(68)측에 접속된다.

<79> 도 24a 및 도 24b는 도 1에 도시된 내부 클럭생성회로 형태의 또 다른 예를 나타낸 블록도이다. 이해의 용이성을 위해, 도 3a 및 도 3b 형태에서 앞의 예들의 해당 부분들은 해당 참조번호로 식별된다. 도 24a의 내부 클럭생성회로의 시스템에서는 클럭신호(HCK) 및 클럭신호(HCK)을 지연하여 얻어지는 클럭신호(HCKX')가 NAND 연산되게 되어 클럭신호(DCK1) 및 클럭신호(DCK1X)를 제공하는 점에서, 도 24a 및 도 24b에 도시된 형태의 예는 도 3a 및 도 3b에 도시된 형태의 예와 다르다. 또한, 클럭신호(HCK)에 대한 클럭신호(HCKX')의 지연량은 복수의 지연 인버터(51 내지 5n, n은 짝수)를 접속함으로써 적절하게 설정될 수 있다. 유사하게, 도 24b의 내부 클럭생성회로의 시스템에서는, 클럭신호(HCKX) 및 클럭신호(HCK)를 지연시킴으로써 얻어지는 클럭신호(HCK')가 NAND 연산되게 되어, 클럭신호(DCK2 및 DCK2X)를 제공한다. 도 34a 및 도 34b에 도시된 내부 클럭생성회로의 동작은 도 25의 파형도에 도시되었다.

<80> 도 26a 및 도 26b는 도 1에 도시된 내부 클럭생성회로(19) 형태의 또 다른 예를 나타낸 블록도이다. 이해의 용이성을 위해, 도 3a 및 도 3b 형태의 앞의 예들의 해당 부분들은 해당 참조번호로 식별된다. 도 26a의 내부 클럭생성회로 시스템에서는, 클럭신호(HCK) 및 클럭신호(HCK)를 지연시킴으로써 얻어지는 클럭신호(HCK')가 NAND 연산되게 되어, 클럭신호(DCK1) 및 클럭신호(DCK1X)를 제공하는 점에서, 도 26a 및 도 26b에 도시된 형태의 예는 도 3a 및 도 3b에 도시된 형태의 예와 다르다. 또한, 클럭신호(HCK)에 비하여 클럭신호(HCK')의 지연량은 지연 소자(51 내지 5n, n은 홀수)를 서로 직렬로 연결함으로써 적절하게 설정된다. 유사하게, 도 26b의 내부 클럭생성회로의 시스템에서는, 클럭신호(HCKX) 및 클럭신호(HCK)를 지연시킴으로써 얻어지는 클럭신호(HCKX')가 NAND 연산되게 되어, 클럭신호(DCK2) 및 클럭신호(DCK2X)를 제공한다. 도 26a 및 도 26b에 도시된 내부 클럭생성회로의 동작 파형도는 도 4a 및 도 4b와 동일하다.

- <81> 도 5는 본 발명의 일실시예에 따른 점 순차 구동방식의 능동 행렬 형태 액정표시장치 형태의 예를 나타낸 회로도로서, 화소의 표시소자(전기광학소자)로서, 예컨대 액정 셀을 사용한다. 본 경우에서, 도면의 간단화를 위하여, 4행 4열의 화소배치를 예로 들었다. 능동 행렬 형태 액정표시장치는 일반적으로 각 화소의 스위칭 소자로서 박막 트랜지스터(TFT)를 사용한다.
- <82> 도 5에서, 4행 4열의 행렬 형태로 배치된 각 화소(11)은, 박막 트랜지스터(TFT) 또는 화소 트랜지스터; 박막 트랜지스터(TFT)의 드레인 전극에 접속된 화소전극을 갖는 액정셀(LC); 및 한 극이 박막 트랜지스터(TFT)의 드레인 전극에 접속된 유지 용량(Cs)을 포함한다. 열의 화소 배치방향을 따라 각 열에 각각 하나씩 배치된 신호라인들(12-1 내지 12-4)에 화소(11)들이 접속되는 반면, 행의 화소 배치방향을 따라 각 행에 하나씩 배치된 게이트 라인들(13-1 내지 13-4)에 화소(11)들이 접속된다.
- <83> 각 화소(11)의 박막 트랜지스터(TFT)의 소스 전극(또는 드레인 전극)은 신호라인(12-1 내지 12-4) 중 해당하는 하나로 접속된다. 박막 트랜지스터(TFT)의 게이트 전극은 게이트 라인(13-1 내지 13-4) 중 하나에 접속된다. 액정 셀(LC)의 카운터 전극 및 유지 용량(Cs)의 다른 전극은 화소들 사이에서 공통으로 Cs 라인(14)에 접속된다. 공통 전압 "Vcom"으로 소정의 직류전류 전압이 Cs 라인(14)에 공급된다.
- <84> 따라서, 화소들(11)이 행렬 형태로 배치되고, 화소들(11)이 각 열에 하나씩 배치된 신호라인(12-1 내지 12-4)과 각 행에 하나씩 배치된 게이트 라인(13-1 내지 13-4)에 접속되어, 화소 어레이 유닛(15)이 형성된다. 화소 어레이 유닛(15)의 각 게이트 라인(13-1 내지 13-4)의 일단은, 예컨대, 화소 어레이 유닛(15)의 좌측에 배치되는 수직구동회로(16)의 각 행의 출력단자에 접속된다.
- <85> 수직구동회로(16)는 각 필드 주기내에 수직방향(행 방향)으로 주사하여 행 유닛의 게이트 라인(13-1 내지 13-4)에 접속된 화소들(11)을 순차적으로 선택한다. 자세하게는, 수직구동회로(16)가 게이트 라인(13-1)에 주사 펄스(Vg1)을 공급하는 때에, 각 열의 첫 행의 화소가 선택된다. 수직구동회로(16)가 게이트 라인(13-2)에 주사 펄스(Vg2)를 공급하는 때에, 각 열의 두번째 행의 화소가 선택된다. 그 후, 유사하게 게이트 라인(13-3 및 13-4)에 각각 주사 펄스(Vg3 및 Vg4)가 공급된다.
- <86> 화소 어레이 유닛(15)의 예를 들어, 상측에는 수평구동회로(17)이 배치되어 있다. 또한, 수직구동회로(16)나 수평구동회로(17)에 대하여 각종 클럭신호를 제공하는 외부 클럭생성회로(타이밍 발생기)(18)가 설치되어 있다. 그 외부 클럭생성회로(18)에는, 수직 주사의 개시를 지령하는 수직 스타트 펄스(VST), 수직 주사의 기준이 되는 서로 역상인 수직 클럭(VCK, VCKX), 수평 주사의 개시를 지령하는 수평 스타트 펄스(HST), 수평 주사의 기준이 되는 서로 역상인 수평클럭(HCK, HCKX)이 생성된다.
- <87> 외부 클럭생성회로(18)와는 별개로 내부 클럭생성회로(19)가 제공된다. 도 6의 타이밍도에 도시된 바와 같이, 내부 클럭생성회로(19)는 수평클럭(HCK 및 HCKX) 보다 낮은 듀티비를 갖지며, 동일한 사이클(T1=T2)를 갖는 클럭쌍(DCK1 및 DCK2)을 발생시킨다. 듀티비는 펄스 파형내에서 펄스 사이클 주기 "T"에 대한 펄스폭 "t"의 비이다.
- <88> 본 예에서, 수평클럭(HCK 및 HCKX)의 듀티비(t1/T1)는 50%이며, 클럭(DCK1 및 DCK2)의 듀티비(t2/T2)는 50%의 듀티비 보다 낮다. 즉, 클럭(DCK1 및 DCK2)의 펄스폭(t2)은 수평 클럭(HCK 및 HCKX)의 펄스폭(t1) 보다 더 좁게 설정된다.
- <89> 각 H(H는 수평주사 주기)에서 입력 비디오 신호 "video"를 순차적으로 샘플링 하고, 수직구동회로(16)에 의해 선택된 행 단위로 각 화소(11)에 비디오 신호를 기입하기 위해서, 수평구동회로(17)가 제공된다. 본 예에서, 수평구동회로(17)는 클럭구동방식을 사용한다. 수평구동회로(17)는 쉬프트 레지스터(21), 클럭 추출 스위치 군(22), 및 샘플링 스위치 군(23)을 포함한다.
- <90> 쉬프트 레지스터(21)는 화소 어레이 유닛(15)의 화소 열(본 예에서는 4개의 열)들에 해당하는 4개의 쉬프트 단(이하, S/R 단, 21-1 내지 21-4)으로 형성된다. 수평 스타트 펄스(HST)가 쉬프트 레지스터(21)에 공급되는 때에, 쉬프트 레지스터(21)는 서로 역상인 수평클럭(HACK 및 HCKX)에 동기하여 쉬프트 동작을 수행한다. 따라서, 도 7의 타이밍도에 도시된 바와 같이, 쉬프트 레지스터(21)의 쉬프트 단들(21 내지 21-4)은 수평클럭(HCK 및 HCKX)의 사이클과 같은 펄스폭을 갖는 쉬프트 펄스(Vs1 내지 Vs4)를 순차적으로 출력한다.
- <91> 클럭 추출 스위치 군(22)은 화소 어레이 유닛(15)의 화소 열들에 해당하는 4개의 스위치(22-1 내지 22-4)로 형성된다. 스위치들(21-1 내지 22-4)은 자신의 한 단자에서 내부 클럭생성회로(19)로부터 클럭(DCK2 및 DCK1)를 전송하는 클럭라인(24-1 및 24-2)에 교대로 접속된다. 자세하게는, 스위치(22-1 및 22-3)는 자신의 한 단자에

서 클럭라인(24-1)에 접속되고, 스위치(22-2 및 22-4)는 자신의 한 단자에서 클럭라인(24-2)에 접속된다.

- <92> 쉬프트 레지스터(21)의 쉬프트 단(21-1 내지 21-4)으로부터 출력되는 쉬프트 펄스(Vs1 내지 Vs4)가 클럭 추출 스위치 군(22)의 스위치(22-1 내지 22-4)들에 공급된다. 쉬프트 레지스터(21)의 쉬프트 단(21-1 내지 21-4)으로부터 쉬프트 펄스(Vs1 내지 Vs4)가 공급되는 때에, 쉬프트 펄스(Vs1 내지 Vs4)에 응답하여 클럭 추출 스위치 군(22)의 스위치들(22-1 내지 22-4)이 순차적으로 턴온되어, 서로 역상인 클럭(DCK1 및 DCK2)을 교대로 추출한다.
- <93> 샘플링 스위치 군(23)은 화소 어레이 유닛(15)의 화소 열들에 해당하는 4개의 스위치(23-1 내지 23-4)로 형성된다. 스위치들(23-1 내지 23-4)은 자신의 한 단자에서 비디오 신호 "video"를 입력하기 위한 비디오 라인(25)에 접속된다. 클럭 추출 스위치 군(22)의 스위치(22-1 내지 22-4)에 의해 추출된 클럭(DCK2 및 DCK1)은 샘플링 펄스(Vh1 내지 Vh4)로서 샘플링 스위치 군(23)의 스위치(23-1 내지 23-4)에 공급된다.
- <94> 클럭 추출 스위치 군(22)의 스위치(22-1 내지 22-4)로부터 샘플링 펄스(Vh1 내지 Vh4)가 공급되는 때에, 샘플링 펄스(Vh1 내지 Vh4)에 응답하여 샘플링 스위치 군(23)의 스위치(23-1 내지 23-4)가 순차적으로 턴온되어, 비디오 라인(25)을 통해 입력되는 비디오 신호 "video"를 순차적으로 샘플링한다. 다음, 샘플링 스위치 군(23)의 스위치(23-1 내지 23-4)는 샘플링 된 비디오 신호 "video"를 화소 어레이 유닛(15)의 신호 라인(12-1 내지 12-4)에 공급한다.
- <95> 이렇게 형성된 본 발명에 따른 수평구동회로(17)는 쉬프트 펄스(Vs1 내지 Vs4)에 동기하여 클럭쌍(DCK2 및 DCK1)을 교대로 추출하며, 샘플링 펄스(Vh1 내지 Vh4)로서 쉬프트 레지스터(21)로부터 순차적으로 출력되는 쉬프트 펄스(Vs1 내지 Vs4)를 사용하기 하기 보다는, 샘플링 펄스(Vh1 내지 Vh4)로서 클럭(DCK2 및 DCK1)을 곧바로 사용한다. 따라서, 샘플링 펄스(Vh1 내지 Vh4)의 편차가 줄어들 수 있다. 그 결과, 샘플링 펄스(Vh1 내지 Vh4)의 편차에 의해 발생하는 고스트가 제거될 수 있다.
- <96> 또한, 종래 기술에서처럼 샘플링 펄스(Vh1 내지 Vh4)로서 수평클럭(HCKX 및 HCK)을 사용하고 쉬프트 레지스터(21)의 쉬프트 동작의 기초로 기능하는 수평클럭(HCKX 및 HCK)를 추출하기 보다는, 본 발명에 따른 수평구동회로(17)는 수평클럭(HCKX 및 HCK) 보다 낮은 듀티비와 동일한 사이클을 갖는 클럭(DCK2 및 DCK1)을 따로 따로 발생시키며, 클럭(DCK2 및 DCK1)를 추출하여 샘플링 펄스(Vh1 내지 Vh4)로 사용한다. 따라서, 다음의 효과를 얻을 수 있다.
- <97> 즉, 클럭(DCK2, DCK1)이 클럭 추출 스위치 군(22)의 각 스위치(22-1 ~ 22-4)에서 추출되고, 샘플링 스위치 군(23)의 각 스위치(23-1 ~ 23-4)에 공급될 때까지의 전송 과정에 있어서, 배선 저항이나 기생 용량 등에 기인하여 펄스에 지연이 발생되고, 추출된 클럭(DCK2, DCK1)의 파형에 만곡이 발생(rounded)하더라도, 특히 도 8의 타이밍도에서 명백한 바와 같이, 추출된 클럭(DCK2, DCK1)의 각각은 전후의 펄스와의 사이에서 완전히 비중첩(non-overlapping)인 파형이 된다
- <98> 완전한 비중첩인 파형의 클럭(DCK2 및 DCK1)을 샘플링 펄스(Vh1 내지 Vh4)로 사용한다. 샘플링 스위치 군(23)에 있어서, k번째 단을 직시하면, (k+1)번째 단의 샘플링 스위치가 온하기 전에 반드시 k번째 단의 샘플링 스위치에 의해 비디오 신호 "video"의 샘플링을 완료하는 것이 가능하다.
- <99> 따라서, 도 8에 도시된 바와 같이, 샘플링 스위치 군(23)의 각 스위치(23-1 내지 23-4)가 턴온되는 순간에 충방전 잡음이 비디오 라인(25)상에 겹쳐지는 경우에도, 다음 단의 스위칭에 의해 충방전 잡음이 발생되기 전에 그 단의 샘플링이 실패없이 수행된다. 따라서, 충방전 잡음의 샘플링을 방지할 수 있다. 그 결과, 수평 구동에 있어, 샘플링 펄스들 사이에서 완전한 비중첩 샘플링이 실현될 수 있기 때문에, 중첩 샘플링에 기인한 수직 줄무늬의 발생이 방지된다.
- <100> 또한, 완전한 비중첩 샘플링이 실현될 수 있기 때문에, 고스트가 발생하지 않는 고스트 마진이 종래 기술의 마진 보다 더 크게 설정될 수 있다. 이하에서 이를 상세히 설명한다. 도 9는 예컨대 샘플링/유지 위치(S/H=0 내지 5)를 갖는 비디오 신호 "video"와 완전한 비중첩 샘플링 펄스(Vhk-1, Vhk, 및 Vhk+1) 사이의 위상관계를 나타낸다.
- <101> 먼저, S/H=1인 경우에 대하여 설명한다. 도 10은 S/H=1인 경우의 비디오 신호 "video"와 완전한 비중첩 샘플링 펄스(Vhk-1, Vhk, 및 Vhk+1) 사이의 위상관계 및 신호라인 전위의 변화를 나타낸다. S/H=1인 경우, (k-1)번째 단의 샘플링 펄스(Vhk-1)는 비디오 신호 "video"의 흑색신호 부분(펄스 부분)과 중첩하지 않는다. 따라서, 펄스 형태의 비디오 신호 "video"는 샘플링 펄스(Vhk)에 의해 샘플링 되며, k번째 단의 신호라인으로만 흑색신호

가 기입된다. 따라서, 수평주사의 앞 방향에서 고스트가 발생하지 않는다.

<102> 다음, S/H=5인 경우에 대하여 설명한다. 도 11은 S/H=5인 경우의 비디오 신호 "video"와 샘플링 펄스(Vhk-1, Vhk, 및 Vhk+1) 사이의 위상관계 및 신호라인 전위의 변화를 나타낸다. S/H=5인 경우, 흑색 비디오 신호가 (k+1)번째 단의 샘플링 펄스(Vhk+1)와 중첩한다. 샘플링 스위치가 턴온되는 때, (k+1)번째 단의 신호라인에 흑색신호가 기입된 후, 신호라인 전위는 회색 레벨로 복귀하려 한다. 그러나, 중첩량이 크기 때문에, 신호라인 전위는 회색 레벨로 완전히 복귀되지 않는다. 따라서, 수평주사의 뒷 방향으로 고스트가 발생한다.

<103> S/H=5인 경우와 유사하게, S/H=1 내지 4 인 경우, (k+1)번째 단의 샘플링 펄스(Vhk+1)와 비디오 신호의 흑색 부분이 서로 중첩한다. 샘플링 스위치가 턴온되는 때에 (k+1)번째 단의 신호 라인에 흑색신호가 기입된다. 그러나, 중첩량이 더 적기 때문에, S/H=5인 경우 보다 기입된 흑색 레벨이 낮아서, 신호라인 전위는 회색 레벨로 완전히 복귀될 수 있다. 따라서, 수평주사의 뒷 방향에서 고스트가 발생하지 않는다.

<104> 샘플링 펄스(Vhk-1, Vhk, 및 Vhk+1)가 서로 중첩하여, 중첩 샘플링을 가져오는 종래 기술과 비교하여, 종래 기술의 고스트 마진이 3(S/H=2, 3, 4)인 반면, 본 발명의 완전한 비중첩성 샘플링 방식의 고스트 마진은 S/H=2,3,4 에 S/H=0, 1를 더하여 총 5가 된다. 따라서, 고스트 마진을 증대시킬 수 있다.

<105> 상기 실시예는 본 발명이 입력으로 아날로그 비디오 신호를 수신하는 아날로그 인터페이스 구동회로를 가지며, 아날로그 비디오 신호를 샘플링하고, 점 순차 방식으로 각 화소를 구동하는 액정 표시장치에 적용되는 경우를 들어 설명하였지만, 입력으로 디지털 비디오 신호를 수신하는 디지털 인터페이스 구동회로를 가지며, 디지털 비디오 신호를 래치시킨 후, 디지털 비디오 신호를 아날로그 비디오 신호로 변환하고, 아날로그 비디오 신호를 샘플링하며, 점 순차 방식으로 각 화소를 구동하는 액정표시장치에도 본 발명이 적용될 수 있다고 할 것이다.

<106> 또한, 상기 실시예에서는 본 발명이 각 화소의 표시소자(전기광학소자)로서 액정 셀을 사용하는 능동 행렬 형태 액정표시장치에 적용되는 경우를 예를 들어 설명된 반면, 본 발명은 액정표시장치의 적용에만 제한되지 않는다. 본 발명은, 각 화소의 표시소자로 전계발광(EL) 소자를 사용하는 능동 행렬 형태 EL 표시장치와 같이, 수평구동 회로에서 클럭구동방식을 사용하며, 일반적인 점 순차 구동방식의 능동 행렬 형태 표시장치에 적용될 수 있다.

<107> 점 순차 구동방식은, 서로 극성이 다른 비디오 신호들이 홀수 행으로 서로 분리되는 2개의 행의 화소로, 예컨대 서로 인접한 화소의 열 사이에서 수직하게 인접하는 2개의 행의 화소에 동시에 기입되어, 비디오 신호의 기입후에는 화소 배치에 있어 수평으로 서로 인접하는 화소들은 동일한 극성을 가지며, 서로 수직으로 인접하는 화소들은 반대의 극성을 가지는, 소위 점 라인 반전 구동법 뿐만 아니라 예컨대 공지된 한 수평주사주기(H)를 반전시키는 구동법과 점을 반전시키는 구동법을 포함한다.

<108> 도 12는 본 발명에 따른 표시장치의 일반적인 형태를 나타내는 개략 블록도이다. 도 12에 도시된 바와 같이, 표시장치는 비디오 신호원(31), 시스템보드(32), 및 LCD 패널(33)을 포함한다. 본 시스템 형태에서, 시스템보드(32)는 비디오 신호원(31)로부터 출력되는 비디오 신호가 전술한 샘플링/유지 위치의 조정과 같은 신호처리가 되도록 한다. 시스템보드(32)는 도 1 및 도 5에 도시된 외부 클럭생성회로(18)를 포함한다. 도 1 및 도 5에 도시된 본 발명에 따른 점 순차 구동방식의 능동 행렬 형태 액정패널이 LCD 패널(33)로 사용된다. 전술한 바와 같이, LCD 패널(33)은 내부 클럭생성회로(19)를 포함한다.

발명의 효과

<109> 전술한 바와 같이, 본 발명에 따르면, 클럭구동법에 의한 수평구동에 있어, 점 순차 구동방식의 능동 행렬 형태 표시장치가 수평주사의 기초로 기능하는 제1 클럭신호 보다 낮은 듀티비와 동일한 사이클을 갖는 제2 클럭신호를 발생시키고, 제2 클럭신호를 추출하고, 샘플링 펄스로 제2 클럭신호를 사용하여 비디오 신호를 샘플링 한다. 이에 의해, 능동 행렬 형태 표시장치는 완전한 비중첩 샘플링을 실현할 수 있다. 따라서, 중첩성 샘플링에 의한 수직 줄무늬를 방지하고, 고스트 마진을 증대시킬 수 있다. 특히, 본 발명에 따르면, 외부에서 공급되는 제 1 클럭신호가 처리되어 제2 클럭신호를 내부적으로 발생시킨다. 따라서, 패널상에 형성되어야 할 단자와 배선 수의 증가를 방지할 수 있다.

<110> 특정 용어를 사용하여 본 발명의 바람직한 실시예가 설명되었지만, 상기 설명들은 단지 예시적인 목적으로서, 아래의 청구범위의 범주 또는 사상에서 벗어남이 없이 변경예와 개조예가 이루어질 수 있음은 자명할 것이다.

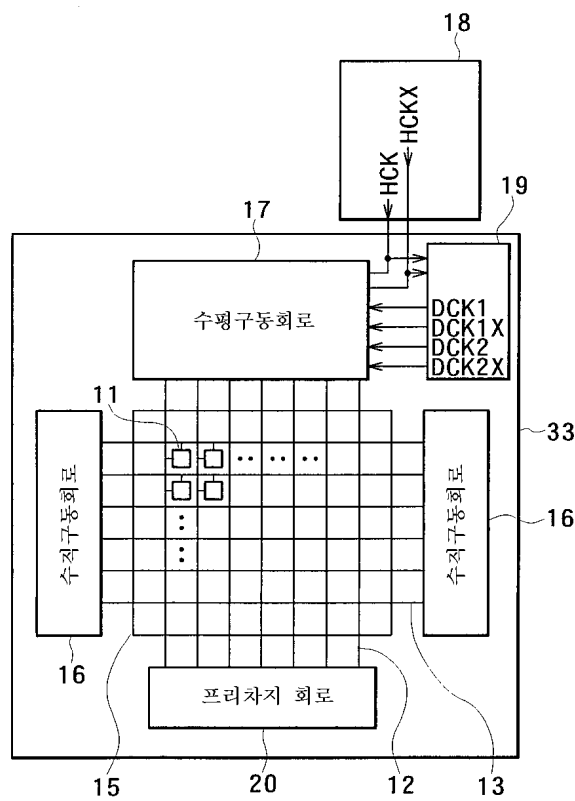
도면의 간단한 설명

- <1> 도 1은 본 발명에 따른 표시장치의 기본 형태를 나타낸 블록도.
- <2> 도 2는 표시장치의 참조예를 나타낸 개략 블록도.
- <3> 도 3a 및 도 3b는 도 1의 표시장치에 포함된 내부 클럭생성회로 형태의 구체적인 예를 나타낸 블록도.
- <4> 도 4a 및 도 4b는 도 3a 및 도 3b에 도시된 내부 클럭생성회로의 동작설명을 돕기 위한 타이밍도.
- <5> 도 5는 본 발명의 일실시예에 따른 점 순차 구동방식의 능동 행렬 형태 액정표시장치 형태의 예를 나타낸 회로도.
- <6> 도 6은 수평클럭(HCK 및 HCKX)와 클럭(DCK1 및 DCK2)의 타이밍 관계를 나타낸 타이밍도.
- <7> 도 7은 본 발명의 일실시예에 따른 클럭 구동형 수평구동회로의 동작 설명을 돕기 위한 타이밍도.
- <8> 도 8은 본 발명의 일실시예에 따른 클럭구동방식의 수평구동회로의 비디오 신호 샘플링 동작을 나타낸 타이밍도.
- <9> 도 9는 샘플링/유지 위치로 S/H=0 내지 5를 갖는 비디오 신호 "video"와 완전한 비중첩 샘플링 펄스(Vhk-1, Vhk, 및 Vhk+1) 사이의 위상 관계를 나타낸 타이밍도.
- <10> 도 10은 S/H=1인 경우의 비디오 신호 "video"와 완전한 비중첩 샘플링 펄스(Vhk-1, Vhk, 및 Vhk+1) 사이의 위상 관계 및 신호라인 전위의 변화를 나타낸 타이밍도.
- <11> 도 11은 S/H=5인 경우의 비디오 신호 "video"와 완전한 비중첩 샘플링 펄스(Vhk-1, Vhk, 및 Vhk+1) 사이의 위상관계 및 신호라인 전위의 변화를 나타낸 타이밍도.
- <12> 도 12는 본 발명에 따른 표시장치의 시스템 형태를 나타낸 블록도.
- <13> 도 13은 종래 기술에 따른 클럭구동형 수평구동회로의 형태를 나타낸 블록도.
- <14> 도 14는 종래 기술에 따른 클럭구동형 수평구동회로의 동작 설명을 돕기 위한 타이밍도.
- <15> 도 15는 종래 기술에 따른 클럭구동형 수평구동회로의 비디오 신호 샘플링 동작을 나타낸 타이밍도.
- <16> 도 16은 비디오 신호가 "m"개의 시스템에 의해 병렬로 입력되는 경우 샘플링 스위치 군의 형태를 나타낸 개략도.
- <17> 도 17의 (a), 도 17의 (b), 및 도 17의 (c)는 펄스 형태의 비디오 신호가 등글게 된 상태를 나타낸 파형도.
- <18> 도 18은 샘플링/유지 위치로 S/H=0 내지 5를 갖는 비디오 신호 "video"와 중첩하는 샘플링 펄스(Vhk-1, Vhk, 및 Vhk+1) 사이의 위상 관계를 나타낸 타이밍도.
- <19> 도 19는 S/H=1인 경우의 비디오 신호 "video"와 중첩하는 샘플링 펄스(Vhk-1, Vhk, 및 Vhk+1) 사이의 위상 관계 및 신호라인 전위의 변화를 나타낸 타이밍도.
- <20> 도 20은 수평주사의 앞 방향에서 발생하는 고스트를 나타낸 개략도.
- <21> 도 21은 S/H=5인 경우의 비디오 신호 "video"와 중첩하는 샘플링 펄스(Vhk-1, Vhk, 및 Vhk+1) 사이의 위상 관계 및 신호라인 전위의 변화를 나타낸 타이밍도.
- <22> 도 22는 수평주사의 뒷 방향에서 발생하는 고스트를 나타낸 개략도.
- <23> 도 23a 및 도 23b는 도 2에 도시된 표시장치에 포함된 내부 클럭생성회로 형태의 또 다른 예를 나타낸 블록도.
- <24> 도 24a 및 도 24b는 도 1에 도시된 표시장치에 포함된 내부 클럭생성회로 형태의 또 다른 예를 나타낸 블록도.
- <25> 도 25는 도 24a 및 도 24b에 도시된 내부 클럭생성회로의 동작 설명을 돕기 위한 타이밍도.
- <26> 도 26a 및 도 26b는 도 1에 도시된 표시장치에 포함된 내부 클럭생성회로 형태의 또 다른 예를 나타낸 블록도.
- <27> <도면의 부호에 대한 간단한 설명>
- <28> 11; 화소 12; 신호라인
- <29> 13; 게이트 라인 14; Cs 라인

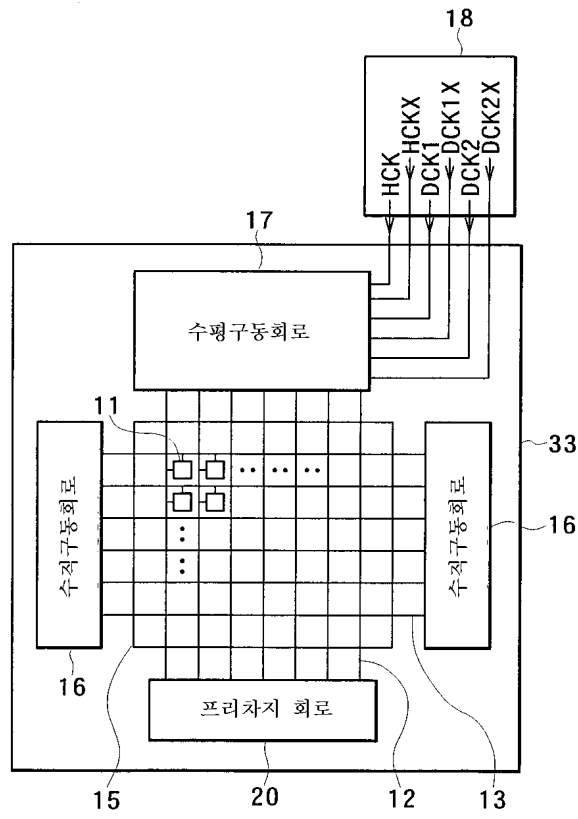
- <30> 15; 화소 어레이 유닛
- <31> 17; 수평구동회로
- <32> 19; 내부 클럭생성회로
- <33> 22; 클럭 추출 스위치 군
- <34> 24; 클럭라인
- <35> 32; 시스템 보드
- <36> 51~54, 61~64; 인버터
- <37> 55a, 65a; AND 회로
- <38> 57, 58, 67, 68; 버퍼
- <39> 101; 쉬프트 레지스터
- <40> 103; 샘플링 스위치 군
- <41> 105; 비디오 라인
- 16; 수직구동회로
- 18; 외부 클럭생성회로
- 21; 쉬프트 레지스터
- 23; 샘플링 스위치 군
- 31; 비디오 신호원
- 33; LCD 패널
- 55, 65; NAND 회로
- 56, 66; 출력 인버터
- 100; 수평구동회로
- 102; 클럭 추출 스위치 군
- 104; 클럭라인
- 106; 신호라인

도면

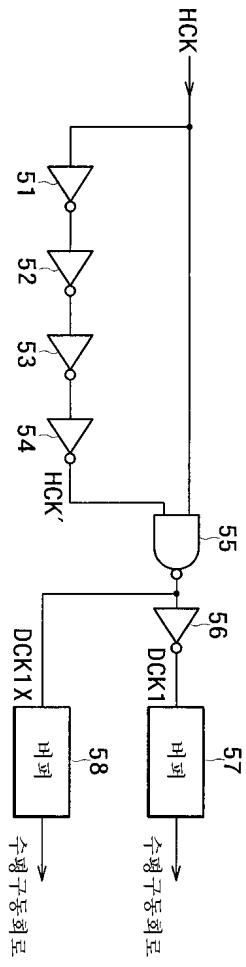
도면1



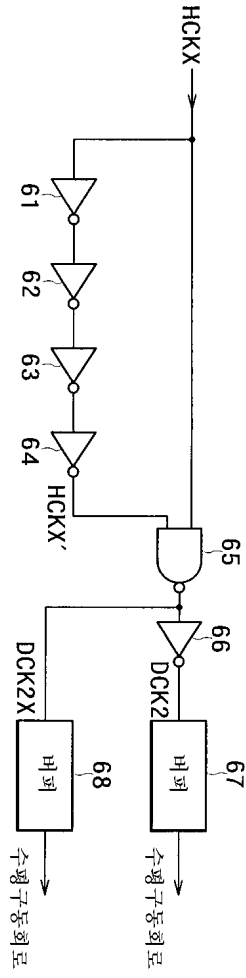
도면2



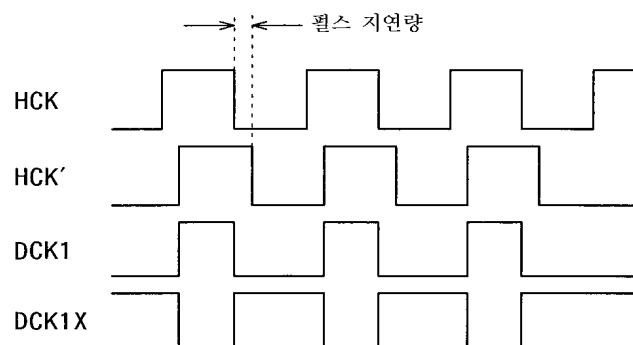
도면3a



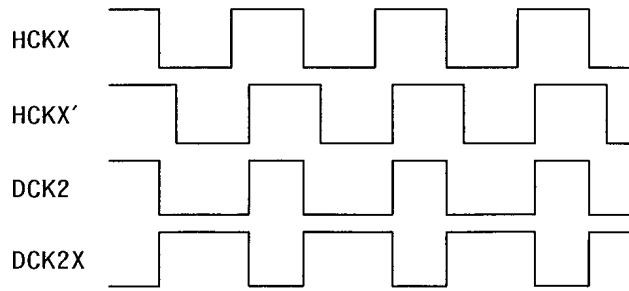
도면3b



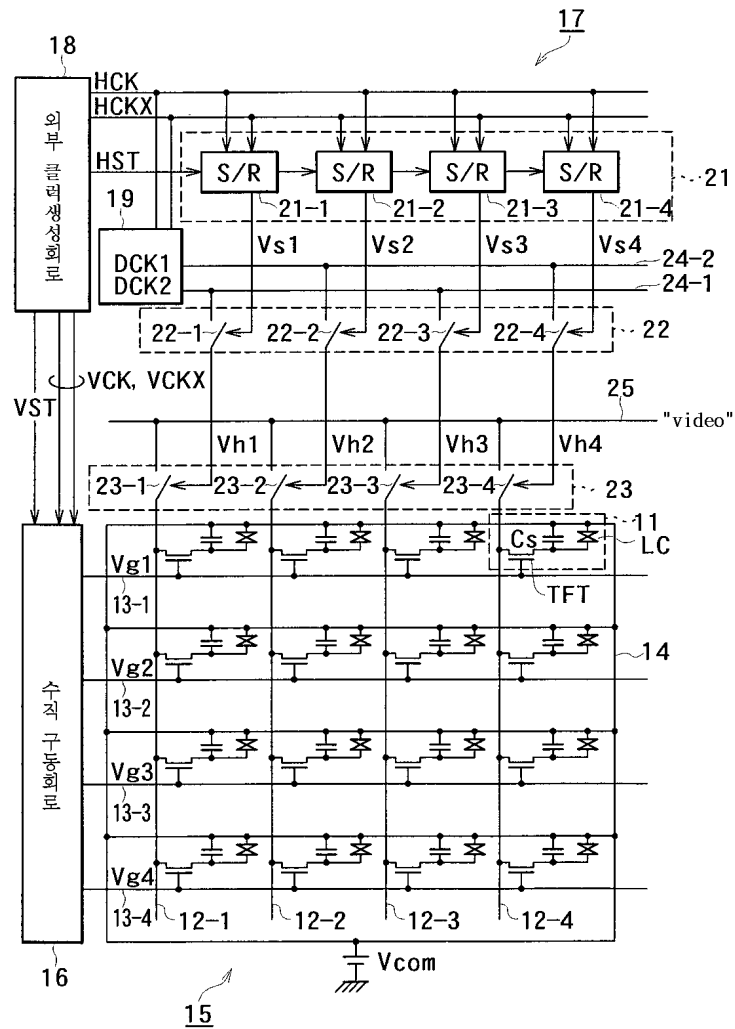
도면4a



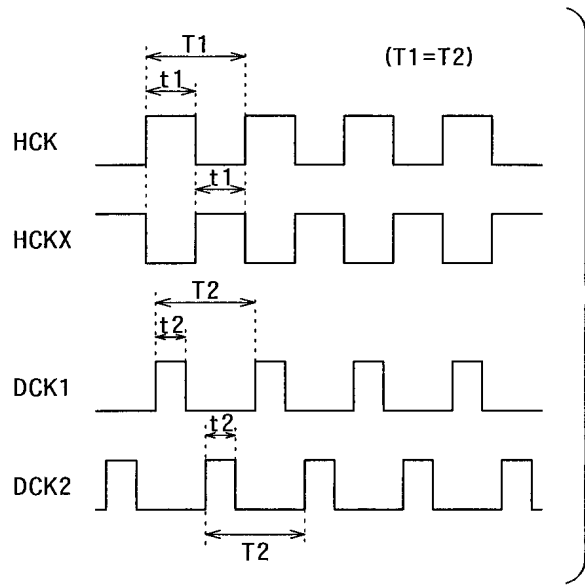
도면4b



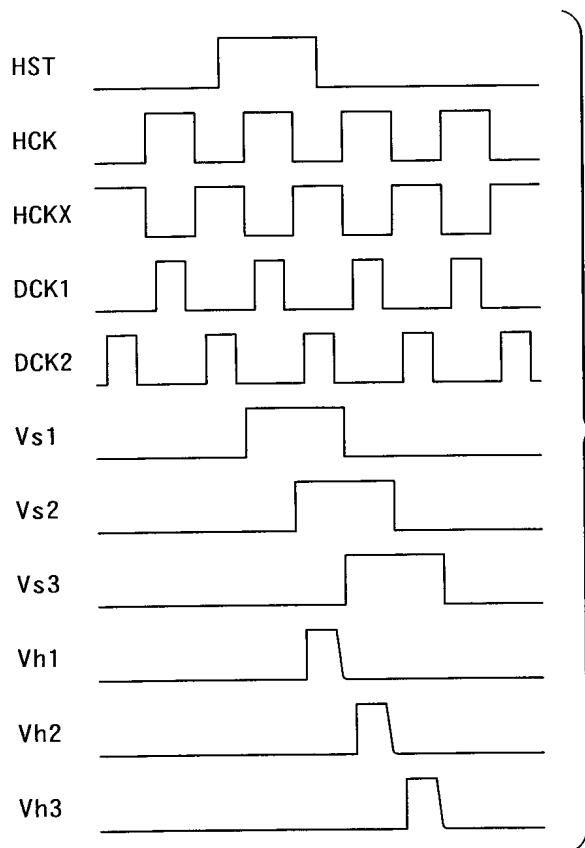
도면5



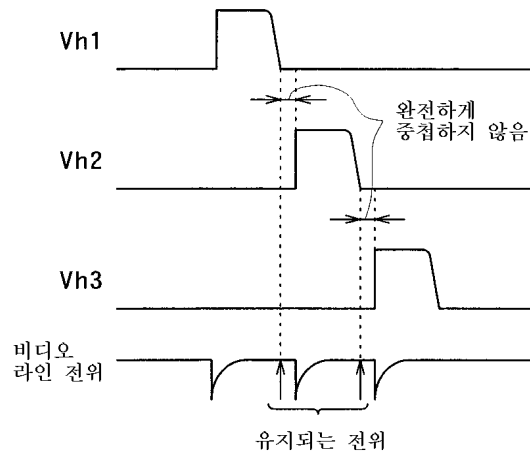
도면6



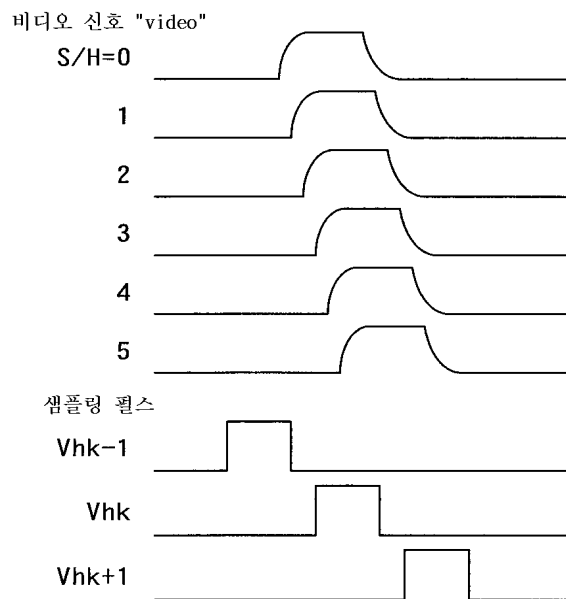
도면7



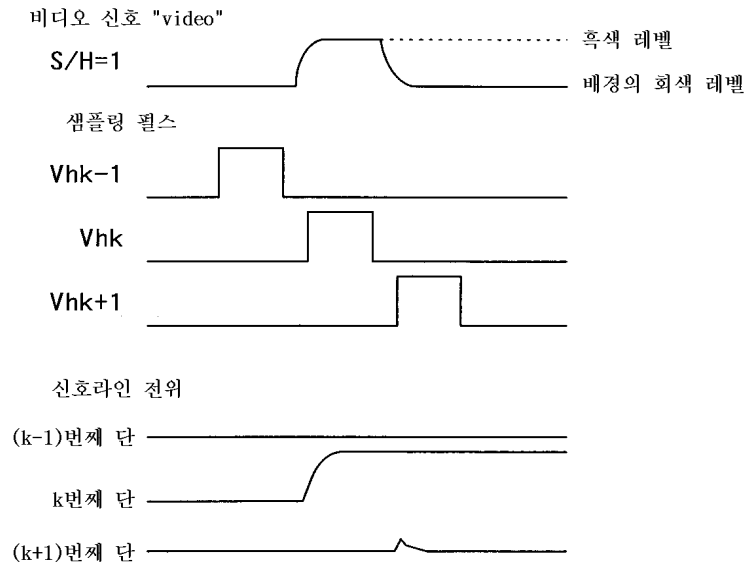
도면8



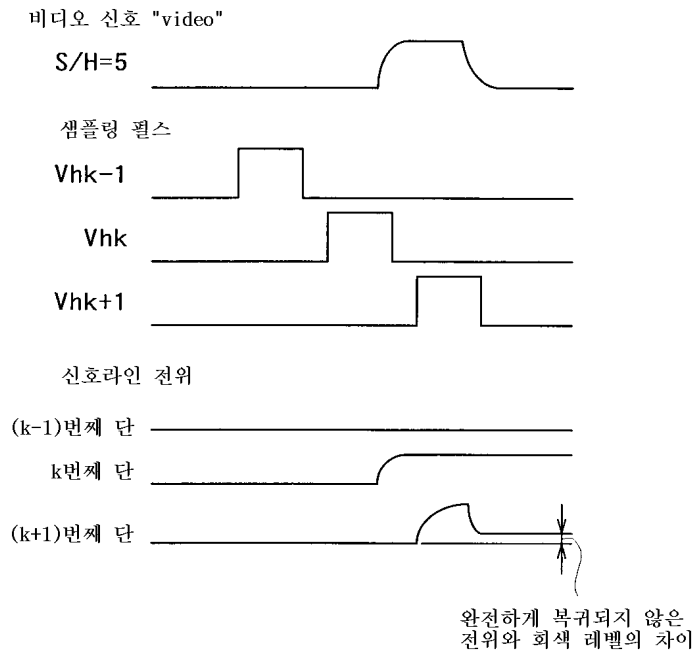
도면9



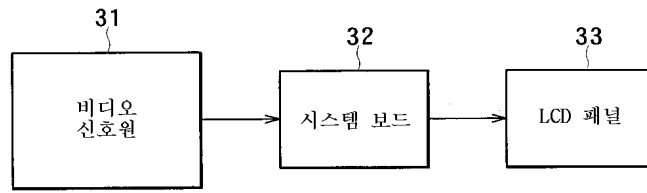
도면10



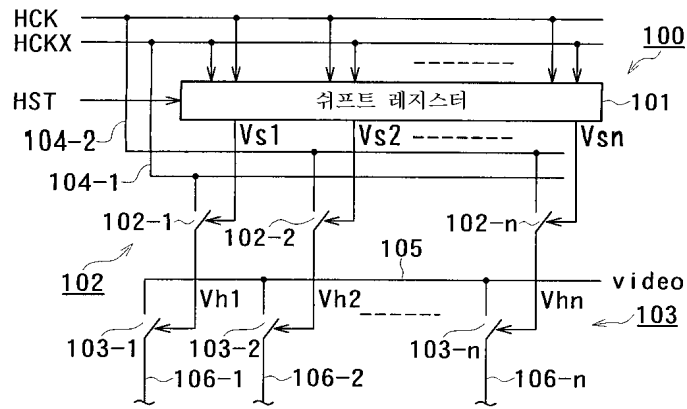
도면11



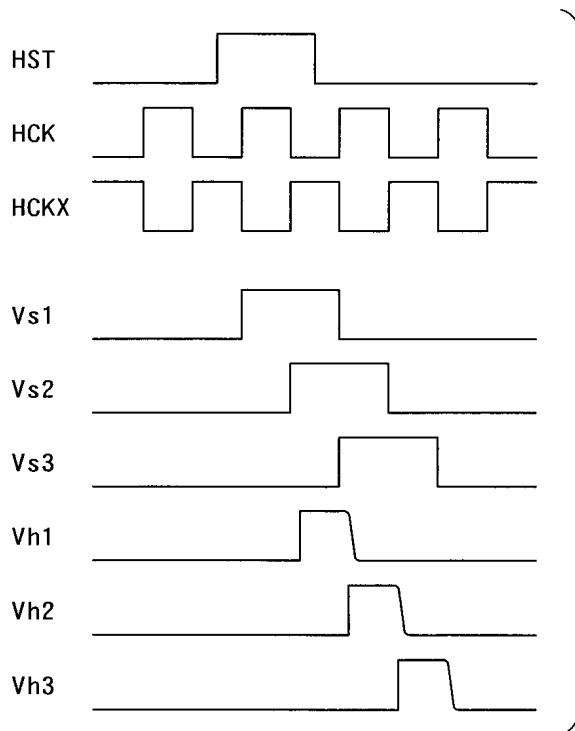
도면12



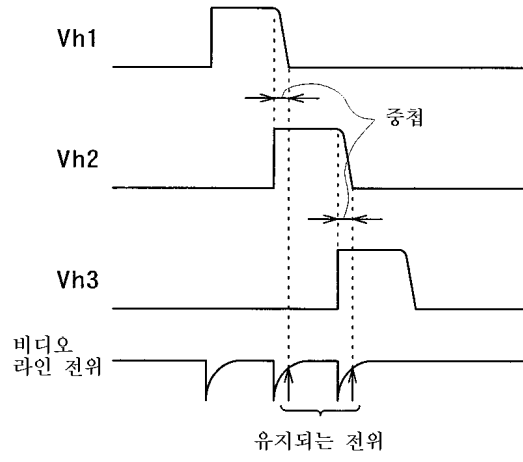
도면13



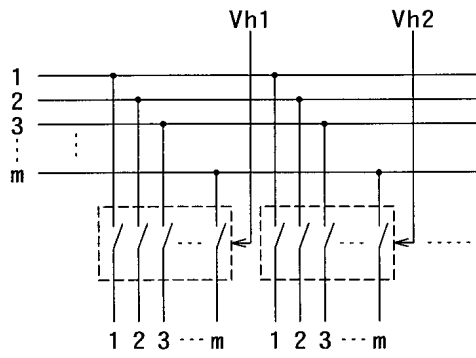
도면14



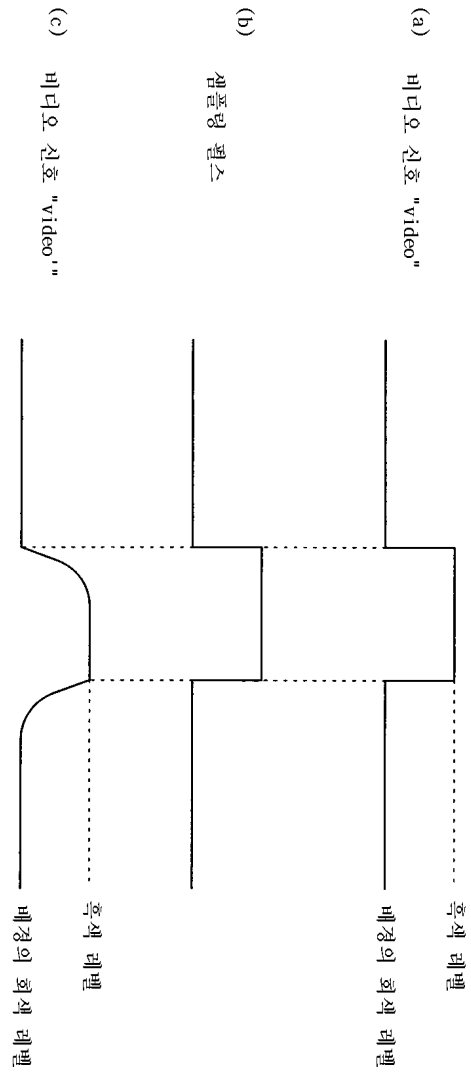
도면15



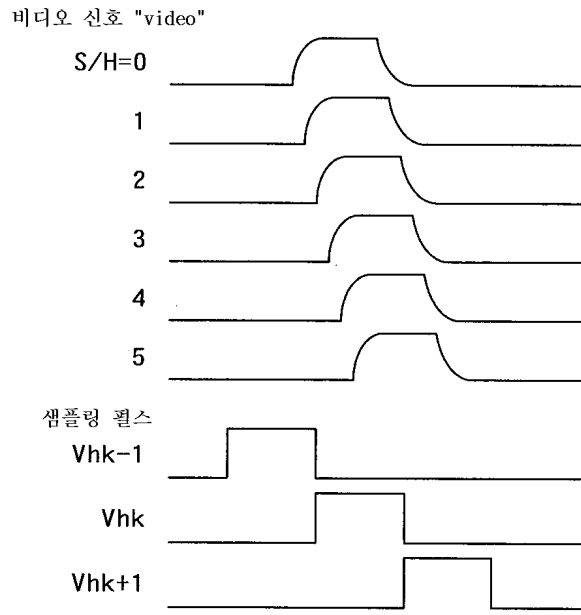
도면16



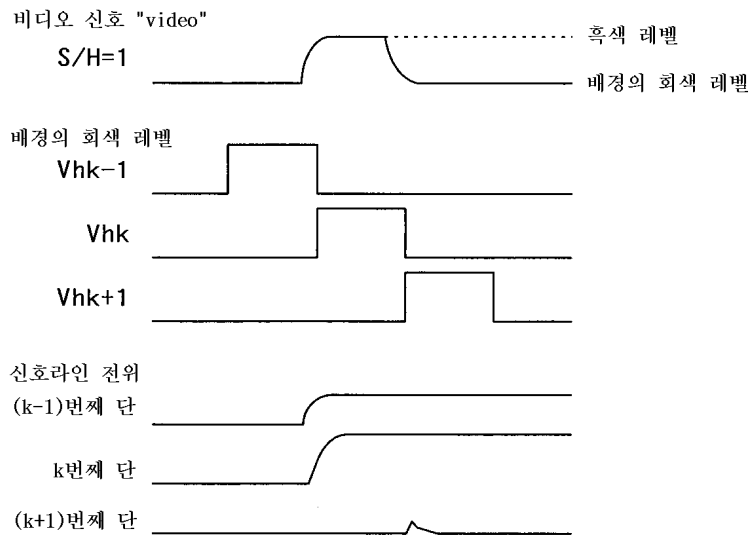
도면17



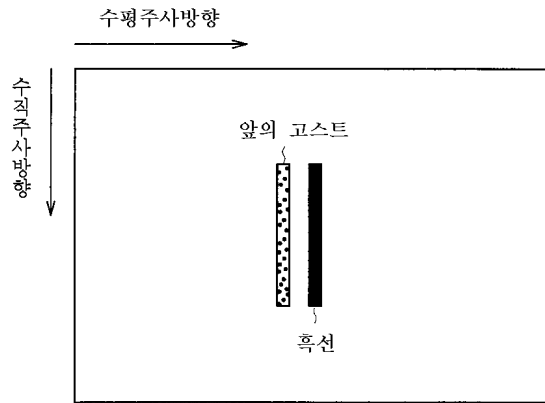
도면18



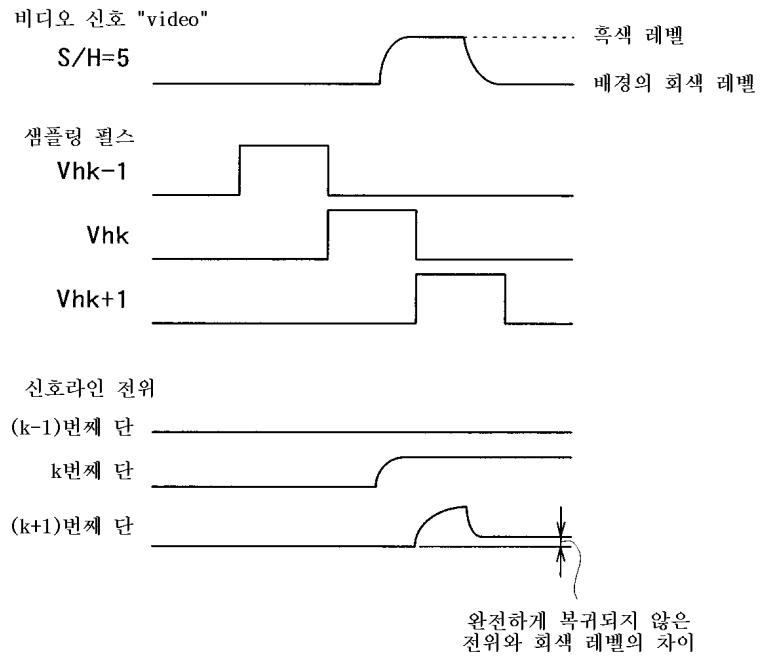
도면19



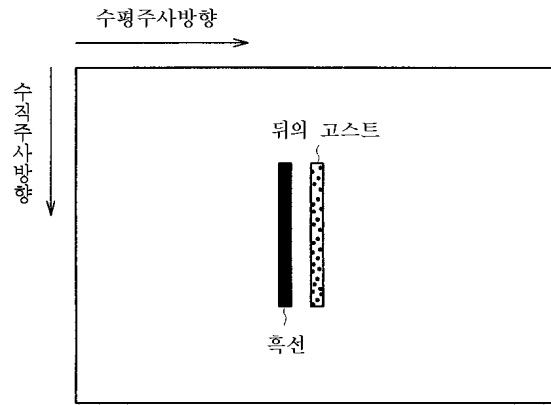
도면20



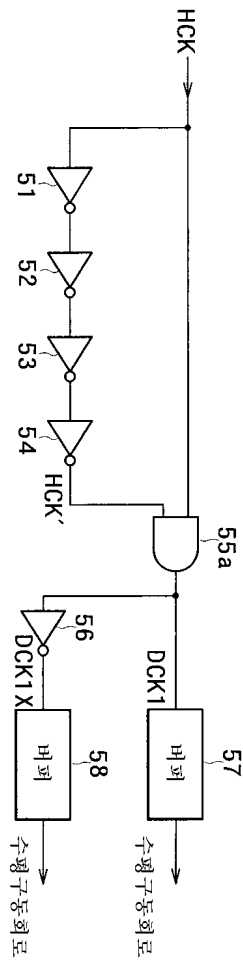
도면21



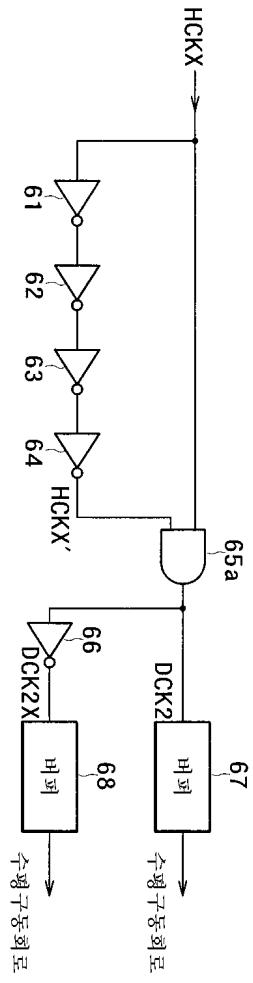
도면22



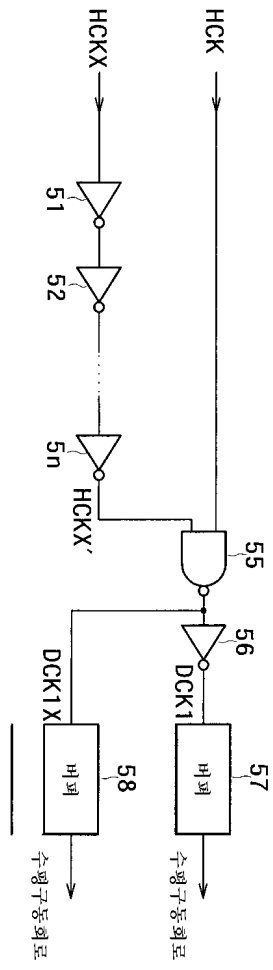
도면23a



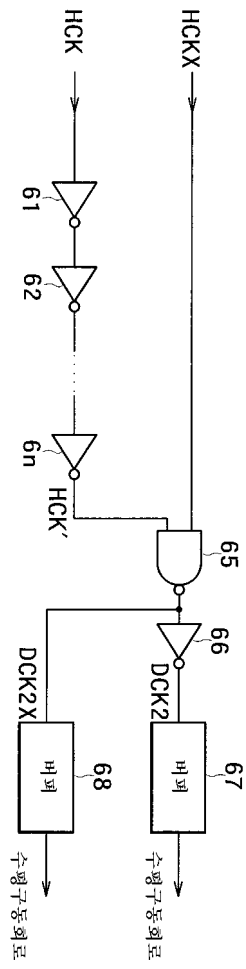
도면23b



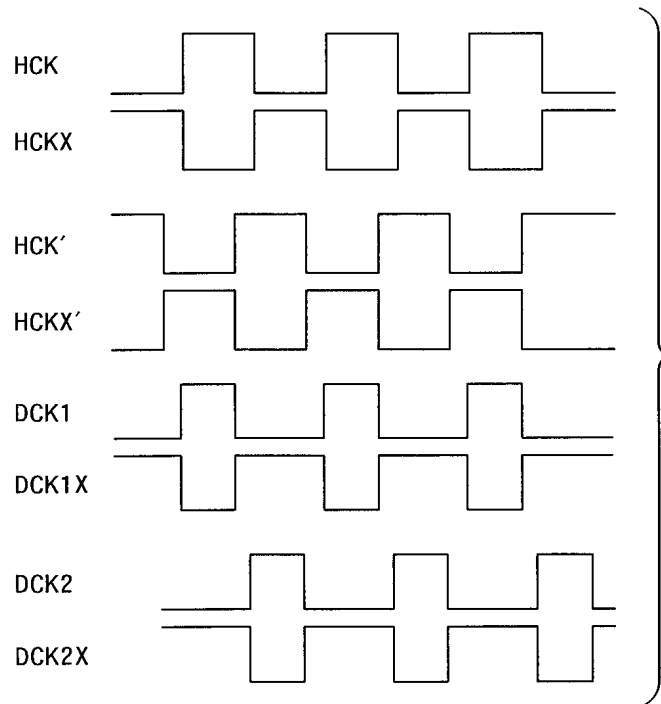
도면24a



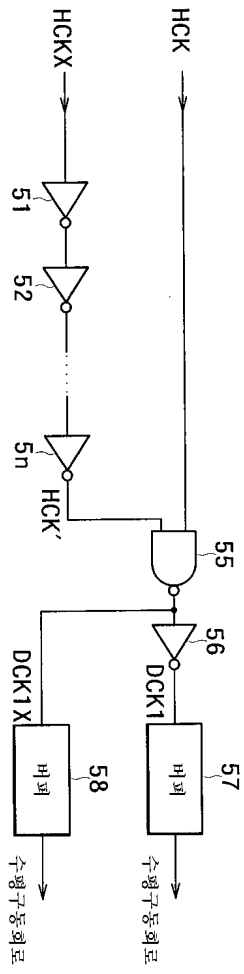
도면24b



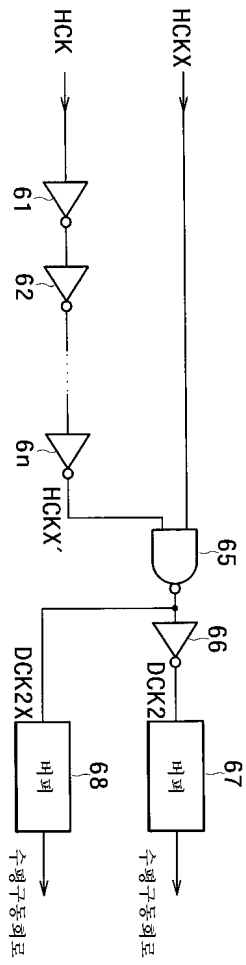
도면25



도면26a



도면26b



专利名称(译)	显示设备		
公开(公告)号	KR100893966B1	公开(公告)日	2009-04-20
申请号	KR1020020050015	申请日	2002-08-23
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	UCHINO KATSUHIDE 우찌노가쯔히데 YAMASHITA JUNICHI 야마시따준이찌		
发明人	우찌노가쯔히데 야마시따준이찌		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G09G5/18		
CPC分类号	G09G5/18 G09G3/20 G09G3/3688 G09G3/3648		
代理人(译)	CHANG, SOO KIL		
优先权	2001254800 2001-08-24 JP		
其他公开文献	KR1020030017418A		
外部链接	Espacenet		

摘要(译)

水平驱动器电路，其与时钟信号 (HCK) 同步执行移位操作的移位寄存器1，输出移位脉冲依次从每个移位级;响应第一开关组移位是从移位顺序输出脉冲寄存器，用于提取所述第二时钟信号 (DCK) ;第二个交换机组，由第一个交换机组的每个交换机提取，和第二开关组，用于响应时钟信号DCK顺序采样输入视频信号，并将采样的视频信号提供给每条信号线。外部提供外部时钟产生电路以从外部将第一时钟信号HCK提供给水平驱动电路，并且内部时钟产生电路在内部提供给水平驱动电路以在内部提供第二时钟信号DCK。它被设置在面板上。

