



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년02월04일
(11) 등록번호 10-0800493
(24) 등록일자 2008년01월28일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01) G11C 7/10 (2006.01)

(21) 출원번호 10-2007-0013798

(22) 출원일자 2007년02월09일

심사청구일자 2007년02월09일

(56) 선행기술조사문헌

JP2002328664 A

(뒷면에 계속)

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

임정현

경기 수원시 영통구 망포동 486-20번지 유천빌라 A-301

(74) 대리인

리엔목특허법인

전체 청구항 수 : 총 25 항

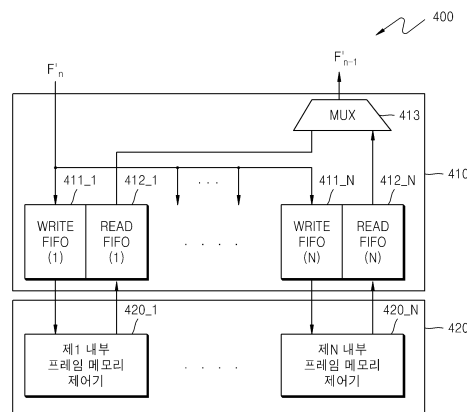
심사관 : 김세영

(54) 임베디드 메모리 장치를 이용한 액정 표시 장치의 응답속도 보상 시스템 및 영상 프레임 데이터 제어 방법

(57) 요약

응답 속도 보상 시스템 및 영상 프레임 데이터 제어 방법이 개시된다. 본 발명의 일 실시예에 따른 응답 속도 보상 시스템은, 응답 속도 보상 회로, 내부 프레임 메모리, 프레임 메모리 제어기, 및 데이터 흐름 제어기를 포함한다. 응답 속도 보상 회로는, 외부 소스로부터 입력되는 현재 영상 프레임 데이터와 이전 영상 프레임 데이터의 전압 차이를 비교하고, 그 비교 결과에 상응하게 상기 현재 영상 프레임 데이터의 계조 전압을 변환하여 출력한다. 내부 프레임 메모리는, 제어 신호에 응답하여 상기 현재 영상 프레임 데이터를 저장하고 상기 이전 영상 프레임 데이터를 출력하며, 상기 응답 속도 보상 회로와 함께 하나의 칩으로 구현된 N(N은 자연수)개의 서브 프레임 메모리들을 갖는다. 프레임 메모리 제어기는, 상기 현재 영상 프레임 데이터를 상기 내부 프레임 메모리에 저장하거나, 상기 이전 영상 프레임 데이터를 상기 내부 프레임 메모리로부터 출력하기 위한 상기 제어 신호를 생성하고, 각각의 서브 프레임 메모리에 대응되는 N개의 서브 프레임 메모리 제어기를 갖는다. 데이터 흐름 제어기는, 상기 현재 영상 프레임 데이터를 상기 프레임 메모리 제어기로 전달하고, 상기 이전 영상 프레임 데이터를 상기 응답 속도 보상 회로로 전달하며, 각각의 서브 프레임 메모리에 대응되는 N개의 기록 FIFO 회로들과 N개의 판독 FIFO 회로들을 포함한다.

대표도 - 도4



(56) 선행기술조사문헌

JP2002341841 A

JP2005316146 A

KR1020010050512 A

KR1020060062409 A

특허청구의 범위

청구항 1

외부 소스로부터 입력되는 현재 영상 프레임 데이터와 이전 영상 프레임 데이터의 전압 차이를 비교하고, 그 비교 결과에 상응하게 상기 현재 영상 프레임 데이터의 계조 전압을 변환하여 출력하는 응답 속도 보상 회로;

제어 신호에 응답하여 상기 현재 영상 프레임 데이터를 저장하고 상기 이전 영상 프레임 데이터를 출력하며, 상기 응답 속도 보상 회로와 함께 하나의 칩으로 구현된 N(N은 자연수)개의 서브 프레임 메모리들을 갖는 내부 프레임 메모리;

상기 현재 영상 프레임 데이터를 상기 내부 프레임 메모리에 저장하거나, 상기 이전 영상 프레임 데이터를 상기 내부 프레임 메모리로부터 출력하기 위한 상기 제어 신호를 생성하고, 각각의 서브 프레임 메모리에 대응되는 N개의 서브 프레임 메모리 제어기를 갖는 프레임 메모리 제어기; 및

상기 현재 영상 프레임 데이터를 상기 프레임 메모리 제어기로 전달하고, 상기 이전 영상 프레임 데이터를 상기 응답 속도 보상 회로로 전달하며, 각각의 서브 프레임 메모리에 대응되는 N개의 기록 FIFO 회로들과 N개의 판독 FIFO 회로들을 포함하는 데이터 흐름 제어기를 포함하는 것을 특징으로 하는 응답 속도 보상 시스템.

청구항 2

제1항에 있어서,

상기 현재 영상 프레임 데이터를 압축하여 압축된 현재 영상 프레임 데이터를 생성하는 인코더; 및

압축된 이전 영상 프레임 데이터를 복원하여 복원된 이전 영상 프레임 데이터를 생성하는 제1 디코더를 더 포함하고,

상기 내부 프레임 메모리, 상기 프레임 메모리 제어기, 및 상기 데이터 흐름 제어기로 입력되는 상기 현재 영상 프레임 데이터는 상기 압축된 현재 영상 프레임 데이터이고,

상기 내부 프레임 메모리, 상기 프레임 메모리 제어기, 및 상기 데이터 흐름 제어기로부터 출력되는 이전 영상 프레임 데이터는 상기 압축된 이전 영상 프레임 데이터인 것을 특징으로 하는 응답 속도 보상 시스템.

청구항 3

제2항에 있어서, 상기 데이터 흐름 제어기는,

상기 압축된 현재 영상 프레임 데이터가 버스 라인을 통해 상기 데이터 흐름 제어기로 입력되는 순서에 따라 상기 압축된 현재 영상 프레임 데이터를 복수 개의 데이터 그룹들로 분할하고, 각각의 데이터 그룹을 상기 기록 FIFO 회로들에 순차적으로 입력시키기 위한 FIFO Enable 신호를 생성하는 압축 데이터 순서 지정 회로를 더 포함하는 것을 특징으로 하는 응답 속도 보상 시스템.

청구항 4

제3항에 있어서, 상기 압축 데이터 순서 지정 회로는,

상기 데이터 흐름 제어기로 입력되는 상기 압축된 현재 영상 프레임 데이터의 데이터 버스 폭을 기준으로 상기 압축된 현재 영상 프레임 데이터를 상기 복수 개의 데이터 그룹들로 분할하는 것을 특징으로 하는 응답 속도 보상 시스템.

청구항 5

제4항에 있어서, 상기 데이터 버스 폭은,

32비트 또는 64비트인 것을 특징으로 하는 응답 속도 보상 시스템.

청구항 6

제3항에 있어서, 상기 데이터 흐름 제어기는,

상기 기록 FIFO 회로에 저장된 압축된 현재 영상 데이터가 소정의 값을 초과하는 경우 대응되는 서브 프레임 메

모리 제어기로 출력하는 것을 특징으로 하는 응답 속도 보상 시스템.

청구항 7

제3항에 있어서, 상기 기록 FIFO 회로는,

상기 압축된 현재 영상 프레임 데이터를 저장하는 SRAM;

상기 데이터 그룹의 입력 횟수를 카운트하는 제1 카운터;

상기 데이터 그룹의 출력 횟수를 카운트하는 제2 카운터;

상기 입력 횟수와 상기 출력 횟수의 차이를 기준 값과 비교하는 비교기; 및

상기 비교 결과에 상응하게 상기 SRAM의 동작을 제어하는 SRAM 제어기를 포함하는 것을 특징으로 하는 응답 속도 보상 시스템.

청구항 8

제7항에 있어서, 상기 기준 값은,

상기 SRAM에 상기 데이터 그룹이 저장될 수 있는 최대 저장 횟수의 1/2인 것을 특징으로 하는 응답 속도 보상 시스템.

청구항 9

제3항에 있어서, 상기 데이터 흐름 제어기는,

상기 N개의 관독 FIFO 회로들로부터 출력되는 상기 압축된 이전 영상 프레임 데이터를 입력받고, 출력 데이터 선택 신호에 따라 상기 압축된 이전 영상 프레임 데이터를 상기 버스를 통해 순차적으로 출력하는 멀티플렉서; 및

외부로부터 인가되는 제어 신호에 따라 상기 멀티플렉서로 입력되는 상기 압축된 이전 영상 프레임 데이터의 출력 순서를 지정하고, 상기 출력 순서에 상응하는 상기 출력 데이터 선택 신호를 생성하는 복원 데이터 순서 지정 회로를 더 포함하는 것을 특징으로 하는 응답 속도 보상 시스템.

청구항 10

제2항에 있어서,

상기 인코더로부터 출력되는 상기 압축된 현재 영상 프레임 데이터를 복원하여 복원된 현재 영상 프레임 데이터를 출력하는 제2 디코더; 및

상기 현재 영상 프레임 데이터, 상기 복원된 현재 영상 프레임 데이터, 및 상기 복원된 이전 영상 프레임 데이터를 이용하여 유사 이전 영상 프레임 데이터를 생성하는 이전 영상 복원 회로를 더 포함하고, 상기 응답 속도 보상 회로는,

상기 현재 영상 프레임 데이터와 상기 유사 이전 영상 프레임 데이터의 전압 차이를 비교하는 것을 특징으로 하는 응답 속도 보상 시스템.

청구항 11

제1항에 있어서, 상기 프레임 메모리 제어기는,

상기 서브 프레임 메모리들에 대응되는 N(N은 자연수)개의 서브 프레임 메모리 제어기로 구성되는 것을 특징으로 하는 응답 속도 보상 시스템.

청구항 12

제1항에 있어서, 상기 응답 속도 보상 회로는,

DCC(Dynamic Capacitance Compensation) 회로인 것을 특징으로 하는 응답 속도 보상 시스템.

청구항 13

제12항에 있어서, 상기 DCC 회로는,

상기 비교 결과에 상응하게 상기 현재 영상 프레임 데이터를 변환하여 출력하기 위한 룩-업 테이블(Look-up table)을 구비하는 것을 특징으로 하는 응답 속도 보상 시스템.

청구항 14

현재 영상 프레임 데이터를 버스 라인을 통해 동시에 입력되는 데이터 비트들을 기준으로 복수 개의 데이터 그룹들로 분할하여 서로 병렬로 연결된 $N(N$ 은 자연수)개의 기록 FIFO 회로들에 저장하는 단계;

상기 기록 FIFO 회로에 저장된 현재 영상 데이터가 소정의 값을 초과하는 경우, 상기 기록 FIFO 회로로부터 상기 현재 영상 데이터를 출력하여 $N(N$ 은 자연수)개의 서브 프레임 메모리들 중 대응되는 서브 프레임 메모리에 저장하는 단계; 및

상기 N 개의 서브 프레임 메모리들로부터 이전 영상 프레임 데이터를 출력하여 서로 병렬로 연결된 N 개의 판독 FIFO 회로들에 저장하고, 출력 데이터 선택 신호에 따라 상기 이전 영상 프레임 데이터를 출력하는 단계를 포함하는 것을 특징으로 하는 영상 프레임 데이터 제어 방법.

청구항 15

제14항에 있어서, 상기 대응되는 서브 프레임 메모리에 저장하는 단계는,

각각의 기록 FIFO 회로에 대응되는 N 개의 서브 프레임 메모리 제어기를 통해 이루어지는 것을 특징으로 하는 영상 프레임 데이터 제어 방법.

청구항 16

제14항에 있어서, 상기 기록 FIFO 회로들에 저장하는 단계는,

각각의 데이터 그룹이 저장될 기록 FIFO 회로를 지정하는 단계; 및

FIFO Enable 신호를 이용하여 상기 기록 FIFO 회로에 상기 데이터 그룹을 순차적으로 저장하는 단계로 이루어지는 것을 특징으로 하는 영상 프레임 데이터 제어 방법.

청구항 17

제16항에 있어서,

상기 기록 FIFO 회로에 저장되는 데이터 그룹의 횟수(A)를 카운트하는 단계;

상기 기록 FIFO 회로에서 출력되는 데이터 그룹의 횟수(B)를 카운트하는 단계;

상기 저장 횟수(A)와 상기 출력 횟수(B)의 차이가 소정의 기준 값(C)보다 큰지를 판단하는 단계; 및

상기 판단 결과에 근거하여 상기 기록 FIFO 회로에 저장된 상기 데이터 그룹의 출력 여부를 결정하는 단계를 더 포함하는 것을 특징으로 하는 영상 프레임 데이터 제어 방법.

청구항 18

제17항에 있어서, 상기 데이터 그룹의 출력 여부를 결정하는 단계는,

상기 저장 횟수(A)와 상기 출력 횟수(B)의 차이가 상기 소정의 기준 값(C) 이하인 경우, 상기 기록 FIFO 회로에 상기 데이터 그룹을 저장하는 단계; 및

상기 저장 횟수(A)와 상기 출력 횟수(B)의 차이가 상기 소정의 기준 값(C)을 초과하는 경우, 상기 기록 FIFO 회로에 저장된 데이터 그룹을 출력하는 단계로 이루어진 것을 특징으로 하는 영상 프레임 데이터 제어 방법.

청구항 19

제14항에 있어서,

상기 기록 FIFO 회로에 저장된 복수 개의 데이터 그룹들이 소정의 값을 초과하는 경우, 상기 대응되는 서브 프레임 메모리에 상기 데이터 그룹을 기록하기 위한 준비가 완료되었음을 나타내는 기록 준비 신호를 출력하는 단

계; 및

상기 기록 준비 신호에 응답하여 상기 대응되는 서브 프레임 메모리에 상기 데이터 그룹을 기록할 수 있는지 나타내는 기록 승인 신호를 출력하는 단계를 더 포함하는 것을 특징으로 하는 영상 프레임 데이터 제어 방법.

청구항 20

제19항에 있어서,

상기 기록 승인 신호가 활성화된 경우, 상기 기록 FIFO 회로에 상기 데이터 그룹을 저장하지 않고, 상기 기록 FIFO 회로에 저장된 데이터 그룹을 출력하는 단계; 및

상기 기록 승인 신호가 비활성화된 경우, 상기 기록 FIFO 회로에 저장된 데이터 그룹을 출력하지 않고, 상기 기록 FIFO 회로에 상기 데이터 그룹을 저장하는 단계를 더 포함하는 것을 특징으로 하는 영상 프레임 데이터 제어 방법.

청구항 21

제14항에 있어서,

각각의 서브 프레임 메모리에 저장된 상기 이전 영상 데이터를 판독하기 위한 준비가 완료되었음을 나타내는 판독 준비 신호를 출력하는 단계; 및

상기 판독 준비 신호에 응답하여 상기 서브 프레임 메모리로부터 상기 이전 영상 데이터를 판독할 수 있는지를 나타내는 판독 승인 신호를 출력하는 단계를 더 포함하는 것을 특징으로 하는 영상 프레임 데이터 제어 방법.

청구항 22

제21항에 있어서,

상기 판독 승인 신호가 활성화된 경우, 상기 서브 프레임 메모리에 저장된 상기 이전 영상 데이터를 대응되는 판독 FIFO 회로에 출력하는 단계; 및

상기 판독 승인 신호가 비활성화된 경우, 상기 서브 프레임 메모리에 저장된 상기 이전 영상 데이터를 출력하지 않고, 상기 판독 준비 신호를 출력하는 단계를 더 포함하는 것을 특징으로 하는 영상 프레임 데이터 제어 방법.

청구항 23

제22항에 있어서,

상기 판독 FIFO 회로에 저장되는 데이터 그룹의 횡수(A)를 카운트하는 단계;

상기 판독 FIFO 회로에서 출력되는 데이터 그룹의 횡수(B)를 카운트하는 단계;

상기 저장 횡수(A)와 상기 출력 횡수(B)의 차이가 소정의 기준 값(C)보다 큰지를 판단하는 단계; 및

상기 판단 결과에 근거하여 상기 서브 프레임 메모리에 저장된 상기 데이터 그룹의 출력 여부를 결정하는 단계를 더 포함하는 것을 특징으로 하는 영상 프레임 데이터 제어 방법.

청구항 24

제23항에 있어서, 상기 데이터 그룹의 출력 여부를 결정하는 단계는,

상기 저장 횡수(A)와 상기 출력 횡수(B)의 차이가 상기 소정의 기준 값(C) 이하인 경우, 상기 판독 FIFO 회로에 상기 데이터 그룹을 저장하는 단계;

상기 저장 횡수(A)와 상기 출력 횡수(B)의 차이가 상기 소정의 기준 값(C)을 초과하는 경우, 상기 판독 준비 신호를 비활성화시키고, 상기 판독 FIFO 회로에 저장된 데이터 그룹을 멀티플렉서로 출력하는 단계로 이루어진 것을 특징으로 하는 영상 프레임 데이터 제어 방법.

청구항 25

제24항에 있어서,

외부로부터 인가되는 제어 신호에 따라 상기 멀티플렉서로 입력되는 상기 데이터 그룹들의 출력 순서를 지정하는 단계;

상기 지정된 출력 순서에 상응하는 상기 출력 데이터 선택 신호를 생성하는 단계; 및

상기 출력 데이터 선택 신호에 따라 상기 멀티플렉서로 입력되는 상기 데이터 그룹들을 출력하는 단계를 더 포함하는 것을 특징으로 하는 영상 프레임 데이터 제어 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <10> 본 발명은 액정 표시 장치에 관한 것으로서, 특히 외부 프레임 메모리가 아닌 임베디드 프레임 메모리를 사용하여 액정의 응답 속도를 개선할 수 있는 응답 속도 보상 시스템 및 영상 프레임 데이터 제어 방법에 관한 것이다.
- <11> 최근에는 액정 표시 장치(Liquid crystal display device)는 퍼스널 컴퓨터뿐만 아니라 고화질(High-definition) TV의 디스플레이 장치로 널리 사용된다. 따라서, 액정 표시 장치가 멀티미디어 환경에서 잘 동작하기 위해서는 인가되는 영상 데이터 전압에 따라 반응하는 액정의 응답 속도가 빨라야 한다.
- <12> 그러나, 대부분의 액정은 1프레임의 영상 데이터가 입력되는 속도보다 더 큰 응답 속도를 가진다. 예를 들어, 1초 동안에 60 프레임의 데이터가 화면에 디스플레이된다고 가정할 때, 액정 패널이 영상 데이터 전압에 상응하는 액정 상태로 변화하기까지는 16.6ms 이상의 시간이 소요된다. 상기과 같은 문제점을 위해, 응답 속도 보상 회로가 사용된다.
- <13> 응답 속도 보상 회로로는 DCC(Dynamic Capacitance Compensation) 회로가 일반적으로 사용된다. 상기 DCC 회로는, 현재 영상 프레임 데이터와 이전 영상 프레임 데이터의 전압 차이를 비교하고, 상기 비교 결과에 따라 현재 영상 프레임 데이터보다 더 크거나 더 작은 계조 전압 레벨(Gray voltage level)을 갖는 영상 프레임 데이터를 출력함으로써 액정의 반응속도를 개선하는 장치이다.
- <14> 도 1은 종래의 일반적인 응답 속도 보상 시스템을 나타내는 블록 다이어그램이다.
- <15> 종래의 일반적인 응답 속도 보상 시스템(100)은, 프레임 메모리 제어기(110), 프레임 메모리(120), 및 응답 속도 보상 회로(130)를 구비한다.
- <16> 프레임 메모리 제어기(110)는 외부 그래픽 소스(미도시)로부터 현재 영상(Fn)을 입력받아 프레임 메모리(120)에 전달한다. 또한, 프레임 메모리 제어기(110)는 프레임 메모리(120)로부터 이전 영상(Fn-1)을 입력받아 응답 속도 보상 회로(130)로 전달한다.
- <17> 프레임 메모리(120)는 프레임 메모리 제어기(110)에 의해 제어되며, 프레임 메모리 제어기(110)로부터 입력된 현재 영상(Fn)을 저장하고, 프레임 메모리 제어기(110)에 저장된 이전 영상(Fn-1)을 출력한다. 현재 영상(Fn)과 이전 영상(Fn-1)은 시간적인 차이만을 갖는 영상이다.
- <18> 프레임 메모리(120)는 이전 영상(Fn-1)을 응답 속도 보상 회로(130)에 공급하기 위해 존재하며, 프레임 메모리 제어기(110) 및 응답 속도 보상 회로(130)를 구성하는 칩(Chip A)과는 다른 칩(Chip B)으로 구성된다.
- <19> 응답 속도 보상 회로(130)는 외부 그래픽 소스로부터 현재 영상(Fn)을 입력받고, 프레임 메모리 제어기(Fn-1)로부터 이전 영상(Fn-1)을 입력받는다. 응답 속도 보상 회로(130)는 입력된 현재 영상(Fn)과 이전 영상(Fn-1)의 전압 차이를 비교하고, 상기 비교 결과에 상응하게 액정의 응답 속도를 보상한다.
- <20> 응답 속도 보상 회로(130)는 DCC(Dynamic Capacitance Compensation) 회로로 구성될 수 있으며, 상기 현재 영상의 계조 전압(Gray voltage)을 변환시키기 위한 룩-업(Look-up) 테이블을 갖는다.
- <21> 액정 표시 장치는 현재 영상의 입력 속도에 따라 데이터를 처리한다. 한편, 현재 영상의 해상도가 높아질수록 데이터의 입력 속도가 높아지므로, 해상도가 높아질수록 응답 속도 보상 회로(130)의 처리 속도도 높아져야 한다. 따라서, 해상도가 높아질수록 프레임 메모리(120)의 동작 속도와 용량이 높아져야 한다. 이를 해결하기 위

해서 압축/복원 방식을 이용한 응답 속도 보상 시스템이 개발되었다.

- <22> 도 2는 종래의 압축/복원 방식을 이용한 응답 속도 보상 시스템을 나타내는 블록 다이어그램이다.
- <23> 종래의 압축/복원 방식을 이용한 응답 속도 보상 시스템(200)은, 프레임 메모리 제어기(210), 프레임 메모리(220), 응답 속도 보상 회로(230), 인코더(240), 제1 디코더(250), 제2 디코더(260), 및 이전 영상 복원 회로(270)를 구비한다.
- <24> 인코더(240)는 외부 그래픽 소스(미도시)로부터 수신된 현재 영상(F_n)을 압축하여 압축된 현재 영상(F'_n)을 생성한다. 제1 디코더(250)는 인코더(240)로부터 수신된 압축된 현재 영상(F'_n)을 복원하여 복원된 현재 영상(F''_n)을 생성한다.
- <25> 프레임 메모리 제어기(210)는 인코더(240)로부터 수신된 압축된 현재 영상(F'_n)을 프레임 메모리(220)로 전송하고, 프레임 메모리(220)로부터 수신된 압축된 이전 영상(F'_{n-1})을 제2 디코더(260)로 전송한다.
- <26> 제2 디코더(260)는 프레임 메모리 제어기로부터 수신된 압축된 이전 영상(F'_{n-1})을 복원하여 복원된 이전 영상(F''_{n-1})을 생성한다.
- <27> 이전 영상 복원 회로(270)는 현재 영상(F_n), 복원된 현재 영상(F''_n), 및 복원된 이전 영상(F''_{n-1})을 수신하여 유사 이전 영상(F'''_{n-1})을 생성한다. 유사 이전 영상(F'''_{n-1})은 복원된 이전 영상(F''_{n-1})의 노이즈가 제거된 값이다.
- <28> 응답 속도 보상 회로(230)는 현재 영상(F_n)과 유사 이전 영상(F'''_{n-1})의 전압 차이를 비교하고, 상기 비교 결과에 따라 현재 영상(F_n)의 계조 전압(Gray voltage)을 변환하여 출력한다.
- <29> 한편, 압축/복원 방식을 이용하면, 동일한 데이터 버스 폭을 통해 전송할 수 있는 영상 데이터의 수가 증가하기 때문에 프레임 메모리(220)의 동작 속도를 높일 수 있다. 또한, 압축된 데이터를 프레임 메모리(220)에 저장하므로, 메모리 용량도 늘릴 수 있다. 또한, 프레임 메모리(220)를 복수 개의 서브 프레임 메모리(220_1, ..., 220_N)로 구성하면, 메모리 용량을 더욱더 많이 늘릴 수 있다.
- <30> 그러나, 종래의 압축/복원 방식을 이용한 응답 속도 보상 시스템(200)은 SoC(System on Chip) 방식이 아닌 별도의 칩으로 구성된 외부 프레임 메모리(120)를 사용하므로, 서브 프레임 메모리(220_1, ..., 220_N)의 개수가 증가할수록 필요한 데이터 버스 핀의 개수도 증가한다.
- <31> 데이터 버스 핀의 개수가 증가하면, 전체 시스템의 면적이 증가하고, 버스 라인들 사이 또는 버스 라인과 핀 사이에 발생하는 로드 캡(Load cap) 증가로 인한 RC 지연이 증가한다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <32> 본 발명이 이루고자 하는 기술적 과제는, 임베디드(Embedded) 메모리를 응답 속도 보상 시스템에서 필요한 프레임 메모리(120)로서 사용함으로써, 영상의 해상도 증가에 유연하게 대처할 수 있는 응답 속도 보상 시스템을 제공하는 데 있다.
- <33> 본 발명이 이루고자 하는 다른 기술적 과제는, 응답 속도 보상 시스템에서 사용되는 임베디드 메모리에 영상 프레임 데이터를 효율적으로 기록하고 판독하기 위한 영상 프레임 데이터 제어 방법을 제공하는 데 있다.

발명의 구성 및 작용

- <34> 상기 기술적 과제를 해결하기 위한 본 발명의 일 실시예에 따른 응답 속도 보상 시스템은, 응답 속도 보상 회로, 내부 프레임 메모리, 프레임 메모리 제어기, 및 데이터 흐름 제어기를 포함한다.
- <35> 상기 응답 속도 보상 회로는, 외부 소스로부터 입력되는 현재 영상 프레임 데이터와 이전 영상 프레임 데이터의 전압 차이를 비교하고, 그 비교 결과에 상응하게 상기 현재 영상 프레임 데이터의 계조 전압을 변환하여 출력한다.
- <36> 상기 내부 프레임 메모리는, 제어 신호에 응답하여 상기 현재 영상 프레임 데이터를 저장하고 상기 이전 영상 프레임 데이터를 출력하며, 상기 응답 속도 보상 회로와 함께 하나의 칩으로 구현된 N (N 은 자연수)개의 서브 프레임 메모리들을 갖는다.
- <37> 상기 프레임 메모리 제어기는, 상기 현재 영상 프레임 데이터를 상기 내부 프레임 메모리에 저장하거나, 상기

이전 영상 프레임 데이터를 상기 내부 프레임 메모리로부터 출력하기 위한 상기 제어 신호를 생성하고, 각각의 서브 프레임 메모리에 대응되는 N개의 서브 프레임 메모리 제어기를 갖는다.

- <38> 상기 데이터 흐름 제어기는, 상기 현재 영상 프레임 데이터를 상기 프레임 메모리 제어기로 전달하고, 상기 이전 영상 프레임 데이터를 상기 응답 속도 보상 회로로 전달하며, 각각의 서브 프레임 메모리에 대응되는 N개의 기록 FIFO 회로들과 N개의 판독 FIFO 회로들을 포함한다.
- <39> 또한, 상기 현재 영상 프레임 데이터를 압축하여 압축된 현재 영상 프레임 데이터를 생성하는 인코더, 및 압축된 이전 영상 프레임 데이터를 복원하여 복원된 이전 영상 프레임 데이터를 생성하는 제1 디코더를 더 포함하는 것이 바람직하다.
- <40> 상기 인코더와 제1 디코더를 포함하는 경우, 상기 내부 프레임 메모리, 상기 프레임 메모리 제어기, 및 상기 데이터 흐름 제어기로 입력되는 상기 현재 영상 프레임 데이터는 상기 압축된 현재 영상 프레임 데이터이고, 상기 내부 프레임 메모리, 상기 프레임 메모리 제어기, 및 상기 데이터 흐름 제어기로부터 출력되는 이전 영상 프레임 데이터는 상기 압축된 이전 영상 프레임 데이터이다.
- <41> 또한, 상기 데이터 흐름 제어기는, 상기 압축된 현재 영상 프레임 데이터가 버스 라인을 통해 상기 데이터 흐름 제어기로 입력되는 순서에 따라 상기 압축된 현재 영상 프레임 데이터를 복수 개의 데이터 그룹들로 분할하고, 각각의 데이터 그룹을 상기 기록 FIFO 회로들에 순차적으로 입력시키기 위한 FIFO Enable 신호를 생성하는 압축 데이터 순서 지정 회로를 더 포함하는 것이 바람직하다.
- <42> 또한, 상기 압축 데이터 순서 지정 회로는, 상기 데이터 흐름 제어기로 입력되는 상기 압축된 현재 영상 프레임 데이터의 데이터 버스 폭을 기준으로 상기 압축된 현재 영상 프레임 데이터를 상기 복수 개의 데이터 그룹들로 분할하는 것이 바람직하다. 여기서, 상기 데이터 버스 폭은, 32비트 또는 64비트일 수 있다.
- <43> 또한, 상기 데이터 흐름 제어기는, 상기 기록 FIFO 회로에 저장된 압축된 현재 영상 데이터가 소정의 값을 초과하는 경우 대응되는 서브 프레임 메모리 제어기로 출력하는 것이 바람직하다.
- <44> 또한, 상기 기록 FIFO 회로는, 상기 압축된 현재 영상 프레임 데이터를 저장하는 SRAM, 상기 데이터 그룹의 입력 횟수를 카운트하는 제1 카운터, 상기 데이터 그룹의 출력 횟수를 카운트하는 제2 카운터, 상기 입력 횟수와 상기 출력 횟수의 차이를 기준 값과 비교하는 비교기, 및 상기 비교 결과에 상응하게 상기 SRAM의 동작을 제어하는 SRAM 제어기를 포함하는 것이 바람직하다. 여기서, 상기 기준 값은, 상기 SRAM에 상기 데이터 그룹이 저장될 수 있는 최대 저장 횟수의 1/2일 수 있다.
- <45> 또한, 상기 데이터 흐름 제어기는, 상기 N개의 판독 FIFO 회로들로부터 출력되는 상기 압축된 이전 영상 프레임 데이터를 입력받고, 출력 데이터 선택 신호에 따라 상기 압축된 이전 영상 프레임 데이터를 상기 버스를 통해 순차적으로 출력하는 멀티플렉서, 및 외부로부터 인가되는 제어 신호에 따라 상기 멀티플렉서로 입력되는 상기 압축된 이전 영상 프레임 데이터의 출력 순서를 지정하고, 상기 출력 순서에 상응하는 상기 출력 데이터 선택 신호를 생성하는 복원 데이터 순서 지정 회로를 더 포함하는 것이 바람직하다.
- <46> 또한, 상기 프레임 메모리 제어기는, 상기 서브 프레임 메모리들에 대응되는 N(N은 자연수)개의 서브 프레임 메모리 제어기로 구성될 수 있다. 또한, 상기 응답 속도 보상 회로는, DCC(Dynamic Capacitance Compensation) 회로일 수 있다.
- <47> 상기 기술적 과제를 해결하기 위한 본 발명의 일 실시예에 따른 영상 프레임 데이터 제어 방법은, 현재 영상 프레임 데이터를 기록 FIFO 회로들에 저장하는 단계, 현재 영상 프레임 데이터를 프레임 메모리에 저장하는 단계, 및 이전 영상 프레임 데이터를 출력하는 단계를 포함한다.
- <48> 상기 현재 영상 프레임 데이터를 기록 FIFO 회로들에 저장하는 단계는, 현재 영상 프레임 데이터를 버스 라인을 통해 동시에 입력되는 데이터 비트들을 기준으로 복수 개의 데이터 그룹들로 분할하여 서로 병렬로 연결된 N(N은 자연수)개의 기록 FIFO 회로들에 저장하는 단계이다.
- <49> 상기 현재 영상 프레임 데이터를 프레임 메모리에 저장하는 단계는, 상기 기록 FIFO 회로에 저장된 현재 영상 데이터가 소정의 값을 초과하는 경우, 상기 기록 FIFO 회로로부터 상기 현재 영상 데이터를 출력하여 N(N은 자연수)개의 서브 프레임 메모리들 중 대응되는 서브 프레임 메모리에 저장하는 단계이다.
- <50> 상기 이전 영상 프레임 데이터를 출력하는 단계는, 상기 N개의 서브 프레임 메모리들로부터 이전 영상 프레임 데이터를 출력하여 서로 병렬로 연결된 N개의 판독 FIFO 회로들에 저장하고, 출력 데이터 선택 신호에 따라 상

기 이전 영상 프레임 데이터를 출력하는 단계이다.

- <51> 또한, 상기 대응되는 서브 프레임 메모리에 저장하는 단계는, 각각의 기록 FIFO 회로에 대응되는 N개의 서브 프레임 메모리 제어기를 통해 이루어질 수 있다. 또한, 상기 기록 FIFO 회로들에 저장하는 단계는, 각각의 데이터 그룹이 저장될 기록 FIFO 회로를 지정하는 단계, 및 FIFO Enable 신호를 이용하여 상기 기록 FIFO 회로에 상기 데이터 그룹을 순차적으로 저장하는 단계로 이루어질 수 있다.
- <52> 또한, 상기 기록 FIFO 회로에 저장되는 데이터 그룹의 횡수(A)를 카운트하는 단계, 상기 기록 FIFO 회로에서 출력되는 데이터 그룹의 횡수(B)를 카운트하는 단계, 상기 저장 횡수(A)와 상기 출력 횡수(B)의 차이가 소정의 기준 값(C)보다 큰지를 판단하는 단계, 및 상기 판단 결과에 근거하여 상기 기록 FIFO 회로에 저장된 상기 데이터 그룹의 출력 여부를 결정하는 단계를 더 포함할 수 있다.
- <53> 또한, 상기 데이터 그룹의 출력 여부를 결정하는 단계는, 상기 저장 횡수(A)와 상기 출력 횡수(B)의 차이가 상기 소정의 기준 값(C) 이하인 경우, 상기 기록 FIFO 회로에 상기 데이터 그룹을 저장하는 단계, 및 상기 저장 횡수(A)와 상기 출력 횡수(B)의 차이가 상기 소정의 기준 값(C)을 초과하는 경우, 상기 기록 FIFO 회로에 저장된 데이터 그룹을 출력하는 단계로 이루어질 수 있다.
- <54> 또한, 상기 기록 FIFO 회로에 저장된 복수 개의 데이터 그룹들이 소정의 값을 초과하는 경우, 상기 대응되는 서브 프레임 메모리에 상기 데이터 그룹을 기록하기 위한 준비가 완료되었음을 나타내는 기록 준비 신호를 출력하는 단계, 및 상기 기록 준비 신호에 응답하여 상기 대응되는 서브 프레임 메모리에 상기 데이터 그룹을 기록할 수 있는지 나타내는 기록 승인 신호를 출력하는 단계를 포함할 수 있다.
- <55> 또한, 상기 기록 승인 신호가 활성화된 경우, 상기 기록 FIFO 회로에 상기 데이터 그룹을 저장하지 않고, 상기 기록 FIFO 회로에 저장된 데이터 그룹을 출력하는 단계, 및 상기 기록 승인 신호가 비활성화된 경우, 상기 기록 FIFO 회로에 저장된 데이터 그룹을 출력하지 않고, 상기 기록 FIFO 회로에 상기 데이터 그룹을 저장하는 단계를 더 포함할 수 있다.
- <56> 또한, 각각의 서브 프레임 메모리에 저장된 상기 이전 영상 데이터를 판독하기 위한 준비가 완료되었음을 나타내는 판독 준비 신호를 출력하는 단계, 및 상기 판독 준비 신호에 응답하여 상기 서브 프레임 메모리로부터 상기 이전 영상 데이터를 판독할 수 있는지를 나타내는 판독 승인 신호를 출력하는 단계를 더 포함할 수 있다.
- <57> 또한, 상기 판독 승인 신호가 활성화된 경우, 상기 서브 프레임 메모리에 저장된 이전 영상 데이터를 대응되는 판독 FIFO 회로에 출력하는 단계, 및 상기 판독 승인 신호가 비활성화된 경우, 상기 서브 프레임 메모리에 저장된 상기 이전 영상 데이터를 출력하지 않고, 상기 판독 준비 신호를 출력하는 단계를 더 포함할 수 있다.
- <58> 또한, 상기 판독 FIFO 회로에 저장되는 데이터 그룹의 횡수(A)를 카운트하는 단계, 상기 판독 FIFO 회로에서 출력되는 데이터 그룹의 횡수(B)를 카운트하는 단계, 상기 저장 횡수(A)와 상기 출력 횡수(B)의 차이가 소정의 기준 값(C)보다 큰지를 판단하는 단계 및 상기 판단 결과에 근거하여 상기 서브 프레임 메모리에 저장된 상기 데이터 그룹의 출력 여부를 결정하는 단계를 더 포함할 수 있다.
- <59> 또한, 상기 데이터 그룹의 출력 여부를 결정하는 단계는, 상기 저장 횡수(A)와 상기 출력 횡수(B)의 차이가 상기 소정의 기준 값(C) 이하인 경우, 상기 판독 FIFO 회로에 상기 데이터 그룹을 저장하는 단계, 상기 저장 횡수(A)와 상기 출력 횡수(B)의 차이가 상기 소정의 기준 값(C)을 초과하는 경우, 상기 판독 준비 신호를 비활성화시키고, 상기 판독 FIFO 회로에 저장된 데이터 그룹을 멀티플렉서로 출력하는 단계로 이루어질 수 있다.
- <60> 또한, 외부로부터 인가되는 제어 신호에 따라 상기 멀티플렉서로 입력되는 상기 데이터 그룹들의 출력 순서를 지정하는 단계, 상기 지정된 출력 순서에 상응하는 상기 출력 데이터 선택 신호를 생성하는 단계, 및 상기 출력 데이터 선택 신호에 따라 상기 멀티플렉서로 입력되는 상기 데이터 그룹들을 출력하는 단계를 더 포함할 수 있다.
- <61> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는, 본 발명의 바람직한 실시예를 나타내는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- <62> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다. 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략한다.
- <63> 도 3은 본 발명의 일 실시예에 따른 응답 속도 보상 시스템을 나타내는 블록 다이어그램이다.

- <64> 본 발명의 일실시예에 따른 응답 속도 보상 시스템(300)은, 데이터 흐름 제어기(310), 프레임 메모리 제어기(320), 내부 프레임 메모리(330), 이전 영상 복원 회로(340), 응답 속도 보상 회로(350), 인코더(360), 제1 디코더(370), 및 제2 디코더(380)를 구비한다.
- <65> 데이터 흐름 제어기(310)는 인코더(360)로부터 수신된 압축된 현재 영상 프레임 데이터(F'n)를 프레임 메모리 제어기(320)로 전송하고, 프레임 메모리 제어기(320)로부터 수신된 압축된 이전 영상 프레임 데이터(F'n-1)를 제2 디코더(380)로 전송한다.
- <66> 데이터 흐름 제어기(310)는 복수 개의 기록 FIFO 회로들과 복수 개의 판독 FIFO 회로들로 구성될 수 있다. 하나의 기록 FIFO 회로와 하나의 판독 FIFO 회로는 쌍을 이룬다. 상기 기록 FIFO 회로와 판독 FIFO 회로의 개수는 내부 프레임 메모리(330)에 존재하는 프레임 메모리의 개수에 상응한다.
- <67> 내부 프레임 메모리(330)는 프레임 메모리 제어기(320) 및 응답 속도 보상 회로(350)와 동일한 칩 상에 구현된다. 즉, SoC(System on Chip) 방식으로 구현된다. 내부 프레임 메모리는 프레임 메모리 제어기(320)와 동일한 칩에 구현되므로, 필요한 버스 라인과 핀의 개수도 크게 줄일 수 있다.
- <68> 이전 영상 복원 회로(340), 응답 속도 보상 회로(350), 인코더(360), 제1 디코더(370), 및 제2 디코더(380)는 도 2에 도시된 구성들과 동일한 기능 및 작용을 하므로 구체적인 설명은 생략한다.
- <69> 도 4는 본 발명의 일 실시예에 따른 데이터 흐름 제어기를 나타내는 블록 다이어그램이다.
- <70> 본 발명의 일 실시예에 따른 데이터 흐름 제어기(410)는 N(N은 자연수)개의 기록 FIFO 회로들(411_1, ..., 411_N), N개의 판독 FIFO 회로들(412_1, ..., 412_N), 및 멀티플렉서(413)를 포함한다.
- <71> 기록 FIFO 회로(411_1)와 판독 FIFO 회로(412_1)는 하나의 쌍을 이루며, 대응되는 제1 서브 프레임 메모리 제어기(420_1)에 전기적으로 접속된다. 마찬가지로, 기록 FIFO 회로(411_N)와 판독 FIFO 회로(412_N)는 하나의 쌍을 이루며, 대응되는 제N 서브 프레임 메모리 제어기(420_N)에 전기적으로 접속된다.
- <72> 기록 FIFO 회로(411_1)는 압축된 현재 영상 프레임 데이터(F'n)를 입력받아 대응되는 제1 서브 프레임 메모리 제어기(420_1)에 전송한다. 마찬가지로, 기록 FIFO 회로(411_N)는 압축된 현재 영상 프레임 데이터(F'n)를 입력받아 대응되는 제1 서브 프레임 메모리 제어기(420_N)에 전송한다.
- <73> 기록 FIFO 회로들(411_1, ..., 411_N)은 압축된 현재 영상 프레임 데이터 중 일부 영상 데이터를 연속적으로 입력받아 저장하고, 저장한 영상 데이터가 소정의 값을 넘는 경우에, 대응되는 제1 내지 제N 서브 프레임 메모리 제어기(420_1, ..., 420_N)로 출력한다.
- <74> 기록 FIFO 회로들(411_1, ..., 411_N)은 서로 병렬로 연결되며, 소정의 제어 신호에 따라 그 동작이 제어된다. 따라서, 서브 프레임 메모리(미도시)의 증설이 편리하다. 또한, 각각의 서브 프레임 메모리 제어기(420_1, ..., 420_N)는 서로 독립적으로 동작하기 때문에 영상 데이터의 제어가 편리하다.
- <75> 멀티플렉서(413)는 판독 FIFO 회로들(412_1, ..., 412_N)로부터 출력되는 압축된 이전 영상 프레임 데이터(F'n-1)를 입력받고, 데이터 출력 선택 신호(미도시)에 응답하여 압축된 이전 영상 프레임 데이터(F'n-1)를 선택적으로 출력한다.
- <76> 도 5a는 본 발명의 다른 실시예에 따른 데이터 흐름 제어기를 나타내는 블록 다이어그램이다.
- <77> 본 발명의 다른 실시예에 따른 데이터 흐름 제어기(500a)는 압축 데이터 순서 지정 회로(510), 및 N개의 기록 FIFO 회로들(520_1, ..., 520_N)을 구비한다.
- <78> 압축 데이터 순서 지정 회로(510)는 압축된 현재 영상 프레임 데이터(F'n)를 입력받아 기록 FIFO 회로들(520_1, ..., 520_N)에 배분한다. 상기 배분은 외부 그래픽 소스(미도시)와 응답 속도 보상 시스템(500a)과의 버스 폭을 단위로 이루어진다. 예를 들어, 버스 폭이 32bit 또는 64bit인 경우, 현재 영상 프레임 데이터를 32bit 또는 64bit로 분할하여 순차적으로 기록 FIFO 회로들(520_1, ..., 520_N)에 입력시킨다.
- <79> 보다 구체적으로 설명하기 위하여, 버스 폭이 32bit이고, 기록 FIFO 회로들이 5개가 존재한다고 가정한다. 압축 데이터 순서 지정 회로(510)는, 버스 라인을 통해 입력되는 첫 번째 32bit를 제1 기록 FIFO 회로(520_1)로 입력시키고, 압축 데이터 순서 지정 회로(510)는 버스 라인을 통해 입력되는 다섯 번째 32bit를 제5 기록 FIFO 회로(520_N)로 입력시킨다. 또한, 압축 데이터 순서 지정 회로(510)는, 버스 라인을 통해 입력되는 여섯 번째 32bit를 다시 제1 기록 FIFO 회로(520_1)에 입력시킨다.

- <80> 여기서, 상기 버스 라인을 통해 동시에 입력되는 데이터 비트를 하나의 그룹이라고 가정할 때, 압축된 현재 영상 프레임 데이터는 (1 프레임 데이터)/(버스 폭)에 해당하는 개수의 그룹들로 이루어진다. 예를 들어, 1 프레임의 데이터가 100M byte이고 버스 폭이 4byte인 경우, 상기 그룹의 개수는 25×10^6 개가 된다. 따라서, 기록 FIFO 회로들이 5개인 경우, 하나의 기록 FIFO 회로에는 5×10^6 개의 데이터 그룹들이 일정한 시간 간격으로 입력된다.
- <81> 그러나, 데이터 흐름 제어기(500a)는 인코더(미도시)로부터 입력되는 압축된 현재 영상 프레임 데이터(F'n)를 프레임 메모리(미도시)에 전달하는 기능만을 수행하므로, 상기과 같이 큰 용량을 가진 메모리를 이용할 수 없다. 따라서, 압축 데이터 순서 지정 회로(510)는, 기록 FIFO 회로들(520_1, ..., 520_N)에 일정 크기 이상의 영상 데이터가 저장되면, FIFO Enable 신호를 이용하여 저장된 영상 데이터를 프레임 메모리 제어기(미도시)로 출력한다. 자세한 설명은 후술한다.
- <82> 도 5b는 본 발명의 또 다른 실시예에 따른 데이터 흐름 제어기를 나타내는 블록 다이어그램이다.
- <83> 본 발명의 또 다른 실시예에 따른 데이터 흐름 제어기(500b)는 복원 데이터 순서 지정 회로(530), N개의 판독 FIFO 회로들(540_1, ..., 540_N), 및 멀티플렉서(550)를 구비한다.
- <84> 각각의 판독 FIFO 회로들(540_1, ..., 540_N)에는 프레임 메모리(미도시)로부터 출력된 압축된 이전 영상 데이터(F'n-1)가 입력된다. 압축된 이전 영상 데이터(F'n-1)는 각각의 판독 FIFO 회로들(540_1, ..., 540_N)에 대응하는 서브 프레임 메모리(미도시)에서 출력되는 데이터이다. 판독 FIFO 회로들(540_1, ..., 540_N)에서 출력된 압축된 이전 영상 프레임 데이터는 멀티플렉서(550)로 입력된다.
- <85> 하나의 판독 FIFO 회로(540_1)에 입력되는 압축된 이전 영상 데이터의 크기는 하나의 프레임 메모리 제어기(미도시)에 의해 제어된다. 기록 FIFO 회로(미도시)와 마찬가지로 판독 FIFO 회로(540_1)의 메모리 용량이 크지 않기 때문에, 프레임 메모리 제어기(미도시)는 일정 크기의 이전 영상 데이터만을 판독 FIFO 회로(540_1)로 인가한다.
- <86> 그 후, 하나의 판독 FIFO 회로(540_1)에 저장된 이전 영상 데이터가 출력되면, 대응되는 서브 프레임 메모리 제어기(미도시)는 판독 FIFO 회로(540_1)에 새로운 이전 영상 데이터를 인가한다. 이와 같은 동작은, 멀티플렉서(550)에 입력된 이전 영상 데이터가 출력되었는지를 확인한 후에 이루어진다. 자세한 사항은 후술한다.
- <87> 복원 데이터 순서 지정 회로(530)는 외부로부터 제어 신호를 인가받아 선택 신호(SEL)를 생성하고, 생성된 선택 신호(SEL)를 이용하여 멀티플렉서(550)의 동작을 제어한다. 상기 선택 신호(SEL)는 각각의 판독 FIFO 회로들(540_1, ..., 540_N)로부터 출력된 압축된 이전 영상 데이터의 출력 순서를 지정하는 신호이다.
- <88> 도 6은 본 발명의 일 실시예에 따른 기록 FIFO 회로를 나타내는 블록 다이어그램이다.
- <89> 본 발명의 일 실시예에 따른 기록 FIFO 회로(600)는 SRAM(610), 제1 카운터(620), 비교기(630), SRAM 제어기(640), 및 제2 카운터(650)를 구비한다.
- <90> SRAM(610)은 FIFO Enable 신호에 응답하여 복수 개의 그룹들로 구성된 압축된 현재 영상 프레임 데이터(F'n) 중 일부 데이터를 저장한다. FIFO Enable 신호는 하나의 데이터 그룹이 SRAM(610)에 입력될 때마다 활성화되는 신호이다. SRAM(610)은 SRAM 제어기(640)로부터 출력되는 제어 신호(SCRL)에 응답하여 상기 저장된 일부 데이터를 출력한다.
- <91> 제1 카운터(620)는 FIFO Enable 신호가 활성화되는 구간을 횡수를 계수하여 비교기(630)로 출력한다. 제2 카운터(650)는 제어 신호(SCRL)가 활성화되는 구간의 횡수를 계수하여 비교기(630)로 출력한다.
- <92> 각각의 데이터 그룹은 FIFO Enable 신호가 활성화되는 구간에서 SRAM(610)에 입력되기 때문에, 제1 카운터(620)는 SRAM(610)에 저장되는 데이터 그룹의 개수를 계수한다. 또한, 각각의 데이터 그룹은 제어 신호(SCRL)가 활성화되는 구간에서 SRAM(610)에서 출력되기 때문에, 제2 카운터(650)는 SRAM(610)에서 출력되는 데이터 그룹의 개수를 계수한다.
- <93> 비교기(630)는 제1 카운터(620)로부터 출력된 제1 계수 값(A)과 제2 카운터(650)로부터 출력된 제2 계수 값(B)의 차이를 기준 값(C)과 비교한다. 기준 값(C)은 SRAM(610)에 저장할 수 있는 적절한 데이터 그룹의 개수를 나타내는 것으로서, 상기 데이터 그룹이 SRAM(610)에 저장될 수 있는 최대 데이터 그룹 개수의 1/2인 것이 바람직하다.

- <94> SRAM 제어기(640)는 비교기(630)의 출력 신호에 근거하여 SRAM(610)을 제어한다. SRAM 제어기(640)는, 제1 계수 값(A)과 제2 계수 값(B)의 차이가 기준 값(C) 이하인 경우, 비활성화된 제어 신호(SCRL)를 출력하고, 제1 계수 값(A)과 제2 계수 값(B)의 차이가 기준 값(C)을 초과하는 경우에는 활성화된 제어 신호(SCRL)를 출력한다.
- <95> 도 7은 본 발명의 일 실시예에 따른 영상 프레임 데이터의 기록 동작을 제어하는 방법을 나타내는 흐름도이다.
- <96> 외부 그래픽 소스로부터 현재 영상 프레임 데이터를 입력받는다(S705). 상기 현재 영상 프레임 데이터는 외부 그래픽 소스로부터 데이터 버스 라인을 통해 입력된 데이터이다. 따라서, 데이터 버스 폭 단위로 입력되는 데이터이다. 이하, 하나의 데이터 버스 폭 단위로 입력되는 데이터를 하나의 데이터 그룹이라 한다.
- <97> 현재 영상 프레임 데이터의 순서를 지정한다(S710). 상기 순서는 상기 데이터 그룹의 입력 순서를 나타낸다. 따라서, 현재 영상 프레임 데이터가 100M byte라고 가정할 때, 마지막 데이터 그룹의 순서는 수백만 번째 일 수 있다.
- <98> 각각의 데이터 그룹의 순서를 정하면, 상기 데이터 그룹이 저장될 기록 FIFO 회로를 지정한다. 예를 들어, 5개의 기록 FIFO 회로가 있다고 가정하면, 제1 기록 FIFO 회로에 저장될 데이터 그룹으로 제1,2,...,M 데이터 그룹을 지정할 수 있다.
- <99> 그 후, 기록 FIFO Enable 신호를 생성한다(S715). 상기 기록 FIFO Enable 신호는 각각의 기록 FIFO 회로에 상기 데이터 그룹이 입력되는 시간을 제어하는 신호이다. 상기 기록 FIFO Enable 신호의 활성화에 의해 특정 데이터 그룹이 특정 기록 FIFO 회로에 입력된다(S720).
- <100> 하나의 데이터 그룹이 특정 기록 FIFO 회로에 입력된 경우, 기록 어드레스 값을 1 증가시킨다(S725). 상기 기록 어드레스 값은, 상기 기록 FIFO 회로에 저장되는 현재 영상 데이터의 크기를 나타낸다.
- <101> 기록 어드레스 값(WA)과 판독 어드레스 값(RA)의 차이가 기준 값을 초과하는지 판단한다(S730). 판독 어드레스 값(RA)은 0으로 세팅되어 있다. 상기 기준 값은 상기 기록 FIFO 회로의 메모리 용량을 기준으로 정해지는 값이다.
- <102> 기록 어드레스 값(WA)과 판독 어드레스 값(RA)의 차이가 상기 기준 값 이하이면, 상기 기록 FIFO 회로에 현재 영상 데이터를 저장한다. 기록 어드레스 값(WA)과 판독 어드레스 값(RA)의 차이가 상기 기준 값을 초과하면, 상기 기록 FIFO 회로에 저장된 현재 영상 데이터를 출력하기 위한 기록 준비 신호를 출력한다(S735).
- <103> 상기 기록 준비 신호는 상기 기록 FIFO 회로에 특정 값 이상의 데이터 그룹이 저장된 경우에, 상기 프레임 메모리에 저장된 데이터 그룹을 기록하기 위한 준비가 완료되었음을 나타내는 신호이다.
- <104> 상기 기록 준비 신호에 응답하여 상기 현재 영상 데이터를 상기 프레임 메모리에 기록할 수 있는지를 나타내는 기록 승인 신호를 출력한다(S740). 특정 기록 FIFO 회로에 데이터 그룹을 저장하기 위해서는 차례가 돌아올 때까지의 대기 시간이 필요하기 때문에, 저장된 데이터 그룹을 출력하기 위해서도 차례가 돌아올 때까지의 대기 시간이 필요하다.
- <105> 비활성화된 기록 승인 신호가 출력되면, 상기 기록 FIFO 회로는 입력받은 현재 영상 데이터를 저장한다. 활성화된 기록 승인 신호가 출력되면, 상기 기록 FIFO 회로는 저장된 현재 영상 데이터를 출력한다(S745).
- <106> 하나의 데이터 그룹이 특정 기록 FIFO 회로에서 출력된 경우, 판독 어드레스 값을 1 증가시킨다(S750). 상기 출력된 데이터 그룹은 상기 기록 FIFO 회로에 대응되는 서브 프레임 메모리에 저장된다(S755). 1 프레임에 해당하는 현재 영상 프레임 데이터가 프레임 메모리에 모두 저장될 때까지 상기 동작은 반복된다(S760).
- <107> 도 8은 본 발명의 일 실시예에 따른 영상 프레임 데이터의 판독 동작을 제어하는 방법을 나타내는 흐름도이다.
- <108> 프레임 메모리에 저장된 데이터를 판독하기 위한 준비가 완료되었음을 나타내는 판독 준비 신호를 출력한다(S805). 상기 판독 준비 신호에 응답하여 상기 이전 영상 데이터를 판독할 수 있는지를 나타내는 판독 승인 신호를 출력한다(S810).
- <109> 비활성화된 판독 승인 신호가 출력되면, 상기 판독 준비 신호를 계속해서 출력한다. 활성화된 판독 승인 신호가 출력되면, 프레임 메모리에 저장된 이전 영상 데이터를 대응되는 판독 FIFO 회로에 출력하고(S815), 기록 어드레스 값을 1 증가시킨다(S820).
- <110> 기록 어드레스 값(WA)과 판독 어드레스 값(RA)의 차이가 기준 값을 초과하는지를 판단한다(S825). 판독 어드레스 값(RA)은 0으로 세팅되어 있다. 상기 기준 값은 상기 판독 FIFO 회로의 메모리 용량을 기준으로 정해지는 값

이다.

- <111> 기록 어드레스 값(WA)과 판독 어드레스 값(RA)의 차이가 상기 기준 값 이하이면, 상기 판독 FIFO 회로에 이전 영상 데이터를 저장한다. 기록 어드레스 값(WA)과 판독 어드레스 값(RA)의 차이가 상기 기준 값을 초과하면, 판독 준비 신호를 비활성화시킨다(S830).
- <112> 그 후, 소정의 제어 신호에 따라 멀티플렉서로부터 출력되는 상기 이전 영상 데이터의 출력 순서를 지정한다(S835). 상기 지정된 출력 순서에 따라 생성된 출력 데이터 선택 신호를 출력한다(S840). 상기 출력 데이터 선택 신호에 따라 이전 영상 프레임 데이터를 출력한다(S845).
- <113> 상기 이전 영상 프레임 데이터를 구성하는 각각의 데이터 그룹이 출력될 때마다 기록 어드레스 값(RA)을 1 증가시킨다(S850). 1 프레임에 해당하는 이전 영상 프레임 데이터가 프레임 메모리에서 모두 출력될 때까지 상기 동작은 반복된다(S855).
- <114> 이상 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적으로 사용된 것이지 의미 한정이나 특허 청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야에서 통상의 지식을 가지는 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

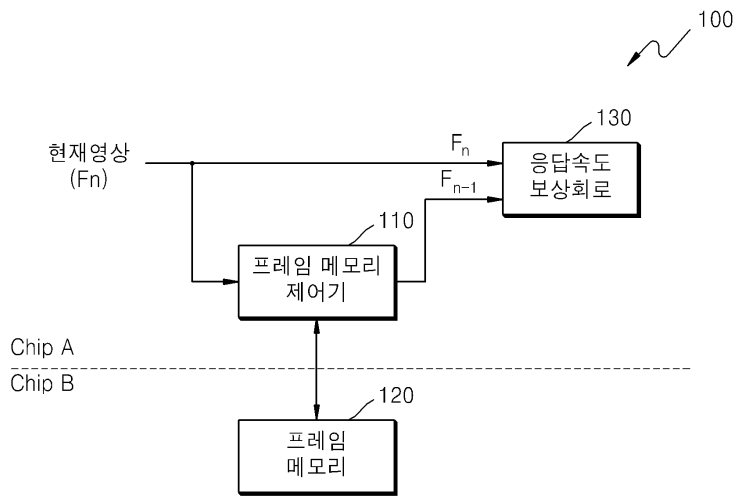
- <115> 상기와 같은 구성으로 인해, 본원발명에 따른 응답 속도 보상 시스템은, 임베디드 메모리를 내부 프레임 메모리로 사용하므로, 버스 라인 및 핀의 개수를 감소시킬 수 있어, 응답 속도 보상 시스템의 동작 속도를 개선할 수 있는 효과가 있다.
- <116> 또한, 본원발명에 따른 영상 프레임 데이터의 제어 방법은, 효율적으로 프레임 메모리에 영상 데이터를 입력하거나, 프레임 메모리로부터 영상 데이터를 출력할 수 있어 프레임 메모리 증설이 간편한 효과가 있다.

도면의 간단한 설명

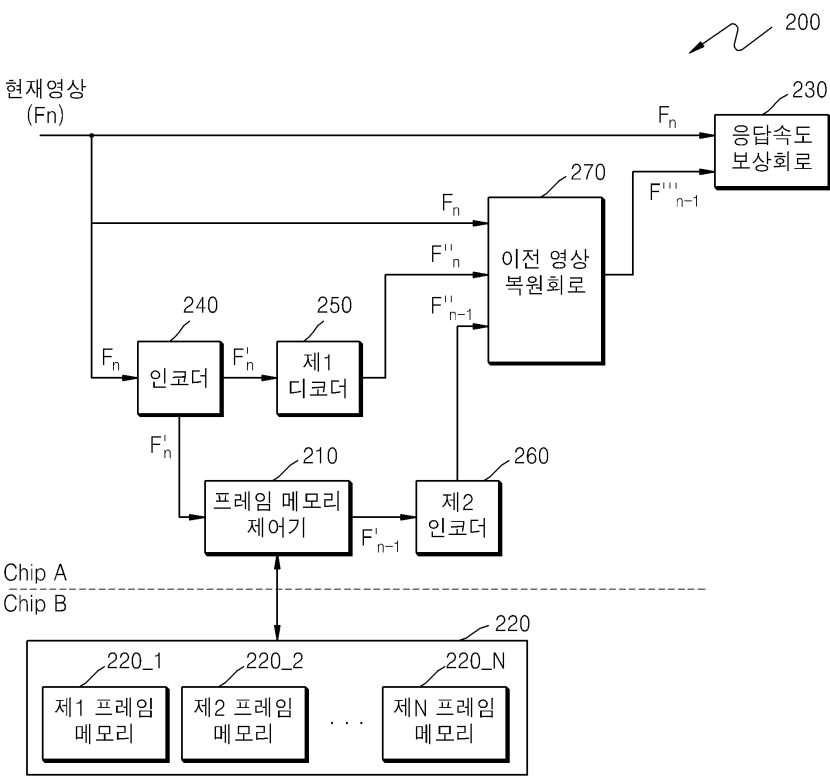
- <1> 도 1은 종래의 일반적인 응답 속도 보상 시스템을 나타내는 블록 다이어그램이다.
- <2> 도 2는 종래의 압축/복원 방식을 이용한 응답 속도 보상 시스템을 나타내는 블록 다이어그램이다.
- <3> 도 3은 본 발명의 일 실시예에 따른 응답 속도 보상 시스템을 나타내는 블록 다이어그램이다.
- <4> 도 4는 본 발명의 일 실시예에 따른 데이터 흐름 제어를 나타내는 블록 다이어그램이다.
- <5> 도 5a는 본 발명의 다른 실시예에 따른 데이터 흐름 제어를 나타내는 블록 다이어그램이다.
- <6> 도 5b는 본 발명의 또 다른 실시예에 따른 데이터 흐름 제어를 나타내는 블록 다이어그램이다.
- <7> 도 6은 본 발명의 일 실시예에 따른 기록 FIFO 회로를 나타내는 블록 다이어그램이다.
- <8> 도 7은 본 발명의 일 실시예에 따른 영상 프레임 데이터의 기록 동작을 제어하는 방법을 나타내는 흐름도이다.
- <9> 도 8은 본 발명의 일 실시예에 따른 영상 프레임 데이터의 판독 동작을 제어하는 방법을 나타내는 흐름도이다.

도면

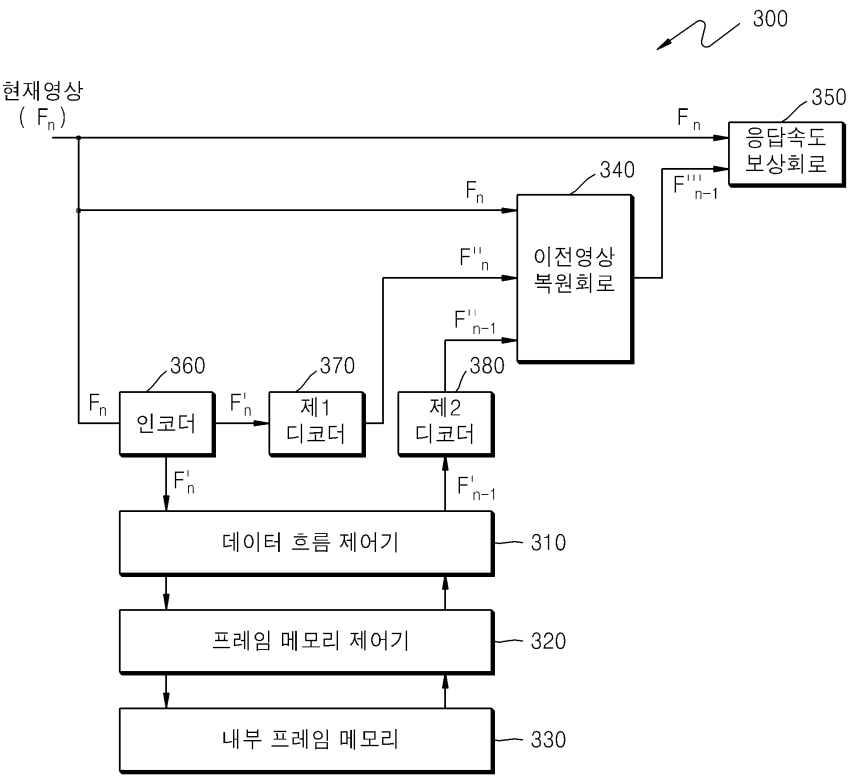
도면1



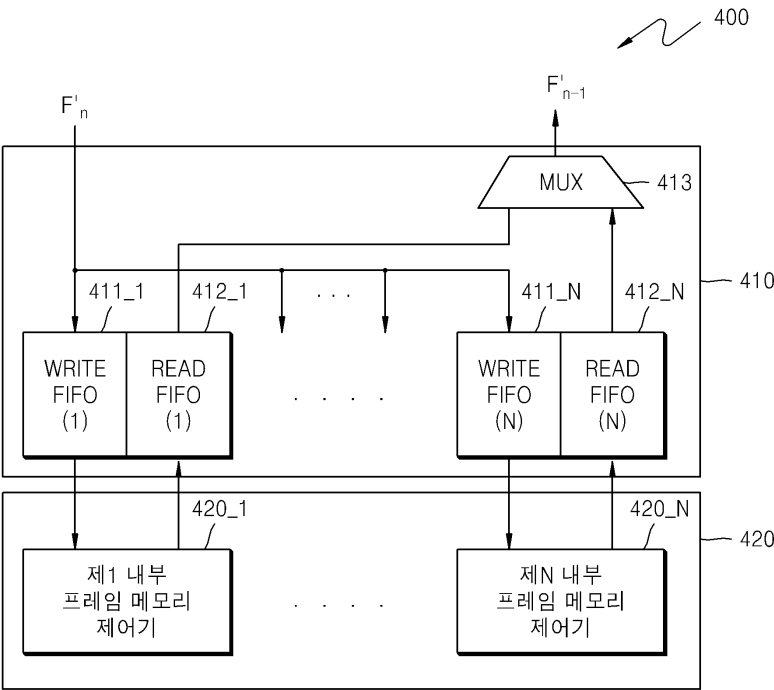
도면2



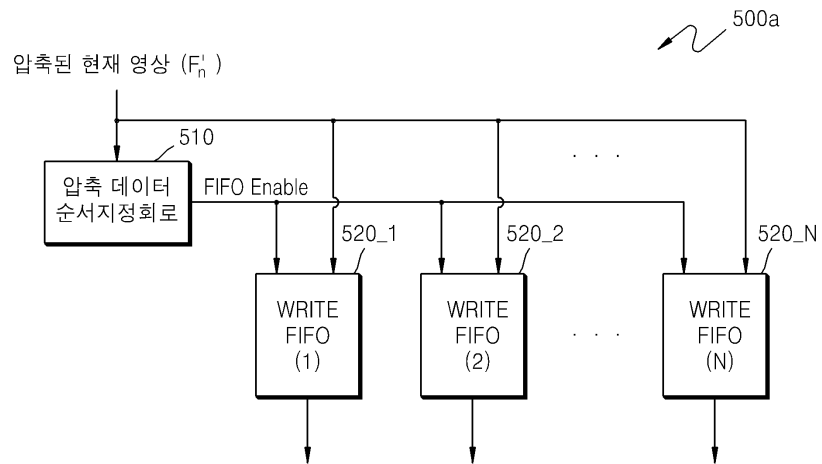
도면3



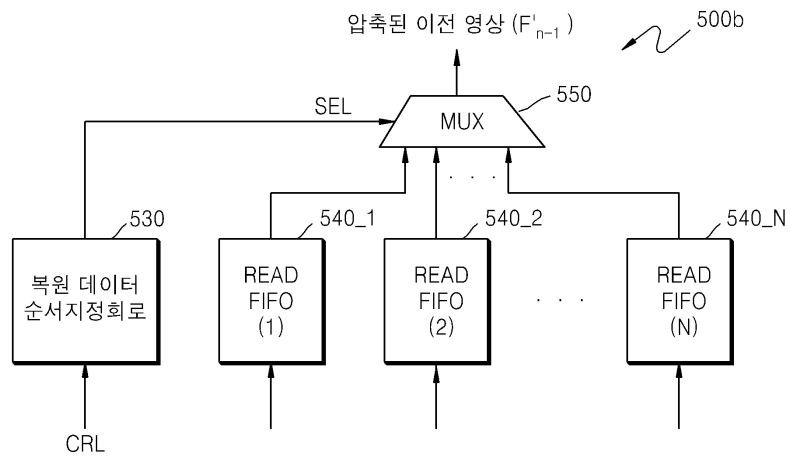
도면4



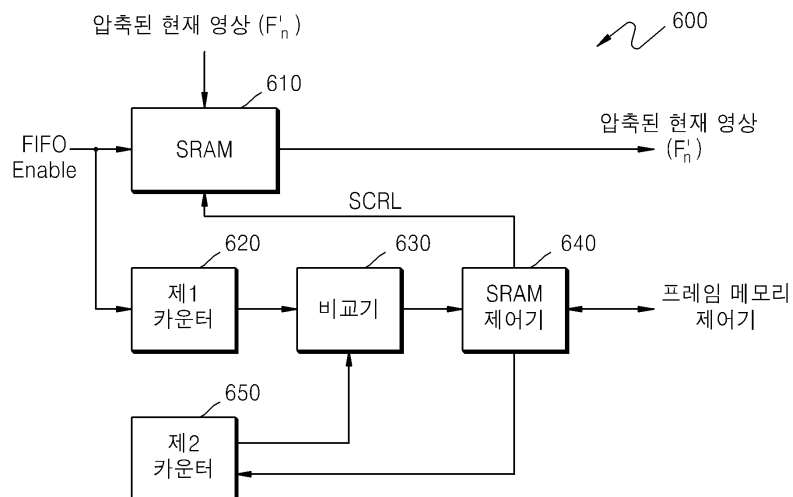
도면5a



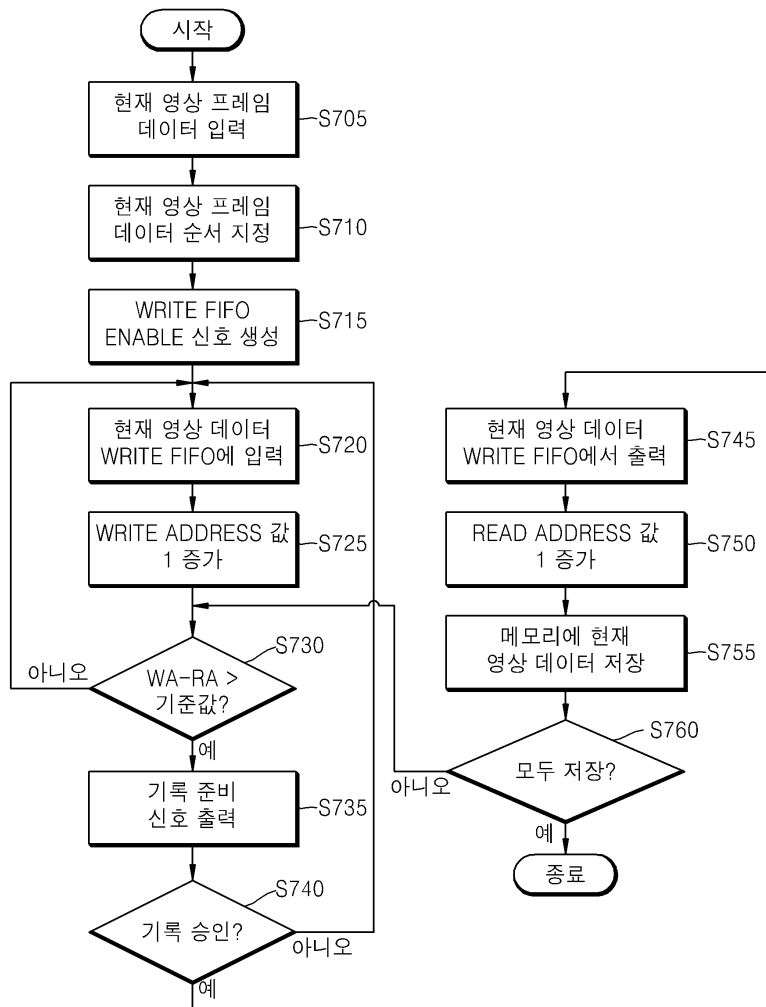
도면5b



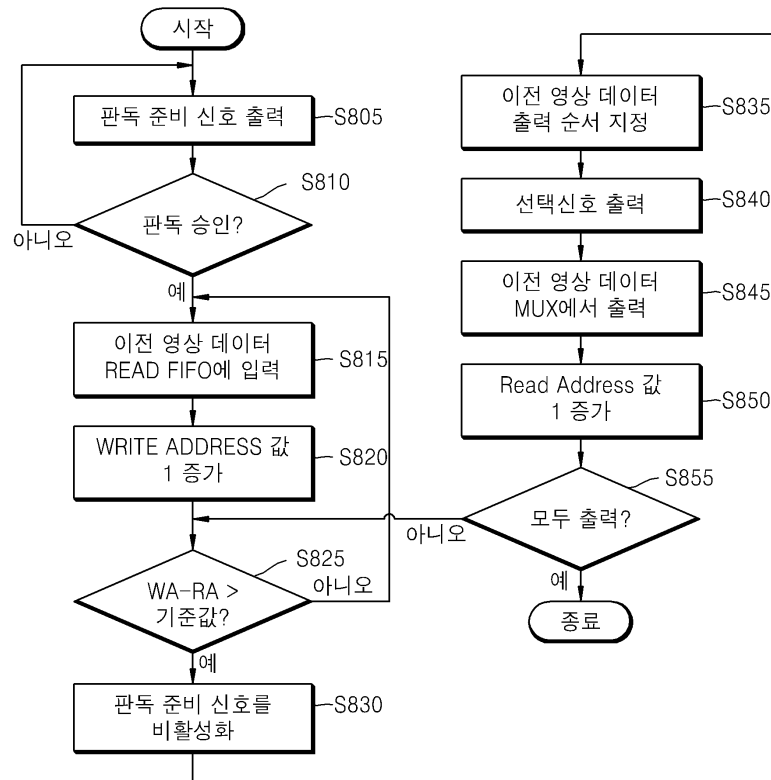
도면6



도면7



도면8



专利名称(译)	采用嵌入式存储器件的液晶显示器的响应速度补偿系统和图像帧数据控制方法		
公开(公告)号	KR100800493B1	公开(公告)日	2008-02-04
申请号	KR1020070013798	申请日	2007-02-09
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LIM JUNG HYUN		
发明人	LIM, JUNG HYUN		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G11C7/10		
CPC分类号	G09G2340/02 G09G2360/18 G09G2340/16 G09G2320/0252 H04N5/66 G09G3/3611 H04N5/4448 H04N21/44004 G02F1/133		
外部链接	Espacenet		

摘要(译)

公开了响应速度补偿系统和视频帧数据控制方法。根据本发明优选实施例的响应速度补偿系统包括响应速度补偿电路，帧内存储器和帧存储器控制器，以及数据流控制器。响应速度补偿电路比较先前帧数据的电压差和从外部源输入的当前图像帧数据。它将当前图像帧数据的灰度电压转换成与比较结果相对应并输出。帧内存储器具有N (N是自然数) 的子帧存储器，其响应于控制信号存储当前图像帧数据，并且输出先前帧数据，并且利用响应速度补偿电路实现为一个芯片。帧存储器控制器具有N的子帧存储器控制器，其将当前图像帧数据存储于帧内存储器中，或者创建用于从帧内存储器输出先前帧数据的控制信号，并且对应于每个子帧存储器。数据流控制器包括N的写FIFO电路，将当前图像帧数据传送到帧存储器控制器，并将先前帧数据传送到响应速度补偿电路，并对应于N的每个子帧存储器和读FIFO电路。

