



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/36 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년08월08일 10-0746933 2007년08월01일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2001-0002343 2001년01월16일 2006년01월16일	(65) 공개번호 (43) 공개일자	10-2001-0100763 2001년11월14일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장	2000-105317 2000-105308	2000년04월06일 2000년04월06일	일본(JP) 일본(JP)
------------	----------------------------	----------------------------	------------------

(73) 특허권자 후지쯔 가부시끼가이샤
일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4초메 1-1

(72) 발명자 야마가타세이지
일본가나가와켄가와사키시나카하라쿠카미코다나카4-1-1후지쯔가부시
끼가이샤나이

고쿠분마사토시
일본가나가와켄가와사키시나카하라쿠카미코다나카4-1-1후지쯔가부시
끼가이샤나이

우도신야
일본가나가와켄가와사키시나카하라쿠카미코다나카4-1-1후지쯔가부시
끼가이샤나이

(74) 대리인 김태홍
송승필

(56) 선행기술조사문헌
KR 20-1994-0017153
KR 10-1999-0070356

심사관 : 이병우

전체 청구항 수 : 총 2 항

(54) 액정 패널 구동용 반도체 집적 회로

(57) 요약

본 발명의 실시예에 따르면 양극성 계조 레벨의 양극성 아날로그 계조 전압을 선택하기 위하여 디지털 화상 데이터를 유지하는 데이터 래치의 하단 및 양극성 계조 전압선이 바로 위에 배치된 양극성 선택기를 한 셋트로 하며, 음극성 계조 레벨의 음극성 아날로그 계조 전압을 선택하기 위하여 디지털 화상 데이터를 유지하는 데이터 래치의 상단 및 음극성 계조 전압선이 바로 위에 배치된 음극성 선택기를 한 셋트로 한다. 상기 두 개의 셋트는 수직 방향으로 배열된다. 수직으로 배열된 셋트의 복수의 셋트는 계조 전압선에 대하여 수평 방향의 길이를 짧게하는 방법으로 배열된다.

대표도

도 1

특허청구의 범위

청구항 1.

액정 패널 구동용 반도체 집적 회로에 있어서,

외부에서 입력되는 n 비트의 디지털 화상 데이터를 유지하는 데이터 래치와,

각 계조 레벨의 아날로그 계조 전압들을 발생하는 계조 전압선이 바로 위에 배치되고, 상기 데이터 래치에 의해 유지된 상기 n 비트의 디지털 화상 데이터에 따라서 아날로그 계조 전압들 중 하나를 선택하는 선택기를 포함하며,

동일 극성의 계조 전압선만이 바로 위에 배치된 선택기를 셋트로 하고, 양극성 셋트 및 음극성 셋트를 상기 계조 전압선에 대하여 수직 방향으로 배치한 액정 패널 구동용 반도체 집적 회로.

청구항 2.

액정 패널 구동용 반도체 집적 회로에 있어서,

외부에서 입력되는 n 비트의 디지털 화상 데이터를 유지하는 데이터 래치와,

각 계조 레벨의 양극성 아날로그 계조 전압을 양극성 계조 전압선 상에 발생시키는 양극성 계조 전압 발생부와,

각 계조 레벨의 음극성 아날로그 계조 전압을 음극성 계조 전압선 상에 발생시키는 음극성 계조 전압 발생부와,

바로 위에 상기 음극성 계조 전압선이 배치되지 않고 상기 양극성 계조 전압선이 배치되고, 상기 데이터 래치가 유지한 n 비트의 디지털 화상 데이터에 따라서 상기 양극성 계조 전압 발생부에 의해 발생하는 각 계조 레벨의 양극성 아날로그 계조 전압을 선택하는 양극성 선택기와,

바로 위에 상기 양극성 계조 전압선이 배치되지 않고 상기 음극성 계조 전압선이 배치되고, 상기 데이터 래치가 유지한 n 비트의 디지털 화상 데이터에 따라서, 상기 음극성 계조 전압 발생부에 의해 발생하는 각 계조 레벨의 음극성의 아날로그 계조 전압을 선택하는 음극성 선택기와,

상기 양극성 선택기 및 상기 음극성 선택기에 의해 선택된 양극성 아날로그 계조 전압 및 음극성 아날로그 계조 전압을 증폭하여 출력하는 연산 증폭기와,

상기 연산 증폭기에 의해 출력되는 양극성 아날로그 계조 전압 및 음극성 아날로그 계조 전압의 신호 경로를 스트레이트 또는 크로스로 전환하고 액정 패널에 출력하는 출력 전환부를 구비하는 것인 액정 패널 구동용 반도체 집적 회로.

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

삭제

청구항 10.

삭제

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

삭제

청구항 16.

삭제

청구항 17.

삭제

청구항 18.

삭제

청구항 19.

삭제

청구항 20.

삭제

청구항 21.

삭제

청구항 22.

삭제

청구항 23.

삭제

청구항 24.

삭제

청구항 25.

삭제

청구항 26.

삭제

청구항 27.

삭제

청구항 28.

삭제

청구항 29.

삭제

청구항 30.

삭제

청구항 31.

삭제

청구항 32.

삭제

청구항 33.

삭제

청구항 34.

삭제

청구항 35.

삭제

청구항 36.

삭제

청구항 37.

삭제

청구항 38.

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 패널 구동용 반도체 집적 회로에 관련되어 있다. 특히, 본 발명은 디지털 화상 데이터, 디스플레이를 위한 계조 배선, 액정 디스플레이용 드라이버, 스트레스(stress) 시험 방법 등을 기초로 하는 액정 디스플레이를 위한 아날로그 계조 전압을 출력하는 액정 패널의 반도체 집적 회로에 관련된 것이다.

도 21은 종래 액정 디스플레이 장치의 구성을 도시한다. 이 액정 디스플레이 장치는 박막 필름 트랜지스터(TFT) 액정 패널(PNL) 및 액정 패널(PNL)을 드라이브하기 위한 반도체 집적 회로(40)를 구비한다. 반도체 집적 회로(40)는 데이터 래치부(LT), 선택기부(SEL), 연산 증폭기부(OP) 및 출력 전환부(SW)를 구비한다. 데이터 래치부(LT)에는 $2 \times m$ 개의 데이터 래치(LT1 ~ LT4)가 수평 방향으로 배열되어 있다. 선택기부(SEL)에는 $2 \times m$ 개의 선택기(SEL1 ~ SEL4)가 수평 방향으로 배열되어 있다. 연산 증폭기부(OP)에는 $2 \times m$ 개의 연산 증폭기(OP1 ~ OP4)가 수평 방향으로 배열되어 있다. 출력 전환부(SW)에는 m 개의 출력 스위치(SW1, SW2)가 수평 방향으로 배열되어 있다.

반도체 집적 회로(40)에 있어서, 만약 출력이 384 개이면, 예컨대 m 의 수는 192 가 될 것이다. 도 21에 표현의 간결성을 위해 감소된 수의 구성 요소가 수평 방향으로 배열되었음을 유념해야 한다.

데이터 래치부(LT)에 대해, 바로 위에 배치된 데이터 래칭 선은 배선 접속부[검은 점(●)으로 도시함]를 통하여 연결된다. 음극성 데이터 래치(LT1 및 LT3) 및 양극성 데이터 래치(LT2 및 LT4)는 수평 방향으로 $2 \times m$ 개가 교대로 배열된다. 음극성 데이터 래치(LT1 및 LT3)는 미리 설정된 계조 레벨을 갖는 음극성 아날로그 계조 전압을 발생하기 위한 n 비트(64 계조 레벨의 경우 6 비트) 디지털 화상 데이터인 외부 입력을 수신 및 유지한다. 양극성 데이터 래치(LT2 및 LT4)는 미리 설정된 계조 레벨을 갖는 양극성 아날로그 계조 전압을 발생하기 위한 n 비트 디지털 화상 데이터인 외부 입력을 수신 및 유지한다.

선택기부(SEL)에 있어서, 음극성 선택기(SEL1 및 SEL3) 및 양극성 선택기(SEL2 및 SEL4)는 수평 방향으로 $2 \times m$ 개가 교대로 배열된다. 음극성 선택기(SEL1 및 SEL3)는 N 채널 MOS 트랜지스터로 구성되며, 양극성 선택기(SEL2 및 SEL4)는 P 채널 MOS 트랜지스터로 구성된다. 64 계조 레벨의 경우, 예컨대 64×2 개의 양극성 및 음극성 계조 전압선(LN)이 선택기(SEL1 내지 SEL4)의 바로 위에 배열된다. 음극성 선택기(SEL1 및 SEL3)에 대해, 64 개의 음극성 계조 레벨선(LN)이 배선 접속부(1)를 통하여 연결되며, 양극성 선택기(SEL2 및 SEL4)에 대해, 64 개의 양극성 계조 레벨선(LN)이 배선 접속부(1)를 통하여 연결된다.

음극성 선택기(SEL1 및 SEL3)는 예컨대, 음극성 계조 전압선(LN) 상에 발생하는 6V 내지 0V의 음극성 아날로그 계조 전압을 기초로 하는 데이터 래치(LT1 및 LT3)에 의해 유지된 디지털 화상 데이터에 의존하는 주어진 계조 레벨의 음극성 아날로그 계조 전압을 선택한다. 양극성 선택기(SEL2 및 SEL4)는 예컨대, 양극성 계조 전압선(LN) 상에 발생하는 6V 내지 12V의 양극성 아날로그 계조 전압을 기초로 하는 데이터 래치(LT2 및 LT4)에 의해 유지된 디지털 화상 데이터에 의존하는 주어진 계조 레벨의 양극성 아날로그 계조 전압을 선택한다.

연산 증폭기부(OP)에 있어서, 음극성 연산 증폭기(OP1 및 OP3) 및 양극성 연산 증폭기(OP2 및 OP4)는 수평 방향으로 $2 \times m$ 개가 교대로 배열된다. 음극성 연산 증폭기(OP1 및 OP3)는 음극성 선택기(SEL1 및 SEL3)에 의해 선택된 음극성 아날로그 계조 전압을 증폭하여 출력한다. 양극성 연산 증폭기(OP2 및 OP4)는 양극성 선택기(SEL2 및 SEL4)에 의해 선택된 양극성 아날로그 계조 전압을 증폭하여 출력한다.

출력 전환부(SW)에 있어서, 출력 스위치(SW1 및 SW2)는 수평 방향으로 m 개가 배열된다. 출력 스위치(SW1)는 신호 경로를 스트레이트 및 크로스로 스위칭함으로써 음극성 연산 증폭기(OPL1)로부터의 음극성 아날로그 계조 전압 출력 및 양극성 연산 증폭기(OPL2)로부터의 양극성 아날로그 계조 전압 출력 중의 하나를 액정 패널(PNL)에 출력한다. 출력 스위치(SW2)는 신호 경로를 스트레이트 및 크로스로 스위칭함으로써 음극성 연산 증폭기(OPL3)로부터의 음극성 아날로그 계조 전압 출력 및 양극성 연산 증폭기(OPL4)로부터의 양극성 아날로그 계조 전압 출력 중의 하나를 액정 패널(PNL)에 출력한다. 액정 패널(PNL)은 적색, 청색 및 녹색의 세가지 색상의 각 화소를 액정 디스플레이의 각각의 색에 대해 미리 설정된 계조 전압으로 구동한다.

반도체 집적 회로(40)는 데이터 래치부(LT), 선택기부(SEL) 및 연산 증폭기부(OP)가 수직으로 배열되어 있으며, $2 \times m$ 세트의(예컨대, 384 세트) 열로서 수평 방향으로 배열된 수평 방향으로 보다 긴 길이(24)를 갖는 사각 형태 내에 형성된다. 예컨대, 수평 방향의 길이(24)는 대략 15 mm 이고, 수직 방향의 길이는 대략 2 mm 이다. 반도체 집적 회로(40)는 비교적 넓은 면적을 가지므로, 더 작은 면적을 갖는 반도체 집적 회로(40)의 개발이 요구되고 있다. 특히, 반도체 집적 회로(40)의 수평 길이를 짧게 하는 것이 강력히 요구된다.

한편, 음극성 선택기(SEL1 및 SEL3) 바로 위 부분에서, 음극성 계조 전압선(LN)이 배선 접속부(1)를 통하여 음극성 선택기(SEL1 및 SEL3)에 연결되지만, 양극성 계조 전압선(LN)은 사용되지 않는 영역(2)인 양극성 계조 전압선이 배열된 영역(도면에서 해칭된 부분)이 비경제적으로 방치되는 음극성 선택기(SEL1 및 SEL3)에 연결되지 않는다. 이와 유사하게, 양극성 선택기(SEL2 및 SEL4)의 바로 위 부분에서 비경제적인 사용되지 않는 영역(2)이 존재한다.

다른 한편, N 채널 MOS 트랜지스터로 구성된 음극성 선택기(SEL1 및 SEL3) 및 P 채널 MOS 트랜지스터로 구성된 양극성 선택기(SEL2 및 SEL4)가 교대로 배열되므로 서로 다른 채널 타입의 선택기 사이에 일정 거리(23)를 유지할 필요성이 있다. 이 일정 거리는 반도체 집적회로(40)가 수평 방향으로 필요한 길이보다 더 긴 길이(24)를 요구하게 한다.

도 22는 종래 기술의 액정 디스플레이용 드라이버 내의 계조 전압 발생 부의 배선도이다. 계조 전압 발생 부는 기준 전압 입력 단자(IC 패드; V1~V9), 래더 저항(R) 및 계조 배선(WW)을 구비한다. 계조 배선(WW)은 전반 계조 배선(WA) 및 후반 계조 배선(WB)으로 구분될 수 있다.

계조 배선(WW)은 예컨대 실제로 64 개의 계조 레벨에 대응하는 64 개의 계조 배선을 구비한다. 그러나, 간략한 표현을 위해 본 설명에서는 33 개의 계조 배선(W1~W33)이 있는 경우를 설명한다. 각각의 계조 배선(W1~W33)사이에는 래더 저항(R)이 접속된다. 입력 단자(V1)는 계조 배선(W1)에 접속된다. 입력 단자(V2)는 계조 배선(W5)에 접속된다. 입력 단자(V3)는 계조 배선(W9)에 접속된다. 입력 단자(V4)는 계조 배선(W13)에 접속된다. 입력 단자(V5)는 계조 배선(W17)에 접속된다. 입력 단자(V6)는 계조 배선(W21)에 접속된다. 입력 단자(V7)는 계조 배선(W25)에 접속된다. 입력 단자(V8)는 계조 배선(W29)에 접속된다. 입력 단자(V9)는 계조 배선(W33)에 접속된다.

계조 배선(W1~W33)은 도시되지 않은 액정 패널(PNL)에 접속되며, 계조 배선(W1~W33)으로부터 공급되는 계조 전압으로 액정 패널을 구동한다. 액정 패널(PNL)의 구동 방법을 기술할 것이다. 0V는 입력 단자(V1)에, 6V는 입력 단자(V9)에 공급되는 것으로 간주한다. 한편, 입력 단자(V2~V8)에는 0V에서 6V 사이의 보간(補間)된 전압이 인가된다. 그러면, 계조 배선(W1~W33)에 발생된 전압은 각각의 래더 저항(R)에 의해 분압된다. 이로써 감마(γ) 보정된 0V에서 6V 사이의 전압이 계조 배선(W1~W33)으로부터 출력된다. 그 다음, 화상 데이터에 의존한 계조 배선(W1~W33) 중에서 선택된 하나의 전압을 액정 패널(PNL)에 인가함으로써 액정 패널이 구동될 수 있다.

계조 배선(W1~W33) 내의 각각의 계조 배선 사이는 래더 저항(R)에 의하여 접속된다. 액정 디스플레이 드라이버의 계조 공정에 있어서 각각의 계조 배선 사이에 이물질의 혼입이 가능하다. 각각의 계조 배선 사이에 이물질이 혼입된 경우, 각각의 계조 배선 사이의 단락은 계조 배선(W1~W33)으로부터 규정 계조 전압을 출력하지 못하게 하는 원인이 될 수 있다. 각각의 계조 배선 사이가 완전히 단락되었다면, 검사 공정에서 액정 디스플레이 드라이버의 불량품을 쉽게 발견할 수 있다.

그러나, 이물질이 각각의 계조 배선 사이에 혼입되었을 지라도, 각각의 계조 배선 사이를 완전히 단락시키지 않을 수 있다. 이 경우, 액정 디스플레이 드라이버의 불량품을 검출하는 검사 공정은 불량품을 쉽게 발견하기 어려울 것이다. 이 경우 각 계조 배선 사이의 이물질의 상태는 사용자에게 의해 사용되는 동안 변동할 수 있어서, 정상 계조 전압의 발생을 어렵게하며 고장 발생의 원인이 된다. 정상 계조 전압이 출력되지 않으면, 액정 패널(PNL) 상의 화소 디스플레이에 선 결함을 가져올 수 있다.

이러한 문제점을 회피하기 위해, 스트레스 시험이 액정 디스플레이 드라이버의 검사시에 실행된다. 스트레스 시험에 있어서, 제일 먼저, 스트레스 전압 인가 공정이 실행되고, 곧이어 검사 공정이 실행된다.

스트레스 전압 인가 공정에 대해 설명할 것이다. 스트레스 전압 인가 공정에 있어서, 제일 먼저, 예컨대, 12V의 스트레스 전압(최대 정격 전압)이 입력 단자(V1 및 V2) 사이에 인가된다. 예컨대, 12V의 스트레스 전압은 또한 입력 단자(V2 및 V3) 사이에도 인가된다. 이와 유사하게, 스트레스 전압은 입력 단자(V3 내지 V9)의 단자 사이에 각각 인가된다. 예컨대, 각각의 계조 배선 사이에 존재하는 이물질은 스트레스 전압을 인가함으로써 각 계조 배선 사이의 절연 불량을 현저하게 나타낸다.

스트레스 전압의 인가 후, 검사 공정이 실행된다. 검사 공정에 있어서, 액정 패널(PNL)의 통상의 구동 동작과 유사하게 입력 단자(V1)에 예컨대, 0V가 인가되고 예컨대, 입력 단자(V9)에 6V가 인가되며 입력 단자(V2~V8) 사이에 0V에서 6V 사이의 전압이 인가된다. 그 다음, 각 계조 배선(W1~W33)의 출력 전압이 측정된다. 출력 전압이 미리 설정된 값의 범위 내에서 측정되지 않으면, 액정 디스플레이의 드라이버는 불량품으로 판정되어 제거된다.

그러나, 상기 스트레스 전압 인가 공정은 12V의 스트레스 전압이 계조 배선(W1 및 W5) 사이에 인가된 이후, 단지 약 3V ($=12V \div 4$) 크기의 낮은 전압이 계조 배선(W1) 및 인접한 계조 배선(W2) 사이에 인가된다. 통상적으로, 각각의 계조 배선 사이에 충분히 높은 스트레스 전압을 인가할 수 없다. 결과적으로, 계조 배선 사이의 절연 불량량의 검출률은 비교적 낮다.

한편, 스트레스 전압 인가 공정은 제일 먼저 스트레스 전압이 입력 단자(V1 및 V2) 사이에 인가된다. 그 다음, 스트레스 전압은 입력 단자(V2 및 V3) 사이에 인가된다. 이와 유사하게, 스트레스 전압은 계속해서 단자(V3 내지 V9)의 사이에 인가된다. 그러므로, 전압 인가 공정은 총 8회 반복함으로써 긴 시간의 스트레스 전압 인가 공정을 요구하게 된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 작은 면적 내에서 액정 디스플레이 패널(PNL) 구동용 반도체 집적 회로를 구성하는 것이다.

본 발명의 다른 목적은 디스플레이를 위한 계조 배선, 액정 디스플레이용 드라이버, 계조 배선 사이의 절연 불량량을 확실하게 검출할 수 있는 스트레스 검사 방법을 제공하는 것이다.

본 발명의 또 다른 목적은 디스플레이를 위한 계조 배선, 액정 디스플레이용 드라이버, 계조 배선 사이의 절연 불량량을 짧은 시간에 검출할 수 있는 스트레스 검사 방법을 제공하는 것이다.

본 발명에 따른 액정 패널(PNL) 구동용 반도체 집적 회로는 외부적으로 입력되는 n 비트 디지털 화상 데이터를 유지하는 데이터 래치 및 각각의 계조 레벨의 아날로그 계조 전압이 배열된 계조 전압선이 바로 위에 배치되어있고, 데이터 래치에 의해 유지되는 n 비트의 디지털 화상 데이터에 의존하여 아날로그 계조 전압 중의 하나를 선택하는 선택기를 포함하는데, 이 선택기의 바로 위에는 계조 전압선에 대하여 수직 방향으로 배열된 양극성 셋트와 음극성 셋트와 같은 동일 극성의 계조 전압선 만이 배치된다.

본 발명이 상술한 기술적 수단으로 구성되므로, 선택기 바로 위에 배치되는 계조 전압선은 선택기의 사용하지 않는 영역을 제거하기 위해 동일 극성의 계조 전압선 만이 위치할 수 있다. 또한 다른 타입의 선택기를 교대로 배치하는 것을 요구하지 않으므로, 동일 타입의 트랜지스터를 구성 요소 사이의 거리를 짧게 배열하는 것이 가능해진다.

그래서, 계조 전압선에 대한 수평 방향 길이는 현저하게 짧아질 수 있다. 전체적으로, 액정 패널(PNL) 구동용 반도체 집적 회로의 크기를 줄일 수 있다.

본 발명에 따른 디스플레이용 계조 배선은 디스플레이 계조 레벨의 총 수를 복수의 분할로 나누는 경우, 제1 계조 전압 영역의 전압을 출력하기 위한 제1 계조 전압 레벨 범위의 각각의 계조 레벨을 위한 배선과, 상기 제1 계조 레벨 범위의 각각의 계조 레벨의 배선과 교대로 배치되었으며, 제2 계조 레벨 범위의 전압을 출력하기 위한 제1 계조 레벨 범위와 다른 제2 계조 레벨 범위의 각각의 계조 레벨을 위한 배선을 포함한다. 그래서, 계조 배선의 절연 불량 등의 검사를 할 때는, 각각의 배선 사이의 기준 입력 전압보다 높은 스트레스 전압을 인가하기 위하여 제1 전위가 제1 계조 레벨 범위의 소정의 배선에 인가되고, 제2 전위가 제2 계조 레벨 범위의 소정의 배선에 인가된다.

본 발명이 상술한 기술적 수단으로 구성되므로, 동일한 전위(제1 전위)가 제1 계조 레벨 범위의 각 배선에 인가되고, 동일한 전위(제1 계조 레벨 범위에 인가되는 것과 다른 제2 전위)가 각각의 제1 계조 레벨 범위의 배선과 교대로 배치된 각각의 제2 계조 레벨 범위 배선에 인가되며, 제1 계조 레벨 범위의 배선과 이에 인접한 제2 계조 레벨 범위 배선의 각각의 사이에는 제1 전위 및 제2 전위와 다른 전압이 인가될 수 있다. 이렇게 하여, 제1 전위 및 제2 전위를 한번 인가함으로써, 큰 스트레스 전압이 각각의 계조 배선 사이에 인가될 수 있다.

각 계조 배선 사이에 충분히 큰 스트레스 전압을 인가함으로써, 계조 배선 사이의 절연 불량량을 확실하게 검출할 수 있다. 한편, 한번의 스트레스 전압 인가 공정에서 각각의 계조 배선 사이에 스트레스 전압이 인가될 수 있으므로 계조 배선 사이의 절연 불량량은 짧은 시간 안에 검출될 수 있다.

발명의 구성

본 발명은 이제부터 수반되는 도면을 참조하여 본 발명의 실시예에 의하여 상세하게 설명될 것이다. 본 발명의 완전한 이해를 위해 다수의 구체적인 상세한 내용이 설명될 것이다. 그러나, 본 기술 분야에서 당업자라면 본 발명이 상세한 설명 없이도 실행될 수 있다는 것을 명백하게 알 수 있을 것이다. 다른 실례에 있어서, 이미 잘 알려진 구조는 본 발명에서 불필요한 모호함을 회피하기 위해 상세하게 설명하지 않았다.

(제1 실시예)

도 1은 본 발명에 따르는 액정 디스플레이 장치의 제1 실시예의 구성을 도시한다. 액정 디스플레이 장치는 TFT 액정 패널(PNL) 및 액정 패널(PNL) 구동용 반도체 집적 회로(30)를 구비한다. 반도체 집적 회로(30)는 음극성 선택기부(N채널 선택기부;NSEL), 데이터 래치부(LT), 양극성 선택기부(P채널 선택기부;PSEL), 연산 증폭기부(OP) 및 출력 전환부(SW)를 구비한다. 도시한 실시예에서, 도 21의 선택기부(SEL)는 음극성 선택기부(NSEL) 및 양극성 선택기부(PSEL)로 나뉘어진다. 한편, TFT 액정 패널(PNL)은 도 21에 도시한 것과 같다.

데이터 래치부에 있어서, 데이터 래치부의 바로 위에 배열된 데이터 래치 선은 배선 접속부[1;검은 점(●)으로 도시함]를 통하여 연결된다. 데이터 래치부(LT)에 있어서, 상단에는 m 개의 음극성 데이터 래치(LT1 및 LT3)가 수평 방향으로 배열되며, 하단에는 m 개의 양극성 데이터 래치(LT2 및 LT4)가 수평 방향으로 배열된다. 음극성 데이터 래치(LT1 및 LT3)는 주어진 계조 레벨의 음극성 아날로그 계조 전압을 발생하기 위하여 n 비트(64 계조 레벨의 경우 6 비트) 외부 디지털 화상 데이터에 수신 및 유지한다. 양극성 데이터 래치(LT2 및 LT4)는 주어진 계조 레벨의 양극성 아날로그 계조 전압을 발생하기 위해 n 비트 외부 디지털 화상 데이터를 수신 및 유지한다.

음극성 선택기부(NSEL)는 N 채널 MOS 트랜지스터(전송 게이트)로 구성되며, 음극성 선택기부 내에서 m 개의 음극성 선택기(SEL1 및 SEL3)는 수평 방향으로 배열된다. 음극성 선택기 바로 위에는, $m/3$ 개(예컨대, 64 개)의 음극성 계조 전압선(NLN)이 수평 방향으로 연장되도록 수직 방향으로 서로 병렬을 이루며 배열되어 있다. 음극성 선택기(SEL1 및 SEL3)에는, $m/3$ 개의 음극성 계조 전압선(NLN)이 배선 접속부(1)를 통하여 연결된다.

음극성 선택기(SEL1 및 SEL3)는 음극성 계조 전압선(NLN) 상에 발생하는 예컨대, 6V에서 0V까지의 영역 내의 음극성 아날로그 계조 전압을 기초로 하여 음극성 데이터 래치(LT1 및 LT3)로부터 신호선(3)을 통하여 주어지는 디지털 화상 데이터에 의존하여 계조 레벨을 나타내는 음극성 아날로그 계조 전압을 선택하고, 신호선(4)을 통해 연산 증폭기부(OP)에 공급한다.

도 2는 음극성 선택기(NSEL;N 채널 선택기;SEL1) 및 음극성 선택기에 연결된 계조 전압 발생부(5)의 회로도이다. 계조 전압 발생부(5)의 단자(V+)에는 예컨대, 6V가 인가되며, 단자(V-)에는 예컨대, 0V가 인가된다. 단자(V+)와 단자(V-) 사이에는 래더 저항(6)이 접속된다. 래더 저항(6) 내에서 저항 분배를 위해, $3/m$ (예컨대, 64)개의 음극성 계조 전압선(NLN)이 래더 저항(6)에 접속된다. 예컨대, 6V와 0V 사이에 64 계조 레벨의 음극성 아날로그 계조 전압이 발생된다.

64(6비트)계조 레벨의 경우, 6 개의 N 채널 MOS 트랜지스터(전송 게이트;Tr)가 각각의 음극성 계조 전압선(NLN)에 직렬로 접속된다. N 채널 MOS 트랜지스터(Tr)는 6 행 $\times$ 64 열의 2 차원 행렬로서 배열된다. 음극성 데이터 래치(LT1;도 1)로부터 신호선(3)이 각 트랜지스터(Tr)의 게이트에 접속된다. 신호선(3)에 공급되는 디지털 화상 데이터에 의존하여 64 음극성 계조 전압선(NLN)의 하나가 (도 1에서와 같이) 신호선(4)을 통하여 음극성 연산 증폭기(OP1)에 아날로그 계조 전압을 출력하기 위해 선택된다. 음극성 선택기(NSEL;SEL3)의 구성은 음극성 선택기(NSEL;SEL1)와 유사하다.

다시 도 1을 참조하면, 양극성 선택기부(PSEL)는 P 채널 MOS 트랜지스터(전송 게이트)로 구성된다. m 개의 양극성 선택기(SEL2 및 SEL4)는 수평 방향으로 배열된다. 양극성 선택기(SEL2 및 SEL4)의 바로 위에는, $m/3$ (예컨대, 64)개의 양극성 계조 전압선(PLN)이 수평 방향으로 연장되도록 수직 방향으로 병렬 배열된다. $m/3$ 개의 양극성 계조 전압선(PLN)은 양극성 선택기(SEL2 및 SEL4)와 배선 접속부(1)에서 접속된다.

양극성 선택기(SEL2 및 SEL4)는 양극성 데이터 래치(LT2 및 LT4)에 의해 유지되는 디지털 화상 데이터에 의존하여 미리 설정된 계조 전압을 나타내는 양극성 아날로그 계조 전압을 선택한다. 양극성 선택기(SEL2 및 SEL4)와 양극성 선택기

에 접속된 게조 전압 발생부는 도 2의 것과 유사하다. 그러나, 트랜지스터(Tr)는 N 채널 대신 P 채널로 되어있다. 단자(V-)에는 6V가 인가되며, 단자(V+)에는 12V가 인가된다. 이 경우, 게조 전압 발생부(5)는 6V에서 12V 영역 내의 양극성 게조 전압을 발생한다.

연산 증폭기부(OP)에서, 상단에는 m 개의 양극성(고 레벨 측) 연산 증폭기(OP2 및 OP4)가 수평 방향으로 배열되며, 상기 양극성 연산 증폭기(OP2 및 OP4)에 근접하여 m 개의 음극성(저 레벨 측) 연산 증폭기(OP1 및 OP3)가 수평 방향으로 배열된다. 음극성 연산 증폭기(OP1 및 OP3)는 음극성 선택기(SEL1 및 SEL3)에 의해 선택된 음극성 아날로그 게조 전압을 증폭하여 출력한다. 양극성 연산 증폭기(OP2 및 OP4)는 양극성 선택기(SEL2 및 SEL4)에 의해 선택된 양극성 아날로그 게조 전압을 증폭하여 출력한다.

출력 전환부(SW)에서, m 개의 출력 스위치(SW1 및 SW2)가 수평 방향으로 배열된다. 출력 스위치(SW1)는 음극성 연산 증폭기(OP1)로부터의 음극성 아날로그 게조 전압 출력 또는 양극성 연산 증폭기(OP2)로부터의 양극성 아날로그 게조 전압 출력의 신호 경로를 스트레이트 및 크로스로 전환하여 액정 패널(PNL)에 출력한다. 출력 스위치(SW2)는 음극성 연산 증폭기(OP2)로부터의 음극성 아날로그 게조 전압 출력 또는 양극성 연산 증폭기(OP4)로부터의 양극성 아날로그 게조 전압 출력의 신호 경로를 스트레이트 및 크로스로 전환하여 액정 패널(PNL)에 출력한다. 액정 패널(PNL)은 액정 디스플레이를 위한 각각의 색에 대한 미리 설정된 게조 전압에 의해 적, 청, 녹색의 각 화소를 구동한다.

본 실시예에서, 양극성 선택기(SEL2 및 SEL4) 및 양극성 데이터 래치(LT2 및 LT4)는 양극성 셋트로 선택되며, 음극성 선택기(SEL1 및 SEL3) 및 음극성 데이터 래치(LT1 및 LT3)는 음극성 셋트로 선택된다. 양극성 셋트 및 음극성 셋트는 양극성 데이터 래치(LT2 및 LT4)와 음극성 데이터 래치(LT1 및 LT3)가 양극성 게조 전압선(PNL) 및 음극성 게조 전압선(NLN)에 수직 방향으로 인접하는 방법으로 동일 직선 상에 배치된다. 그 다음, 한 셋트의 수직 배치로 배열된 구조에 대해 언급하면, 복수의 셋트가 양극성 게조 전압선(PLN) 및 음극성 게조 전압선(NLN)에 대하여 수평 방향으로 배열된다.

이로써, 반도체 집적 회로(30)에서 음극성 선택기부(NSEL), 데이터 래치부(LT), 양극성 선택기부(PSEL) 및 수직 배치로 배열된 연산 증폭기부(OP)로 각각 구성된 m 개의 셋트(예컨대, 192 셋트)는 수평 방향으로 반복된다. 위에서 설명한 바와 같이, 도 21에 도시한 반도체 집적 회로(40)에서 $2 \times m$ 개의 셋트(예컨대, 384 셋트)가 수평 방향으로 배열되고, 반도체 집적 회로(30)의 도시된 실시예에서는 m 개의 셋트(예컨대, 193 셋트)가 수평 방향으로 배열된다. 그래서, 실시예에 도시된 수평 방향 길이(22)는 반도체 집적 회로(30)의 면적과 유사하게 되도록 도 21의 수평 방향 길이(24)의 반이 된다. 반도체 집적 회로(30)의 수직 방향 길이는 실제로 변하지 않도록 유지된다는 점에 유의해야 한다.

한편, 도 21의 반도체 집적 회로(40) 내에는 선택기부(SEL) 바로 위에 배열된 게조 전압선(LN)이 선택기부(SEL)에 접속되지 않은 사용되지 않는 영역(도면에서 해칭된 영역;2)이 생긴다. 이에 대하여, 반도체 집적 회로(30)의 도시된 실시예에서는, 반도체 집적 회로(30)의 면적을 전체적으로 더 작게 만들기 위해 음극성 선택기부(NSEL) 및 양극성 선택기부(PSEL)의 배선의 레이아웃을 효과적으로 실행하여 이러한 사용되지 않는 영역이 생기지 않는다.

한편, 도 21의 반도체 집적 회로(40)에서는, 충분히 긴 거리(23)가 상이한 채널 타입의 선택기(SEL) 사이에 제공된다. 이에 대하여, 본 실시예에 있어서, 음극성 선택기(SEL1 및 SEL3)는 선택기(SEL1 및 SEL3) 사이의 거리(21)를 짧게 할 수 있는 N 채널 타입의 트랜지스터를 채용한다. 이와 유사하게, 양극성 선택기(SEL2 및 SEL4)는 선택기(SEL2 및 SEL4) 사이의 거리를 짧게 할 수 있는 P 채널 타입의 트랜지스터를 채용한다. 그러므로, 반도체 집적 회로의 면적을 더 작게 만들 수 있다.

(제2 실시예)

도 3은 본 발명에 따르는 액정 디스플레이 장치의 제2 실시예의 구성을 도시한다. 액정 디스플레이 장치는 TFT 액정 패널(PNL) 및 액정 패널 구동용 반도체 집적 회로(30)를 구비한다. 도시한 실시예에서, 제1 실시예(도 1)와 비교하여, 음극성 선택기부(NSEL)와 데이터 래치부(LT)의 상단 사이의 상하 위치가 역전되며, 양극성 선택기부(PSEL)와 데이터 래치부(LT)의 하단 사이의 상하 위치가 역전된다.

본 실시예의 반도체 집적 회로(30)에 있어서, 음극성 데이터 래치부(NLT), 음극성 선택기부(NSEL), 양극성 선택기부(PSEL), 양극성 데이터 래치부(PLT), 연산 증폭기부(OP) 및 출력 전환부(SW)가 수직 방향으로 연속하여 순서대로 배열된다. 음극성 데이터 래치부(NLT)에는, m 개의 음극성 데이터 래치(LT1 및 LT3)가 수평 방향으로 배열되며, 양극성 데이터 래치부(PLT)에는, m 개의 양극성 데이터 래치(LT2 및 LT4)가 수평 방향으로 배열된다.

본 실시예에 있어서, 양극성 선택기(PSEL) 및 양극성 데이터 래치(PLT)는 양극성 셋트로 선택되며, 음극성 선택기(NSEL) 및 음극성 데이터 래치(NLT)는 음극성 셋트로 선택된다. 양극성 셋트 및 음극성 셋트는 양극성 선택기(PSEL)와 음극성 선택기(NSEL)가 계조 전압선(NLN 및 PNL)에 대하여 수직 방향으로 인접하는 방법으로 동일 직선 상에 배치된다. 그 다음, 한 셋트의 수직으로 배열된 구성 요소가 선택된다. 수직으로 배열된 구성 요소의 복수의 셋트가 양극성 계조 전압선(PLN) 및 음극성 계조 전압선(NLN)에 대하여 수평 방향으로 배열된다. 이 구성은 (도 1의) 제1 실시예와 단지 배열에 관해서 구별될 뿐이며, 전술한 제1 실시예와 동등한 동작 및 효과를 나타낸다.

(제3 실시예)

도 4는 본 발명에 따르는 액정 디스플레이 장치의 제3 실시예의 구성을 도시한다. 액정 디스플레이 장치는 TFT 액정 패널(PNL) 및 액정 패널(PNL) 구동용 반도체 집적 회로(30)를 구비한다. 본 실시예에서, 제2 실시예(도 3)와 비교하여, 양극성 선택기부(PSEL)와 양극성 데이터 래치부(PLT)의 상하 위치가 역전된다.

본 실시예의 반도체 집적 회로(30)에 있어서, 음극성 데이터 래치부(NLT), 음극성 선택기부(NSEL), 양극성 데이터 래치부(PLT), 양극성 선택기부(PSEL), 연산 증폭기부(OP) 및 출력 전환부(SW)가 수직 방향으로 연속하여 순서대로 배열된다.

본 실시예에 있어서, 양극성 선택기(PSEL) 및 양극성 데이터 래치(PLT)는 양극성 셋트로 선택되며, 음극성 선택기(NSEL) 및 음극성 데이터 래치(NLT)는 음극성 셋트로 선택된다. 양극성 셋트 및 음극성 셋트는 양극성 셋트와 음극성 셋트의 서로 다른 선택기(SEL1 및 SEL3) 및 데이터 래치(LT2 및 LT4)가 서로 인접하는 방법으로 동일 직선 상에 배치된다. 그 다음, 한 셋트의 수직으로 배열된 구성요소가 선택된다. 수직으로 배열된 구성요소의 복수의 셋트가 양극성 계조 전압선(PLN) 및 음극성 계조 전압선(NLN)에 대하여 수직 방향으로 배열된다. 이 구성은 (도 1의) 제1 실시예와 단지 배열에 관해서 구별될 뿐이며, 전술한 제1 실시예와 동등한 동작 및 효과를 나타낸다.

(제4 실시예)

도 5는 본 발명에 따르는 액정 디스플레이 장치의 제4 실시예의 구성을 도시한다. 액정 디스플레이 장치는 TFT 액정 패널(PNL) 및 액정 패널(PNL) 구동용 반도체 집적 회로(30)를 구비한다. 본 실시예는 음극성 선택기부(NSEL)가 제1 음극성 선택기부(NSELa) 및 제2 음극성 선택기부(NSELb)로 분리되고, 양극성 선택기부(PSEL)가 제1 양극성 선택기부(PSELa) 및 제2 양극성 선택기부(PSELb)로 분리되는 점에서 제2 실시예(도 3)와 구별된다. 선택기의 분할은 예컨대, 계조값을 반으로 나눔으로써 실행된다.

본 실시예의 반도체 집적 회로(30)의 있어서, 제1 음극성 선택기부(NSELa), 음극성 데이터 래치부(NLT), 제2 음극성 선택기부(NSELb), 제1 양극성 선택기부(PSELa), 양극성 데이터 래치부(PLT), 제2 양극성 선택기부(PSELb), 연산 증폭기부(OP) 및 출력 전환부(SW)가 수직 방향으로 연속하여 순서대로 배열된다. 제1 음극성 선택기부(NSELa) 및 제2 음극성 선택기부(NSELb)가 음극성 데이터 래치부(NLT)를 삽입하도록 수직 방향으로 배열된다. 제1 양극성 선택기부(PSELa) 및 제2 양극성 선택기부(PSELb)가 양극성 데이터 래치부(PLT)를 사이에 삽입하도록 수직 방향으로 배열된다.

본 실시예에 있어서, 양극성 데이터 래치(PLT)를 제1 및 제2 양극성 선택기부(PSELa 및 PSELb)의 사이에 삽입한 양극성 셋트와, 음극성 데이터 래치(NLT)를 제1 및 제2 음극성 선택기부(NSELa 및 NSELb)의 사이에 삽입한 음극성 셋트가 있다. 양극성 셋트와 음극성 셋트가 수직 방향으로 배열된다. 일직선상에 수직 방향으로 배치된 구성 요소는 하나의 셋트로 선택된다. 수직으로 배열된 구성 요소의 복수의 셋트는 양극성 계조 전압선(PLN) 및 음극성 계조 전압선(NLN)에 대하여 수평 방향으로 배열된다. 이번에는, 양극성 셋트 및 음극성 셋트는 제2 음극성 선택기부(NSELb) 및 제1 양극성 선택기부(PSELa)가 수직 방향으로 서로 근접하도록 배열된다. 이 구성은 (도 1의) 제1 실시예와 단지 배열에 관해서 구별될 뿐이며, 전술한 제1 실시예와 동등한 동작 및 효과를 나타낸다.

(제5 실시예)

도 6은 본 발명에 따르는 액정 디스플레이 장치의 제5 실시예의 구성을 도시한다. 액정 디스플레이 장치는 TFT 액정 패널(PNL) 및 액정 패널(PNL) 구동용 반도체 집적 회로(30)를 구비한다. 도시된 실시예는 상부의 데이터 래치부(LT)가 제1 음극성 데이터 래치부(NLTa) 및 제2 음극성 데이터 래치부(NLTb)로, 그리고 하부의 양극성 데이터 래치부(LT)가 제1 양

극성 래치부(PLTa) 및 제2 양극성 래치부(PLTb)로 분리된 것이 제1 실시예와 상이하다. 데이터 래치의 분할은 디지털 화상 데이터(n 비트 신호)의 연속되는 순서가 반으로 분리됨으로써 실행된다. 데이터 래치(NLTa, NLTb, PLTa, PLTb)의 면적은 각각 반으로 분할된다.

본 실시예의 반도체 집적 회로(30)에 있어서, 제1 음극성 데이터 래치부(NLTa), 음극성 선택기부(NSEL), 제2 음극성 데이터 래치부(NLTb), 제1 양극성 데이터 래치부(PLTa), 양극성 선택기부(PSEL), 제2 양극성 데이터 래치부(PLTb), 연산 증폭기부(OP) 및 출력 전환부(SW)가 수직으로 연속해서 순서대로 배열된다. 제1 음극성 데이터 래치부(NLTa) 및 제2 음극성 데이터 래치부(NLTb)는 음극성 선택기부(NSEL)가 사이에 수직 방향으로 삽입되도록 배열된다. 또한, 제1 양극성 데이터 래치부(PLTa) 및 제2 양극성 데이터 래치부(PLTb)는 양극성 선택기부(PSEL)가 사이에 수직 방향으로 삽입되도록 배열된다.

본 실시예에 있어서, 양극성 선택기(PSEL)가 사이에 삽입된 제1 및 제2 양극성 데이터 래치부(PLTa 및 PLTb)는 양극성 셋트로 선택되고, 음극성 선택기(NSEL)가 사이에 삽입된 제1 및 제2 음극성 데이터 래치부(NLTa 및 NLTb)는 음극성 셋트로 선택된다. 양극성 셋트 및 음극성 셋트는 수직 방향으로 동일선 상에 배열된다. 수직선 상에 배열된 양극성 셋트 및 음극성 셋트는 하나의 셋트로 선택된다. 수직선 상에 배열된 양극성 셋트 및 음극성 셋트의 복수의 셋트는 양극성 게조 전압선(PLN) 및 음극성 게조 전압선(NLN)에 대하여 수평 방향으로 배열된다. 이번에는, 수직선 상에 배열된 양극성 및 음극성 셋트의 각각의 셋트에 있어서, 양극성 및 음극성 셋트는 제2 음극성 데이터 래치부(NLTb) 및 제1 양극성 데이터 래치부(PLTa)가 수직 방향으로 서로 근접하여 위치하도록 배열된다. 이 구성은 (도 1의) 제1 실시예와 단지 배열에 관해서 구별될 뿐이며, 전술한 제1 실시예와 동등한 동작 및 효과를 나타낸다.

(제6 실시예)

도 7은 본 발명에 따르는 액정 디스플레이 장치의 제6 실시예의 구성을 도시한다. 액정 디스플레이 장치는 TFT 액정 패널(PNL) 및 액정 패널(PNL) 구동용 반도체 집적 회로(30)를 구비한다. 제1 실시예(도 1)에 있어서, 음극성 데이터 래치(LT1 및 LT3) 및 양극성 데이터 래치(LT2 및 LT4)는 수직 방향으로 근접하여 배치되며, 이에 반하여, 본 실시예에서는, 음극성 데이터 래치(LT1 및 LT3) 및 양극성 데이터 래치(LT2 및 LT4)는 각각 수평 방향으로 근접하여 배치된다.

본 실시예의 반도체 집적 회로(30)에 있어서, 음극성 선택기부(NSEL), 데이터 래치부(LT), 양극성 선택기부(PSEL), 연산 증폭기(OP) 및 출력 전환부(SW)가 수직 방향으로 연속해서 순서대로 배열된다. 그 중 하나로, 데이터 래치부(LT)에 있어서, 음극성 데이터 래치(LT1 및 LT3) 및 양극성 데이터 래치(LT2 및 LT4)는 수평 방향으로 교대로 배열된다.

본 실시예에 있어서, 음극성 데이터 래치(LT1 및 LT3) 및 양극성 데이터 래치(LT2 및 LT4)가 양극성 게조 전압선(PLN) 및 음극성 게조 전압선(NLN)에 대하여 수평 방향으로 근접하여 배치된다. 이 구성은 (도 1의) 제1 실시예와 단지 배열에 관해서 구별될 뿐이며, 전술한 제1 실시예와 동등한 동작 및 효과를 나타낸다.

(제7 실시예)

도 8은 본 발명에 따르는 액정 디스플레이 장치의 제7 실시예의 구성을 도시한다. 액정 디스플레이 장치는 TFT 액정 패널(PNL) 및 액정 패널(PNL) 구동용 반도체 집적 회로(30)를 구비한다. 제2 음극성 데이터 래치(LT1b 및 LT3b) 및 제1 양극성 데이터 래치(LT2a 및 LT4a)는 각각 제5 실시예(도 6)에서 수직 방향으로 서로 근접하여 배치되지만, 본 실시예에 있어서는, 제2 음극성 데이터 래치(LT1b 및 LT3b) 및 제1 양극성 데이터 래치(LT2a 및 LT4a)는 수평 방향으로 서로 인접하여 배치된다.

본 실시예의 반도체 집적 회로(30)에 있어서, 제1 음극성 데이터 래치부(NLT), 음극성 선택기부(NSEL), 제2 음극성 및 제1 양극성 데이터 래치부(NPLT), 양극성 선택기부(PSEL), 제2 양극성 데이터 래치부(PLT), 연산 증폭기부(OP) 및 출력 전환부(SW)가 수직 방향으로 연속해서 순서대로 배열된다. 그 중 하나로, 제2 음극성 및 제1 양극성 데이터 래치부(NPLT)에 있어서, 제2 음극성 데이터 래치(LT1b 및 LT3b) 및 제1 양극성 데이터 래치(LT2a 및 LT4a)는 수평 방향으로 교대로 배열된다.

본 실시예에 있어서, 제2 음극성 데이터 래치(NLT1b 및 NLT3b) 및 제1 양극성 데이터 래치(PLT1a 및 PLT3a)는 양의 게조 전압선(PLN) 및 음의 게조 전압선(NLN)에 대하여 수평 방향으로 서로 근접하여 배치된다. 이 구성은 (도 1의) 제1 실시예와 단지 배열에 관해서 구별될 뿐이며, 전술한 제1 실시예와 동등한 동작 및 효과를 나타낸다.

(제8 실시예)

도 9은 본 발명에 따르는 액정 디스플레이 장치의 제8 실시예의 구성을 도시한다. 액정 디스플레이 장치는 TFT 액정 패널(PNL) 및 액정 패널(PNL) 구동용 반도체 집적 회로(30)를 구비한다. 반도체 집적 회로(30)은 데이터 래치부 및 선택기부(11), 연산 증폭기부(OP) 및 출력 전환부(SW)를 구비한다. 데이터 래치부 및 선택기부(11)는 제1 내지 제7 실시예를 실행하는 어떠한 조합도 가능하다.

연산 증폭기(OP)는 음극성 연산 증폭기(OP1 및 OP3) 및 양극성 연산 증폭기(OP2 및 OP4)를 구비한다. 음극성 연산 증폭기(OP1 및 OP3)는 상부에 배열되며, 양극성 연산 증폭기(OP2 및 OP4)는 음극성 연산 증폭기(OP1 및 OP3)에 근접하여 하부에 배열된다.

제1 내지 제8 실시예에 있어서, 음극성 연산 증폭기(OP1 및 OP3) 및 양극성 연산 증폭기(OP2 및 OP4)는 양극성 게조 전압선(LN) 및 음극성 게조 전압선(NLN)에 대하여 서로 근접하여 배열된다. 이 구성은 전술한 제1 실시예와 동등한 동작 및 효과를 나타낸다.

(제9 실시예)

도 10은 본 발명에 따르는 액정 디스플레이 장치의 제9 실시예의 구성을 도시한다. 액정 디스플레이 장치는 TFT 액정 패널(PNL) 및 액정 패널(PNL) 구동용 반도체 집적 회로(30)를 구비한다. 음극성 연산 증폭기(OP1 및 OP3) 및 양극성 연산 증폭기(OP2 및 OP4)는 제8 실시예(도 9)에서 수직 방향으로 서로 근접하여 배치되며, 본 실시예는 음극성 연산 증폭기(OP1 및 OP3) 및 양극성 연산 증폭기(OP2 및 OP4)를 수평 방향으로 교대로 배열한다.

본 실시예에 있어서, 양극성 연산 증폭기(OP2 및 OP4) 및 음극성 연산 증폭기(OP1 및 OP3)는 양극성 게조 전압선(PLN) 및 음극성 게조 전압선(NLN)에 대하여 각각 수평 방향으로 서로 근접하여 배열된다. 이 구성은 전술한 제1 실시예와 동등한 동작 및 효과를 나타낸다.

제10 실시예에 있어서, 도 11a는 본 발명에 따르는 제1 내지 제9 실시예의 액정 패널(PNL) 구동용 반도체 집적 회로(30; 액정 드라이버)의 예시적인 배열을 도시한 평면도이다. 반도체 집적 회로(30)는 데이터 래치부 및 선택기부를 구비하는 영역(30a) 및 연산 증폭기부 및 출력 전환부를 구비하는 영역(30b)을 갖는다.

본 실시예에 있어서, 양극성 및 음극성 데이터 래치 및 양극성 및 음극성 선택기(NSEL)의 영역(30a)은 양극성 및 음극성 연산 증폭기 및 출력 전환부의 영역(30b)의 한 측면에만 배열된다.

도 11b는 액정 패널(PNL) 구동용 반도체 집적 회로(30; 액정 드라이버)의 제10 실시예의 예시적인 배열을 도시한 평면도이다. 본 실시예에서, 데이터 래치부 및 선택기부 영역(30a)에 대한 제10 실시예는 제1 데이터 래치부 및 선택기부의 영역(31a) 및 제2 데이터 래치부 및 선택기부의 영역(31b)으로 나누어진다. 연산 증폭기부 및 출력 전환부의 영역(30b)을 가로질러, 제1 데이터 래치부 및 선택기부의 영역(31a) 및 제2 데이터 래치부 및 선택기부의 영역(31b)은 서로 근접하여 배치된다.

본 실시예에 있어서, 양극성 및 음극성 데이터 래치 및 양극성 및 음극성 선택기의 영역(31a 및 31b)은 양극성 및 음극성 연산 증폭기 및 출력 전환부의 영역(30b)의 양쪽 측면에 근접하여 배열된다. 이 구성은 전술한 제1 실시예와 동등한 동작 및 효과를 나타낸다.

한편, 본 실시예에 있어서, 연산 증폭기부 및 출력 전환부의 영역(30b)은 반도체 집적 회로(30)의 중앙부에 배열된다. 본딩 패드가 출력 전환부(SW)의 출력 단자를 구비하는 영역(30b)에 제공될 수 있으므로, 쉽게 플립칩을 구성할 수 있다. 통상적으로, 일반적인 듀얼 라인 타입 IC(집적 회로) 등이 형성되는 경우, 반도체 집적 회로(30)의 단부에 본딩 패드가 제공되는 것이 바람직하다. 그러나, 플립칩을 형성하는 경우, 리드 프레임을 사용하는 대신 TAB(테이프 자동화 본딩; tape automated bonding)또는 그런 종류의 다른 것에 의해 직접 배선함으로써 패키지 크기를 더 작게 만들 수 있다.

제1 내지 제10 실시예를 상세하게 설명하면, 양극성 셋트 및 음극성 셋트가 수평 방향으로 병렬로 배열되어 있으므로, 반도체 집적 회로(30)의 수평 방향 길이는 반도체 집적 회로(30)의 면적을 작게 만들기 위해 도 21의 반도체 집적 회로(40)의 길이의 반으로 된다.

한편, 도 21의 반도체 집적 회로(40)에 있어서는, 사용되지 않는 영역(2;도면에서 해칭된 영역)이 형성된다. 이에 대조하여, 반도체 집적 회로(30)의 도시한 실시예는 음극성 선택기부(NSEL) 및 양극성 선택기부(PSEL) 배선의 효과적인 레이아웃을 위해 사용되지 않는 영역을 형성하지 않는다. 그래서, 전체적으로 반도체 집적 회로(30)의 영역은 작아질 수 있다.

한편, 도 21의 반도체 집적 회로에 있어서, 다른 채널 타입의 선택기(SEL) 사이에 충분히 긴 거리가 제공되었다. 그러나, 본 실시예의 반도체 집적 회로(30)에서는 수평 방향으로 근접한 동일한 채널 타입의 트랜지스터가 채용되었으므로, 수평 방향으로 근접한 선택기 사이의 거리를 줄일 수 있어 반도체 집적 회로(30)의 면적을 줄일 수 있다.

(제11 실시예)

도 12는 액정 디스플레이의 제11 실시예의 구성을 도시한 블록도이다. 액정 디스플레이는 액정 패널(PNL;101) 및 액정 디스플레이용 드라이버(102)를 구비한다. 액정 디스플레이용 드라이버(102)는 입력 단자(IN)로 입력되는 디지털 계조값을 출력 단자(OUT)로 출력하기 위한 아날로그 계조 전압으로 컨버트하는 D/A 컨버터(103)를 구비한다. D/A 컨버터(103)는 계조 전압 발생부(104) 및 디코더(105)를 구비한다.

계조 전압 발생부(104) 및 디코더(105)는 예컨대 64 개의 계조 배선과 서로 접속된다. 입력 단자(IN)에 있어서, 액정 패널(PNL;101)의 각 화소의 계조값은 디지털값으로써 입력된다. 계조 전압 발생부(104)는 64 개의 계조 배선을 통하여, 디코더(105)에 출력하기 위한 예컨대, 64 개 계조값의 아날로그 전압을 발생한다. 디코더(105)는 입력 단자(IN)로 입력되는 디지털 계조값을 계조 전압 발생부(104)의 계조 배선으로부터 출력 단자(OUT)로 출력하는 아날로그 계조 전압값 출력을 기초로한 아날로그 계조값으로 변환한다. 액정 패널(PNL;101)은 출력 단자(OUT)를 통해 디코더(105)로부터 각 화소의 아날로그 계조 전압을 받아들인다. 액정 디스플레이용 드라이버(102)는 액정 패널(PNL;101) 각 화소의 계조값을 제어함으로써 액정 패널(PNL;101)을 구동한다. 액정 패널(PNL;101)은 주어진 계조값을 갖는 각 화소를 디스플레이한다.

도 13은 도 1의 음극성 선택기부(NSEL) 또는 양극성 선택기부(PSEL) 또는 그런 종류의 다른 것에 대응하는 액정 디스플레이의 제11 실시예에 따른 계조 전압 발생부(104)의 구성을 도시한 배선도이다. 본 실시예의 계조 전압 발생부(104)는 도 22에 도시한 계조 전압 발생부 내에서 동일 층 내에 빔살 형태로 전반(front half) 계조 배선(WA) 및 후반(rear half) 계조 배선(WB)을 배열함으로써 형성된다.

계조 전압 발생부(104)는 기준 전압 입력 단자(IC 패드;V1~V9), 전반 계조 배선(WA), 후반 계조 배선(WB) 및 래더 저항(R1 및 R2)을 구비한다. 이후의 설명에서, 계조 배선(WA) 및 계조 배선(WB)이 결합되어있는 계조 배선을 계조 배선(WW)으로 칭한다.

계조 배선(WW)은 실제로, 예컨대 64 개의 계조 레벨에 대응하는 64 개의 계조 배선을 갖는다. 그러나, 후술되는 설명에서는 도면을 간략하게 표현하기 위해 제공된 33 개의 계조 배선(W1~W33)을 갖는 경우의 예가 주어진다. 계조 배선(W1~W33)은 각 계조 레벨에서의 전압을 출력하기 위한 계조 배선이다. 계조 배선(W1)은 최소 계조값을 나타내는 전압을 출력하기 위한 배선이며, 계조 배선(W33)은 최고 계조값을 나타내는 전압을 출력하기 위한 배선이다.

전반 계조 배선(WA)은 전체적인 계조 레벨의 수를 2로 나누었을 때의 낮은 계조값 쪽의 대략 반의 계조 영역의 전압을 출력하기 위한 16 개의 계조 배선(W1~W16)을 포함한다. 후반 계조 배선(WB)은 전체적인 계조 레벨의 수를 2로 나누었을 때의 높은 계조값 쪽의 대략 반의 계조 영역의 전압을 출력하기 위한 16 개의 계조 배선(W17b~W33)을 포함한다.

전반 계조 배선(WA)의 각각의 계조 배선(W1~W16) 사이에 제1 래더 저항(R1)이 접속되며, 후반 계조 배선(WB)의 각각의 계조 배선(W17b~W33) 사이에 제2 래더 저항(R2)이 접속된다. 입력 단자(V1)는 최소 계조 전압을 나타내는 계조 배선(W1)에 접속된다. 입력 단자(V2)는 계조 배선(W5)에 접속되며, 입력 단자(V3)는 계조 배선(W9)에 접속되며, 입력 단자(V4)는 계조 배선(W13)에 접속되며, 입력 단자(V5)는 중간 계조 레벨을 나타내는 계조 배선(W17a 및 W17b)에 접속되며, 입력 단자(V6)는 계조 배선(W21)에 접속되며, 입력 단자(V7)는 계조 배선(W25)에 접속되며, 입력 단자(V8)는 계조 배선(W29)에 접속되며, 입력 단자(V9)는 최대 계조 레벨을 나타내는 계조 배선(W33)에 접속된다. 계조 배선(W1~W33)은 도 12의 디코더(105)를 통하여 액정 패널(PNL;101)에 접속된다. 입력 단자(V1~V9)에 후술하는 기준 전압을 인가함으로써, 액정 패널(PNL;101)이 구동될 수 있다. 즉, 예컨대, 0V는 입력 단자(V1)에 인가되며, 6V는 입력 단자(V9)에 인가되며, 0V에서 6V 사이의 전압은 입력 단자(V2~V8)에 인가된다. 그 후, 계조 배선(W1~W33) 상의 전압은 도 14에 도시한 바와 같이 감마 교정된 0V에서 6V 사이의 전압을 출력하기 위하여 래더 저항(R1 및 R2)에 의해 분압된다. 도 14에 있어서, 가로 좌표 축은 계조값을 나타내며, 세로 좌표 축은 계조값에 대응하는 계조 배선의 출력 전압을 나타낸다. 도 14에 도시한 감마 특성에 의하여, 입력 단자(V2~V8)에 입력되는 기준 전압 치가 결정된다.

도 13에서, 9 개의 입력 단자(V1~V9)가 있는 경우에 대해 예를 들어 설명하였지만, 입력 단자의 수는 감마 교정 특성 곡선에 따라 임의의 수로 결정될 수 있다는 점에 유의해야 한다. 전반 계조 배선(WA) 중에서, 적어도 두 개의 계조 배선(W1 및 W4)은 입력 단자(V1 및 V4)에 접속되며, 후반 계조 배선(WB) 중에서, 적어도 두 개의 계조 배선[W17a(W17b) 및 W33]은 입력 단자(V5 및 V9)에 접속된다는 점에 유의해야 한다.

전술한 기준 전압이 입력 단자(V1~V9)에 인가된 때, 제1 래더 저항 내에서 전류는 도면 내의 상부 측으로부터 하부 측으로 즉, 작은 계조값의 계조 배선(W1)으로부터 큰 계조값의 계조 배선(W17a)으로 흐른다. 왼쪽 하부 계조 배선(W17a)은 오른쪽 상부 계조 배선(W17b)에 연결되므로, 제2 래더 저항(R2) 내에서 전류는 상부 측으로부터 하부 측으로 즉, 작은 계조값의 계조 배선(W17b)으로부터 큰 계조값의 계조 배선(W33)으로 흐른다. 제1 래더 저항(R1) 내에서 전류가 흐르는 방향 및 제2 래더 저항(R2) 내에서 전류가 흐르는 방향은 동일하다. 이로써, 계조 배선(W1~W33) 내에 각각 래더 저항(R1 및 R2)에 의해 분배된 전압이 나타난다. 특히, 도 14의 각 계조 레벨의 전압값이 나타난다.

다음으로, 스트레스 시험 방법에 대해 설명할 것이다. 각각의 계조 배선(W1~W33) 사이에, 래더 저항(R1 및 R2)이 접속된다. 액정 디스플레이용의 (도 12의) 드라이버(102) 제조 공정에 있어서, 계조 배선 사이의 이물질(먼지)의 침투 또는 계조 배선 사이의 절연 불량을 일으키는 처리 공정 단계의 왜곡을 일으킬 수 있다. 절연 불량 원인이 되는 액정 디스플레이용 드라이버(102)는 불량품으로서 파기 처분된다. 계조 배선 사이의 절연 불량은 후술할 스트레스 테스트로써 검출할 수 있다. 스트레스 테스트에 있어서, 제일 먼저, 스트레스 전압 인가 공정이 실행되며, 이어서 검사 공정이 실행된다.

이제부터, 스트레스 전압 인가 공정에 대해 설명한다. 스트레스 전압 인가 공정에 있어서, 0V가 입력 전압(V1, V2, V3, V4)에 인가되며, 12V(최대 정격 전압)의 스트레스 전압이 입력 단자(V5, V6, V7, V8, V9)에 인가된다. 스트레스 전압을 인가함으로써, 계조 배선 사이에 절연 불량이 존재하는 경우, 계조 배선 사이의 절연 불량이 도출되게 된다.

스트레스 전압의 인가에 있어서, 입력 단자(V1~V4)에 0V의 동일한 전위가 인가되므로, 래더 저항(R1)에 의해 분압이 행해지더라도, 0V의 계조 전압이 전체 계조 배선(W1~W13)에 나타난다. 한편, 12V의 동일한 전위가 입력단자(V5~V9) 모두에 인가되므로, 래더 저항(R2)에 의해 분압이 행해지더라도, 12V의 계조 전압이 전체 계조 배선(W17b~W33)에 나타난다. 상기 공정을 실행함으로써, 0V가 입력 단자(V1)에 인가되고, 12V가 입력 단자(V5)에 인가되므로, 12V의 충분히 높은 스트레스 전압이 계조 배선(W1 및 W17b) 사이에 인가된다. 한편, 계조 배선(W2)에 제1 래더 저항(R1)을 통하여 입력 단자(V1 및 V2)로부터 0V가 인가되므로, 12V의 높은 스트레스 전압이 계조 배선(W2 및 W17b) 사이에 인가된다. 유사하게, 후술할 구간을 제외하면, 계조 배선 사이의 절연 불량을 확실하게 검출하기 위해 각 계조 배선 사이에는 12V의 높은 스트레스 전압이 인가된다.

즉, 도 22에 도시한 종래의 계조 전압 발생부에 있어서, 계조 배선(W1 및 W5) 사이에 12V의 스트레스 전압이 인가될 뿐이며, 각 계조 배선 사이에는 단지 약 3V($=12 \div 4$)의 낮은 전압밖에 인가되지 않는다. 한편, 도시된 실시예의 계조 전압 발생부(104)에 있어서, 12V의 높은 계조 전압은 계조 배선 사이의 절연 불량의 검출을 보장하는 부분을 제외한 영역의 각 계조 배선 사이에 인가될 수 있다.

한편, 도 22에 도시한 종래의 계조 전압 발생부에 있어서, 제일 먼저, 스트레스 전압이 입력 터미널(V1 및 V2) 사이에 인가되며, 다음으로, 스트레스 전압이 입력 터미널(V2 및 V3) 사이에 인가되며, 이와 유사하게, 스트레스 전압이 입력 터미널(V3~V9) 사이에 인가된다. 그래서, 스트레스 전압 인가 공정은 여덟 번 반복되어야 한다. 이에 대조하여, 본 실시예의 계조 전압 발생부(104)에서는 짧은 기간 내에 스트레스 전압 인가 공정을 완료하기 위해 한번에 스트레스 제조 공정을 완료할 때 0V가 입력 단자(V1~V4)에 인가되고, 12V가 입력 단자(V5~V9)에 인가된다. 이로써, 계조 배선 사이의 절연 불량을 짧은 기간 내에 검출할 수 있다.

본 실시예의 스트레스 전압 인가 공정은 12V가 중간 기준 전압 입력 단자(V5)에 입력되는 경우에 한정되지 않으며, 0V를 인가할 수 있다는 것을 유념해야 한다. 즉, 입력 단자(V1~V5)에 0V를 인가할 수 있으며, 12V를 입력 단자(V6~V9)에 인가하는 것이 가능하다. 12V를 입력 단자(V5~V9)에 인가하는 경우, 12V의 전압이 전압 강하를 발생시키는 제1 래더 저항(R1)을 통하여 계조 배선(W13)으로부터 계조 배선(W17a)으로 인가되므로, 계조 배선(W13)에서 계조 배선(W17a) 사이에만 12V의 높은 스트레스 전압이 인가될 수 없다. 이 경우, 0V를 입력 단자(V1~V4)에 인가하고, 12V를 입력 단자(V5~V9)에 인가한 후, 0V를 입력 단자(V1~V5)에, 12V를 입력 단자(V6~V9)에 인가함으로써 전술한 문제점을 해결할 수 있다. 상술한 문제점을 해결하는 다른 계조 전압 발생부(104)를 도 16을 참조하여 후술할 것이다.

스트레스 전압 인가 후, 검사 공정이 실행된다. 검사 공정에 있어서, 통상의 액정 패널 구동과 유사하게, 예컨대, 0V가 입력 단자(V1)에 인가되며, 6V가 입력 단자(V9)에 인가되며, 0V에서 6V 사이의 보간된 전압은 입력 단자(V2~V8)에 입력

된다. 각 계조 배선(W1~W33)의 출력 전압이 측정된다. 만약 출력 전압이 주어진 값의 영역 내에 있지 않으면, 액정 디스플레이용 드라이버(102)는 불량품으로서 제거될 것이다. 스트레스 전압 인가 공정에 있어서, 계조 배선 사이의 절연 불량이 가속되어, 이 검사 공정으로 보다 확실한 계조 배선 사이의 절연 불량을 검출할 수 있다.

(제12 실시예)

도 15는 본 발명에 따르는 계조 전압 발생부(104)의 제12 실시예의 구성을 도시한 배선도이다. 도 13에 도시한 제11 실시예에 있어서, 후반 계조 배선(WB)은 상부 측에 작은 계조값을 갖는 계조 배선(W17b) 및 하부 측에 높은 계조값을 갖는 계조 배선(W33)을 위치시켜 계조 배선(W17b~W33)을 배열함으로써 형성된다. 이에 대조하여, 본 실시예에 있어서, 후반 계조 배선(WB)은 하부 측에서 작은 계조값을 갖는 계조 배선(W18) 및 상부 측에서 높은 계조값을 갖는 계조 배선(W33)을 위치시켜 계조 배선(W18~W33)을 배열함으로써 형성된다. 한편, 두 개의 계조 배선(W17a 및 W17b)이 단일 계조 배선(17)으로서 최저 위치에 제공된다. 본 실시예에 있어서, 전반 계조 배선(WA)은 제11 실시예의 전반 계조 배선(WA)과 유사하다.

전반 계조 배선(WA)은 17개의 작은 계조값을 갖는 대략 반의 계조 영역의 전압을 출력하기 위한 개조 배선(W1~W17)을 구비한다. 후반 계조 배선(WB)은 16개의 큰 계조값을 갖는 대략 반의 계조 영역의 전압을 출력하기 위한 개조 배선(W18~W33)을 구비한다.

전반 계조 배선(WA)에서 각 계조 배선(W1~W17) 사이에는 제1 래더 저항(R1)이 접속된다. 후반 계조 배선(WB)에서 각 계조 배선(W18~W33) 사이에는 제2 래더 저항(R2)이 접속된다. 입력 단자(V1~V4) 및 계조 배선(WA) 사이의 접속은 제11 실시예와 동일하다. 입력 단자(V5)는 계조 배선(W17)에 접속된다. 입력 단자(V6)는 계조 배선(W21)에 접속된다. 입력 단자(V7)는 계조 배선(W25)에 접속된다. 입력 단자(V8)는 계조 배선(W29)에 접속된다. 입력 단자(V9)는 계조 배선(W33)에 접속된다.

상술한 구조에 있어서, 제11 실시예에서 입력 단자(V1~V9)에 인가되는 바와 같은 기준 전압을 인가함으로써, 액정 패널(PNL;101)이 구동될 수 있다. 즉, 입력 단자(V1)에는 0V가 인가되고, 입력 단자(V9)에는 6V가 인가되며, 입력 단자(V2~V8)에는 0V에서 6V 사이의 보간된 전압이 인가된다. 전술한 기준 전압이 입력 단자(V1~V9)에 인가될 때, 전류는 제1 래더 저항(R1)을 통하여 상부 측으로부터 하부 측으로 즉, 작은 계조값을 갖는 계조 배선(W1)으로부터 큰 계조값을 갖는 계조 배선(W17)으로 흐른다. 제2 래더 저항(R2)이 계조 배선(W17)을 통하여 제1 래더 저항(R1)에 접속된 후, 전류는 제2 래더 저항(R2)을 통하여 도면의 하부 측으로부터 상부 측으로 즉, 작은 계조값을 갖는 계조 배선(W17)으로부터 큰 계조값을 갖는 계조 배선(W33)으로 흐른다. 그래서, 제1 래더 저항(R1) 및 제2 래더 저항(R2)에서 전류가 흐르는 방향은 서로 반대 방향이다. 이로써, 계조 배선(W1~W33)에 있어서, 전압은 제1 및 제2 래더 저항(R1 및 R2) 내의 저항에 의해 분배된 전압을 나타내게 된다. 특히, 도 14에 도시된 각 계조 레벨의 전압 치가 제1 및 제2 래더 저항(R1 및 R2)의 각 저항 상에 나타난다.

한편, 스트레스 테스트는 동일한 결과를 달성하기 위해 제11 실시예를 위한 것과 같은 방법으로 실행된다. 즉, 12V의 높은 스트레스 전압은 각 계조 배선 사이에 인가될 수 있으며, 계조 배선 사이의 절연 불량은 확실하게 검출될 수 있다.

(제13 실시예)

도 16은 본 발명에 따르는 계조 전압 발생부(104)의 제13 실시예의 구성을 도시한 배선도이다. 제13 실시예는 도 13의 제11 실시예 내의 중간 입력 단자(V5)를 두 개의 입력 단자(V5A 및 V5B)로 분할함으로써 구성되며, 다른 나머지 점은 제11 실시예와 동일하다.

후반 계조 배선(WB) 중에서, 가장 작은 계조값을 갖는 계조 배선은 계조 배선(W17c 및 W17d)로 분리된다. 이 중의 한 개의 계조 배선(W17c)은 스트레스 테스트를 위해서만 사용되며, 다른 하나의 계조 배선(W17d)은 계조 전압을 실제로 출력하는데 사용된다. 제1 래더 저항(R1)은 계조 배선(W1~W17a) 사이에 접속되며, 제2 래더 저항은 계조 배선(W17d~W33) 사이에 접속된다. 입력 단자(V5A)는 계조 배선(W17a 및 W17c)에 접속되며, 입력 단자(V5B)는 계조 배선(W17d)에 접속된다.

다음으로, 스트레스 전압 인가 공정을 기술할 것이다. 스트레스 전압 인가 공정에 있어서, 예컨대, 0V는 입력 단자(V1, V2, V3, V4, V5A)에 인가되며, 예컨대, 12V(최대 정격 전압)의 스트레스 전압은 입력 단자(V5B, V6, V7, V8, V9)에 인가된다. 도 13에 도시한 제11 실시예에 있어서, 큰 스트레스 전압은 계조 배선(W13)에서 계조 배선(W17a) 사이에 인가될 수 없다. 이에 대조하여, 본 실시예에서는, 0V의 동일한 전위는 계조 배선(W13 및 W17a)에 접속된 입력 단자(V4 및 V5)

에 인가되고, 12V는 입력 단자(V5B 및 V6)에 인가되므로, 12V의 스트레스 전압은 오히려 계조 배선(W13)으로부터 계조 배선(W17a)의 영역 내의 계조 배선 사이에 인가될 수 있다. 즉, 모든 계조 배선 사이에, 계조 배선 사이의 절연 불량을 더 확실하게 검출하기 위해 12V의 큰 계조 전압이 인가될 수 있다.

스트레스 전압 인가 후, 검사 공정 및 통상의 액정 구동이 실행된 때, 도 13의 제11 실시예와 동등한 회로는 본 실시예에서 동일한 동작을 실행하기 위해 입력 단자(V5A 및 V5B)에 동일한 전압을 인가함으로써 구성될 수 있다는 점에 주목해야 한다.

(제14 실시예)

도 17은 본 발명에 따른 계조 전압 발생부(104)의 제14 실시예의 구성을 도시한 배선도이다. 제14 실시예에는 도 15의 제12 실시예에서 중간 입력 단자(V5)를 두 개의 입력 단자(V5A 및 V5B)로 분할함으로써 구성되며, 나머지 다른 점은 제12 실시예와 동일하다.

전반 계조 배선(WA) 중에서, 큰 계조값을 갖는 계조 배선은 계조 배선(W17a 및 W17c)으로 분할된다. 이 중의 하나인 계조 배선(W17c)은 스트레스 테스트를 위해서만 사용되며, 다른 계조 배선(W17a)은 계조 전압을 실제로 출력하기 위해서 사용된다. 제1 래더 저항(R1)은 계조 배선(W1~W17a) 사이에 접속되며, 제2 래더 저항(R2)은 계조 배선(W17c~W33) 사이에 접속된다. 입력 단자(V5A)는 계조 배선(W17a)에 접속되며, 입력 단자(V5B)는 계조 배선(W17c)에 접속된다.

다음으로 스트레스 전압 인가 공정을 설명한다. 스트레스 전압 인가 공정에 있어서, 예컨대, 0V는 입력 단자(V1, V2, V3, V4, V5A)에 인가되며, 예컨대, 12V(최대 정격 전압)의 스트레스 전압은 입력 단자(V5B, V6, V7, V8, V9)에 입력된다. 도 15에 도시된 제12 실시예에 있어서, 큰 스트레스 전압은 계조 배선(W13~W17) 사이에 인가될 수 없다. 이와 대조적으로, 본 실시예에 있어서, 0V의 동일한 전위는 계조 배선(W13 및 W17a)에 접속된 입력 단자(V4 및 V5A)에 인가되고, 12V는 입력 단자(V5B 및 V6)에 인가되며, 12V의 스트레스 전압은 오히려 계조 배선(W13)으로부터 계조 배선(W17)까지의 영역 내의 계조 배선 사이에 인가될 수 있다. 즉, 모든 계조 배선 사이에 계조 배선 사이의 절연 불량을 확실하게 검출하기 위해 12V의 큰 스트레스 전압이 인가될 수 있다.

스트레스 전압 인가 후, 검사 공정 및 통상의 액정 구동이 실행된 때, 도 15의 제12 실시예와 동등한 회로는 도시한 실시예에서 동등한 동작을 실행하기 위해 입력 단자(V5A 및 V5B)에 동일한 전압을 인가함으로써 구성될 수 있다는 점에 주목해야 한다.

(제15 실시예)

도 18은 본 발명에 따른 계조 전압 발생부(104)의 제14 실시예의 구성을 도시한 배선도이다. 도시한 실시예는 도 16에 예시한 제13 실시예와 중간 입력 단자(V5A 및 V5B) 사이에 스위치(SW)가 배치된 것이 다르며, 나머지는 제13 실시예와 동일하다.

스위치(SW)는 입력 단자(V5A 및 V5B) 사이를 접속 및 단절할 수 있다. 도시한 실시예에서 제13 실시예(도 16)와 유사하게, 스트레스 전압 인가 공정 동안, 스위치(SW)는 입력 단자(V5A 및 V5B)를 단절시키며, 검사 공정 및 통상의 액정 구동 상태 동안, 스위치(SW)는 입력 단자(V5A 및 V5B) 사이를 접속 상태로 설정한다. 유사하게 스위치는 제14 실시예(도 17)의 입력 단자(V5A 및 V5B) 사이에도 제공될 수 있다는 점에 유의해야 한다.

도 19는 스위치(SW)의 구성을 도시한 회로이다. 스위치(SW)는 P 채널 MOS 트랜지스터(전송 게이트;112) 및 N 채널 MOS 트랜지스터(전송 게이트;113) 및 NOT 회로(인버터;111)로 결합된 소자를 구비한다. 제어 단자(CTL)는 NOT 회로(111)의 입력 단자 및 N 채널 트랜지스터(113)의 게이트에 접속된다. NOT 회로(111)의 출력 단자는 P 채널 트랜지스터(112)의 게이트에 접속된다. 트랜지스터(112 및 113)의 소스/드레인은 각각 입력 단자(V5A 및 V5B)에 접속된다.

고 레벨의 전압이 제어 단자(CTL)에 접속된 때, 입력 단자(V5A 및 V5B) 사이의 접속을 설정하기 위해 트랜지스터(112 및 113)의 소스 및 드레인 사이에 도통 상태가 설정된다. 한편, 제어 단자(CTL)에 저 레벨의 전압이 인가되면, 트랜지스터(112 및 113)의 소스 및 드레인 사이는 차단 상태가 되어, 입력단자(V5A 및 V5B)의 사이가 단절된다.

스위치(SW)의 구성은 P 채널 및 N 채널의 MOS 트랜지스터(전송 게이트)의 조합 소자에 의한 구성에 한정되지 않고, N 채널 MOS 트랜지스터(전송 게이트)로 또는 P 채널 MOS 트랜지스터(전송 게이트)로 구성될 수 있다는 점에 주목해야 한다.

이상 상세히 설명한 바와 같이, 제11~제15의 실시예에 따르면, 제1 계조 레벨 범위(예컨대, 전반 계조 영역) 및 제2 계조 레벨 범위(예컨대, 후반 계조 영역)의 각 계조 배선을 교대로 배치함으로써, 계조 배선 사이의 절연 불량을 보다 확실하게 검출하기 위해 각 계조 배선 사이에 충분히 큰 스트레스 전압을 인가할 수 있다. 이로써, 시장에서의 열화에 의한 불량률을 감소시킬 수 있어, 신뢰도를 향상시킬 수 있다. 또한, 한 번의 스트레스 전압 인가 공정에 의해 각 계조 배선 사이에 스트레스 전압을 인가할 수 있기 때문에, 단 시간에 계조 배선 사이의 절연 불량을 검출할 수 있어, 공정 시간의 단축에 의한 비용 절감을 꾀할 수 있다.

도 20a는, (도 12의) 액정 디스플레이용 드라이버(102)의 반도체 기관의 단면도이다. 제1 배선층(121)은, (도 1의) 디코더(105)의 배선층이다. 제1 배선층(121) 위에는 절연층(122)이 형성된다. 절연층(122)의 위에는 제2 배선층(WA 및 WB)이 형성된다. 제2 배선층(WA)은 전반 계조 배선층이며, 제2 배선층(WB)은 후반 계조 배선층이다. 제2 배선층(WA 및 WB)은 동일층 내에서 수평 방향으로 교대로 형성된다. 제2 배선층(WA 및 WB)의 위에는 절연층(124)이 형성된다.

도 20a에서는 전반 계조 배선(WA) 및 후반 계조 배선(WB)을 동일한 배선층에 배치하는 경우에 대해 설명했지만, 도 20b에 도시한 바와 같이, 전반 계조 배선(WA)과 후반 계조 배선(WB)을 다른 배선층에 배치하는 것도 가능하다.

도 20b는, (도 12의) 액정 디스플레이용 드라이버(102)의 다른 반도체 기관의 단면도이다. 제1 배선층(121)은, (도 1의) 디코더(105)의 배선층이다. 제1 배선층(121) 위에 절연층(122)이 형성된다. 절연층(122)의 위에는 제2 배선층(WA;전반 계조 배선층)이 형성된다. 제2 배선층(WA) 위에 절연층(124)이 형성된다. 절연층(124)의 위에는 제3 배선층(WB;후반 계조 배선층)이 형성된다. 제3 배선층(WB) 위에는 절연층(126)이 형성된다.

도 20c는 (도 12의) 액정 디스플레이용 드라이버(102)의 다른 반도체 기관의 단면도이다. 제1 배선층(121)은 (도 12의) 디코더(105)의 배선층이다. 제1 배선층(121) 위에 절연층(122)이 형성된다. 절연층(122)의 위에는 제2 배선층(WA;전반 계조 배선층) 및 제2 배선층(WB;후반 계조 배선층)이 동일층 내에서 수평 방향으로 교대로 형성된다. 제2 배선층(WA 및 WB)의 위에는 절연층(124)이 형성된다. 절연층(124)의 위에는 제3 배선층(WA;전반 계조 배선층) 및 제3 배선층(WB;후반 계조 배선층)이 동일층 내에서 수평 방향으로 교대로 형성된다. 제3 배선층(WA 및 WB)의 위에는 절연층(126)이 형성된다. 또한, 배선층(WA 및 WB)은 다른 배선층에서 수직 방향으로 교대로 형성된다.

상술한 설명은 계조 배선을 전반 계조 배선(WA) 및 후반 계조 배선(WB)으로 분할하는 경우의 예를 설명했지만, 세 개 이상으로 분할하는 것도 가능하다. 예컨대, 도 22에 도시한 계조 전압 발생부에서, 계조 배선(W1~W4)의 제1 영역, 계조 배선(W5~W8)의 제2 영역, 계조 배선(W9~W12)의 제3 영역, 계조 배선(W13~W16)의 제4 영역 등으로 분할된다. 제1 및 제2 영역을 빗살형으로 교대로 배치하고, 제3 및 제4 영역도 빗살형으로 교대로 배치하였다. 이 때, 교대로 배치하는 2개의 영역은, 서로 계조 레벨이 계속되는 계조 영역의 배선 영역인 것이 바람직하다. 후반 계조 배선(WB)도 전반 계조 배선(WA)과 같이 4개의 영역으로 분할하여 교대로 배치할 수 있다.

본 발명이 비록 상술한 예시적인 실시예에 대하여 도시하고 설명하였지만, 본 기술 분야에서 통상의 지식을 가진 당업자라면 진술한 실시예와 그 외의 여러 다른 변경, 즉 상기 실시예에 부가 및 생략을 본 발명의 정신 및 영역을 벗어나지 않는 범위에서 실시할 수 있음을 알 수 있을 것이다. 그러므로, 본 발명은 상술한 특정 실시예에 한정되는 것으로 해석해서는 안되며, 본 발명의 영역은 후술되는 청구항에 대해 대응하고 포함하는 영역 내에서 실시될 수 있는 모든 가능한 실시예를 포함한다.

발명의 효과

본 발명에 따르면, 각 계조 배선 사이에 충분히 큰 스트레스 전압을 인가할 수 있어서, 계조 배선 사이의 절연 불량을 보다 확실하게 검출할 수 있다. 또한, 한 번의 스트레스 전압 인가 공정에 의해 각 계조 배선 사이에 스트레스 전압을 인가할 수 있기 때문에, 계조 배선 사이의 절연 불량을 단 시간에 검출할 수 있다. 또한, 계조 전압선에 대하여 수평 방향의 길이를 대폭 짧게 할 수 있어, 전체적으로 액정 패널 구동용 반도체 집적 회로의 면적을 작게 할 수 있다.

도면의 간단한 설명

본 발명은 아래의 상세한 설명 및 본 발명의 바람직한 실시예의 수반되는 도면으로 더 완전하게 이해될 수 있을 것이며, 그러나 이것은 본 발명을 제한하기 위한 것이 아니며, 단지 설명 및 이해를 돕기 위한 것이다.

- 도 1은 본 발명에 따르는 액정 디스플레이 장치의 제1 실시예의 구성을 도시한 도면.
- 도 2는 계조(階調) 전압 발생부 및 선택기의 실시예를 도시한 회로도를 도시한 도면.
- 도 3은 본 발명에 따르는 액정 디스플레이 장치의 제2 실시예의 구성을 도시한 도면.
- 도 4는 본 발명에 따르는 액정 디스플레이 장치의 제3 실시예의 구성을 도시한 도면.
- 도 5는 본 발명에 따르는 액정 디스플레이 장치의 제4 실시예의 구성을 도시한 도면.
- 도 6은 본 발명에 따르는 액정 디스플레이 장치의 제5 실시예의 구성을 도시한 도면.
- 도 7은 본 발명에 따르는 액정 디스플레이 장치의 제6 실시예의 구성을 도시한 도면.
- 도 8은 본 발명에 따르는 액정 디스플레이 장치의 제7 실시예의 구성을 도시한 도면.
- 도 9는 본 발명에 따르는 액정 디스플레이 장치의 제8 실시예의 구성을 도시한 도면.
- 도 10은 본 발명에 따르는 액정 디스플레이 장치의 제9 실시예의 구성을 도시한 도면.
- 도 11a 및 도 11b는 본 발명에 따르는 액정 패널(PNL) 구동용 반도체 집적 회로의 제10 실시예를 도시한 평면도.
- 도 12는 본 발명에 따르는 액정 디스플레이의 제11 실시예의 구성을 도시한 블록도.
- 도 13은 액정 디스플레이의 제11 실시예의 계조 전압 발생부의 구성을 도시한 배선도.
- 도 14는 계조값과 전압 사이의 관계를 나타내는 그래프를 도시한 도면.
- 도 15는 액정 디스플레이의 제12 실시예의 계조 전압 발생부의 구성을 도시한 배선도.
- 도 16은 액정 디스플레이의 제13 실시예의 계조 전압 발생부의 구성을 도시한 배선도.
- 도 17은 액정 디스플레이의 제14 실시예의 계조 전압 발생부의 구성을 도시한 배선도.
- 도 18은 액정 디스플레이의 제15 실시예의 계조 전압 발생부의 구성을 도시한 배선도.
- 도 19는 스위치의 구성을 도시한 회로도.
- 도 20a 내지 도 20c는 액정 디스플레이 드라이버의 반도체 기관의 단면도를 도시한 도면.
- 도 21은 종래 액정 디스플레이 장치의 구성 예를 도시한 도면.
- 도 22는 종래 계조 전압 발생 장치의 구성을 도시한 도면.

<도면의 주요부분에 대한 부호의 설명>

- 1 : 배선 접속부.
- 2 : 사용되지 않는 영역.
- 5 : 계조 전압 발생부.
- 6 : 래더 저항.

11 : 데이터 래치부 및 선택기부.

30, 40 : 액정 패널 구동용 반도체 집적 회로.

101 : 액정 패널.

102 : 액정 디스플레이용 드라이버.

103 : D/A 변환기.

104 : 계조 전압 발생부.

105 : 디코더.

111 : NOT 회로.

112 : P 채널 MOS 트랜지스터.

113 : N 채널 MOS 트랜지스터.

121 : 제1 배선층.

122, 124, 126 : 절연층.

V1~V9 : 기준 전압 입력 단자.

W1~W33 : 계조 배선.

WA : 전반부의 계조 배선.

WB : 후반부의 계조 배선.

R1, R2, R : 래더 저항.

Tr : 트랜지스터.

SEL : 선택기부.

NSEL : 음극성 선택기부.

PSEL : 양극성 선택기부.

LN : 계조 전압선.

NLN : 음극성 계조 전압선.

PLN : 양극성 계조 전압선.

LT : 데이터 래치부.

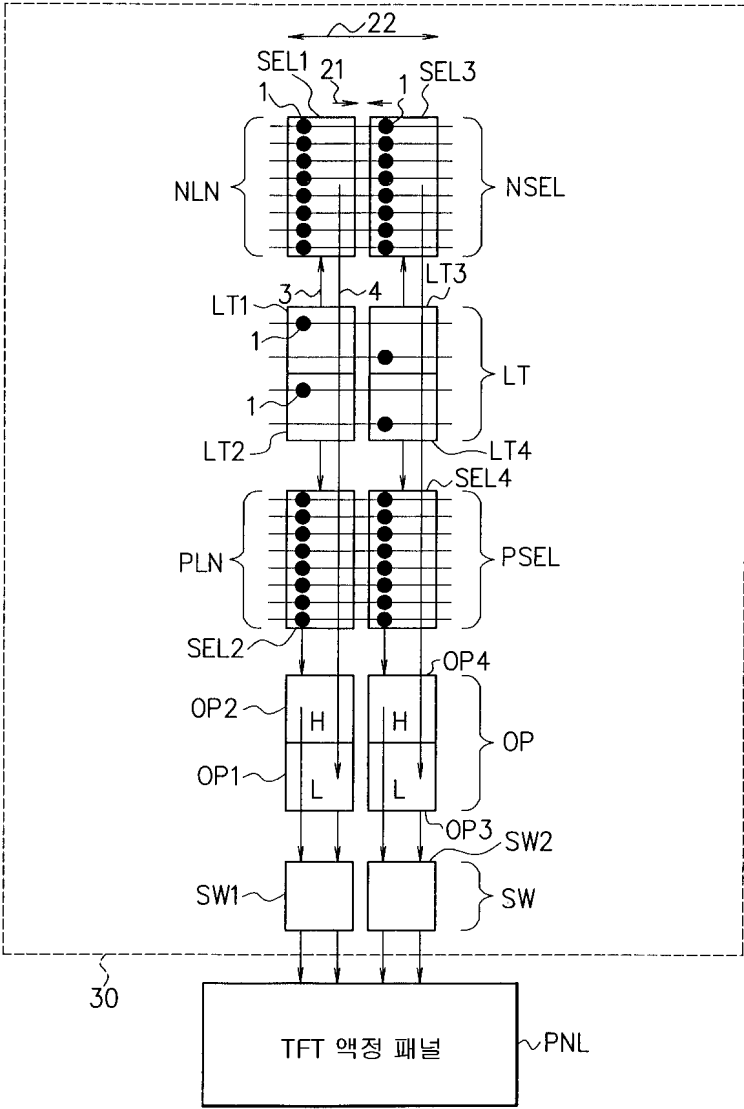
NLT : 음극성 데이터 래치부.

PLT : 양극성 데이터 래치부.

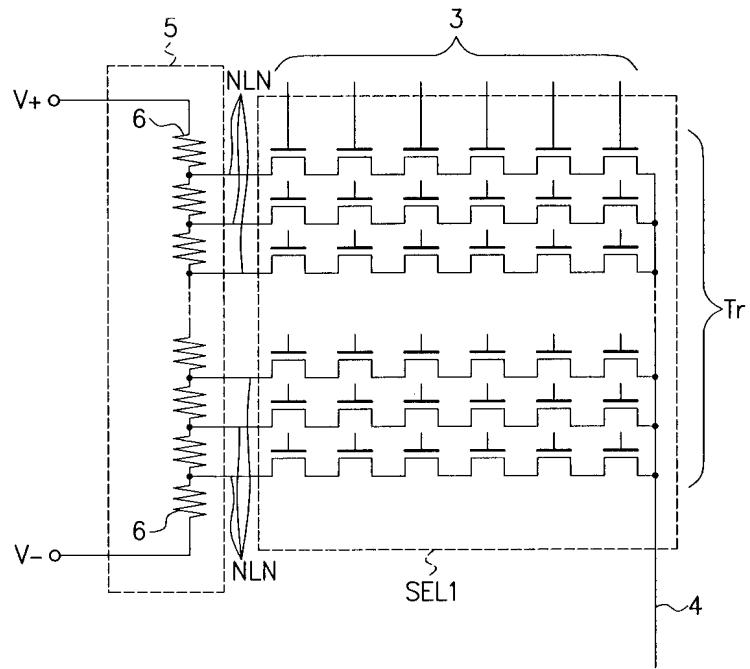
OP : 연산 증폭기부.
SW : 출력 전환부.
PNL : TFT 액정 패널.

도면

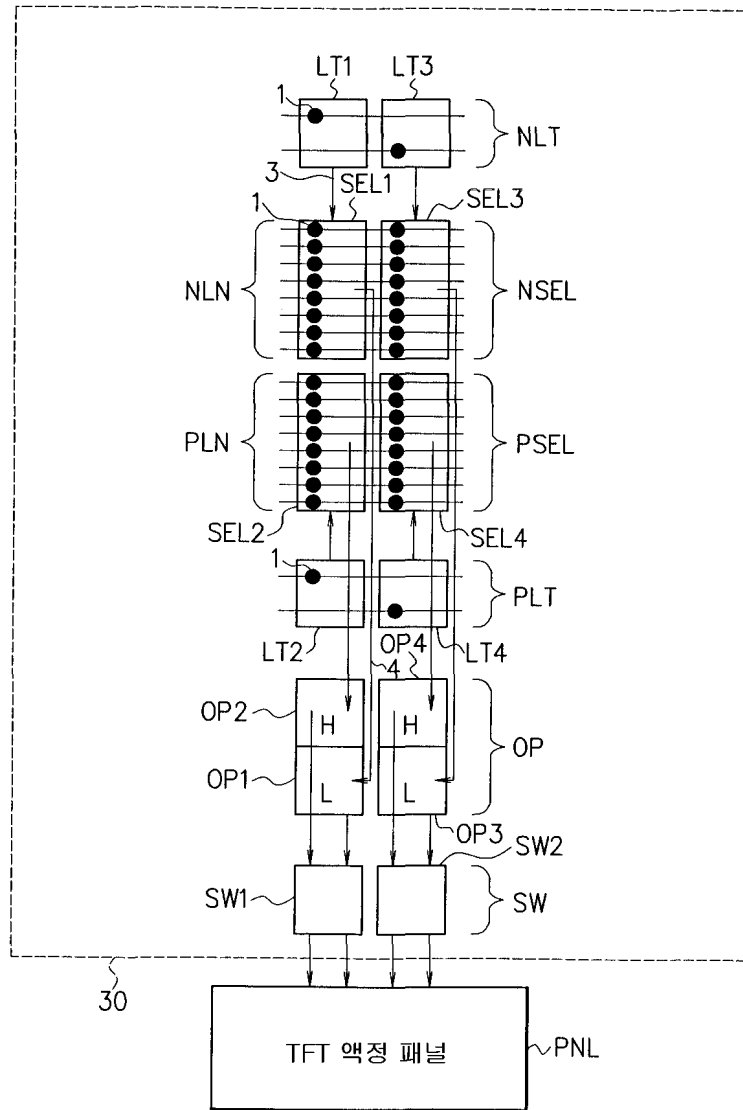
도면1



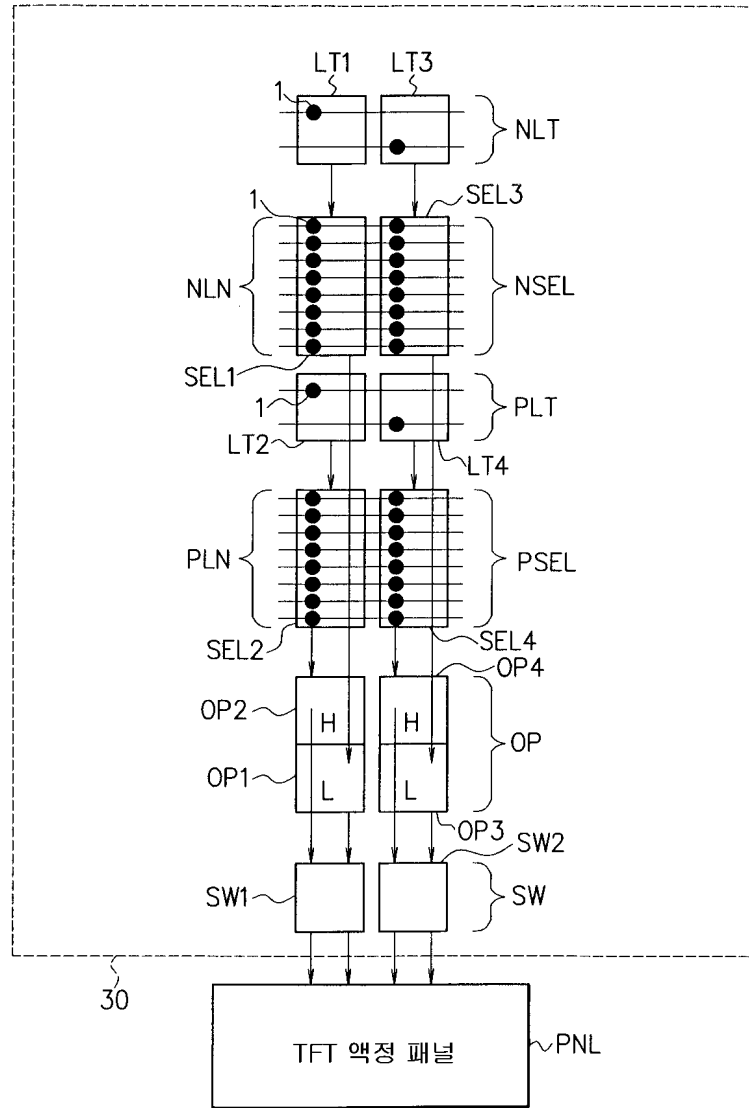
도면2



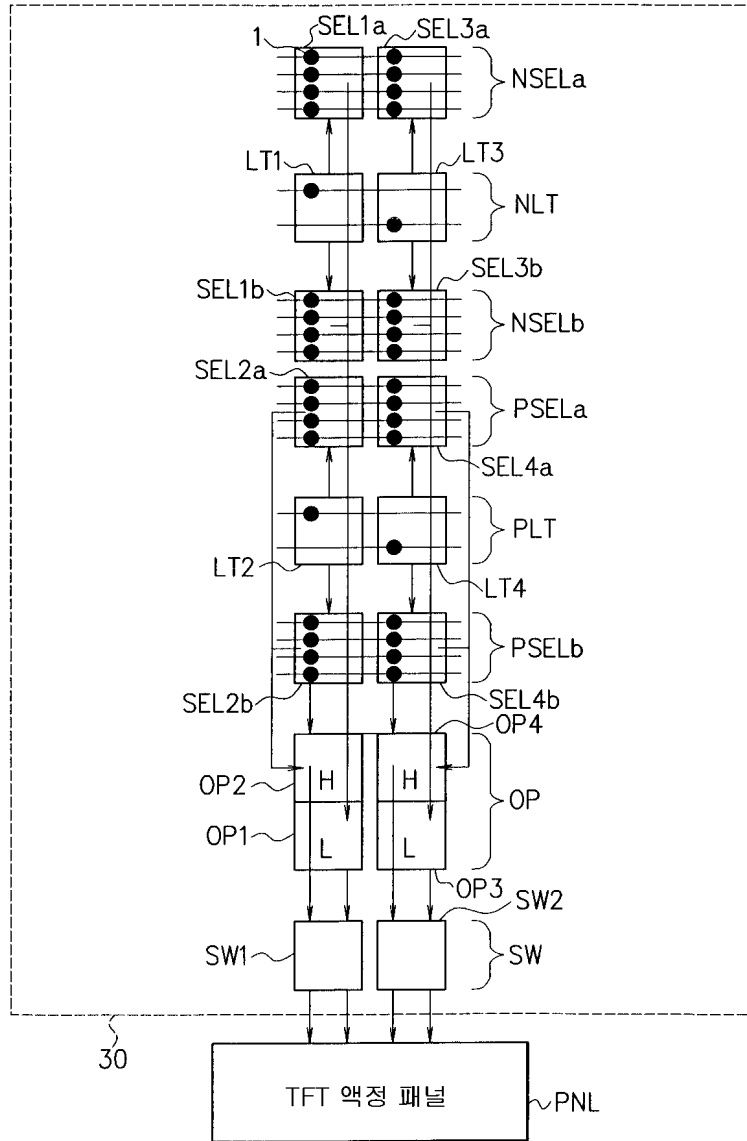
도면3



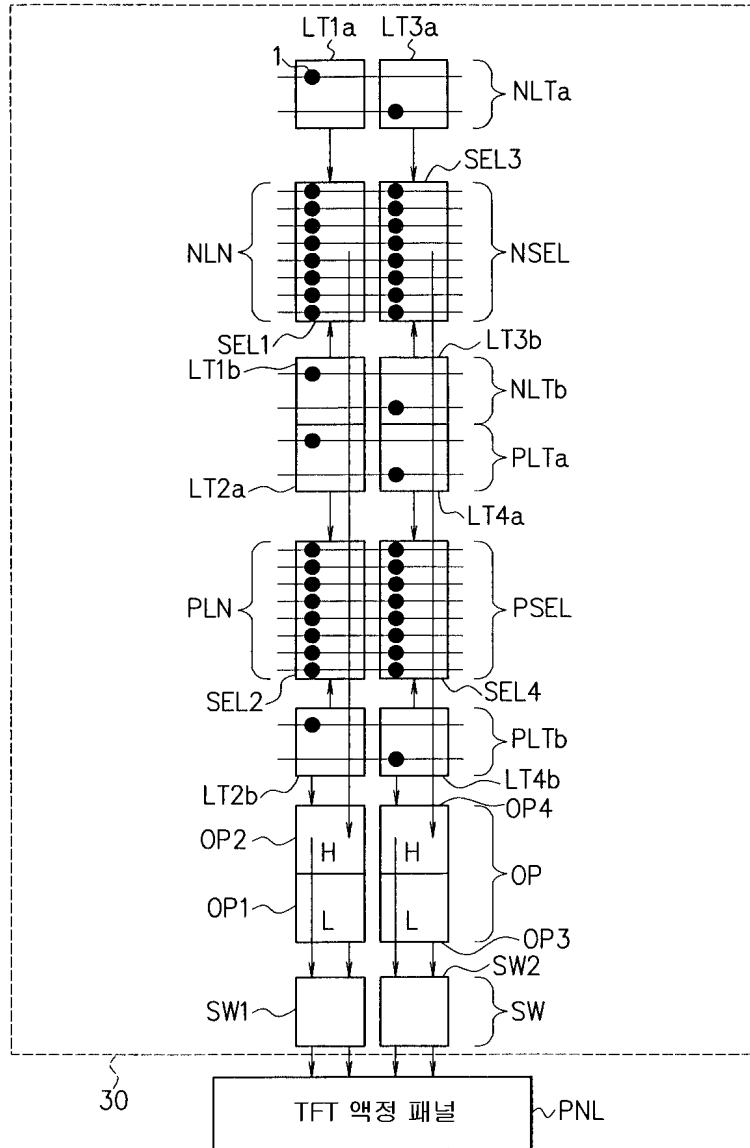
도면4



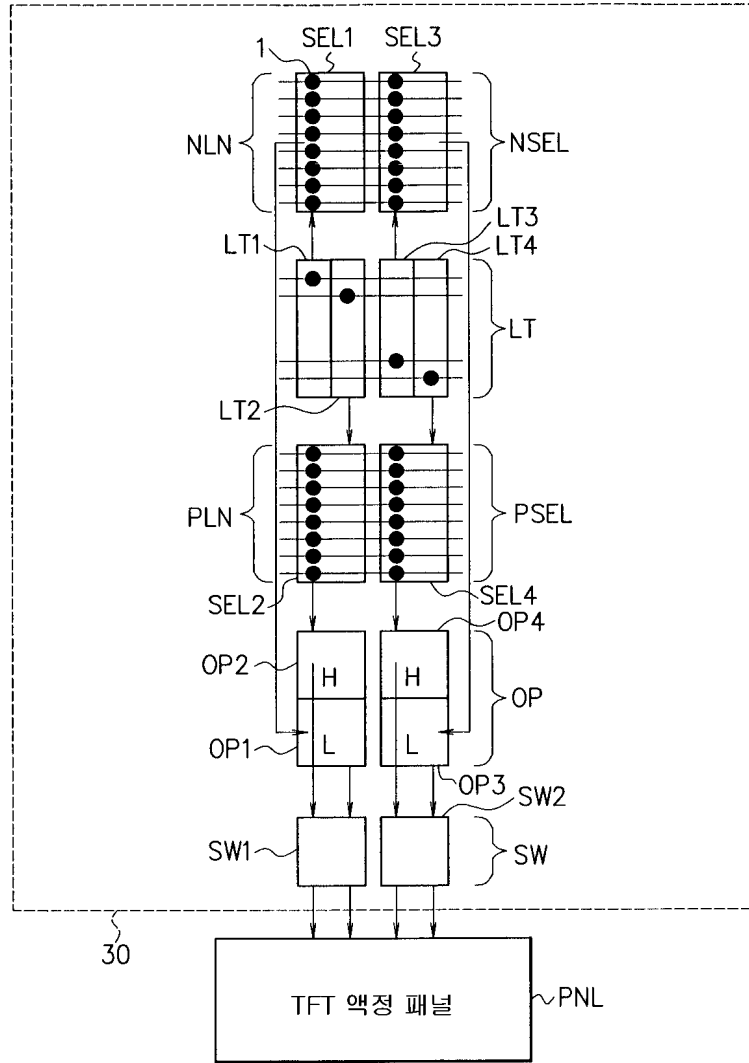
도면5



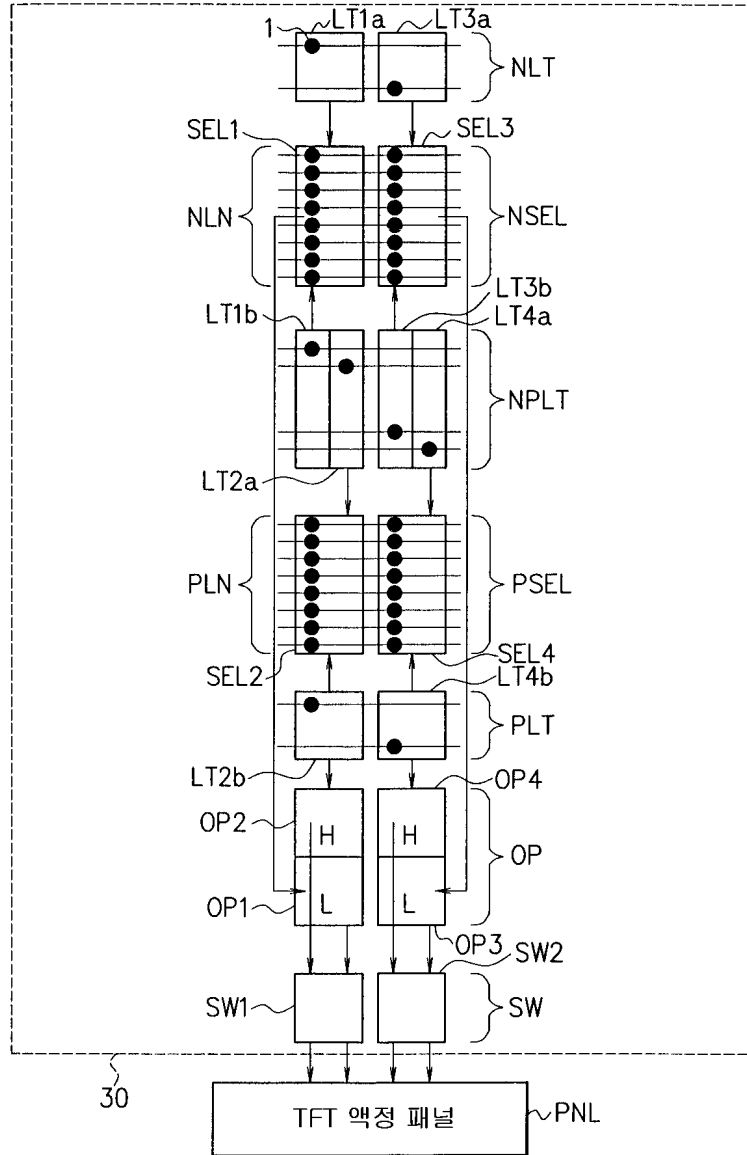
도면6



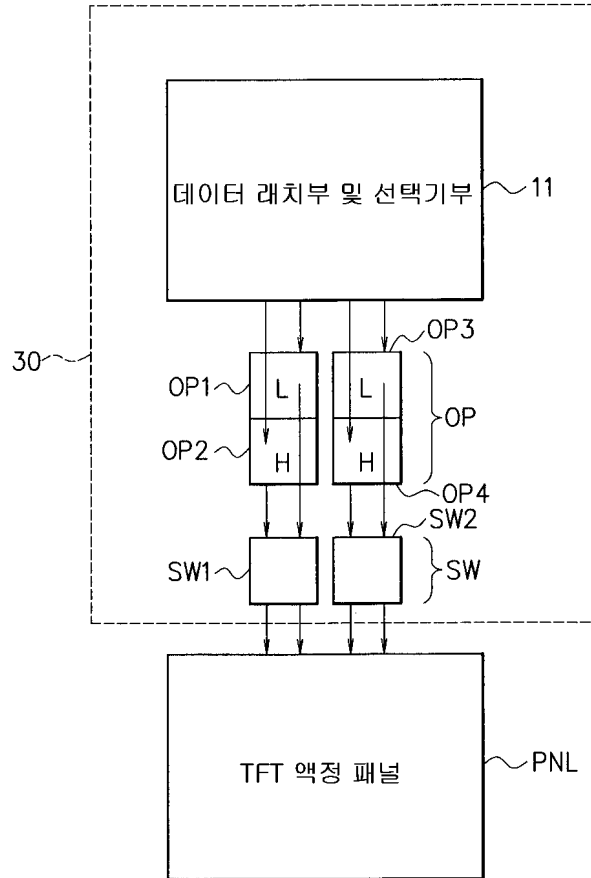
도면7



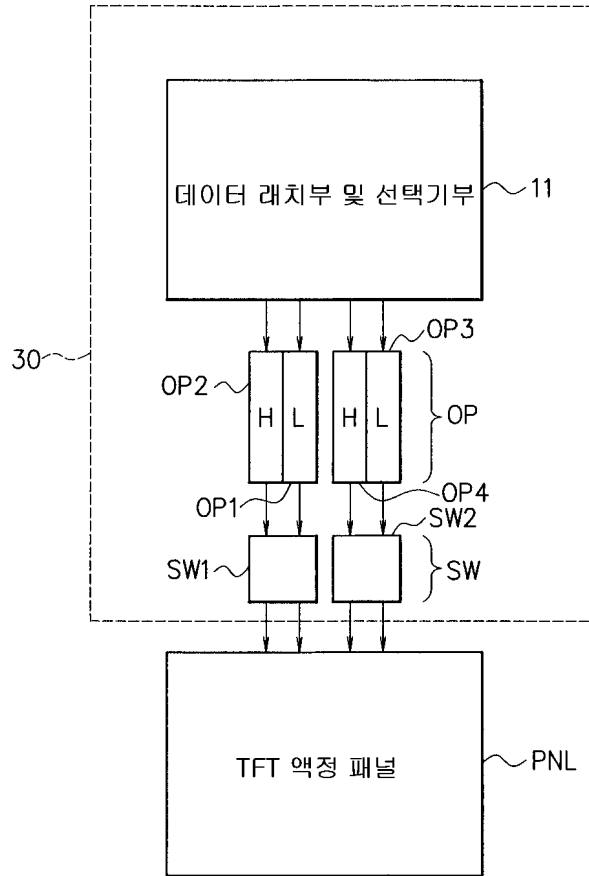
도면8



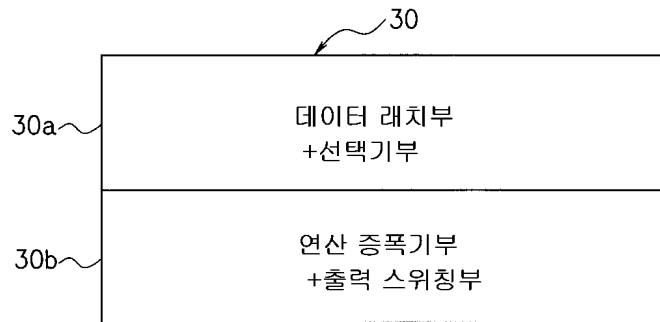
도면9



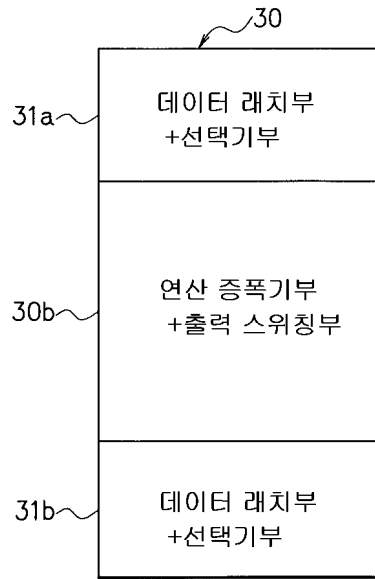
도면10



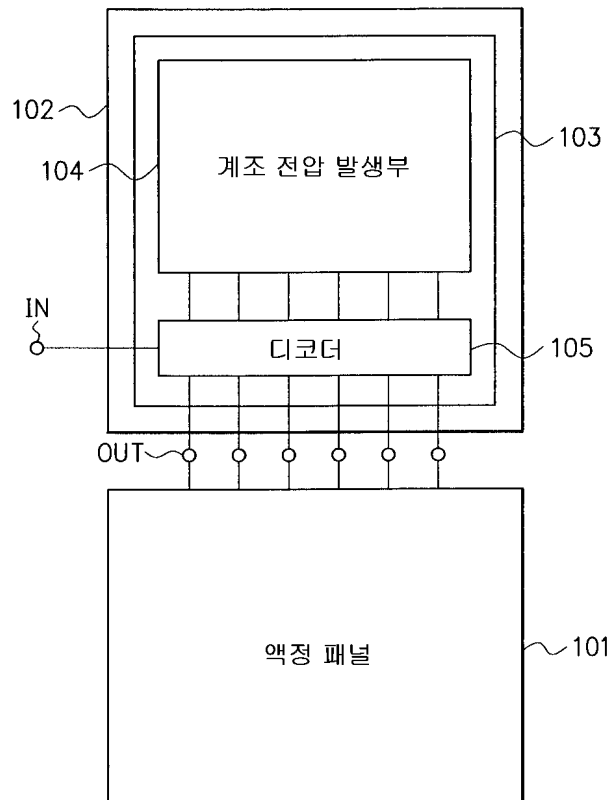
도면11a



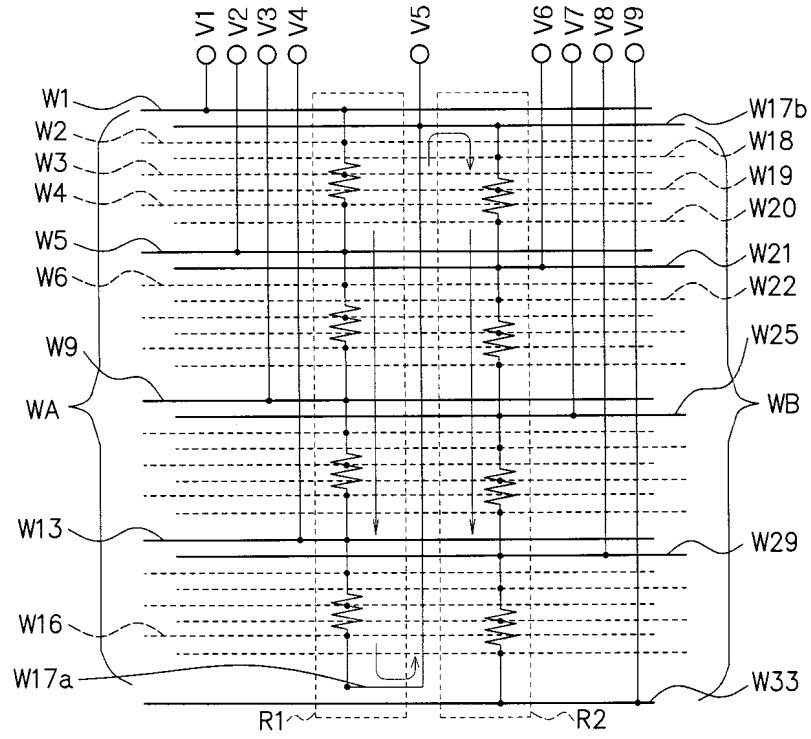
도면11b



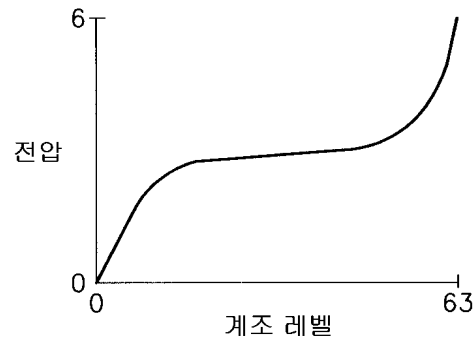
도면12



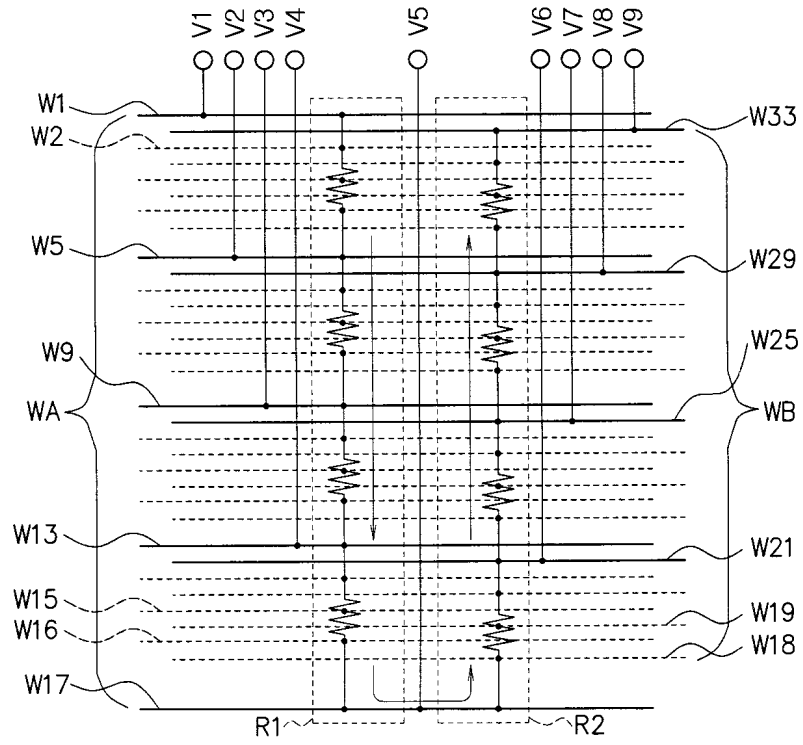
도면13



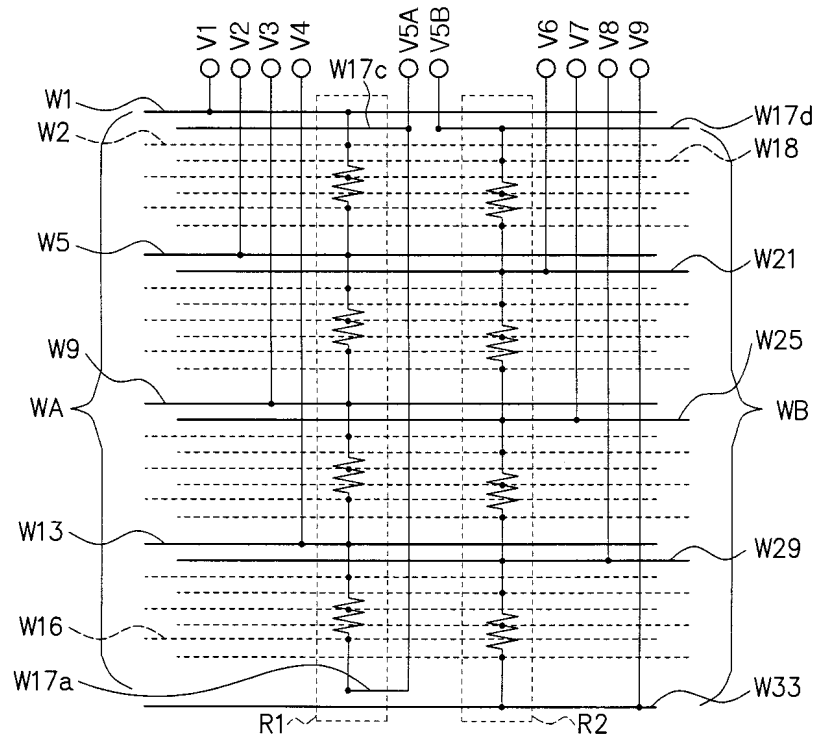
도면14



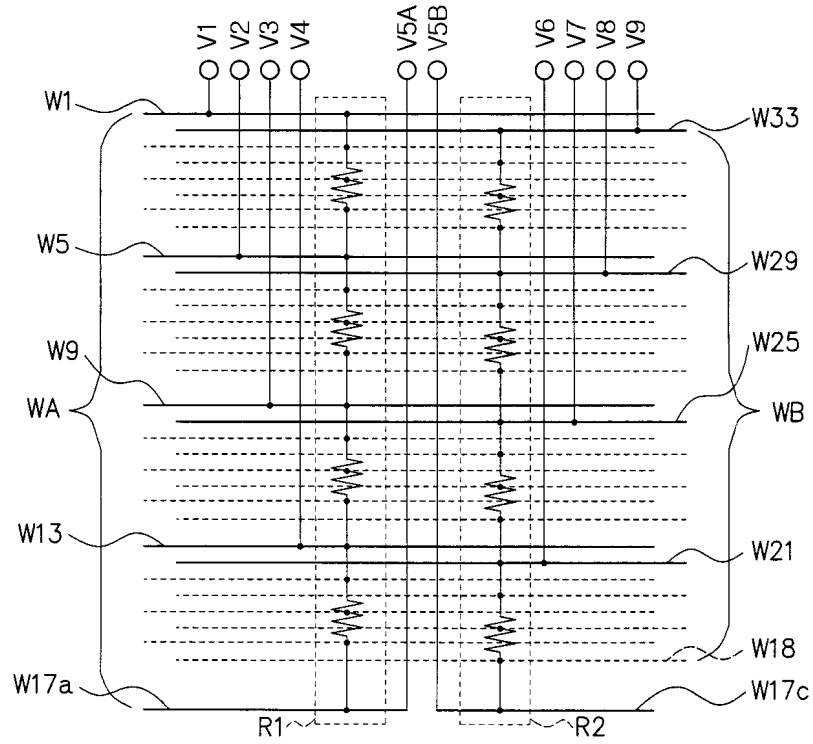
도면15



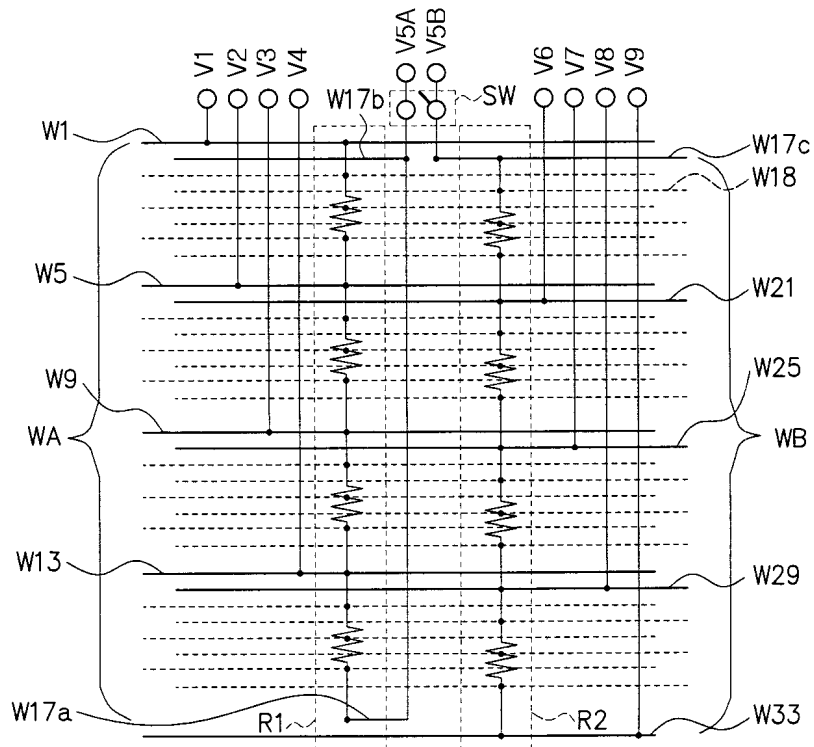
도면16



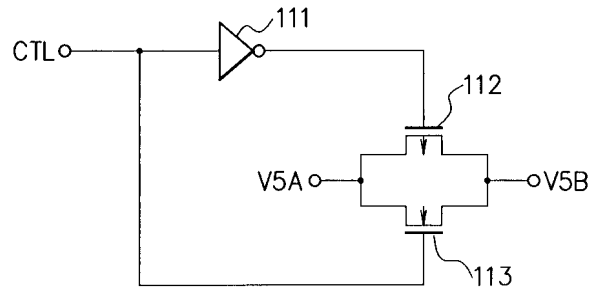
도면17



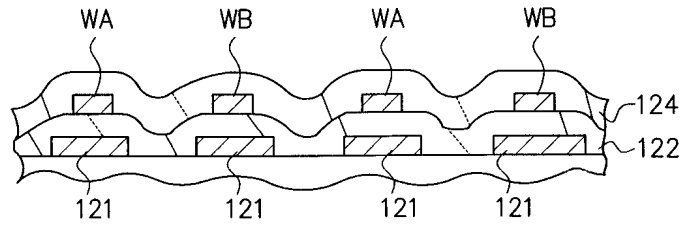
도면18



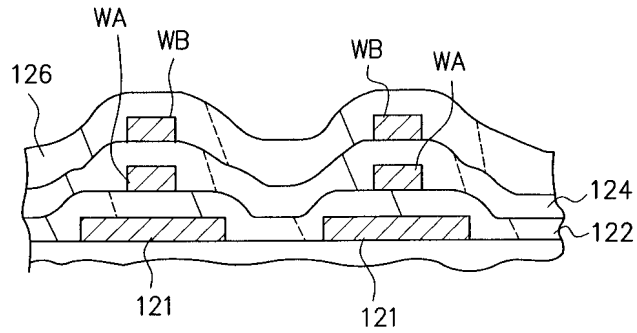
도면19



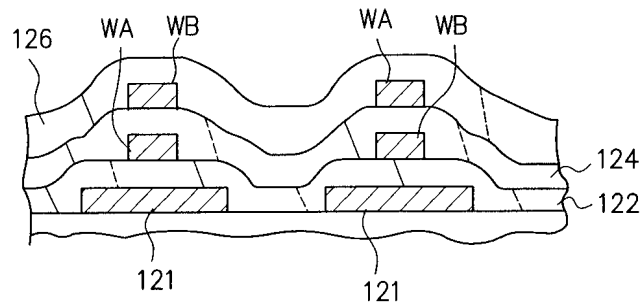
도면20a



도면20b

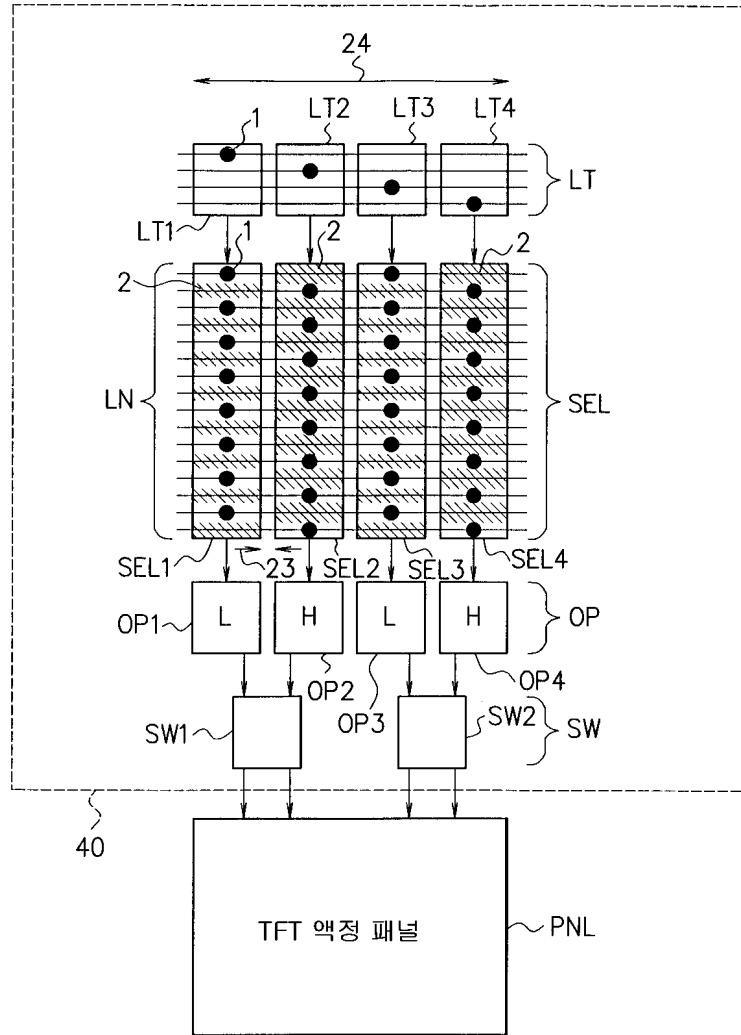


도면20c



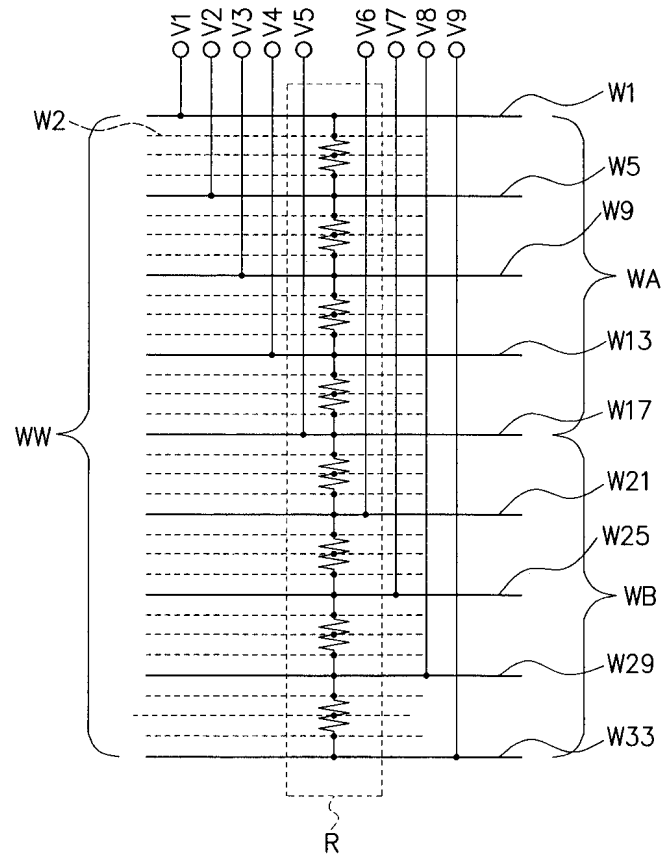
도면21

(종래 기술)



도면22

(종래 기술)



专利名称(译)	用于驱动液晶面板的半导体集成电路		
公开(公告)号	KR100746933B1	公开(公告)日	2007-08-08
申请号	KR1020010002343	申请日	2001-01-16
[标]申请(专利权)人(译)	富士通株式会社		
申请(专利权)人(译)	富士sikki有限公司		
当前申请(专利权)人(译)	富士sikki有限公司		
[标]发明人	YAMAGATA SEIJI 야마가타세이지 KOKUBUN MASATOSHI 고쿠분마사토시 UDO SHINYA 우도신야		
发明人	야마가타세이지 고쿠분마사토시 우도신야		
IPC分类号	G09G3/36 G09G3/00 G09G3/20 G09G5/00 G09G5/10		
CPC分类号	G09G3/006 G09G3/2011 G09G3/3614 G09G3/3688 G09G2300/0426 G09G2310/027 G09G2310/0297 Y10S345/904		
代理人(译)	金泰HONG		
优先权	2000105308 2000-04-06 JP 2000105317 2000-04-06 JP		
其他公开文献	KR1020010100763A		
外部链接	Espacenet		

摘要(译)

根据本发明的一个优选实施例，它具有双极选择器，其中数据锁存器的下部和双极灰度电压线用于选择双极灰度级的双极模拟灰度电压并保持数字图像数据。立即，上部为一组。并且它具有负选择器，其中用于选择负灰度级的负模拟灰度电压并保持数字图像数据的数据锁存器的上端和负灰度电压线立即排列，上部作为一组。两组布置在垂直方向上。垂直布置的多组该组被布置为使得关于灰度电压线的水平方向的长度变短的方法。

