

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.	(45) 공고일자	2006년05월25일
G02F 1/133 (2006.01)	(11) 등록번호	10-0583318
	(24) 등록일자	2006년05월18일

(21) 출원번호	10-2003-0092694	(65) 공개번호	10-2005-0060954
(22) 출원일자	2003년12월17일	(43) 공개일자	2005년06월22일

(73) 특허권자
 엘지.필립스 엘시디 주식회사
 서울 영등포구 여의도동 20번지

(72) 발명자
 장용호
 경기도과천시별양동주공아파트647동308호

김빈
 서울특별시양천구신정7동목동아파트1107동1307호

윤수영
 경기도군포시오금동율곡아파트349동1604호

(74) 대리인
 김영호

심사관 : 최훈영

(54) 액정표시장치의 게이트 구동장치 및 방법

요약

본 발명은 데이터라인 수와 데이터 드라이브 접점회로의 수를 줄이는 구동방식에 있어서 그 구동방식에 적합한 게이트 구동장치 및 방법에 관한 것이다.

이 게이트 구동장치 및 방법은 위상이 서로 반전되며 반주기의 펄스폭을 가지는 제1 및 제2 반주기 클럭신호, 위상이 순차적으로 쉬프트되고 각각 한주기의 펄스폭을 가지는 제1 내지 제4 한주기 클럭신호, 스타트펄스, 고전위 전원전압 및 저전위 전원전압이 공급받고, 상기 스타트펄스와 상기 제1 및 제2 반주기 클럭신호에 응답하여 반주기 출력을 발생하고 상기 제1 내지 제4 한주기 클럭신호들 중 어느 하나에 응답하여 상기 반주기 출력의 종료시점으로부터 반주기 늦게 한주기 출력을 발생한다.

대표도

도 11

명세서

도면의 간단한 설명

도 1은 액정표시장치를 나타내는 도면이다.

도 2는 도 1에 도시된 액정표시패널에 액정셀들에 공급되는 구동신호와 그 액정셀에 공급되는 데이터 전압을 보여 주는 파형도이다.

도 3은 도 1에 도시된 게이트 구동회로의 쉬프트 레지스터를 나타내는 회로도이다.

도 4는 도 3에 도시된 쉬프트 레지스터의 스테이지 회로 구성을 상세히 나타내는 회로도이다.

도 5는 도 3에 도시된 스테이지 회로의 입력 신호들과 제어노드 및 출력노드의 신호를 나타내는 파형도이다.

도 6은 본 발명의 실시예에 따른 액정표시장치를 나타내는 도면이다.

도 7은 도 6에 도시된 액정표시패널에서 일부 화소셀들을 등가적으로 나타내는 회로도이다.

도 8은 도 6에 도시된 데이터 구동회로의 출력 데이터 전압과 게이트 구동회로의 출력 스캔펄스를 나타내는 파형도이다.

도 9는 도 6에 도시된 게이트 구동회로의 쉬프트 레지스터를 나타내는 회로도이다.

도 10은 도 9에 도시된 쉬프트 레지스터의 스테이지 회로 구성을 상세히 나타내는 회로도이다.

도 11은 도 10에 도시된 스테이지 회로의 입력 신호들과 제어노드 및 출력노드의 신호를 나타내는 파형도이다.

도 12는 도 9 및 도 10의 쉬프트 레지스터에 대한 검증을 위하여 실시된 시뮬레이션의 결과 화면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로 특히, 데이터라인 수와 데이터 드라이브 접적회로의 수를 줄이는 구동방식에 있어서 그 구동방식에 적합한 게이트 구동장치 및 방법에 관한 것이다.

액정표시장치는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시하게 된다.

도 1 및 도 2는 액티브 매트릭스 타입 액정표시장치와 그 구동신호를 나타낸 것이다.

도 1 및 도 2를 참조하면, 액티브 매트릭스 타입 액정표시장치는 $m \times n$ 개의 액정셀들(Cl_c)이 매트릭스 타입으로 배열되고 m 개의 데이터라인들(D₁ 내지 D_m)과 n 개의 게이트라인들(G₁ 내지 G_n)이 교차되며 그 교차부에 TFT가 형성된 액정표시패널(13)과, 액정표시패널(13)의 데이터라인들(D₁ 내지 D_m)에 데이터를 공급하기 위한 데이터 구동회로(11)와, 게이트라인들(G₁ 내지 G_n)에 스캔펄스를 공급하기 위한 게이트 구동회로(12)를 구비한다.

액정표시패널(13)은 두 장의 유리기판 사이에 액정분자들이 주입된다. 이 액정표시패널(13)의 하부 유리기판 상에 형성된 데이터라인들(D₁ 내지 D_m)과 게이트라인들(G₁ 내지 G_n)은 상호 직교된다. 데이터라인들(D₁ 내지 D_m)과 게이트라인들(G₁ 내지 G_n)의 교차부에 형성된 TFT는 게이트라인(G₁ 내지 G_n)으로부터의 스캔펄스에 응답하여 데이터라인들(D₁ 내지 D_m)을 경유하여 공급되는 데이터 전압을 액정셀(Cl_c)에 공급하게 된다. 이를 위하여, TFT의 게이트전극은 게이트라인(G₁ 내지 G_n)에 접속되며, 드레인전극은 데이터라인(D₁ 내지 D_m)에 접속된다. 그리고 TFT의 소스전극은 액정셀(Cl_c)의 화소전극에 접속된다. 액정표시패널(13)의 상부 유리기판 상에는 도시하지 않은 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 그리고 액정표시패널(13)의 상부 유리기판과 하부 유리기판 상에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 내측 면 상에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다. 또한, 액정표시패널(13)의 액정셀(Cl_c) 각각

에는 스토리지 캐패시터(Cst)가 형성된다. 스토리지 캐패시터(Cst)는 액정셀(Clc)의 화소전극과 전단 게이트라인 사이에 형성되거나, 액정셀(Clc)의 화소전극과 도시하지 않은 공통전극라인 사이에 형성되어 액정셀(Clc)의 전압을 일정하게 유지시킨다.

데이터 구동회로(11)는 쉬프트 레지스터, 래치, 디지털-아날로그 변환기 및 출력 버퍼를 각각 포함하는 다수의 데이터 드라이브 집적회로들로 구성된다. 이 데이터 구동회로(11)는 디지털 비디오 데이터를 래치하고 그 디지털 비디오 데이터를 아날로그 감마보상전압으로 변환하여 데이터라인들(D1 내지 Dm)에 공급한다.

게이트 구동회로(12)는 1 수평주기마다 스타트펄스를 순차적으로 쉬프트시켜 스캔펄스를 발생하는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀(Clc)의 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터 및 레벨 쉬프터와 게이트라인(G1 내지 Gn) 사이에 접속되는 출력 버퍼를 각각 포함하는 다수의 게이트 드라이브 집적회로들로 구성된다. 이 게이트 구동회로(12)는 스캔펄스를 게이트라인들(G1 내지 Gn)에 순차적으로 공급하여 데이터가 공급되는 액정표시패널(13)의 수평라인을 선택한다.

도 2에서, 'Vd'는 데이터 구동회로(11)에 의해 출력되어 데이터라인들(D1 내지 Dm)에 공급되는 데이터전압이며, 'Vlc'는 액정셀(Clc)에서 충방전되는 데이터전압이다. 그리고 'Scp'는 1 수평주기로 발생되는 스캔펄스이다. 'Vcom'은 액정셀들(Clc)의 공통전극에 공급되는 공통전압이다.

도 3 내지 도 5는 게이트 구동회로(11)의 쉬프트 레지스터 회로 구성과 그 회로의 각 노드 전압 파형을 나타낸다.

도 3의 쉬프트 레지스터는 종속적으로 접속된 n 개의 스테이지들(21 내지 2n)을 구비한다. 스테이지들(21 내지 2n)과 게이트라인들(G1 내지 Gn) 사이에는 도시하지 않은 레벨 쉬프트와 출력버퍼가 설치된다.

이러한 쉬프트 레지스터에서 제1 스테이지(21)에는 스타트펄스(SP)가 입력되고 제2 내지 제n 스테이지들(22 내지 2n)은 스타트펄스로서 이전 단의 출력신호(g_1 내지 g_{n-1})가 입력된다. 또한, 각 스테이지(21 내지 2n)는 동일한 회로구성을 가지며 4 개의 클럭신호(C1 내지 C4) 중 두 개의 클럭신호에 응답하여 스타트펄스(SP) 또는 이전 단의 출력신호(g_1 내지 g_{n-1})를 쉬프트시킴으로써 1 수평기간의 펄스폭을 가지는 스캔펄스를 발생한다.

도 4는 도 3에 도시된 쉬프트 레지스터에서 $4i+1$ (단, i는 n 보다 작은 양의 정수) 번째 스테이지(2i)에 대한 구체적인 회로구성을 나타낸 것으로서, 도 4의 스테이지(2i)는 출력노드(3i)에 하이논리의 전압신호를 공급하기 위한 제5 NMOS 트랜지스터(T5)와, 출력노드(3i)에 로우논리의 전압신호를 공급하기 위한 제6 NMOS 트랜지스터(T6)를 구비한다. 이 스테이지(2i)의 동작에 대하여 도 5를 결부하여 설명하기로 한다.

도 4 및 도 5를 참조하면, 제1 및 제2 클럭신호(C1, C3)가 로우논리전압을 유지하는 t1 기간 동안 스타트펄스(SP) 또는 이전 단의 출력신호(g_{i-1})가 하이논리전압으로 제1 및 제4 NMOS 트랜지스터(T1, T4)의 게이트전극에 공급되어 제1 및 제4 NMOS 트랜지스터(T1, T4)를 턴-온시킨다. 이 때 제1 NMOS 트랜지스터(T1)의 소스와 제4 NMOS 트랜지스터(T4)의 드레인에 공통 접속된 제1 노드(P1) 상의 전압(VP1)이 중간전압으로 상승하면서 제5 NMOS 트랜지스터(T5)를 턴-온시키지만 출력노드(3i)의 전압(Vouti)은 제1 클럭신호(C1)가 로우논리전압으로 유지되고 있으므로 로우논리전압을 유지한다. 제4 NMOS 트랜지스터(T4)의 턴-온에 의해 제2 노드(P2) 상의 전압이 낮아지면서 제2 NMOS 트랜지스터(T2)와 제6 NMOS 트랜지스터(T6)는 턴-오프되어 제1 노드(P1)의 방전 경로를 차단한다.

t2 기간 동안, 제1 클럭신호(C1)는 하이논리전압으로 반전되는 반면에 스타트펄스(SP) 또는 이전 단의 출력신호(g_{i-1})가 로우논리전압으로 반전된다. 이 때 제1 NMOS 트랜지스터(T1)와 제4 NMOS 트랜지스터(T2)는 턴-오프(Turn-off)되며, 제1 노드(P1) 상의 전압(VP1)은 제1 클럭신호(C1)의 하이논리전압이 공급되는 제5 NMOS 트랜지스터(T5)의 드레인전극과 게이트전극 사이의 기생 캐패시턴스에 충전되는 전압이 더해지면서 제5 NMOS 트랜지스터(T5)의 문턱전압 이상으로 상승한다. 즉, 제1 노드(P1) 상의 전압(VP1)은 부트스트랩(Bootstraping)에 의해 t1 기간보다 더 높은 전압으로 상승한다. 따라서, t2 기간 동안 제5 NMOS 트랜지스터(T5)는 턴-온되고 출력노드(3i)의 전압(Vouti)은 제5 NMOS 트랜지스터(T5)의 도통에 의해 공급되는 제1 클럭신호(C1)의 전압에 의해 상승하여 하이논리전압으로 반전된다.

t3 기간 동안 제1 클럭신호(C1)는 로우논리전압으로 반전된다. 이 때 제5 NMOS 트랜지스터(T5)는 턴-온 상태를 유지하고 있으므로 출력노드(3i) 상의 전압(Vouti)은 제5 NMOS 트랜지스터(T5)를 통해 방전되면서 로우논리로 반전되고 제1 노드(P1) 상의 전압(VP1)은 중간전압으로 낮아진다.

t4 기간동안 제3 클럭신호(C3)는 하이논리전압으로 반전된다. 이 때 제3 NMOS 트랜지스터(T3)는 제3 클럭신호(C3)에 응답하여 턴-온되며 고전위 전원전압(VDD)은 제3 NMOS 트랜지스터(T3)를 경유하여 제2 노드(P2)에 공급되어 제2 노드(P2) 상의 전압(VP2)을 상승시킨다. 이렇게 상승하는 제2 노드(P2) 상의 전압(VP2)은 제6 NMOS 트랜지스터(T6)를 턴-온시켜 출력노드(3i) 상의 전압(Vouti)을 기저전압(VSS)까지 방전시킴과 동시에 제2 NMOS 트랜지스터(T2)를 턴-온시켜 제1 노드(P1) 상의 전압(VP1)을 기저전압(VSS)까지 방전시킨다.

그런데 액정표시장치는 액정표시패널(13)에 형성되는 데이터라인들(D1 내지 Dm)이 많고 그 데이터라인들(D1 내지 Dm)에 데이터전압을 공급하기 위한 데이터 구동회로(11)의 드라이브 집적회로들로 인하여 코스트 부담이 큰 문제점이 있다. 이러한 문제점은 해상도가 높아지거나 액정표시패널(13)이 대화면화될수록 더 가중된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 데이터라인 수와 데이터 드라이브 집적회로의 수를 줄이는 구동방식에 있어서 그 구동방식에 적합한 게이트 구동장치 및 방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치의 게이트 구동장치는 위상이 서로 반전되며 반주기의 펄스폭을 가지는 제1 및 제2 반주기 클럭신호, 위상이 순차적으로 쉬프트되고 각각 한주기의 펄스폭을 가지는 제1 내지 제4 한주기 클럭신호, 스타트펄스, 고전위 전원전압 및 저전위 전원전압이 공급되는 쉬프트 레지스터를 구비한다.

상기 쉬프트 레지스터는 상기 스타트펄스와 상기 제1 및 제2 반주기 클럭신호에 응답하여 반주기 출력을 발생하고 상기 제1 내지 제4 한주기 클럭신호들 중 어느 하나에 응답하여 상기 반주기 출력의 종료시점으로부터 반주기 늦게 한주기 출력을 발생하는 것을 특징으로 한다.

상기 쉬프트 레지스터는 상기 반주기 출력과 상기 한주기 출력을 각각 발생하며 종속적으로 접속되어 상기 반주기 출력과 상기 한주기 출력을 순차적으로 쉬프트시키기 위한 다수의 스테이지를 구비한다.

상기 제1 및 제2 반주기 클럭신호 중 어느 하나의 반주기 클럭신호, 상기 제1 내지 제4 클럭신호들 중 하나의 클럭신호 및 상기 스타트펄스는 동기되는 것을 특징으로 한다.

본 발명의 다른 실시예에 따른 액정표시장치의 게이트 구동장치는 스타트펄스와 위상이 서로 반전되며 반주기의 펄스폭을 가지는 제1 및 제2 반주기 클럭신호 중 제1 반주기 클럭신호에 응답하여 제1 충전제어노드를 충전시키고 상기 제1 반주기 클럭신호와 위상이 순차적으로 쉬프트되며 각각 한주기의 펄스폭을 가지는 제1 내지 제3 클럭신호들 중 제1 클럭신호에 응답하여 제1 방전제어노드를 충전시키는 제1 입력회로부와; 상기 제1 충전제어노드로부터의 제어신호와 상기 제2 반주기 클럭신호에 응답하여 출력노드에 반주기 출력을 출력하고 상기 제1 방전제어노드로부터의 제어신호에 응답하여 상기 출력노드를 방전시키기 위한 제1 출력회로부와; 상기 반주기 출력과 상기 제1 반주기 클럭신호에 응답하여 제2 충전제어노드를 충전시키고 상기 제2 클럭신호에 응답하여 제2 방전제어노드를 충전시키는 제2 입력회로부와; 상기 제2 충전제어노드로부터의 제어신호와 상기 제3 클럭신호에 응답하여 상기 반주기 출력의 종료시점으로부터 반주기 늦게 상기 출력노드에 한주기 출력을 출력하고 상기 제2 방전제어노드로부터의 제어신호에 응답하여 상기 출력노드를 방전시키기 위한 제2 출력회로부를 구비한다. 실시예에서 상기 제1 반주기 클럭신호는 제2 반주기 클럭신호(CLKHB)로, 상기 제2 반주기 클럭신호는 제1 반주기 클럭신호(CLKH)로, 상기 제1 클럭신호는 제4 클럭신호(CLK4)로, 상기 제2 클럭신호는 제3 클럭신호(CLK3)로, 그리고 상기 제3 클럭신호는 제1 클럭신호(CLK1)로 각각 설명된다.

상기 제1 입력회로부, 상기 제1 출력회로부, 상기 제2 입력회로부 및 상기 제2 출력회로부는 종속적으로 접속된 다수의 스테이지 각각에 포함된다.

상기 스타트펄스는 상기 다수의 스테이지들 중에서 첫 번째 스테이지에 공급된다.

상기 제2 반주기 클럭신호, 상기 제2 클럭신호 및 상기 스타트펄스는 동기되는 것을 특징으로 한다.

상기 제1 입력회로부는 상기 스타트펄스와 상기 제1 반주기 클럭신호에 응답하여 상기 스타트펄스의 종료시점으로부터 반주기 늦게 상기 제1 충전제어노드를 충전시키기 위한 인버터를 구비한다.

상기 인버터는 게이트전극과 드레인전극에 상기 스타트펄스가 공급되는 제1a 트랜지스터와; 게이트전극에 상기 제1 반주기 클럭신호가 공급되고 드레인전극에 고전위 전원전압이 공급되는 제1b 트랜지스터와; 제1a 트랜지스터의 소스전극에 게이트전극이 접속되고 상기 제1b 트랜지스터의 소스전극에 드레인전극이 접속되며 상기 제1 충전제어노드에 소스전극이 접속된 제1c 트랜지스터를 구비한다.

상기 인버터는 상기 스타트펄스를 충전하여 상기 제1c 트랜지스터의 게이트전극에 게이트전압을 공급하기 위한 캐패시터를 더 구비한다. 상기 캐패시터는 실시예에서 제1 인버터 캐패시터(C1in)로 설명된다.

상기 제1 입력회로부는 게이트전극에 상기 제1 클럭신호가 공급되고 소스전극에 저전위 전원전압이 공급되며 상기 제1a 트랜지스터의 소스전극과 상기 제1c 트랜지스터의 게이트전극에 드레인전극이 접속된 제2a 트랜지스터와; 소스전극에 상기 저전위 전원전압이 공급되며 상기 제1 방전제어노드에 게이트전극이 접속되고 상기 제1 충전제어노드에 드레인전극이 접속된 제2b 트랜지스터를 더 구비한다.

상기 제1 입력회로부는 게이트전극에 상기 제1 클럭신호가 공급되고 드레인전극에 고전위 전원전압이 공급되는 제3a 트랜지스터와; 게이트전극에 상기 제1 반주기 클럭신호가 공급되며 상기 제3a 트랜지스터의 소스전극에 드레인전극이 접속되고 상기 제1 방전제어노드에 소스전극이 접속되는 제3b 트랜지스터를 구비한다.

상기 제1 입력회로부는 게이트전극에 상기 스타트펄스가 공급되고 소스전극에 저전위 전원전압이 공급되며 상기 제1 방전제어노드에 드레인전극이 접속된 제4a 트랜지스터와; 소스전극에 저전위 전원전압이 공급되며 상기 출력노드에 게이트전극이 접속되고 상기 제1 방전제어노드에 드레인전극이 접속된 제4b 트랜지스터를 구비한다.

상기 제1 출력회로부는 드레인전극에 상기 제2 반주기 클럭신호가 공급되며 상기 출력노드에 소스전극이 접속되고 상기 제1 충전제어노드에 게이트전극이 접속된 제5 트랜지스터와; 소스전극에 저전위 전원전압이 공급되며 상기 출력노드에 드레인전극이 접속되고 상기 제1 방전제어노드에 게이트전극이 접속된 제6 트랜지스터와; 드레인전극에 상기 제2 반주기 클럭신호(CLKHB)가 공급되며 상기 제1 충전제어노드에 게이트전극이 접속되고 다음 단 스테이지의 스타트펄스 입력단자에 소스전극이 접속된 제7 트랜지스터를 구비한다.

상기 제2 입력회로부는 상기 반주기 출력과 상기 제1 반주기 클럭신호에 응답하여 상기 반주기 출력의 종료시점으로부터 반주기 늦게 상기 제2 충전제어노드를 충전시키기 위한 인버터를 구비하는 것을 특징으로 한다.

상기 인버터는 드레인전극에 고전위 전원전압이 공급되며 상기 출력노드에 게이트전극이 접속된 제8a 트랜지스터와; 드레인전극에 상기 고전위 전원전압이 공급되고 게이트전극에 상기 제1 반주기 클럭신호가 공급되는 제8b 트랜지스터와; 제8a 트랜지스터의 소스전극에 게이트전극이 접속되고 상기 제8b 트랜지스터의 소스전극에 드레인전극이 접속되며 상기 제2 충전제어노드에 소스전극이 접속된 제8c 트랜지스터를 구비한다.

상기 인버터는 상기 고전위 전원전압을 충전하여 상기 제8c 트랜지스터의 게이트전극에 게이트전압을 공급하기 위한 캐패시터를 더 구비하는 것을 특징으로 하는 액정표시장치의 게이트 구동장치. 상기 캐패시터는 실시예에서 제2 인버터 캐패시터(C2in)로 설명된다.

상기 제2 입력회로부는 게이트전극에 상기 제3 클럭신호가 공급되고 소스전극에 저전위 전원전압이 공급되며 상기 제8a 트랜지스터의 소스전극과 상기 제8c 트랜지스터에 드레인전극이 접속된 제9a 트랜지스터와; 소스전극에 저전위 전원전압이 공급되며 상기 제2 방전제어노드에 게이트전극이 접속되고 상기 제8c 트랜지스터의 소스전극과 상기 제2 충전제어노드에 드레인전극이 접속된 제9b 트랜지스터를 더 구비한다.

상기 제2 입력회로부는 게이트전극과 드레인전극에 상기 제2 클럭신호가 공급되며 상기 제2 방전제어노드에 소스전극이 접속된 제10 트랜지스터와; 소스전극에 저전위 전원전압이 공급되며 상기 출력노드에 게이트전극이 접속되고 상기 제2 방전노드에 드레인전극이 접속된 제11a 트랜지스터와; 소스전극에 상기 저전위 전원전압이 공급되며 상기 제2 충전제어노드에 게이트전극이 접속되고 상기 제2 방전제어노드에 드레인전극이 접속된 제11b 트랜지스터를 더 구비한다.

상기 제2 출력회로부는 드레인전극에 상기 제3 클럭신호가 공급되며 상기 제2 충전제어노드에 게이트전극이 접속되고 상기 출력노드에 소스전극이 접속된 제12 트랜지스터와; 소스전극에 저전위전압이 공급되며 상기 제2 방전제어노드에 게이트전극이 접속되고 상기 출력노드에 드레인전극이 접속된 제13 트랜지스터를 구비한다.

본 발명의 실시예에 따른 액정표시장치의 게이트 구동방법은 위상이 서로 반전되며 반주기의 펄스폭을 가지는 제1 및 제2 반주기 클럭신호, 위상이 순차적으로 쉬프트되고 각각 한주기의 펄스폭을 가지는 제1 내지 제4 한주기 클럭신호, 스타트펄스, 고전위 전원전압 및 저전위 전원전압이 공급받는 단계와; 상기 스타트펄스와 상기 제1 및 제2 반주기 클럭신호에 응답하여 반주기 출력을 발생하고 상기 제1 내지 제4 한주기 클럭신호들 중 어느 하나에 응답하여 상기 반주기 출력의 종료시점으로부터 반주기 늦게 한주기 출력을 발생하는 단계를 포함한다.

본 발명의 다른 실시예에 따른 액정표시장치의 게이트 구동장치는 스타트펄스와 위상이 서로 반전되며 반주기의 펄스폭을 가지는 제1 및 제2 반주기 클럭신호 중 제1 반주기 클럭신호에 응답하여 제1 충전제어노드를 충전시키는 단계와; 상기 제1 충전제어노드로부터의 제어신호와 상기 제1 반주기 클럭신호에 응답하여 출력노드에 반주기 출력을 출력하는 단계와; 상기 제2 반주기 클럭신호(CLKHB)와 위상이 순차적으로 쉬프트되며 각각 한주기의 펄스폭을 가지는 제1 내지 제3 클럭신호들 중 제1 클럭신호에 응답하여 제1 방전제어노드를 충전시키는 단계와; 상기 제1 방전제어노드로부터의 제어신호에 응답하여 상기 출력노드를 방전시키는 단계와; 상기 반주기 출력과 상기 제2 반주기 클럭신호에 응답하여 제2 충전제어노드를 충전시키는 단계와; 상기 제2 충전제어노드로부터의 제어신호와 상기 제3 클럭신호에 응답하여 상기 반주기 출력의 종료시점으로부터 반주기 늦게 상기 출력노드에 한주기 출력을 출력하는 단계와; 상기 제2 방전제어노드로부터의 제어신호에 응답하여 상기 출력노드를 방전시키는 단계를 포함한다. 실시예에서 상기 제1 반주기 클럭신호는 제1 반주기 클럭신호(CLKH)로, 상기 제2 반주기 클럭신호는 제2 반주기 클럭신호(CLKHB)로, 상기 제1 클럭신호는 제4 클럭신호(CLK4)로, 상기 제2 클럭신호는 제3 클럭신호(CLK3)로, 그리고 상기 제3 클럭신호는 제1 클럭신호(CLK1)로 각각 설명된다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하 도 6 내지 도 12를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 6 및 도 7은 본 발명의 실시예에 따른 액정표시장치를 나타낸다.

도 6 및 도 7을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 $m \times n$ 개의 액정셀들(Cl_c)이 매트릭스 타입으로 배열되고 $m/2$ 개의 데이터라인들(D₁ 내지 D_{m/2})과 n 개의 게이트라인들(G₁ 내지 G_n)이 교차되는 액정표시패널(63)과, 액정표시패널(63)의 데이터라인들(D₁ 내지 D_{m/2})에 데이터를 공급하기 위한 데이터 구동회로(61)와, 게이트라인들(G₁ 내지 G_n)에 스캔펄스를 공급하기 위한 게이트 구동회로(62)와, 데이터 구동회로(61)와 게이트 구동회로(62)를 제어하기 위한 타이밍 콘트롤러(63)와, 액정표시패널(63)의 구동에 필요한 구동전압을 발생하기 위한 전원 발생부(65)를 구비한다.

액정표시패널(63)은 두 장의 유리기판 사이에 액정분자들이 주입된다. 이 액정표시패널(63)의 하부 유리기판 상에 형성된 데이터라인들(D₁ 내지 D_{m/2})과 게이트라인들(G₁ 내지 G_n)은 상호 직교된다. 데이터라인들(D₁ 내지 D_m)과 게이트라인들(G₁ 내지 G_n)의 교차부에는 동일한 데이터라인으로부터 공급되는 데이터 전압을 좌측 화소와 우측 화소로 분배하기 위한 제1 좌측 화소 구동용 TFT(이하, "LTFT1"이라 한다), 제2 좌측 화소 구동용 TFT(이하, "LTFT2"이라 한다) 및 우측 화소 구동용 TFT(이하, "RTFT"이라 한다)가 형성된다.

LTFT1은 j 번째(단, j는 n 보다 작은 양의 정수) 게이트라인(G_j)으로부터의 스캔펄스에 응답하여 j+1 번째 게이트라인(G_{j+1}) 상의 전압을 LTFT2의 게이트전극에 공급하여 LTFT2를 온/오프시킨다. 이를 위하여, 게이트전극이 j 번째 게이트라인(G_j)에 접속된 LTFT1의 드레인전극은 j+1 번째 게이트라인(G_{j+1})에 접속된다. 그리고 게이트전극이 j 번째 게이트라인(G_j)에 접속된 LTFT1의 소스전극은 i 번째(단, i는 m/2 보다 작은 양의 정수) 데이터라인(D_i)의 우측 액정셀을 구동하기 위한 LTFT2의 게이트전극에 접속된다.

LTFT2는 LTFT1의 소스전극으로부터의 제어전압에 응답하여 우측 액정셀의 화소전극(64)과 i 번째 데이터라인(D_i) 사이의 전류패스를 형성하거나 차단한다. 이를 위하여, LTFT2의 드레인전극은 i 번째 데이터라인(D_i)에 접속되고 LTFT2의 소스전극은 i 번째 데이터라인(D_i)의 우측에 위치하는 액정셀의 화소전극(64)에 접속된다.

RTFT는 j 번째 게이트라인(G_j)으로부터의 스캔펄스에 응답하여 i 번째 데이터라인(D_i)에 데이터전압을 공급한다. 이를 위하여, 게이트전극이 j 번째 게이트라인(G_j)에 접속된 RTFT의 드레인전극은 i 번째 데이터라인(D_i)에 접속된다. 그리고 게이트전극이 j 번째 게이트라인(G_j)에 접속된 RTFT의 소스전극은 i 번째 데이터라인(D_i)의 좌측에 위치하는 액정셀의 화소전극(64)에 접속된다.

액정표시패널(13)의 액정셀 각각에는 스토리지 캐패시터(Cst)가 형성된다. 스토리지 캐패시터(Cst)는 액정셀의 화소전극과 전단 게이트라인 사이에 형성되어 액정셀(Clc)의 전압을 일정하게 유지시킨다.

액정표시패널(13)의 상부 유리기판 상에는 도시하지 않은 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 그리고 액정표시패널(13)의 상부 유리기판과 하부 유리기판 상에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 내측 면 상에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다.

데이터 구동회로(61)는 쉬프트 레지스터, 래치, 디지털-아날로그 변환기 및 출력 버퍼를 각각 포함하는 다수의 데이터 드라이브 집적회로들로 구성된다. 이 데이터 구동회로(61)는 타이밍 콘트롤러(64)의 제어 하에 디지털 비디오 데이터를 래치하고 그 디지털 비디오 데이터를 아날로그 감마보상전압으로 변환하여 데이터라인들(D1 내지 Dm/2)에 공급한다. 이 데이터 구동회로(61)는 한 수평기간 동안 동일한 데이터라인을 통해 그 데이터라인의 좌측과 우측에 각각 위치하는 두 개의 액정셀에 서로 다른 데이터전압을 공급한다. 이를 위하여 데이터 구동회로(61)는 한 수평주기를 2 분할하여 반주기마다 서로 다른 데이터전압을 데이터라인들(D1 내지 Dm/2)에 공급한다.

게이트 구동회로(62)는 1 수평기간의 1/2의 지연시간을 사이에 두고 1 수평기간의 1/2 만큼의 펄스폭을 가지는 반주기 스캔펄스와 1 수평기간의 펄스폭을 가지는 한주기 스캔펄스를 연속적으로 발생하고 그 스캔펄스들을 쉬프트시키는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀의 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터 및 레벨 쉬프터와 게이트라인(G1 내지 Gn) 사이에 접속되는 출력 버퍼를 각각 포함하는 다수의 게이트 드라이브 집적회로들로 구성된다. 이 게이트 구동회로(62)는 타이밍 콘트롤러(64)의 제어 하에 매 게이트라인(G1 내지 Gn)마다 반주기 스캔펄스와 한주기 스캔펄스를 연속으로 공급하고 그 스캔펄스들을 게이트라인들(G1 내지 Gn)에 순차적으로 공급하여 데이터전압이 공급되는 액정표시패널(13)의 수평라인을 선택한다. 여기서, 한주기 스캔펄스는 다음 게이라인에 공급되는 반주기 스캔펄스와 중첩된다. 즉, 도 8에서와 같이 j 번째 게이트라인(Gj)에는 반주기 펄스(HScp)가 공급되고 반주기의 지연시간 뒤에 한주기 스캔펄스(FScp)가 공급되는데, 그 한주기 스캔펄스(FScp)의 초기 1/2 펄스폭은 j+1 번째 게이트라인(Gj+1)에 공급되는 반주기 스캔펄스(HScp)와 중첩된다.

타이밍 콘트롤러(64)는 수직/수평 동기신호와 클럭신호를 입력받아 게이트 구동회로(62)를 제어하기 위한 게이트 제어신호(GDC)와 데이터 구동회로(61)를 제어하기 위한 데이터 제어신호(DDC)를 발생한다. 게이트 제어신호(GDC)는 게이트 스타트 펄스(Gate Start Pulse : GSP), 쉬프트 레지스터를 구동하기 위한 게이트 쉬프트 클럭신호(Gate Shift Clock : GSC), 게이트 출력 신호(Gate Output Enable : GOE) 등을 포함한다. 데이터 제어신호(DDC)는 소스 스타트 펄스(Source Start Pulse : GSP), 소스 쉬프트 클럭(Source Shift Clock : SSC), 소스 출력 신호(Source Output Enable : SOC), 극성 신호(Polarity : POL) 등을 포함한다. 그리고 타이밍 콘트롤러(64)는 디지털 비디오 데이터(RGB)를 샘플링한 후에 재정렬하여 데이터 구동회로(61)에 공급한다.

전원 발생부(65)는 고전위 전원전압(VDD), 저전위 전원전압인 기저전압(VSS), 공통전압(VCOM), 게이트하이전압(Vgh), 게이트로우전압(Vgl) 등 액정표시패널(63)의 구동에 필요한 구동전압을 발생한다. 공통전압(VCOM)은 액정셀의 화소전극과 대향하는 공통전극에 공급되는 전압이다. 게이트하이전압(Vgh)은 LTFT1, LTFT2, RTFT의 문턱전압 이상으로 설정된 스캔펄스의 하이논리전압이다. 게이트로우전압(Vgl)은 TFT의 오프전압으로 설정된 스캔펄스의 로우논리전압이다.

도 7 및 도 8을 결부하여 본 발명에 따른 액정표시장치의 동작에 대하여 설명하기로 한다. t1 기간 동안, i 번째 데이터라인(Di)에 A 화소 데이터전압이 공급됨과 동시에 j+1 번째 게이트라인(Gj+1)에 한주기 스캔펄스(FScp)가 공급되어 j+1 번째 게이트라인(Gj+1)에 게이트전극이 접속된 LTFT1가 턴-온된다. 이와 동시에 j+1 번째 게이트라인(Gj+1)에 반주기 스캔펄스(HScp)가 공급되어 LTFT1를 통해 인가되는 게이트전압에 의해 LTFT2가 턴-온(turn-on)되어 A 화소에 A 화소 데이터전압이 충전된다. 또한, t1 기간 동안 j+1 번째 게이트라인(Gj+1)에 게이트전극이 접속된 RTFT가 턴-온되어 A 화소 데이터전압이 B 화소에도 충전된다. t2 기간 동안 i 번째 데이터라인(Di)에 B 화소 데이터전압이 공급됨과 동시에 j+2 번째 게이트라인(Gj+2)에 TFT 문턱전압보다 낮은 게이트로우전압이 공급되어 j+1 번째 게이트라인(Gj+1)에 게이트전극이 접속된 LTFT1이 턴-오프되어 A 화소는 데이터전압을 유지하고 B 화소는 RTFT를 통해 공급되는 B 화소 데이터전압을 충전한다.

따라서, 본 발명에 따른 액정표시장치는 반주기 스캔펄스와 한주기 스캔펄스를 이용하여 하나의 데이터라인을 통해 순차적으로 공급되는 두 개의 데이터전압을 좌/우측의 액정셀에 시분할로 공급할 수 있으므로 데이터라인 수와 데이터 드라이브 집적회로의 수를 줄일 수 있다.

도 9 내지 도 12는 게이트 구동회로(62)의 쉬프트 레지스터 회로 구성과 그 회로의 각 노드 전압 파형을 나타낸다.

도 9를 참조하면, 본 발명의 실시예에 따른 쉬프트 레지스터는 종속적으로 접속된 n 개의 스테이지들(101 내지 10n)을 구비한다. 스테이지들(101 내지 10n)과 게이트라인들(G1 내지 Gn) 사이에는 도시하지 않은 레벨 쉬프트와 출력버퍼가 설치된다.

이러한 쉬프트 레지스터에서 제1 스테이지(101)에는 스타트펄스(SP)가 입력되고 제2 내지 제n 스테이지들(102 내지 10n)은 스타트펄스로서 이전 단의 출력신호(g_1 내지 g_{n-1})가 입력된다. 또한, 각 스테이지(101 내지 10n)는 동일한 회로구성을 가지며 대략 1 수평기간의 1/2에 해당하는 펄스폭의 제1 및 제2 반주기 클럭신호(CLKH, CLKHB)와 1 수평기간의 폭스폭을 가지는 제1 내지 제4 클럭신호(CLK1 내지 CLK4) 중 세 개의 클럭신호에 응답하여 반주기 스캔펄스(HScp)와 한주기(FScp)를 발생한다. 여기서, 제1 및 제2 반주기 클럭신호(CLKH, CLKHB)는 도 11과 같이 1/2 수평주기마다 서로의 위상이 반전된다. 스타트펄스(SP)의 펄스폭은 제1 및 제2 반주기 클럭신호(CLKH, CLKHB)과 동일하다. 제1 내지 제4 클럭신호(CLK1 내지 CLK4)는 1 수평주기씩 순차적으로 쉬프트된다. 스타트펄스(SP), 제1 반주기 클럭신호(CLKH) 및 제3 클럭신호(CLK3)는 동기된다.

도 10은 쉬프트 레지스터에서 $4i+1$ (단, i는 n 보다 작은 양의 정수) 번째 스테이지(10i)에 대한 구체적인 회로 구성을 나타낸다. 이 스테이지(10i)는 반주기 스캔펄스(HScp)를 발생하기 위한 제1 입력회로부 및 제1 출력회로부를 포함한다. 또한, 스테이지(10i)는 한주기 스캔펄스(FScp)를 발생하기 위한 제2 입력회로부 및 제2 출력회로부를 포함한다.

도 10을 참조하면, 스테이지(10i)의 제1 입력회로부는 스타트펄스(SP) 또는 이전 단의 출력신호(g_{i-1})와 제1 및 제2 반주기 클럭신호(CLKH, CLKHB)에 응답하여 제1 충전제어노드(Q1)를 충전시키고 상기 제2 반주기 클럭신호(CLKH)와 제4 클럭신호(CLK4)에 응답하여 제1 방전제어노드(QB1)를 충전시킨다. 이 제1 입력회로부는 제1a NMOS 트랜지스터(N11a), 제1b NMOS 트랜지스터(N11b), 제1c NMOS 트랜지스터(N11c), 제2a NMOS 트랜지스터(N12a), 제2b NMOS 트랜지스터(N12b), 제3a NMOS 트랜지스터(N13a), 제3b NMOS 트랜지스터(N13b), 제4a NMOS 트랜지스터(N14a), 제4b NMOS 트랜지스터(N14b) 및 제1 인버터 캐패시터(C1in)를 포함한다.

제1a NMOS 트랜지스터(N11a), 제1b NMOS 트랜지스터(N11b), 제1c NMOS 트랜지스터(N11c) 및 제1 인버터 캐패시터(C1in)는 스타트펄스(SP) 또는 이전 단의 출력신호(g_{i-1})와 제2 반주기 클럭신호(CLKH)에 응답하여 스타트펄스(SP) 또는 이전 단의 출력신호(g_{i-1})보다 반주기 늦게 제1 충전제어노드(Q1)를 충전시키기 위한 제1 인버터(INV1)를 구성한다.

제1a NMOS 트랜지스터(N11a)는 게이트전극과 드레인전극에 스타트펄스(SP) 또는 이전 단의 출력신호(g_{i-1})가 공급된다. 제1a NMOS 트랜지스터(N11a)의 소스전극은 제1c NMOS 트랜지스터(N11c)의 게이트전극, 제2a NMOS 트랜지스터(N12a)의 드레인전극 및 제1 인버터 캐패시터(C1in)에 공통으로 접속된다. 이 제1a NMOS 트랜지스터(N11a)는 스타트펄스(SP) 또는 이전 단의 출력신호(g_{i-1})가 공급될 때 그 스타트펄스(SP) 또는 이전 단의 출력신호(g_{i-1})를 제1c NMOS 트랜지스터(N11c)의 게이트전극과 제1 인버터 캐패시터(C1in)에 공급하는 다이오드 역할을 한다.

제1b NMOS 트랜지스터(N11b)의 게이트전극에는 제2 반주기 클럭신호(CLKHB)가 공급되며, 제1b NMOS 트랜지스터(N11b)의 드레인전극에는 고전위 전원전압(VDD)이 공급된다. 제1b NMOS 트랜지스터(N11b)의 소스전극은 제1c NMOS 트랜지스터(N11c)의 드레인전극에 접속된다. 이 제1b NMOS 트랜지스터(N11b)는 제2 반주기 클럭신호(CLKHB)에 응답하여 고전위 전원전압(VDD)을 제1c NMOS 트랜지스터(N11c)의 드레인전극에 공급한다.

제1c NMOS 트랜지스터(N11c)는 제1a NMOS 트랜지스터(N11a)를 통해 게이트전극에 스타트펄스(SP) 또는 이전 단의 출력신호(g_{i-1})가 공급된다. 제1c NMOS 트랜지스터(N11c)의 소스전극은 제1 충전제어노드(Q1)에 접속된다. 이 제1c NMOS 트랜지스터(N11c)는 스타트펄스(SP) 또는 이전 단의 출력신호(g_{i-1})에 응답하여 제1b NMOS 트랜지스터(N11b)를 통해 공급되는 고전위 전원전압(VDD)으로 제1 충전제어노드(Q1)를 충전시킨다.

제1 인버터 캐패시터(C1in)는 제1a NMOS 트랜지스터(N11a)를 통해 공급되는 스타트펄스(SP) 또는 이전 단의 출력신호(g_{i-1})을 충전하여 제1a NMOS 트랜지스터(N11a)가 터-오프될 때 제1c NMOS 트랜지스터(N11c)의 게이트전압을 일정하게 유지시킨다.

제2a NMOS 트랜지스터(N12a)의 게이트전극에는 제4 클럭신호(CLK4)가 공급되고 제2a NMOS 트랜지스터(N12a)의 소스전극에는 기저전압(VSS)이 공급된다. 제2a NMOS 트랜지스터(N12a)의 드레인전극은 제1a NMOS 트랜지스터(N11a)의 소스전극과 제1c NMOS 트랜지스터(N11c)의 게이트전극 및 제1 인버터 캐페시터(C1in)에 접속된다. 이 제2a NMOS 트랜지스터(N12a)는 제4 클럭신호(CLK4)에 응답하여 제1c NMOS 트랜지스터(N11c)의 게이트전압과 제1 인버터 캐페시터(C1in)의 전압을 방전시킨다.

제2b NMOS 트랜지스터(N12b)의 소스전극에는 기저전압(VSS)이 공급된다. 제2b NMOS 트랜지스터(N12b)의 게이트전극은 제1 방전제어노드(QB1)에 접속되고 제2b NMOS 트랜지스터(N12b)의 드레인전극은 제1c NMOS 트랜지스터(N11c)의 소스전극과 제1 충전제어노드(Q1)에 접속된다. 이 제2b NMOS 트랜지스터(N12b)는 제1 방전제어노드(QB1)가 충전될 때 턴-온되어 제1 충전제어노드(Q1)를 방전시킨다.

제3a NMOS 트랜지스터(N13a)의 게이트전극에는 제4 클럭신호(CLK4)가 공급되고 제3a NMOS 트랜지스터(N13a)의 드레인전극에는 고전위 전원전압(VDD)이 공급된다. 제3a NMOS 트랜지스터(N13a)의 소스전극은 제3b NMOS 트랜지스터(N13b)의 드레인전극에 접속된다. 이 제3a NMOS 트랜지스터(N13a)는 제4 클럭신호(CLK4)에 응답하여 제3b NMOS 트랜지스터(N13b)의 드레인전극에 고전위 전원전압(VDD)을 공급한다.

제3b NMOS 트랜지스터(N13b)의 게이트전극에는 제2 반주기 클럭신호(CLKHB)가 공급된다. 제3b NMOS 트랜지스터(N13b)의 소스전극은 제1 방전제어노드(QB)에 접속된다. 제3b NMOS 트랜지스터(N13b)의 드레인전극에 접속된다. 이 제3b NMOS 트랜지스터(N13b)는 제2 반주기 클럭신호(CLKHB)에 응답하여 제1 방전제어노드(QB)에 제3a NMOS 트랜지스터(N13a)로부터의 고전위 전원전압(VDD)을 공급하여 제1 방전제어노드(QB)를 충전시킨다.

제4a NMOS 트랜지스터(N14a)의 게이트전극에는 스타트펄스(SP) 또는 이전 단의 출력신호(g_{i-1})가 공급되고 제4a NMOS 트랜지스터(N14a)의 소스전극에는 기저전압(VSS)이 공급된다. 제4a NMOS 트랜지스터(N14a)의 드레인전극은 제1 방전제어노드(QB1)에 접속된다. 이 제4a NMOS 트랜지스터(N14a)는 스타트펄스(SP) 또는 이전 단의 출력신호(g_{i-1})에 응답하여 제1 방전제어노드(QB1)를 방전시킨다.

제4b NMOS 트랜지스터(N14b)의 소스전극에는 기저전압(VSS)이 공급된다. 제4b NMOS 트랜지스터(N14b)의 게이트전극은 출력노드(11i)에 접속되고 제4b NMOS 트랜지스터(N14b)의 드레인전극은 제1 방전제어노드(QB1)에 접속된다. 이 제4b NMOS 트랜지스터(N14b)는 출력노드(11i) 상의 출력전압(Vout(i))에 응답하여 제1 방전제어노드(QB1)를 방전시킨다.

스테이지(10i)의 제1 출력회로부는 제1 충전제어노드(Q1) 상의 제어전압과 제1 반주기 클럭신호(CLKH)에 응답하여 반주기 스캔펄스(HScp)와 다음 단 스테이지의 스타트펄스를 발생시키고 제1 방전제어노드(QB1) 상의 제어전압에 응답하여 출력노드(11i) 상의 전압을 방전시킨다. 이 제1 출력회로부는 제5 NMOS 트랜지스터(N15), 제6 NMOS 트랜지스터(N16) 및 제7 NMOS 트랜지스터(N17)를 구비한다.

제5 NMOS 트랜지스터(N15)의 게이트전극에는 제1 충전제어노드(Q1) 상의 전압이 공급되고 제5 NMOS 트랜지스터(N15)의 드레인전극에는 제1 반주기 클럭신호(CLKH)가 공급된다. 제5 NMOS 트랜지스터(N15)의 소스전극은 출력노드(11i)에 접속된다. 이 제5 NMOS 트랜지스터(N15)는 제1 충전제어노드(Q1) 상의 제어전압에 응답하여 반주기 스캔펄스(HScp)를 출력노드(11i)를 통해 출력시키는 버퍼 트랜지스터이다.

제6 NMOS 트랜지스터(N16)의 게이트전극에는 제1 방전제어노드(QB1) 상의 전압이 공급되고 제6 NMOS 트랜지스터(N16)의 소스전극에는 기저전압(VSS)이 공급된다. 제6 NMOS 트랜지스터(N16)의 드레인전극은 출력노드(11i)에 접속된다. 이 제6 NMOS 트랜지스터(N16)는 제1 방전제어노드(QB1) 상의 제어전압에 응답하여 출력노드(11i) 상의 전압을 기저전압(VSS)으로 유지시킨다. 즉, 제6 NMOS 트랜지스터(N16)는 출력전압이 발생된 후 제1 반주기 클럭신호(CLKH)가 로우논리로 반전될 때 출력노드(11i)와 기저전압노드(n3) 사이에 전류패스를 형성시켜 출력노드(11i)를 오프 상태로 유지시킨다.

제7 NMOS 트랜지스터(N17)의 게이트전극에는 제1 충전제어노드(Q1) 상의 전압이 공급되고 제7 NMOS 트랜지스터(N17)의 드레인전극에는 제1 반주기 클럭신호(CLKH)가 공급된다. 제7 NMOS 트랜지스터(N17)의 소스전극은 도시하지

않은 다음단 스테이지의 스타트펄스 입력단자에 접속된다. 이 제7 NMOS 트랜지스터(N17)는 제1 충전제어노드(Q1) 상의 제어전압에 응답하여 제1 반주기 클럭신호(CLKH)를 다음 단 스테이지의 스타트펄스(gi)로서 다음 단 스테이지의 스타트펄스 입력단자에 공급한다.

스테이지(10i)의 제2 입력회로부는 제1 출력회로부터로의 반주기 스캔펄스(HScp)에 의해 구동되어 제2 충전제어노드(Q2)를 충전시켜 한주기 스캔펄스(FScp)를 발생한다. 이 제2 입력회로부는 제8a NMOS 트랜지스터(N18a), 제8b NMOS 트랜지스터(N18b), 제8c NMOS 트랜지스터(N18c), 제9a NMOS 트랜지스터(N19a), 제9b NMOS 트랜지스터(N19b), 제10 NMOS 트랜지스터(N20), 제11a NMOS 트랜지스터(N21a), 제11b NMOS 트랜지스터(N21b) 및 제2 인버터 캐패시터(C2in)를 포함한다.

제8a NMOS 트랜지스터(N18a), 제8b NMOS 트랜지스터(N18b), 제8c NMOS 트랜지스터(N18c) 및 제2 인버터 캐패시터(C2in)는 출력노드(11i) 상의 출력전압(Vout(i))과 제2 반주기 클럭신호(CLKHB)에 응답하여 출력전압(Vout(i))보다 반주기 늦게 제2 충전제어노드(Q2)를 충전시키기 위한 제2 인버터(INV2)를 구성한다.

제8a NMOS 트랜지스터(N18a)의 게이트전극에는 출력전압(Vout(i))이 공급되고 제8a NMOS 트랜지스터(N18a)의 드레인전극에는 고전위 전원전압(VDD)이 공급된다. 제8a NMOS 트랜지스터(N18a)의 소스전극은 제8c NMOS 트랜지스터(N18c)의 게이트전극, 제9a NMOS 트랜지스터(N19a)의 드레인전극 및 제2 인버터 캐패시터(C2in)에 공통으로 접속된다. 이 제8a NMOS 트랜지스터(N11a)는 반주기 스캔펄스(HScp)에 응답하여 고전위 전원전압(VDD)을 제8c NMOS 트랜지스터(N18c)의 게이트전극과 제2 인버터 캐패시터(C2in)에 공급한다.

제8b NMOS 트랜지스터(N18b)의 게이트전극에는 제2 반주기 클럭신호(CLKHB)가 공급되며, 제8b NMOS 트랜지스터(N18b)의 드레인전극에는 고전위 전원전압(VDD)이 공급된다. 제8b NMOS 트랜지스터(N18b)의 소스전극은 제8c NMOS 트랜지스터(N18c)의 드레인전극에 접속된다. 이 제8b NMOS 트랜지스터(N18b)는 제2 반주기 클럭신호(CLKHB)에 응답하여 고전위 전원전압(VDD)을 제8c NMOS 트랜지스터(N18c)의 드레인전극에 공급한다.

제8c NMOS 트랜지스터(N18c)는 제8a NMOS 트랜지스터(N18a)를 통해 게이트전극에 고전위 전원전압(VDD)이 공급된다. 제8c NMOS 트랜지스터(N18c)의 소스전극은 제2 충전제어노드(Q2)에 접속된다. 이 제8c NMOS 트랜지스터(N18c)는 제8a NMOS 트랜지스터(N18a)의 온 시간 동안 고전위 전원전압(VDD)에 응답하여 제8b NMOS 트랜지스터(N18b)를 통해 공급되는 고전위 전원전압(VDD)으로 제2 충전제어노드(Q2)를 충전시킨다.

제2 인버터 캐패시터(C2in)는 제8a NMOS 트랜지스터(N18a)를 통해 공급되는 고전위 전원전압(VDD)을 충전하여 제8a NMOS 트랜지스터(N18a)가 턠-오프될 때 제8c NMOS 트랜지스터(N18c)의 게이트전압을 일정하게 유지시킨다.

제9a NMOS 트랜지스터(N19a)의 게이트전극에는 제1 클럭신호(CLK1)가 공급되고 제9a NMOS 트랜지스터(N19a)의 소스전극에는 기저전압(VSS)이 공급된다. 제9a NMOS 트랜지스터(N19a)의 드레인전극은 제8a NMOS 트랜지스터(N18a)의 소스전극과 제8c NMOS 트랜지스터(N18c)의 게이트전극 및 제2 인버터 캐패시터(C2in)에 접속된다. 이 제9a NMOS 트랜지스터(N19a)는 제1 클럭신호(CLK1)에 응답하여 제8c NMOS 트랜지스터(N18c)의 게이트전압과 제2 인버터 캐패시터(C2in)의 전압을 방전시킨다.

제9b NMOS 트랜지스터(N19b)의 소스전극에는 기저전압(VSS)이 공급된다. 제9b NMOS 트랜지스터(N19b)의 게이트전극은 제2 방전제어노드(QB2)에 접속되고 제9b NMOS 트랜지스터(N19b)의 드레인전극은 제8c NMOS 트랜지스터(N18c)의 소스전극과 제2 충전제어노드(Q2)에 접속된다. 이 제9b NMOS 트랜지스터(N19b)는 제2 방전제어노드(QB2)가 충전될 때 턠-온되어 제2 충전제어노드(Q2)를 방전시킨다.

제10 NMOS 트랜지스터(N20)의 게이트전극과 드레인전극에는 제3 클럭신호(CLK3)가 공급된다. 제10 NMOS 트랜지스터(N20)의 소스전극은 제2 방전제어노드(QB2)과 제11b NMOS 트랜지스터(N21b)의 드레인전극에 접속된다. 이 제10 NMOS 트랜지스터(N20)는 제3 클럭신호(CLK2)에 응답하여 제2 방전제어노드(QB2)를 충전시킨다.

제11a NMOS 트랜지스터(N21a)의 소스전극에는 기저전압(VSS)이 공급된다. 제11a NMOS 트랜지스터(N21a)의 게이트전극은 출력노드(11i)와 제4b NMOS 트랜지스터(N14b)의 게이트전극에 접속되고 제11a NMOS 트랜지스터(N21a)의 드레인전극은 제2 방전제어노드(QB2)에 접속된다. 제11b NMOS 트랜지스터(N21b)는 출력노드(11i)에 전압이 충전될 때 턠-온되어 제2 방전제어노드(QB2)를 충전시켜 제9b NMOS 트랜지스터(N19b)와 제13 NMOS 트랜지스터(N23)를 턠-온시킨다.

제11b NMOS 트랜지스터(N21b)의 소스전극에는 기저전압(VSS)이 공급된다. 제11b NMOS 트랜지스터(N21b)의 게이트전극은 제2 충전제어노드(Q2)에 접속되고 제11b NMOS 트랜지스터(N21b)의 드레인전극은 제2 방전제어노드(QB2)에 접속된다. 제11b NMOS 트랜지스터(N21b)는 제2 충전제어노드(Q2)가 충전될 때 턴-온되어 제2 방전제어노드(QB2)를 방전시켜 제9b NMOS 트랜지스터(N19b)와 제13 NMOS 트랜지스터(N23)를 턴-오프시킨다.

스테이지(10i)의 제2 출력회로부는 제2 충전제어노드(Q2) 상의 제어전압에 응답하여 한주기 스캔펄스(FScp)를 발생하고 제2 방전제어노드(QB2) 상의 제어전압에 응답하여 출력노드(11i) 상의 전압을 방전시킨다. 이 제2 출력회로부는 제12 NMOS 트랜지스터(N22)와 제13 NMOS 트랜지스터(N23)를 구비한다.

제12 NMOS 트랜지스터(N22)의 게이트전극에는 제2 충전제어노드(Q2) 상의 전압이 공급되고 제12 NMOS 트랜지스터(N22)의 드레인전극에는 제1 클럭신호(CLK1)가 공급된다. 제12 NMOS 트랜지스터(N22)의 소스전극은 출력노드(11i)에 접속된다. 이 제12 NMOS 트랜지스터(N22)는 제2 충전제어노드(Q2) 상의 제어전압에 응답하여 한주기 스캔펄스(FScp)를 출력노드(11i)를 통해 출력시키는 버퍼 트랜지스터이다.

제13 NMOS 트랜지스터(N23)의 게이트전극에는 제2 방전제어노드(QB2) 상의 전압이 공급되고 제13 NMOS 트랜지스터(N23)의 소스전극에는 기저전압(VSS)이 공급된다. 제13 NMOS 트랜지스터(N23)의 드레인전극은 출력노드(11i)에 접속된다. 이 제13 NMOS 트랜지스터(N23)는 출력노드(11i)에 출력전압이 발생된 후 제2 방전제어노드(QB2) 상의 제어전압에 응답하여 출력노드(11i) 상의 전압을 기저전압(VSS)으로 유지시킨다. 또한, 제13 NMOS 트랜지스터(N23)는 출력전압이 발생된 후 제1 클럭신호(CLK1)가 로우논리로 반전될 때 출력노드(11i)와 기저전압노드(n3) 사이에 전류패스를 형성시켜 출력노드(11i)를 오프 상태로 유지시킨다.

도 10 및 도 11을 결부하여 본 발명의 실시예에 따른 액정표시장치의 게이트 구동장치 및 그 구동방법의 동작을 단계적으로 설명하기로 한다.

도 10 및 도 11을 참조하면, 스타트펄스(SP) 또는 이전 단의 출력신호(g_{i-1})가 하이논리전압으로 발생되는 I1 기간 동안 제1 반주기 클럭신호(CLKH)와 제3 클럭신호(CLK3)는 하이논리전압인 반면에 제2 반주기 클럭신호(CLKHB), 제1, 제2 및 제4 클럭신호(CLK4)는 로우논리전압이다. 이 I1 기간 동안 제1a NMOS 트랜지스터(N11a)와 제1c NMOS 트랜지스터(N11c)는 스타트펄스(SP) 또는 이전 단의 출력신호(g_{i-1})는 턴-온되고 제1 인버터 캐페시터(C1in)에는 스타트펄스(SP) 또는 이전 단의 출력신호(g_{i-1})의 전압이 충전된다. 이와 동시에 제4a NMOS 트랜지스터(N14a)는 제1a NMOS 트랜지스터(N11a)를 경유하여 공급되는 스타트펄스(SP) 또는 이전 단의 출력신호(g_{i-1})에 응답하여 턴-온됨으로써 제1 방전제어노드(QB1) 상의 전압을 기저전압(VSS)으로 유지시킨다. 또한, I1 기간 동안 제10 NMOS 트랜지스터(N20)는 제3 클럭신호(CLK3)에 응답하여 턴-온됨으로써 제2 방전제어노드(QB1)를 충전시킨다. 이 때 제9a 및 제13 NMOS 트랜지스터(N23)는 턴-온되어 출력노드(11i) 상의 전압을 기저전압(VSS)으로 유지시킨다.

I2 기간 동안 제3 클럭신호(CLK3)는 하이논리전압으로 유지되고 제1 반주기 클럭신호(CLKH)와 스타트펄스(SP) 또는 이전 단의 출력신호(g_{i-1})는 로우논리전압으로 반전된다. 이 때 제2 반주기 클럭신호(CLKHB)는 하이논리전압으로 반전된다. 이 I2 기간 동안 제1a 및 제4 NMOS 트랜지스터(N11a, N14)는 턴-오프되는 반면, 제1b NMOS 트랜지스터(N11b)는 제2 반주기 클럭신호(CLKHB)에 응답하여 턴-온된다. 제1 충전제어노드(Q1)는 제1b NMOS 트랜지스터(N11b)와 제1 인버터 캐페시터(C1in)에 충전된 전압으로 온 상태를 유지하는 제1c NMOS 트랜지스터(N11c)를 통해 공급되는 고전위 전원전압(VDD)에 의해 중간전압까지 충전된다. 제2 방전제어노드(QB2)는 제3 클럭신호(CLK3)가 하이논리전압이므로 기저전압(VSS)을 유지한다.

I3 기간 동안 제3 클럭신호(CLK3)는 로우논리전압으로 반전되고 제4 클럭신호(CLK4)는 하이논리전압으로 반전된다. 이 때 제1 및 제2 반주기 클럭신호(CLKH, CLKHB)는 서로의 위상이 다시 반전된다. 제1 충전제어노드(Q1)는 제1 반주기 클럭신호(CLKH)에 의해 충전되는 제7 NMOS 트랜지스터(N17)의 게이트-소스간 기생용량 전압으로 더 상승하면서 즉, 부트스트래핑에 의해 전압이 NMOS 트랜지스터의 문턱전압 이상으로 더 상승하게 되고 제7 NMOS 트랜지스터(N17)를 통해 제1 반주기 클럭신호(CLKH)가 스타트펄스로서 다음 단 스테이지의 스타트펄스 입력단자에 공급된다. 이 때 제1 반주기 클럭신호(CLKH)에 의해 턴-온되는 제5 NMOS 트랜지스터(N15)를 통해 제1 반주기 클럭신호(CLKH)는 반주기 스캔펄스(HScp)로서 출력노드(11i)를 통해 출력된다. 이와 동시에 그 출력노드(11i)에 접속된 제4b 및 제11a NMOS 트랜지스터

터(N14b, N21a)는 턴-온되어 제1 방전제어노드(QB1)를 기저전압(VSS)으로 유지시키고 제2 방전제어노드(QB2)를 기저전압(VSS)까지 방전시킨다. 또한, I3 기간 동안 출력노드(11i) 상의 반주기 스캔펄스(HScp)에 의해 제8a NMOS 트랜지스터(N18a)가 턴온되므로 제8c NMOS 트랜지스터(N18c)의 게이트전압과 제2 인버터 캐패시터(C2in)는 충전된다.

I4 기간 동안 제4 클럭신호(CLK4)는 하이논리전압으로 유지되고 제1 및 제2 반주기 클럭신호(CLKH, CLKHB)는 서로의 위상이 다시 반전된다. 이 때 제3a NMOS 트랜지스터(N13a)는 제4 클럭신호(CLK4)에 의해 온 상태로 유지하고 있고 제3b NMOS 트랜지스터(N13b)는 제2 반주기 클럭신호(CLKHB)에 의해 턴온된다. 그 결과, 제1 방전제어노드(QB1)는 고전위 전원전압(VDD)을 충전하여 제2b 및 제6 NMOS 트랜지스터(N16)를 턴-온시킴으로써 제1 충전제어노드(Q1)와 출력노드(11i)를 방전시킨다. I4 기간 동안 제2 충전제어노드(Q2)는 제2 반주기 클럭신호(CLKHB)에 의해 턴-온되는 제8b NMOS 트랜지스터(N18b)와 제2 인버터 캐패시터(C2in)에 충전되는 전압으로 온 상태를 유지하는 제8c NMOS 트랜지스터(N18c)를 통해 공급되는 고전위 전원전압(VDD)을 충전하여 중간전압까지 상승한다.

I5 기간 동안 제4 클럭신호(CLK4)는 로우논리전압으로 반전되는 반면에 제1 클럭신호(CLK1)는 하이논리전압으로 반전된다. 제1 및 제2 반주기 클럭신호(CLKH, CLKHB)는 서로의 위상이 다시 반전된다. 이 때 제2 충전제어노드(Q2)는 제1 클럭신호(CLK1)에 의해 충전되는 제12 NMOS 트랜지스터(N22)의 게이트-소스간 기생용량 전압으로 더 상승하면서 즉, 부트스트래핑에 의해 전압이 NMOS 트랜지스터의 문턱전압 이상으로 더 상승하게 된다. 제1 클럭신호(CLK1)에 의해 턴-온되는 제12 NMOS 트랜지스터(N22)를 통해 제1 클럭신호(CLK1)는 출력노드(11i) 상의 전압을 상승시킨다. 이 때 한주기 스캔펄스(FScp)가 출력노드(11i)를 통해 출력된다. 이와 동시에 그 출력노드(11i)에 접속된 제4b 및 제11a NMOS 트랜지스터(N14b, N21a)는 턴-온되어 제2 방전제어노드(QB1)를 기저전압(VSS)으로 유지시키고 제1 방전제어노드(QB1)를 기저전압(VSS)까지 방전시킨다.

I6 기간 동안 제1 클럭신호(CLK1)는 하이논리전압을 유지한다. 제1 및 제2 반주기 클럭신호(CLKH, CLKHB)는 서로의 위상이 다시 반전된다. 이 때 제2 충전제어노드(Q2)는 제1 클럭신호(CLK1)에 의해 부트스트래핑 상태를 유지하여 출력노드(11i)를 통해 한주기 스캔펄스(FScp)가 계속 출력되게 한다. 이 I6 기간 동안 출력노드(11i) 상의 전압이 하이논리전압으로 유지되고 있으므로 제1 및 제2 방전제어노드(QB1, QB2)는 기저전압(VSS)을 유지한다.

이와 같은 쉬프트 레지스트의 동작을 요약하면 다음과 같다. 스타트펄스(SP) 또는 이전 단의 출력신호(g_{i-1})가 스타트펄스 입력단자에 인가되면 제1 인버터(INV1)에 의해 반주기 늦게 제1 충전제어노드(Q1)가 충전된다. 즉, 스타트펄스(SP) 또는 이전 단의 출력신호(g_{i-1})가 인가되면 제1 충전제어노드(Q1)는 제1 인버터(INV1)의 제1c NMOS 트랜지스터(N11c)의 턴-온에 이어서 제2 반주기 클럭신호(CLKHB)가 하이논리전압으로 반전될 때 턴온된다. 이렇게 제1 충전제어노드(Q1)가 충전된 상태에서 제1 반주기 클럭신호(CLKH)가 하이논리전압으로 반전되면 제5 NMOS 트랜지스터(N15)가 턴-온되고 부트스트래핑에 의해 손실없이 반주기 출력신호가 출력노드(11i)를 통해 출력된다. 이 때 제17 NMOS 트랜지스터(N17)에 의해 반주기 출력신호는 제2 충전제어노드(Q2)의 충전을 위한 제2 인버터(INV2)와 다음 단 스테이지의 스타트펄스로 작용한다. 출력노드(11i)에는 제15 NMOS 트랜지스터(N15), 제16 NMOS 트랜지스터(N16), 제12 NMOS 트랜지스터(N22), 제13 NMOS 트랜지스터(N23)의 4 개의 트랜지스터가 연결되어 있다. 따라서 출력이 발생할 때, 제1 충전제어노드(Q1)를 제외한 나머지 제어노드들 즉, 제2 충전제어노드(Q2), 제1 방전제어노드(QB1) 및 제2 방전제어노드(QB2)는 그라운드 상태를 유지해야 한다. 만약 다른 제어노드들 중에서 어느 한 노드라도 충전 되어 있으면, 그 노드로 인하여 출력 전압이 감소된다. 상기 반주기 출력으로 인하여 제2 인버터(INV2)의 제18c NMOS 트랜지스터(N18c)가 턴-온되고 다시 제2 반주기 클럭신호(CLKHB)가 인가될 때 제2 충전제어노드(Q2)는 충전된다. 이와 동시에 제2 반주기 클럭신호(CLKHB)와 시간적으로 중첩된 제4 클럭신호(CLK4)에 의해서 제1 방전제어노드(QB1)는 충전되어 제1 충전제어노드(Q1)를 방전 시킨다. 그리고 제1 클럭신호(CLK1)가 인가되면, 제2 충전제어노드(Q2)의 부트스트래핑에 의해서 한 주기의 출력이 발생된다. 이렇게 한주기 출력이 발생된 후, 제2 방전제어노드(QB2)는 제3 클럭신호(CLK3)에 의하여 충전되어 제2 충전제어노드(Q2)를 방전시킨다. 제1 방전제어노드(QB1)는 제2 반주기 클럭신호(CLKHB)와 제4 클럭신호(CLK4)에 의해 충전된다. 한편, 제1 방전제어노드(QB1)와 제2 방전제어노드(QB2)는 도 11에서와 알 수 있는 바 4 주기 마다 한 번씩 충전된다.

이러한 쉬프트 레지스터를 통해 발생된 반주기 스캔펄스(HScp)와 한주기 스캔펄스(FScp)는 도시하지 않을 레벨 쉬프터에 의해 스윙폭이 게이트하이전압(Vgh)과 게이트로우전압(Vgl) 사이의 스윙폭으로 변환된 후 출력버퍼를 통해 게이트라인들(G1 내지 Gn)에 순차적으로 공급된다.

도 12는 도 9 및 도 10의 쉬프트 레지스터에 대한 검증을 위하여 실시된 시뮬레이션의 결과 화면을 보여 준다. 도 12에서 알 수 있는 바 본 발명에 따른 액정표시장치의 게이트 구동장치는 반주기 스캔펄스와 한주기 스캔펄스를 반주기 지연시간을 사이에 두고 연속적으로 발생할 수 있음을 알 수 있다. 도 12에 있어서, a12 곡선은 출력전압($V_{out}(i)$) 특성이며, b12 곡선과 c12 곡선은 각각 제1 및 제2 충전제어노드(Q1, Q2)의 전압 특성이다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치의 게이트 구동장치 및 방법은 서로의 위상이 반전되는 두 개의 반주기 클럭신호와 한 주기의 펄스폭을 가지며 위상이 순차적으로 쉬프트되는 네 개의 클럭신호를 이용하여 반주기 출력을 발생한 후 반주기 뒤에 한주기 출력을 발생하게 된다. 그 결과, 본 발명은 반주기의 지연시간을 사이에 두고 반주기 스캔펄스와 한주기 스캔펄스를 발생할 수 있으므로 데이터라인 수와 데이터 드라이브 집적회로의 수를 줄이는 구동방식에 적합한 게이트 구동회로를 구현할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

위상이 서로 반전되며 반주기의 펄스폭을 가지는 제1 및 제2 반주기 클럭신호, 위상이 순차적으로 쉬프트되고 각각 한주기의 펄스폭을 가지는 제1 내지 제4 한주기 클럭신호, 스타트펄스, 고전위 전원전압 및 저전위 전원전압이 공급되는 쉬프트 레지스터를 구비하며,

상기 쉬프트 레지스터는 상기 스타트펄스와 상기 제1 및 제2 반주기 클럭신호에 응답하여 반주기 출력을 발생하고 상기 제1 내지 제4 한주기 클럭신호들 중 어느 하나의 한주기 클럭신호에 응답하여 상기 반주기 출력의 종료시점으로부터 반주기 늦게 한주기 출력을 발생하는 것을 특징으로 하는 액정표시장치의 게이트 구동장치.

청구항 2.

제 1 항에 있어서,

상기 쉬프트 레지스터는,

상기 반주기 출력과 상기 한주기 출력을 각각 발생하며 종속적으로 접속되어 상기 반주기 출력과 상기 한주기 출력을 순차적으로 쉬프트시키기 위한 다수의 스테이지를 구비하는 것을 특징으로 하는 액정표시장치의 게이트 구동장치.

청구항 3.

제 1 항에 있어서,

상기 제1 및 제2 반주기 클럭신호 중 어느 하나의 반주기 클럭신호, 상기 제1 내지 제4 클럭신호들 중 어느 하나의 한주기 클럭신호 및 상기 스타트펄스는 동기되는 것을 특징으로 하는 액정표시장치의 게이트 구동장치.

청구항 4.

스타트펄스와 위상이 서로 반전되며 반주기의 펄스폭을 가지는 제1 및 제2 반주기 클럭신호 중 제1 반주기 클럭신호에 응답하여 제1 충전제어노드를 충전시키고 상기 제1 반주기 클럭신호와 위상이 순차적으로 쉬프트되며 각각 한주기의 펄스폭을 가지는 제1 내지 제3 클럭신호들 중 제1 클럭신호에 응답하여 제1 방전제어노드를 충전시키는 제1 입력회로부와;

상기 제1 충전제어노드로부터의 제어신호와 상기 제2 반주기 클럭신호에 응답하여 출력노드에 반주기 출력을 출력하고 상기 제1 방전제어노드로부터의 제어신호에 응답하여 상기 출력노드를 방전시키기 위한 제1 출력회로부와;

상기 반주기 출력과 상기 제1 반주기 클럭신호에 응답하여 제2 충전제어노드를 충전시키고 상기 제2 클럭신호에 응답하여 제2 방전제어노드를 충전시키는 제2 입력회로부와;

상기 제2 충전제어노드로부터의 제어신호와 상기 제3 클럭신호에 응답하여 상기 반주기 출력의 종료시점으로부터 반주기 늦게 상기 출력노드에 한주기 출력을 출력하고 상기 제2 방전제어노드로부터의 제어신호에 응답하여 상기 출력노드를 방전시키기 위한 제2 출력회로부를 구비하는 것을 특징으로 하는 액정표시장치의 게이트 구동장치.

청구항 5.

제 4 항에 있어서,

상기 제1 입력회로부, 상기 제1 출력회로부, 상기 제2 입력회로부 및 상기 제2 출력회로부는 종속적으로 접속된 다수의 스테이지 각각에 포함되는 것을 특징으로 하는 액정표시장치의 게이트 구동장치.

청구항 6.

제 4 항에 있어서,

상기 스타트펄스는 상기 다수의 스테이지를 중에서 첫 번째 스테이지에 공급되는 것을 특징으로 하는 액정표시장치의 게이트 구동장치.

청구항 7.

제 4 항에 있어서,

상기 제2 반주기 클럭신호, 상기 제2 클럭신호 및 상기 스타트펄스는 동기되는 것을 특징으로 하는 액정표시장치의 게이트 구동장치.

청구항 8.

제 4 항에 있어서,

상기 제1 입력회로부는,

상기 스타트펄스와 상기 제1 반주기 클럭신호에 응답하여 상기 스타트펄스의 종료시점으로부터 반주기 늦게 상기 제1 충전제어노드를 충전시키기 위한 인버터를 구비하는 것을 특징으로 하는 액정표시장치의 게이트 구동장치.

청구항 9.

제 8 항에 있어서,

상기 인버터는,

게이트전극과 드레인전극에 상기 스타트펄스가 공급되는 제1a 트랜지스터와;

게이트전극에 상기 제1 반주기 클럭신호가 공급되고 드레인전극에 고전위 전원전압이 공급되는 제1b 트랜지스터와;

상기 제1a 트랜지스터의 소스전극에 게이트전극이 접속되고 상기 제1b 트랜지스터의 소스전극에 드레인전극이 접속되며 상기 제1 충전제어노드에 소스전극이 접속된 제1c 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치의 게이트 구동장치.

청구항 10.

제 9 항에 있어서,

상기 인버터는,

상기 스타트펄스를 충전하여 상기 제1c 트랜지스터의 게이트전극에 게이트전압을 공급하기 위한 캐패시터를 더 구비하는 것을 특징으로 하는 액정표시장치의 게이트 구동장치.

청구항 11.

제 9 항에 있어서,

상기 제1 입력회로부는,

게이트전극에 상기 제1 클럭신호가 공급되고 소스전극에 저전위 전원전압이 공급되며 상기 제1a 트랜지스터의 소스전극과 상기 제1c 트랜지스터의 게이트전극에 드레인전극이 접속된 제2a 트랜지스터와;

소스전극에 상기 저전위 전원전압이 공급되며 상기 제1 방전제어노드에 게이트전극이 접속되고 상기 제1 충전제어노드에 드레인전극이 접속된 제2b 트랜지스터를 더 구비하는 것을 특징으로 하는 액정표시장치의 게이트 구동장치.

청구항 12.

제 4 항에 있어서,

상기 제1 입력회로부는,

게이트전극에 상기 제1 클럭신호가 공급되고 드레인전극에 고전위 전원전압이 공급되는 제3a 트랜지스터와;

게이트전극에 상기 제1 반주기 클럭신호가 공급되며 상기 제3a 트랜지스터의 소스전극에 드레인전극이 접속되고 상기 제1 방전제어노드에 소스전극이 접속되는 제3b 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치의 게이트 구동장치.

청구항 13.

제 4 항에 있어서,

상기 제1 입력회로부는,

게이트전극에 상기 스타트펄스가 공급되고 소스전극에 저전위 전원전압이 공급되며 상기 제1 방전제어노드에 드레인전극이 접속된 제4a 트랜지스터와;

소스전극에 저전위 전원전압이 공급되며 상기 출력노드에 게이트전극이 접속되고 상기 제1 방전제어노드에 드레인전극이 접속된 제4b 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치의 게이트 구동장치.

청구항 14.

제 5 항에 있어서,

상기 제1 출력회로부는,

드레인전극에 상기 제2 반주기 클럭신호가 공급되며 상기 출력노드에 소스전극이 접속되고 상기 제1 충전제어노드에 게이트전극이 접속된 제5 트랜지스터와;

소스전극에 저전위 전원전압이 공급되며 상기 출력노드에 드레인전극이 접속되고 상기 제1 방전제어노드에 게이트전극이 접속된 제6 트랜지스터와;

드레인전극에 상기 제2 반주기 클럭신호가 공급되며 상기 제1 충전제어노드에 게이트전극이 접속되고 다음 단 스테이지의 스타트펄스 입력단자에 드레인전극이 접속된 제7 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치의 게이트 구동장치.

청구항 15.

제 4 항에 있어서,

상기 제2 입력회로부는,

상기 반주기 출력과 상기 제1 반주기 클럭신호에 응답하여 상기 반주기 출력의 종료시점으로부터 반주기 늦게 상기 제2 충전제어노드를 충전시키기 위한 인버터를 구비하는 것을 특징으로 하는 액정표시장치의 게이트 구동장치.

청구항 16.

제 15 항에 있어서,

상기 인버터는,

드레인전극에 고전위 전원전압이 공급되며 상기 출력노드에 게이트전극이 접속된 제8a 트랜지스터와;

드레인전극에 상기 고전위 전원전압이 공급되고 게이트전극에 상기 제1 반주기 클럭신호가 공급되는 제8b 트랜지스터와;

제8a 트랜지스터의 소스전극에 게이트전극이 접속되고 상기 제8b 트랜지스터의 소스전극에 드레인전극이 접속되며 상기 제2 충전제어노드에 소스전극이 접속된 제8c 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치의 게이트 구동장치.

청구항 17.

제 16 항에 있어서,

상기 인버터는,

상기 고전위 전원전압을 충전하여 상기 제8c 트랜지스터의 게이트전극에 게이트전압을 공급하기 위한 캐패시터를 더 구비하는 것을 특징으로 하는 액정표시장치의 게이트 구동장치.

청구항 18.

제 16 항에 있어서,

상기 제2 입력회로부는,

게이트전극에 상기 제3 클럭신호가 공급되고 소스전극에 저전위 전원전압이 공급되며 상기 제8a 트랜지스터의 소스전극과 상기 제8c 트랜지스터에 드레인전극이 접속된 제9a 트랜지스터와;

소스전극에 저전위 전원전압이 공급되며 상기 제2 방전제어노드에 게이트전극이 접속되고 상기 제8c 트랜지스터의 소스전극과 상기 제2 충전제어노드에 드레인전극이 접속된 제9b 트랜지스터를 더 구비하는 것을 특징으로 하는 액정표시장치의 게이트 구동장치.

청구항 19.

제 4 항에 있어서,

상기 제2 입력회로부는,

게이트전극과 드레인전극에 상기 제2 클럭신호가 공급되며 상기 제2 방전제어노드에 소스전극이 접속된 제10 트랜지스터와;

소스전극에 저전위 전원전압이 공급되며 상기 출력노드에 게이트전극이 접속되고 상기 제2 방전노드에 드레인전극이 접속된 제11a 트랜지스터와;

소스전극에 상기 저전위 전원전압이 공급되며 상기 제2 충전제어노드에 게이트전극이 접속되고 상기 제2 방전제어노드에 드레인전극이 접속된 제11b 트랜지스터를 더 구비하는 것을 특징으로 하는 액정표시장치의 게이트 구동장치.

청구항 20.

제 4 항에 있어서,

상기 제2 출력회로부는,

드레인전극에 상기 제3 클럭신호가 공급되며 상기 제2 충전제어노드에 게이트전극이 접속되고 상기 출력노드에 소스전극이 접속된 제12 트랜지스터와;

소스전극에 저전위전압이 공급되며 상기 제2 방전제어노드에 게이트전극이 접속되고 상기 출력노드에 드레인전극이 접속된 제13 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치의 게이트 구동장치.

청구항 21.

위상이 서로 반전되며 반주기의 펄스폭을 가지는 제1 및 제2 반주기 클럭신호, 위상이 순차적으로 쉬프트되고 각각 한주기의 펄스폭을 가지는 제1 내지 제4 한주기 클럭신호, 스타트펄스, 고전위 전원전압 및 저전위 전원전압이 공급받는 단계와;

상기 스타트펄스와 상기 제1 및 제2 반주기 클럭신호에 응답하여 반주기 출력을 발생하고 상기 제1 내지 제4 한주기 클럭신호들 중 어느 하나에 응답하여 상기 반주기 출력의 종료시점으로부터 반주기 늦게 한주기 출력을 발생하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 게이트 구동방법.

청구항 22.

제 21 항에 있어서,

상기 제1 및 제2 반주기 클럭신호 중 어느 하나의 반주기 클럭신호, 상기 제1 내지 제4 클럭신호들 중 하나의 클럭신호 및 상기 스타트펄스는 동기되는 것을 특징으로 하는 액정표시장치의 게이트 구동방법.

청구항 23.

스타트펄스와 위상이 서로 반전되며 반주기의 펄스폭을 가지는 제1 및 제2 반주기 클럭신호 중 제1 반주기 클럭신호에 응답하여 제1 충전제어노드를 충전시키는 단계와;

상기 제1 충전제어노드로부터의 제어신호와 상기 제1 반주기 클럭신호에 응답하여 출력노드에 반주기 출력을 출력하는 단계와;

상기 제2 반주기 클럭신호와 위상이 순차적으로 쉬프트되며 각각 한주기의 펄스폭을 가지는 제1 내지 제3 클럭신호들 중 제1 클럭신호에 응답하여 제1 방전제어노드를 충전시키는 단계와;

상기 제1 방전제어노드로부터의 제어신호에 응답하여 상기 출력노드를 방전시키는 단계와;

상기 반주기 출력과 상기 제2 반주기 클럭신호에 응답하여 제2 충전제어노드를 충전시키는 단계와;

상기 제2 클럭신호에 응답하여 제2 방전제어노드를 충전시키는 단계와;

상기 제2 충전제어노드로부터의 제어신호와 상기 제3 클럭신호에 응답하여 상기 반주기 출력의 종료시점으로부터 반주기 늦게 상기 출력노드에 한주기 출력을 출력하는 단계와;

상기 제2 방전제어노드로부터의 제어신호에 응답하여 상기 출력노드를 방전시키는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 게이트 구동방법.

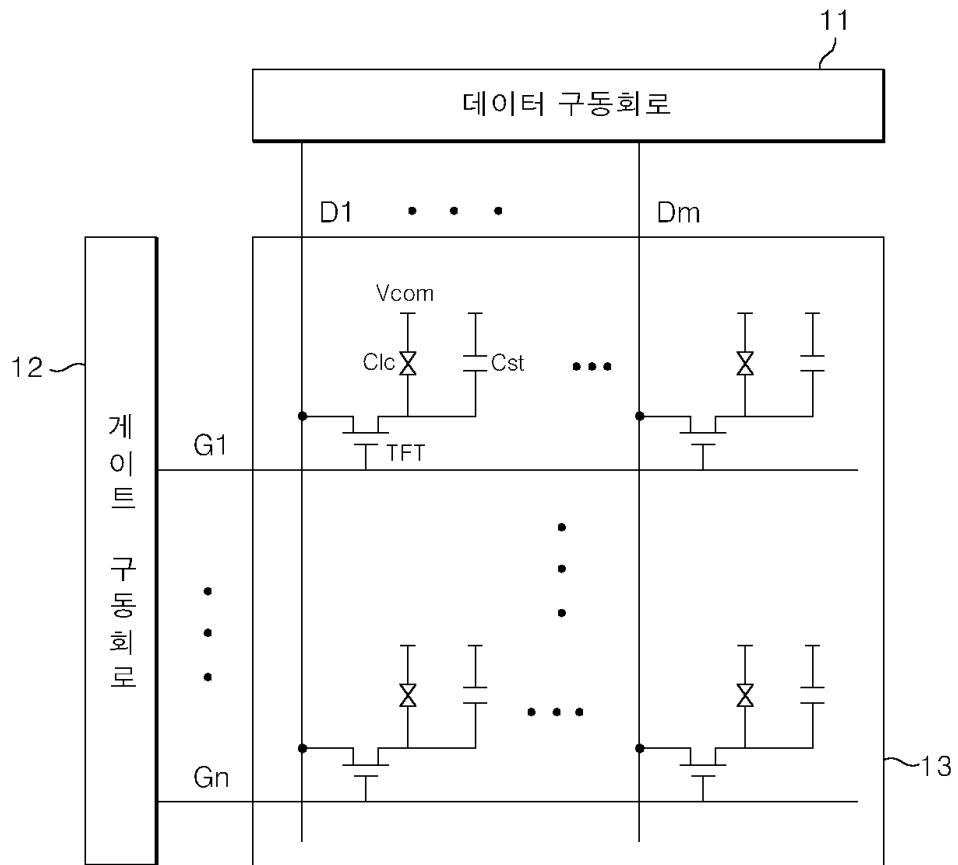
청구항 24.

제 23 항에 있어서,

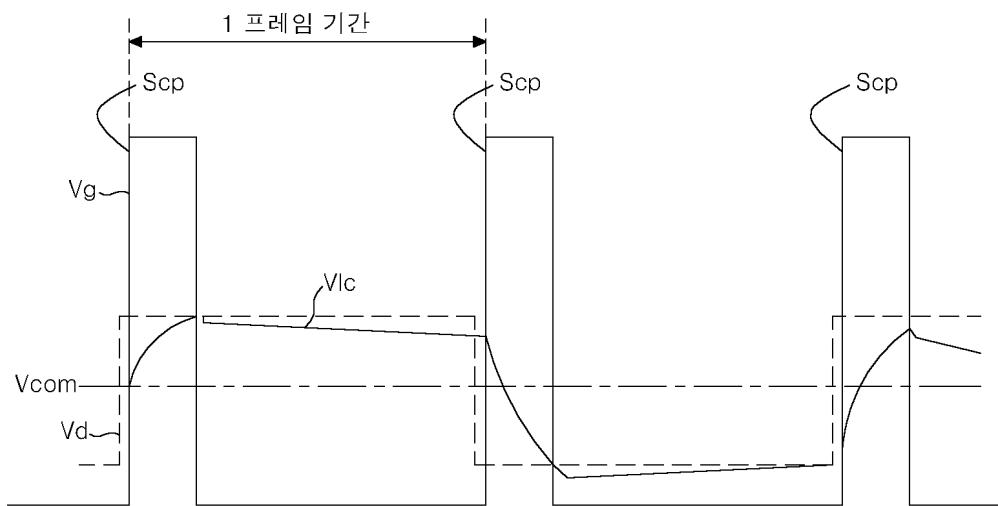
상기 제1 반주기 클럭신호, 상기 제2 클럭신호 및 상기 스타트펄스는 동기되는 것을 특징으로 하는 액정표시장치의 게이트 구동방법.

도면

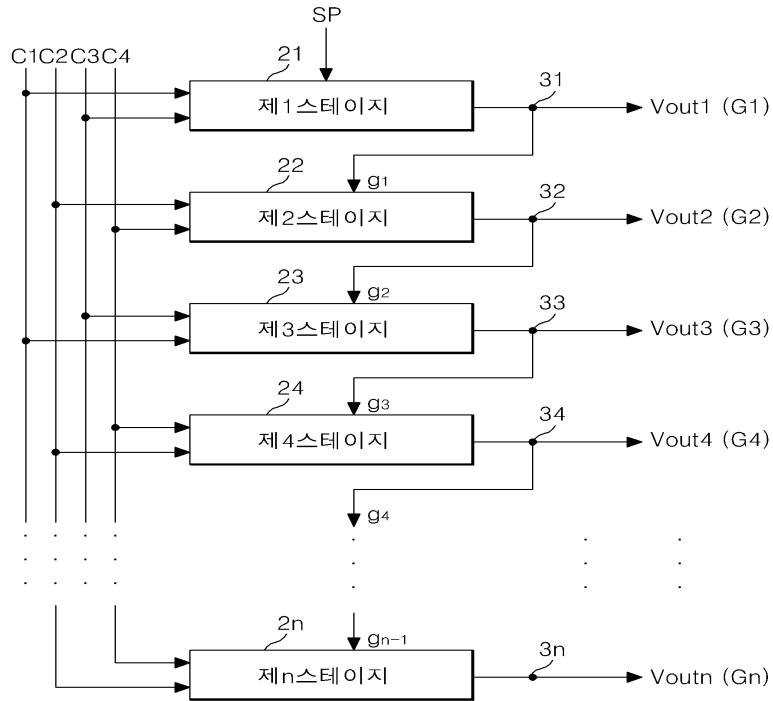
도면1



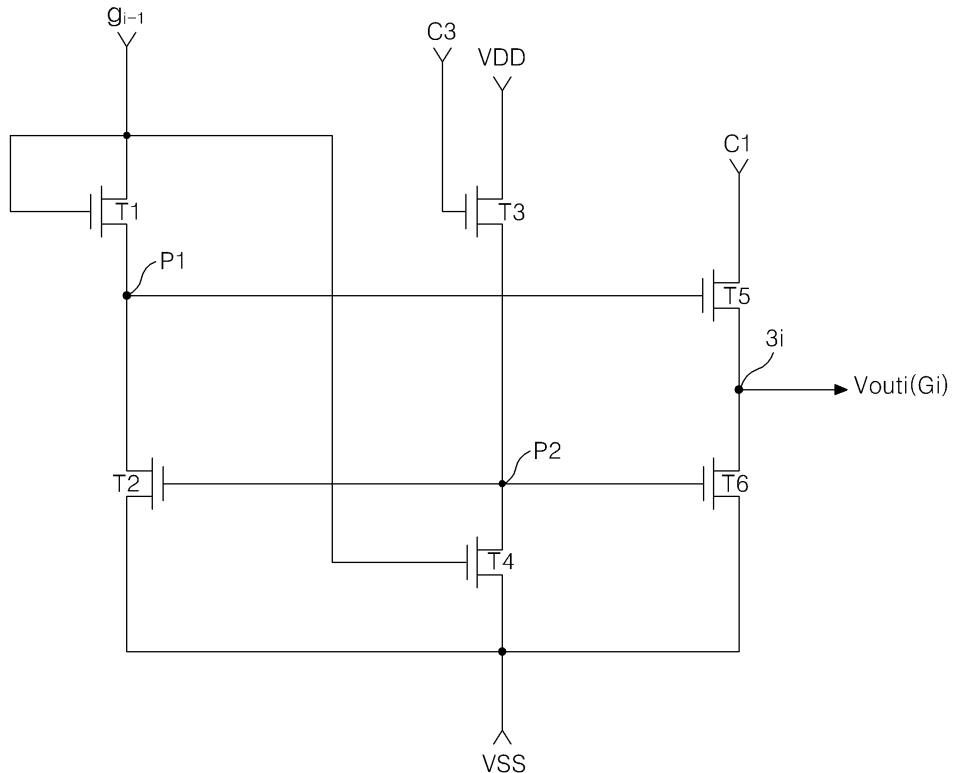
도면2



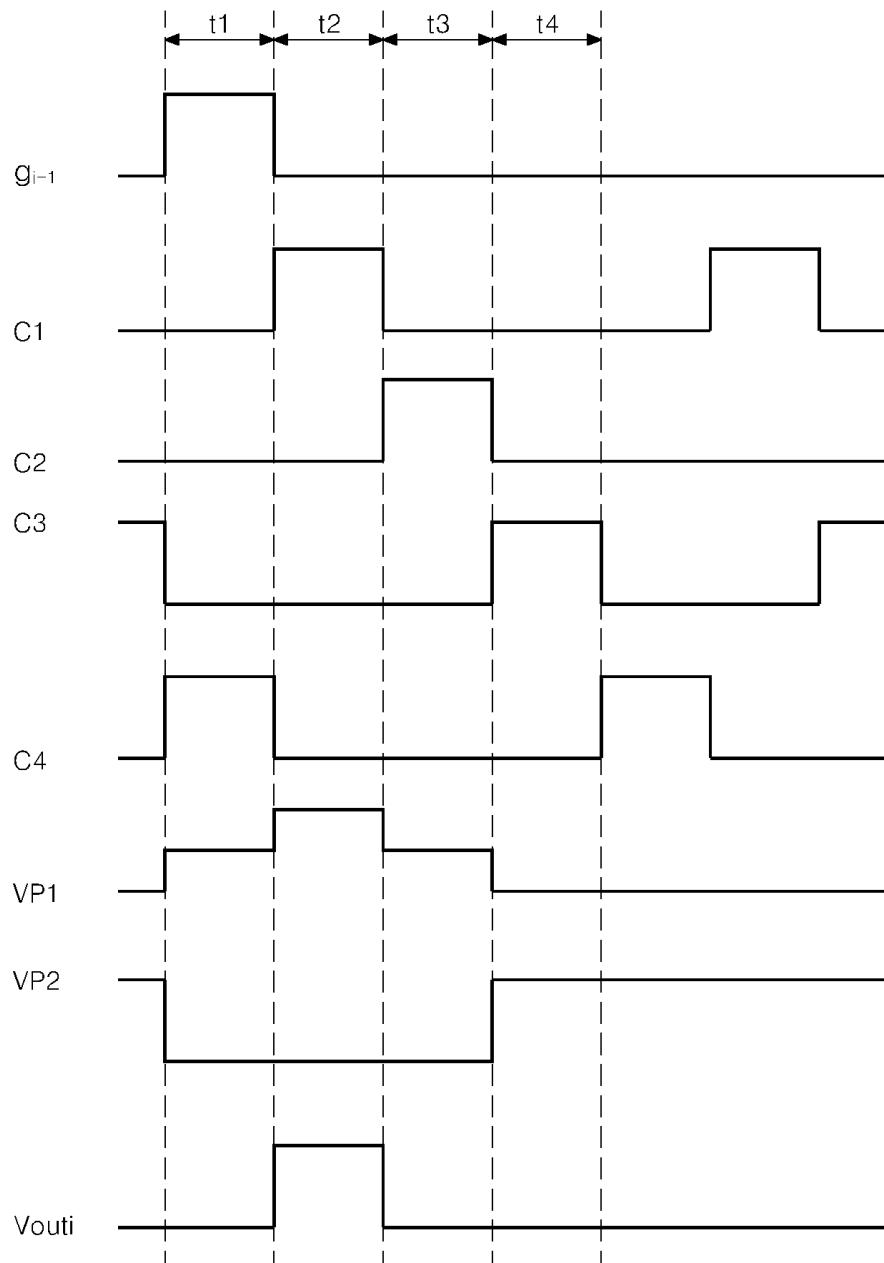
도면3



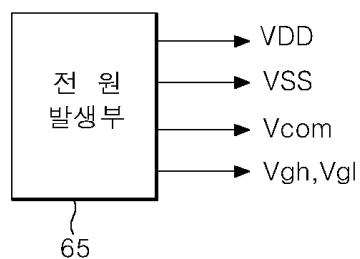
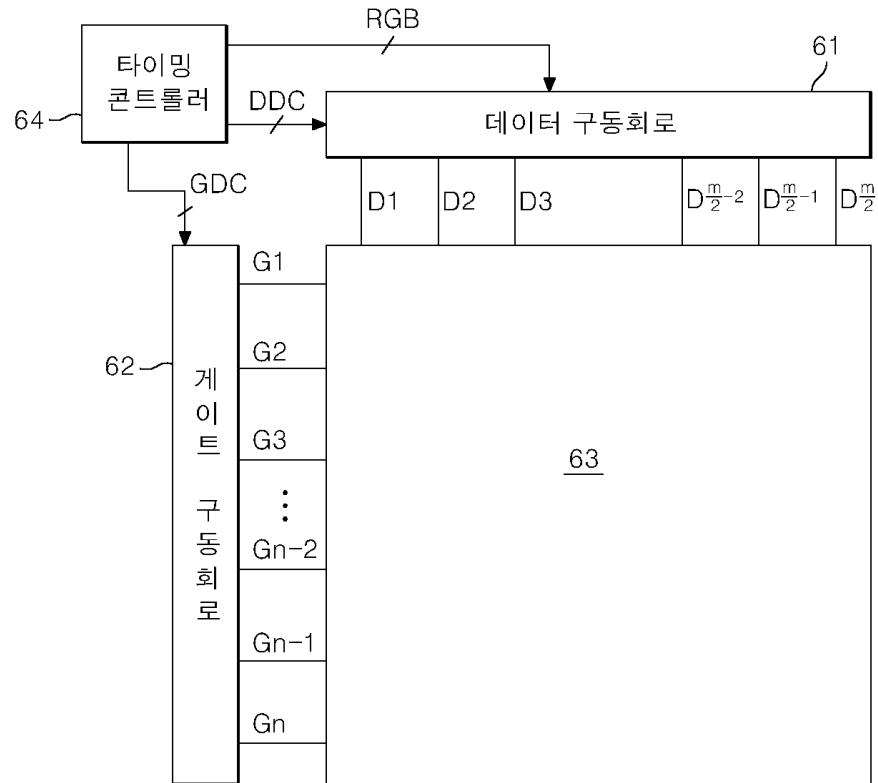
도면4

21

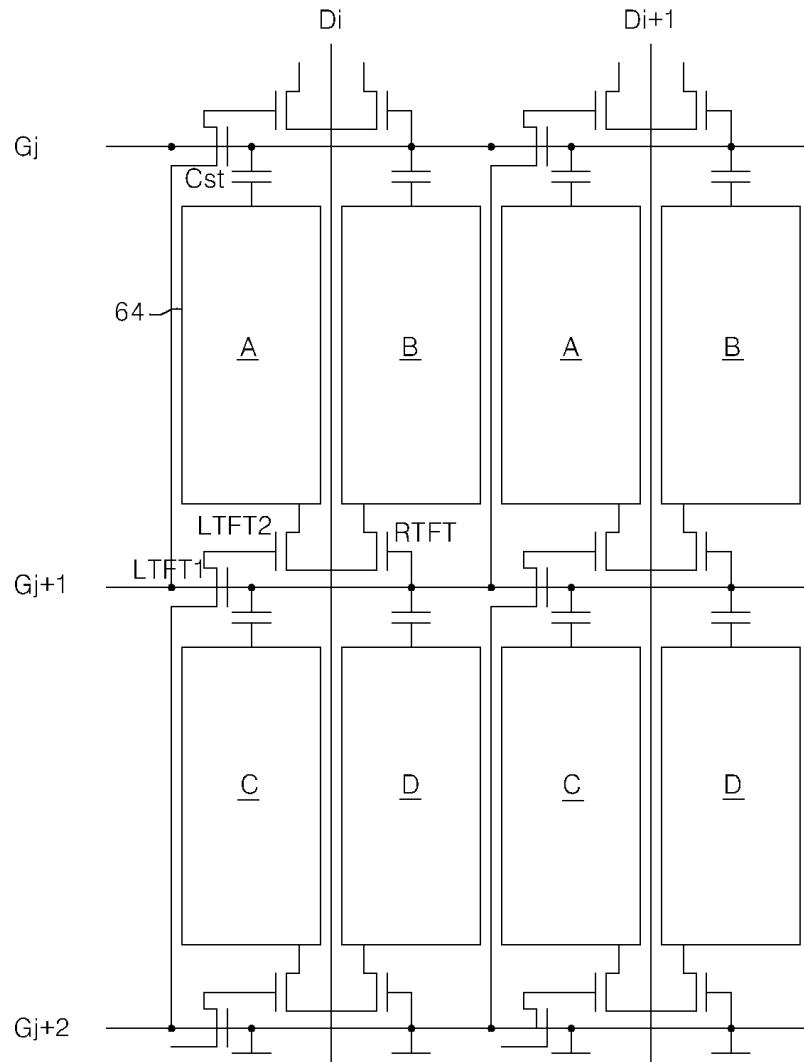
도면5



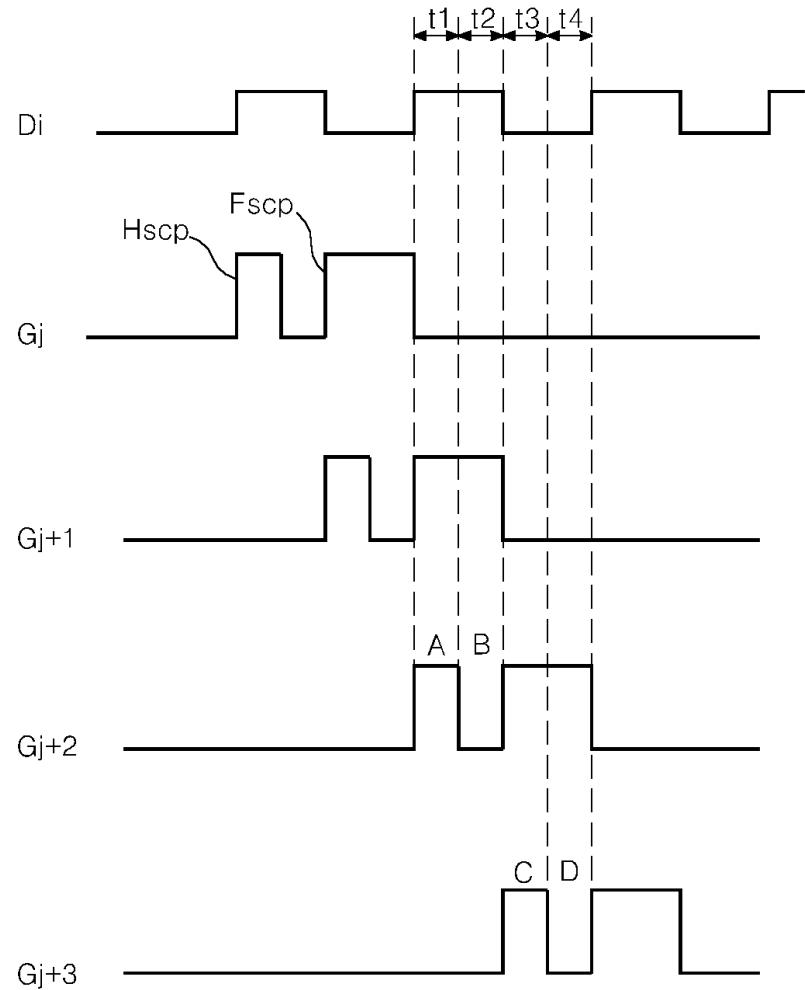
도면6



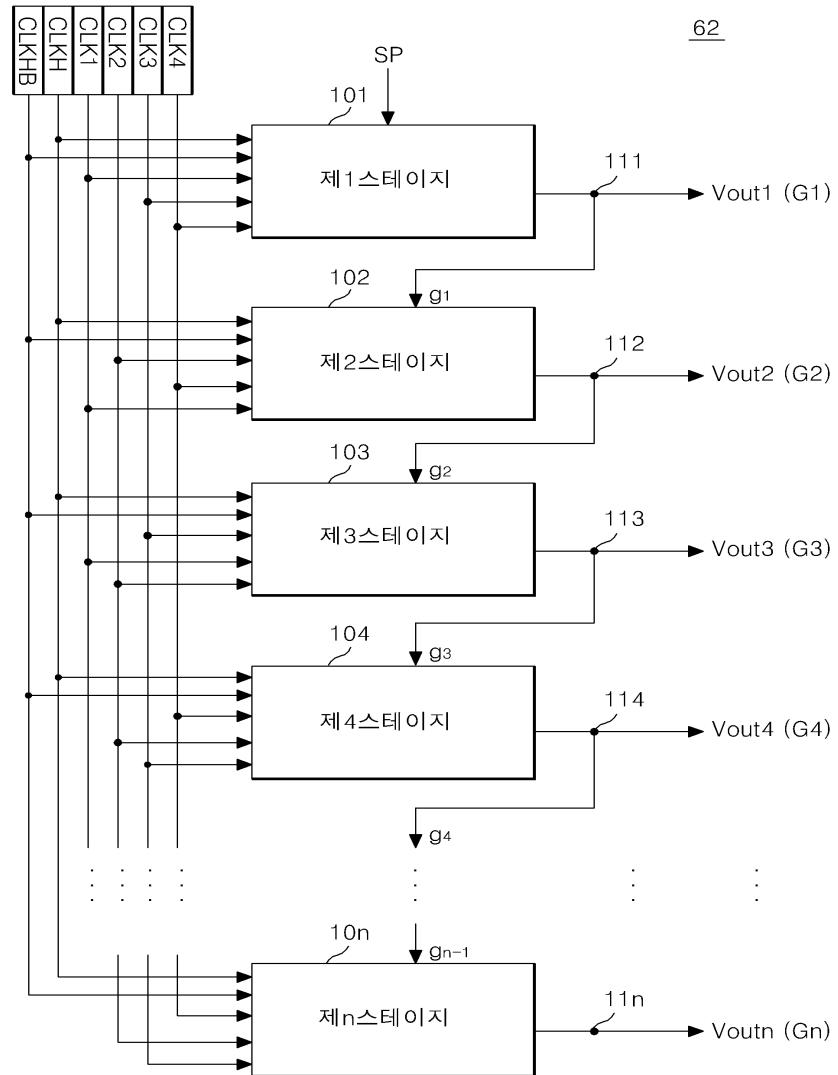
도면7

63

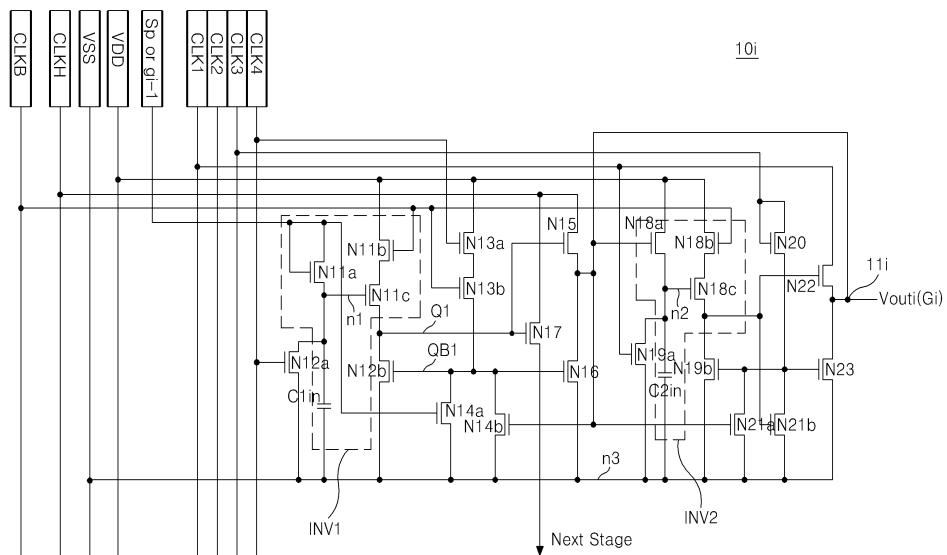
도면8



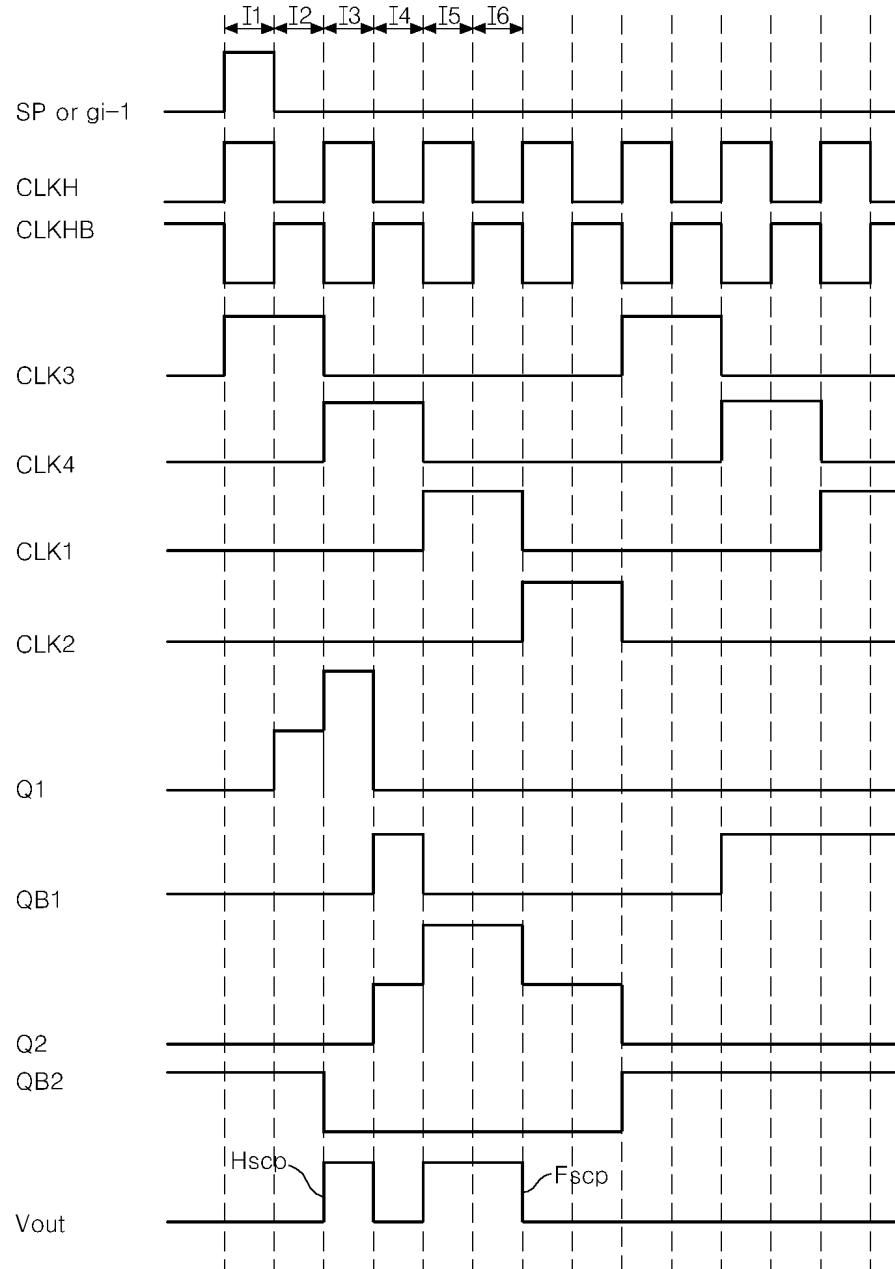
도면9



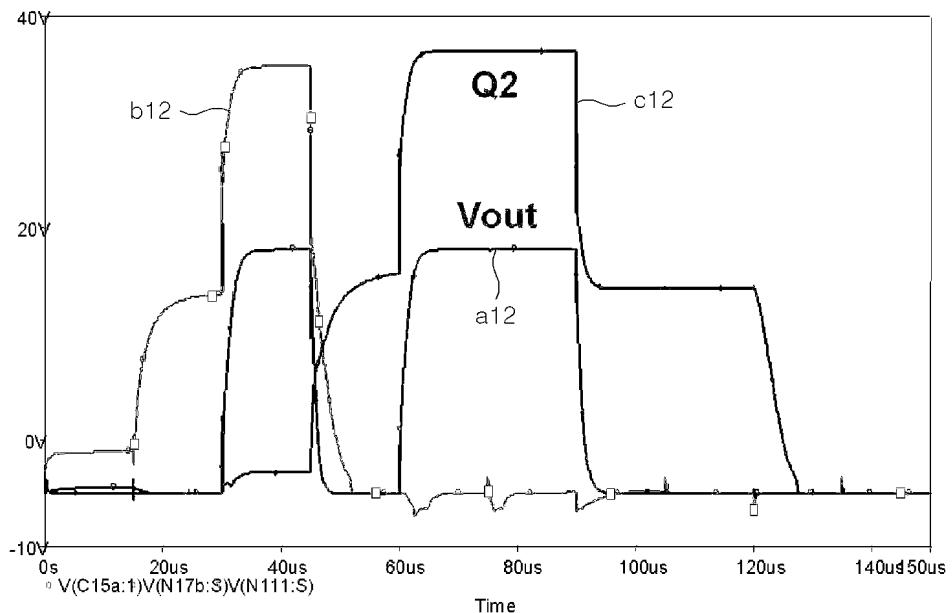
도면10



도면11



도면12



专利名称(译)	栅极驱动装置和液晶显示装置的方法		
公开(公告)号	KR100583318B1	公开(公告)日	2006-05-25
申请号	KR1020030092694	申请日	2003-12-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JANG YONGHO 장용호 KIM BINN 김빈 YOON SOOYOUNG 윤수영		
发明人	장용호 김빈 윤수영		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G11C19/00 G11C19/28		
CPC分类号	G11C19/28 G09G2310/0297 G11C19/00 G09G3/3688 G09G2310/02		
代理人(译)	KIM , YOUNG HO		
其他公开文献	KR1020050060954A		
外部链接	Espacenet		

摘要(译)

栅极驱动装置和方法本发明涉及一种适用于减少数据线数量和数据驱动IC数量的驱动方法的栅极驱动装置和方法。栅极驱动装置和方法具有第一和第二半周期时钟信号，它们的相位彼此反相并具有半周期脉冲宽度，第一半周期时钟信号的相位依次移位，到正被提供的第四个周期的时钟信号，起始脉冲，高电位侧电源电压及低电位侧电源电压时，它产生一个半周期的输出响应于所述起始脉冲和所述第一和第二半周期的时钟信号和第一到如图4所示，响应于任何时钟晚的一个周期信号，从半周期的输出产生输出一个周期的结束半周期。度11

