(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. 7
G09G 3/36

(45) 공고일자 2003년01월09일
(11) 등록번호 10 - 0366868
(24) 등록일자 2002년12월18일

(21) 출원번호 10 - 2000 - 0007294
(22) 출원일자 2000년02월16일
(65) 공개번호 특2000 - 0076676
(43) 공개일자 2000년12월26일

(30) 우선권주장 99 - 37828 1999년02월16일 일본(JP)

(73) 특허권자 닛폰 덴키(주)
일본 도쿄도 미나도구 시바 5 - 7 - 1

(72) 발명자 하시모토요시하라
일본도쿄도미나또쿠시바5죠메7반1고

(74) 대리인 이병호

심사관 : 정연우

(54) 디스플레이 장치의 구동 회로

요약

다중 - 계조 디스플레이를 행하기 위해 디지털 영상 데이터의 비트들의 수를 증가시키는 경우에도 비트들의 수를 감소시킴으로써 칩의 크기 및 검사 비용을 줄일 수 있는 TFT(박막 트랜지스터) 액정 디스플레이 장치 등을 포함하는 디스플레이 장치의 구동 회로를 제공한다. 디스플레이 장치의 구동 회로는 복수의 전압들을 발생하는데 적합한 계조 전압 발생 수단과, 상기 디지털 영상 데이터의 최상위 비트로부터 카운트된 하나 또는 둘 이상의 비트들로 구성되고 비트들의 수가 상기 디지털 영상 데이터의 비트들의 수보다 작은 상위 비트들에 기초해서 상기 계조 전압 발생 수단으로부터 공급된 복수의 전압들 중 하나의 전압을 선택하고 그것을 출력하는 계조 전압 선택 수단과, 상기 계조 전압 선택 수단으로부터 출력된 전압의 임피던스를 변환하기 위해 사용된 연산 증폭기들과, 상기 디지털 영상 데이터의 상기 상위 비트들을 제외한 상기 하위 비트들에 기초해서 상기 연산 증폭기로부터 출력된 전압의 전압 상승 또는 전압 강하를 유도하는 전압 조정 회로를 포함한다.

대표도

도 1

색인어

계조 전압 발생 수단, 계조 전압 선택 수단, 연산 증폭기, 전압 조정 수단

명세서

도면의 간단한 설명

도 1은 본 발명의 제1실시예에 따른 구동 회로를 도시하는 개략적 블록도.

도 2는 제1실시예의 구동 회로에서 계조 전압 발생 회로에 대한 개략 블록도.

도 3a는 제 1 계조 전압 선택 회로의 개략 블록도.

도 3b는 제 2 계조 전압 선택 회로의 개략 블록도.

도 4는 계조 전압 선택 회로들용 스위치들의 구성을 도시하는 회로도.

도 5는 도 1에 도시된 제1 및 제2 출력 회로들을 도시하는 개략 블록도.

도 6은 제1실시예에 따라 제 1 출력 회로(9)의 동작들에 대한 흐름도.

도 7은 출력 전압과 투과율간의 관계를 도시하는 그래프.

도 8a는 계조들의 수는 횡축으로 표시하고 출력 전압이 종축으로 표시해서, 액정 디스플레이 장치에 백색 또는 흑색이 디스플레이 될 때, 계조들의 수와 출력 전압간의 관계를 도시하는 그래프.

도 8b는 계조들의 수는 횡축으로 표시하고 출력 전압은 종축으로 표시해서, 액정 디스플레이 장치에 중간색(회색)이 디스플레이 될 때, 계조들의 수와 출력 전압간의 관계를 도시하는 그래프.

도 9는 제2실시예 따른 구동 회로의 개략적 블록도.

도 10은 제3실시예 따른 구동 회로의 개략적 블록도.

도 11은 디스플레이 장치에서 사용되는 종래의 구동 회로를 도시하는 개략적 블록도.

* 도면의 주요 부호에 대한 설명

1, 51 : 시프트 레지스터 회로

2, 52 : 데이터 레지스터 회로

3, 36, 53 : 데이터 래치 회로

4 : 데이터 버퍼 회로

5, 37 : 래치 제어 회로

6, 56 : 계조 전압 발생 회로

7, 8, 31, 32, 54 : 계조 전압 선택 회로

9, 10, 33, 34 : 출력 회로

11, 21, 22 : 연산 증폭기

12 : 저항기

13 : LSB 제어 회로

14, 23, 24 : 출력 오프셋 제어 회로

55 : 증폭기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

1. 발명의 분야본 발명은 TFT(박막 트랜지스터) 액정 디스플레이 장치와 같은 디스플레이 장치들의 구동 회로에 관한 것이며, 특히 다중 계조들을 디스플레이할 수 있는 디스플레이 장치에 사용되는 구동 회로에 관한 것이다.

2. 관련 기술의 설명최근 액정 디스플레이 장치의 개발이 활발함에 따라 액정 장치에 사용되는 구동 회로의 개발도 촉진되고 있다.

Society for Information Display(SID) International Symposium digest of technical papers (NEC Corp. Kanagawa, Japan의 S.Saito 및 K.Kitagawa씨가 1995년에 간행한 Vol. XXVI, pp. 257-260, 도 1)에 6-비트 240 출력의 디지털 영상 데이터의 디스플레이 장치의 구동 회로에 대해 기재되어 있다. 도 11은 상기 문헌에 기재된 디스플레이 장치들에서 사용되는 종래의 구동 회로를 개략 도시하는 블록도이다.

상기 종래 구동 회로는 시작 펄스 신호 SP 의 입력/출력 방향을 전환시키는데 적합한 두 신호, 즉 스위칭 신호 R/L 및 클록 신호 CLK가 입력되는 80-비트 시프트 레지스터 회로(51)를 구비한다. 상기 시작 펄스 SP는 상기 스위칭 신호 R/L 에 따라 단자 SPR 및 단자 SPL 중 어느 한 단자에 입력되고, 그 중 다른 단자로부터 출력되어 인접하는 구동 회로로 출력된다. 이 시프트 레지스터(51)는, D00 내지 D05, D10 내지 D15, D20 내지 D25를 포함하는 6-비트 3 출력들이 순차로 저장되는 데이터 레지스터 회로(52)에 접속되어 있다. 이 데이터 레지스터 회로는 래치 신호 STB가 입력되는 데이터 래치 회로(53)에 접속되어 있다. 또한 V0 내지 V8의 9 개의 전압값들을 포함하는 계조 전압들을 분압하여 하나의 계조 전압을 출력시키기 위해 계조 전압 발생 회로(56)를 포함한다. 또한, 상기 데이터 래치 회로(53)로부터 전송된 영상 데이터에 기초해서 상기 계조 전압 발생 회로(56)로부터 출력된 64 계조 전압들 중 하나의 전압을 선택하기 위해 계조 전압 선택 회로(54)를 포함한다. 상기 계조 전압 선택 회로(54)는 64개의 ROM 디코더들을 갖는다. 또한, 연산 증폭기가 내장된 증폭기(55)가 장착되어, 상기 계조 전압 선택 회로(54)로부터 출력된 신호의 임피던스 변환을 행한다.

상기 계조 전압 발생 회로(56)에서는, 외부로부터 입력된 9가지 값들의 상기 계조 전압들이 분압되어 64가지 값들의 계조 전압을 발생한다. 그러한 분압 방법을 일반적으로 "저항 스트링법"이라 칭한다.또한, 계조 선택 회로(54)는 예를

들면, 인헨스먼트형(enhancement mode) 트랜지스터와 디플리션형(depletion mode) 트랜지스터로 구성된다. 이러한 구성들을 갖는 종래의 구동 회로에서, 시작 펄스 SP가 시프트 레지스터 회로(51)에 입력되는 경우, 6비트에 대해 D00 내지 D05 , D10 내지 D15 및 D20 내지 D25를 포함하는 3개의 출력들이 실질적으로 저장된다. 다음으로, 래치 신호 STB가 데이터 래치 회로(53)에 입력되는 경우, 데이터 레지스터 회로(52)에 저장되어 있는 모든 디지털 영상 데이터는 데이터 래치 회로(53)에 전송되어 저장된다.

계조 전압 발생 회로(56)로부터 계조 전압 선택 회로(54)에 64 값들의 계조 전압들이 공급되고, 디지털 영상 데이터가 데이터 래치 회로(53)에 전송되는 경우, 하나의 계조 전압이 디지털 영상 데이터에 기초해서 64 값들의 계조 전압들로부터 선택되어 출력된다.

상기 계조 전압 선택 회로(54)로부터 출력된 전압은 그의 임피던스가 상기 증폭기(55)에 내장된 연산 증폭기에 의해 변환된 후 액정 디스플레이 장치 내에 장착된 액정들에 인가된다.

그렇지만, 이러한 종래의 구동 회로에서는, 아무런 문제없이 64(6-비트) 계조 전압들을 발생하는 것이 가능하기는 하지만, 64를 초과하는 계조 전압을 발생하고자 한다면 다음의 문제들을 해결해야만 한다.

즉, 종래의 저항 스트링법에 따라, 계조들의 수가 증가하면, 상기 계조 전압 선택 회로(54)에 대한 칩의 크기가 현저하게 증가한다. 예를 들어, 64의 계조들을 발생하기 위한 구동 회로의 경우에, 상기 계조 전압 선택 회로는 하나의 출력 당 64 개의 ROM 디코더들을 가져야만 하는 반면, 256 계조들을 발생하기 위한 구동 회로의 경우에, 상기 계조 전압 선택 회로는 하나의 출력 당 256 개의 ROM 디코더들(즉, 64 ROM 디코더보다 4배 더 많음)을 가져야만 한다. 그러므로, 이들 구동 회로들이 반도체 집적 회로에 장착된다면, 64 계조의 경우보다 4배나 더 큰 장치가 되고, 이것은 칩의 크기를 현저하게 증가시킨다.

또한, 64 계조에 사용되는 구동 회로의 경우에, 상기 계조 전압 선택 수단(54)이 64 개의 ROM 디코더들을 가지므로, 이들 64 개의 디코더들 모두의 연산들에 대한 검사를 필요로 한다. 256 계조들에 사용되는 구동 회로의 경우에, 마찬가지로 256 개의 디코더들 모두의 연산들에 대한 검사를 필요로 한다. 이 때문에, 검사 시간도 4배로 많아지므로 반도체 회로 제조의 검사 과정에서 검사 시간이 증가하여 비용이 증가하게 된다.

발명이 이루고자 하는 기술적 과제

(발명의 요약)위와 같은 점을 감안하여, 본 발명의 목적은 다중-계조를 디스플레이 하기 위해 디지털 영상 데이터의 비트들의 수를 증가시킬지라도, 소자들의 수를 줄임으로써 칩의 크기를 감소시키고 제조 공정 중의 검사 비용을 감소시킬 수 있는 디스플레이 장치의 구동 회로를 제공하는 것이다.

본 발명의 제1특징에 따라, 입력된 디지털 영상 데이터에 기초해서 복수의 계조들을 디스플레이하기 위한 디스플레이 장치의 구동 회로는,

복수의 전압들을 발생하기 위한 계조 전압 발생 수단과,

상기 디지털 영상 데이터의 최상위 비트로부터 카운트된 하나 또는 둘 이상의 비트들로 구성되는 비트들의 수가 상기 디지털 영상 데이터의 비트들의 수보다 작은, 상위 비트들에 기초해서 상기 계조 전압 발생 수단으로부터 제공된 복수의 전압들 중 하나를 선택하고 상기 전압을 출력하기 위한 계조 전압 선택 수단과,

상기 계조 전압 선택 수단으로부터 출력된 전압의 임피던스를 변환하기 위해 사용되는 연산 증폭기와,

상기 디지털 영상 데이터의 상위 비트를 제외한 하위 비트들에 기초해서 상기 연산 증폭기로부터 출력된 전압의 전압 상승 또는 전압 강하를 유도하기 위한 전압 조정 수단을 포함한다.

위의 설명에서, 상기 전압 조정 수단은, 상기 연산 증폭기의 출력 단자에 접속된 저항기와, 상기 저항기에 접속된 능동 소자와, 상기 하위 비트들에 기초해서 상기 능동 소자의 동작들을 제어하기 위한 제어 수단을 포함하는 것이 양호하다.

또한, 상기 능동 소자는, 드레인이 상기 저항기에 접속되고 소스에 공급 전압이 인가되는 제 1 트랜지스터와, 드레인이 상기 저항기에 접속되고 소스가 접지에 접속되며 상기 제어 수단에 의해 게이트 전압이 제어되는 제 2 트랜지스터를 포함하는 것이 양호하다.

또한, 상기 저항기는 아날로그 스위치로 구성되는 것이 양호하다.

또한, 상기 계조 전압 선택 수단은, 이웃하는 계조 전압들 사이의 값들이 동일하지 않은 경우, 상기 디지털 영상 데이터의 모든 비트에 기초해서 상기 계조 전압 발생 수단이 제공한 복수의 전압들 중 하나의 전압을 선택하기 위해 사용되며, 전압 조정 수단은 상기 연산 증폭기로부터 출력된 전압을 그대로 출력하는 것이 양호하다.

본 발명의 제 2 특징에 따라, 입력된 디지털 영상 데이터에 기초해서 복수의 계조들을 디스플레이하기 위한 디스플레이 장치의 구동 회로는,

복수의 전압들을 발생하기 위한 계조 전압 발생 수단과,

상기 디지털 영상 데이터의 최상위 비트로부터 카운트된 하나 또는 둘 이상의 비트들로 구성되고 비트들의 수가 상기 디지털 영상 데이터의 비트들의 수보다 작은 상위 비트들에 기초해서, 상기 계조 전압 발생 수단으로부터 제공된 복수의 전압들 중 둘 이상의 전압들을 선택하기 위한 계조 전압 선택 수단과,

상기 디지털 영상 데이터의 상기 상위 비트를 제외한 상기 하위 비트들에 기초해서 상기 계조 전압 선택 수단으로부터 출력된 둘 이상의 전압들을 분압해서 하나의 분압된 전압을 출력하는 분압 수단과,

상기 분압 수단으로부터 출력된 전압의 임피던스를 변환하기 위해 사용된 연산 증폭기를 포함한다.

상기 설명에서, 상기 계조 전압 선택 수단은, 이웃하는 계조 전압들 사이의 값들이 동일하지 않은 경우, 상기 디지털 영상 데이터의 모든 비트들에 기초해서 상기 계조 전압 발생 수단으로부터 공급된 복수의 전압들 중 하나의 전압을 선택하고 상기 전압을 출력하는 것이 양호하다.

또한, 상기 계조 전압 발생 수단에는 전압들이 외부로부터 입력되는 둘 이상의 입력 단자들과, 입력 단자들에 입력되는 전압들을 다양한 전압들로 분압하기 위해 사용된 분압 수단을 구비하는 것이 양호하다.

또한, 상기 계조 전압 발생 수단으로부터 출력되는 전압은 정극성 전압 또는 부극성 전압인 것이 양호하다.

또한, 상기 디지털 영상 데이터의 비트들의 수가 N 일 때, 상기 상위 비트들은 상기 디지털 영상 데이터의 최상위 비트로부터 카운트되는 (N-m) 개의 비트들로 구성되며, 상기 하위 비트들은 상기 디지털 영상 데이터의 최하위 비트로부터 카운트되는 m 개의 비트들로 구성되는 것이 양호하다.

발명의 구성 및 작용

본 발명의 상기 목적 및 다른 목적, 이점 및 특징들은 첨부된 도면들을 참조하여 서술된 다음의 설명으로부터 분명하게 될 것이다.

본 발명을 실행하는 최적의 모드들에 대해 첨부된 도면들을 참조하여 다양한 실시예들로서 상세히 설명한다.

제 1 실시예

제 1 실시예에서, 8-비트 디지털 영상 데이터가 입력된다. 도 1은 본 발명의 제 1 실시예에 따른 구동 회로를 개략적으로 도시하는 블록도이다.

제 1 실시예의 구동 회로는 시작 펄스 SP 와 클록 신호 CLK가 입력되며, 상기 클록 신호 CLK와 동기하여 레지스터의 내용을 시프트시키는 시프트 레지스터 회로(1)를 구비한다. 상기 구동 회로는 디지털 영상 데이터 D00 내지 D07, D10 내지 D17, D20 내지 D27을 일시적으로 저장하는 데이터 버퍼 회로(4)와, 이들 데이터를 저장하는 데이터 레지스터 회로(2)를 더 포함한다. 또한, 상기 구동 회로는 상기 디지털 영상 데이터를 래치하는 데이터 래치 회로(3)와 이 데이터 래치 회로(3)의 동작들을 제어하는 래치 제어 회로(5)를 포함한다. 상기 래치 제어 회로(5)에는 래치 제어 신호 STB 및 극성 신호 POL가 입력된다.

도 1에서, 상기 데이터 버퍼 회로(4)로부터 연장하여 데이터 레지스터 회로(2)에 접속되어 있지 않은 신호 선들이 데이터 레지스터 회로(도시되지 않음)에 접속되어 있다.

상기 구동 회로는, V0 내지 V9의 10 개의 값들을 포함하는 계조 전압들을 분압해서 정극성 또는 부극성을 갖는 128 계조 전압들을 출력하는 계조 전압 선택 수단(6)을 더 포함한다. 상기 구동 회로는 상기 데이터 래치 회로(3)로부터 전송된 디지털 영상 데이터의 상위 7 비트에 기초해서 상기 계조 전압 발생 회로(6)로부터 출력되는 128 계조 전압들 중 하나의 계조 전압을 선택하는데 적합한 제 1 계조 전압 선택 회로(7) 및 제 2 계조 전압 선택 회로(8)를 더 포함한다. 상기 제 1 계조 전압 선택 회로(7)에는 정극성 계조 전압이 입력되고, 상기 제 2 계조 전압 선택 회로(8)에는 부극성 계조 전압이 입력된다. 또한, 상기 구동 회로는 연산 증폭기들을 내장하여 상기 제 1 계조 전압 선택 회로(7)와 상기 제 2 계조 전압 선택 회로(8)로부터 출력된 신호들을 변환시키는 제 1 출력 회로(9) 및 제 2 출력 회로(10)를 포함한다. 상기 제 1 계조 전압 선택 회로(7)와 상기 제 2 계조 전압 선택 회로(8) 사이와, 상기 제 1 출력 회로(9)와 상기 제 2 출력 회로(10) 사이에는 아날로그 스위치가 설치되어, 이들간의 접속을 선택하는데 사용된다. 상기 제 1 출력 회로(9)와 상기 제 2 출력 회로(10)에는 상기 래치 제어 회로(5)로부터 래치 제어 신호 STB 와 극성 신호 POL가 입력되고, 상기 데이터 래치 회로(3)로부터 디지털 영상 데이터의 최하위 비트가 입력된다.

도 2는 상기 계조 전압 발생 회로(6)의 개략적인 회로 블록도이다. 도 2에 도시된 바와 같이, 상기 계조 전압 발생 회로(6)는 직렬 접속된 127개의 저항기들 +R1, +R2, +R3, ... +R125, +R126, +R127와, 직렬 접속된 127개의 저항기들 -R1, -R2, -R3, ... -R125, -R126, -R127를 갖는다. 저항기 +R1 측의 말단 단자에는 정극성 계조 공급 전압 VX0가 입력되어, 상기 말단 단자로부터 정극성 계조 전압 +V0가 출력된다. 저항기 +R127 측의 말단 단자에는 정극성 계조 공급 전압 VX4가 입력되어, 상기 말단 단자로부터 정극성 계조 전압 +V254가 출력된다. 또한, 저항기 +R1 측으로부터 시작해서 저항기들 사이에 배치된 각각의 접속점으로부터 계조 전압들 +V2 내지 +V252가 출력된다. VX1 내지 VX3의 계조 전압들은 저항기 +R1 및 저항기 +R127 사이에 배치된 임의의 각각의 접속점에 입력된다. 저항기 -R127의 말단 단자에는 부극성 계조 전압 VX5가 입력되어, 상기 말단 단자로부터 계조 전압 -V254가 출력된다. 저항기 -R1측의 말단 단자에는 부극성 계조 전압 VX9이 입력되어, 상기 말단 단자로부터 계조 전압 -V0이 출력된다. 저항기 -R1 측으로부터 시작해서 저항기들 사이의 각각의 접속점으로부터 -V2 내지 -V252의 부극성 계조 전압들이 출력된다. VX6 내지 VX8 의 계조 전압들은 저항기 -R1 및 저항기 -R127 사이에 배치된 임의의 각각의 접속점에 입력된다.

상기 계조 전압 발생 회로(6)에서, VX0 내지 VX4의 계조 공급 전압들이 +R1 내지 +R127의 저항기들을 통해 분압되어 +V0 내지 +V254의 128 정극성 계조 전압들이 발생된다. 유사하게, VX5 내지 VX9의 계조 공급 전압들이 -R1 내지 -R127의 저항기들을 통해 분압되어 -V0 내지 -V254의 128 부극성 계조 전압들이 발생된다. 그러므로, 128 × 2 값들의 계조들이 발생된다. 128값의 정극성 계조 전압은 제 1 계조 전압 선택 회로(7)에 공급되고 128값의 부극성 계조 전압들이 제 2 계조 전압 선택 회로(8)에 공급된다.

도 3a는 제 1 계조 전압 선택 회로(7)의 개략 블록 회로도이고, 도 3b는 제 2 계조 전압 선택 회로(8)의 개략 블록 회로도이다. 상기 제 1 계조 전압 선택 회로(7)의 출력 단자는 128개의 스위치들 +SW0 내지 +SW127에 병렬로 접속되어 있다. 128개의 스위치들 +SW0 내지 +SW127 각각에 +V0 내지 +V127의 계조 전압 각각이 입력된다. 스위치들 +SW0 내지 +SW127 중 하나의 스위치가 디지털 영상 데이터의 상위 7 비트들에 따라 ON으로 턴되면 하나의 계조 전압이 선택되어 출력된다. 즉, 128 계조 값들 중 하나의 계조 값이 선택되어 출력된다. 상기 제 2 계조 전압 선택 회로(8)의 출력 단자는 128 스위치 SW0 내지 SW127 에 병렬로 접속되어 있다. 128 스위치들 SW0 내지 SW127 에 -V0 내지 -V254의 계조 전압들이 입력된다. 스위치들 SW0 내지 SW127 중 하나의 스위치가 상기 디지털 영상 데이터의 상위 7 비트들에 따라 ON으로 턴되면, 하나의 계조 전압이 선택되어 출력되며, 즉 128 계조 전압들 중 하나의 계조 전압이 선택되어 출력된다.

도 4는 계조 전압 선택 회로에서 스위치들의 구성을 개략적으로 도시하는 회로도이다. 상기 계조 전압 선택 회로는 예를 들어, 128 행들과 14 열들의 어레이 형태로 구성되는 트랜지스터들을 포함한다. 도 4에서, 트랜지스터의 채널에 타원이 있는 트랜지스터는 디플리션형 트랜지스터이고, 트랜지스터의 채널에 타원이 없는 트랜지스터는 인핸스먼트형 트랜지스터이다. 예를 들어, 도 4의 좌측으로부터 14번째 열에서, 디플리션형 트랜지스터와 인핸스먼트형 트랜지스터가 하나씩 교대로 순서대로 배열되어 있으며, 13번째 열에 있어서는, 디플리션 트랜지스터와 인핸스먼트형 트랜지스터 각각이, 14번째 열에 대해 위치를 바꾸어, 하나씩 교대로 순서대로 배열되어 있다. 또한, 도 4의 좌측으로부터 12번째 열에서, 디플리션형 트랜지스터와 인핸스먼트형 트랜지스터들이 두 개씩 교대로 순서대로 배열되어 있으며, 11번째 열에 있어서는, 디플리션형 트랜지스터와 인핸스먼트형 트랜지스터들이 12번째 열에 대해 위치를 바꾸어, 두 개씩 교대로 순서대로 배열되어 있다. 도 4의 좌측으로부터 10번째 열에서는, 디플리션형 트랜지스터와 인핸스먼트형 트랜지스터들이 4개씩 교대로 순서대로 배열된다. 8번째 열에 있어서는, 디플리션형 트랜지스터와 인핸스먼트형 트랜지스터들이 8개씩 교대로 순서대로 배열된다. 6번째 열에서는, 디플리션형 트랜지스터들과 인핸스먼트형 트랜지스터들이 16개씩 교대로 순서대로 배열된다. 4번째 열에 있어서는, 디플리션형 트랜지스터들과 인핸스먼트형 트랜지스터들이 32개씩 교대로 순서대로 배열된다. 2번째 열에 있어서는, 디플리션형 트랜지스터들과 인핸스먼트형 트랜지스터들이 64개씩 교대로 순서대로 배열된다. 기수번째의 열에 있어서는 디플리션형 트랜지스터들 각각이 우수번째의 열에 대해 인핸스먼트형 트랜지스터들 각각과 대체되어 있다.

우수번째의 열들에 장착된 트랜지스터들의 게이트 각각은 인버터들 IV1 내지 IV7에 접속되고, 이들 인버터들 IV1 내지 IV7를 통해 기수번째의 열들에 장착된 트랜지스터들의 게이트 각각과 데이터 래치 회로(3)에도 접속된다. 하나의 비트 디지털 데이터는 7쌍의 우수 및 기수 열들 각각에 입력된다.이러한 ROM형 디코더들을 사용해서 상기 계조 전압 선택 회로의 스위치를 구성하면, 칩의 크기를 매우 작게 할 수 있다.

또한, 액정 공통 전압들(즉, 공통 전극의 전위)에 비해 고위 측의 전압이 출력되는 경우에, 상기 ROM형 디코더는 P-채널 인핸스먼트형 트랜지스터와 P-채널 디플리션형 트랜지스터로 구성되며, 액정 공통 전압들(즉, 공통 전극의 전위)에 대해 하위 측의 전압이 출력되는 경우에, ROM형 디코더는 N-채널 인핸스먼트형 트랜지스터와 N-채널 디플리션형 트랜지스터로 구성된다. 본 실시예에서, 전자는 제 1 계조 전압 선택 회로(7)에 대응하고, 후자는 제 2 계조 전압 선택 회로(8)에 대응한다.

도 5는 도 1에 도시된 제 1 및 제 2 출력 회로를 개략적으로 도시하는 블록 회로도이다. 상기 출력 회로 각각은 연산 증폭기(11)를 구비하여, 상기 계조 전압 선택 회로에서 출력되는 출력 신호를 증폭하고 그 임피던스를 변환시킨다. 상기 연산 증폭기(11)와 상기 디스플레이 장치에 접속된 출력 단자 사이에는 아날로그 스위치 등을 포함하는 저항기(12)가 접속되어 있다. 상기 저항기(12)와 상기 출력 단자 사이에는 드레인이 상호 접속된 트랜지스터 M1 및 M2가 접속되어 있다. 트랜지스터 M1의 소스는 공급 전압 VDD의 단자에 접속되고, 트랜지스터 M2의 소스는 접지 GND에 접속된다. 상기 트랜지스터 M1 및 M2의 게이트들은 LSB 제어 회로(13)에 접속된다. 상기 LSB 제어 회로(13)에는 상기 디지털 영상 데이터의 최하위 비트(1비트)와, 극성 신호 POL와, 래치 신호 STB가 입력된다. 즉, 상기 트랜지스터 M1 및 M2

와 LSB 제어 회로(13)가 출력 오프셋 제어 회로(14)를 구성한다.

위에서 설명한 바와 같은 구성을 갖는 출력 회로는 상기 디지털 영상 데이터의 최하위 비트에 의해 제어된다. 상기 디지털 영상 데이터의 상위 7 비트들에 기초해서 선택된 전압은 그대로 출력되거나, 오프셋 전압이 부가된 후 출력된다.

상기 트랜지스터 M1 및 M2는 상기 디지털 영상 데이터의 최하위 비트에 기초해서 상기 LSB 제어 회로(13)에 의해 ON 또는 OFF로 전환된다. 상기 트랜지스터 M1 및 M2 모두가 OFF 상태이면, 상기 연산 증폭기(11)로부터의 출력 전압은 디스플레이 장치에 그대로 인가되고, 상기 트랜지스터 M1 및 M2 모두가 ON 상태이면, 정상 전류(steady state current) Im이 발생되어 ON 상태인 트랜지스터 M1 및 M2를 통해 흐른다. 아날로그 스위치 등을 포함하는 저항기(12)의 저항값을 Rm 이라고 하면, 전압 강하로 인해 오프셋 전압 $\triangle V = Im \times Rm$ 이 발생되고, 이 오프셋 전압은 상기 연산 증폭기(11)에서 출력되는 출력 전압에 부가되어, 그 전체 전압이 상기 출력 단자로부터 디스플레이 장치에 인가된다. 또한, 정상 상태 전류 Im과 아날로그 저항 Rm은, 상기 전압 $\triangle V$ 이 중간조 영역(halftone region)(즉, 도 7에서 영역 II 동안)에서 1 계조분이 되도록 선택된다.

제 1 실시예에 따른 구동 회로의 동작들을 (도 1을 참조해서) 후술한다.

시작 펄스 신호 SP가 시프트 레지스터 회로(1)에 입력되면, D00 내지 D07, D10 내지 D17, D20 내지 D27을 포함하는 디지털 영상 데이터의 8-비트 3 출력들이 데이터 레지스터 회로(2)에 순차적으로 저장된다.

다음, 래치 신호 STB가 상기 래치 제어 회로(5)로부터 상기 데이터 래치 회로(3)에 입력되면, 상기 데이터 레지스터 회로(2)에 저장된 모든 디지털 영상 데이터가 상기 데이터 래치 회로(3)에 전송되어 저장된다.

또한, 10 계조 공급 전압들 VX0 내지 VX9를 분압함으로써 얻어진 128 계조 전압들이 상기 계조 전압 발생 회로(6)로부터 상기 제 1 계조 전압 선택 회로(7) 및 상기 제 2 계조 전압 선택 회로(8)에 공급된다. 디지털 영상 데이터가 데이터 래치 회로(3)에 전송되면, 상기 디지털 영상 데이터의 상위 7 비트들에 기초해서 상기 제 1 계조 전압 선택 회로(7)에 의해 정극성 128 계조값들로부터 1 계조 값이 선택된다. 유사하게, 제 2 계조 전압 선택 회로(8)에 의해 부극성 128 계조값으로부터 1 계조값이 선택된다.

TFT(박막 트랜지스터) 액정 디스플레이 장치가 반전구동되는 경우, 상기 극성 신호 POL이 0(로우)일 때, 상기 제 2 계조 전압 선택 회로(8)에서 제 1 출력 회로(9)로 부극성 전압이 입력되고, 상기 제 1 계조 전압 선택 회로(7)에서 제 2 출력 회로(10)로 정극성 전압이 입력된다. 한편, 극성 신호 POL이 1(하이)일 때는, 상기 제 1 계조 전압 선택 회로(7)에서 제 1 출력 회로(9)로 정극성 전압이 입력되고, 상기 제 2 계조 전압 선택 회로(8)에서 제 2 출력 회로(10)로 부극성 전압이 입력된다.

도 6은 제 1 실시예에 따른 제 1 출력 회로(9)의 동작들을 나타내는 흐름도이다. 제 1 출력 회로(9)에서, 최하위 비트 LSB가 0(로우)이면, 트랜지스터들 M1 및 M2 모두는 극성 신호 POL에 관계없이 OFF로 턴된다. 이 때, 아날로그 스위치 등을 포함하는 저항기(12)에서는, 전류가 일정하게 흐르지 않기 때문에 전압 강하가 일어나지 않으며, 상기 연산 증폭기(11)에서 출력되는 출력 전압이 상기 출력 단자로부터 디스플레이 장치로 그대로 인가된다.

한편, 상기 최하위 비트가 1(하이)이면, 상기 극성 신호 POL에 의해, 트랜지스터 M1 또는 M2 중 하나가 ON으로 턴된다. 즉, 극성 신호 POL이 0(로우)이면, 상기 제 2 계조 전압 선택 회로(8)에서 상기 제 1 출력 회로(9)의 연산 증폭기(11)에 부극성 전압이 인가되며, 트랜지스터 M1은 ON으로 턴되고 트랜지스터 M2는 OFF 상태를 유지한다. 그러므로,

상기 트랜지스터 M1을 통해 정상 전류 Im1가 흐르게 되고, 상기 트랜지스터 M1의 소스에 공급 전압 VDD가 공급되어, 상기 저항기(12)에 $\triangle Vn = Im1 \times Rm$의 전압 상승이 생긴다.

그 후, 상기 최하위 비트 LSB가 하이를 유지하는 동안 극성 신호 POL이 1(하이)로 되면, 상기 제 1 계조 전압 선택 회로(7)에 의해 공급된 정극성 전압이 상기 제 1 출력 회로(9)의 연산 증폭기(11)에 인가되고, 동시에, 트랜지스터 M1은 OFF로 턴되고 트랜지스터 M2는 ON으로 턴된다. 그러므로, 트랜지스터 M2를 통해 정상 전류 Im2가 흐르게 되고 트랜지스터 M2의 소스는 접지 GND에 접속되어 있기 때문에, 저항기(12)에 $\triangle Vp = Im2 \times Rm$의 전압 강하가 생긴다.

위와 같이 제 1 출력 회로(9)의 동작을 설명하였으나, 제 2 출력 회로(10)의 동작은 그 반대이다. 예를 들어, 상기 최하위 비트 LSB가 1(하이)일 때, 극성 신호 POL이 0(로우)이면, 상기 제 1 계조 전압 선택 회로(7)에서 공급된 정극성 전압은 제 2 출력 회로(10)의 연산 증폭기(11)에 인가되고, 동시에, 트랜지스터 M2는 ON으로 턴되고 트랜지스터 M1은 OFF 상태를 유지한다. 그러므로, 트랜지스터 M2를 통해 정상 전류 Im2가 흐르게 되고 트랜지스터 M2의 소스는 접지 GND에 접속되어 있기 때문에, 저항기(12)에 $\triangle Vp = Im2 \times Rm$의 전압 강하가 생긴다.

그래서, 상기 제 1 계조 전압 선택 회로(7) 및 제 2 계조 전압 선택 회로(8)에서 출력된 전압의 임피던스는 출력 회로들(9 및 10)에 내장된 연산 증폭기(11)에 의해 변환되어 액정 디스플레이 장치 내의 액정에 인가된다.

따라서, 극성 신호 POL이 0(로우)이면, 상기 제 1 출력 회로(9)에서 부극성 전압이 출력되고, 극성 신호 POL이 1(하이)이면, 상기 제 1 출력 회로(9)에서 정극성 신호가 출력된다. 한편, 극성 신호 POL이 0(로우)이면, 상기 제 2 출력 회로(10)에서 정극성 전압이 출력되고, 극성 신호 POL이 1(하이)이면, 상기 제 2 출력 회로(10)에서 부극성 신호가 출력된다. 다음의 표는 디지털 영상 데이터와 출력 전압간의 관계를 나타낸다.

계조의 수	영상 데이터	정극성	부극성
0	00	+V0	-V0
1	01	$+V0-\Delta V_P$	$-V0+\Delta V_N$
2	02	+V2	-V2
3	03	$+V2-\Delta V_P$	$-V2+\Delta V_N$
⋮	⋮	⋮	⋮
126	7E	+V126	-V126
127	7F	$+V126-\Delta V_P$	$-V126+\Delta V_N$
128	80	+V128	-V128
129	81	$+V128-\Delta V_P$	$-V128+\Delta V_N$
⋮	⋮	⋮	⋮
252	FC	+V252	-V252
253	FD	$+V252-\Delta V_P$	$-V252+\Delta V_N$
254	FE	+V254	-V254
255	FF	$+V254-\Delta V_P$	$-V254+\Delta V_N$

도 7은 출력 전압과 투과율의 관계를 도시하는 그래프이며, 이 그래프에서 출력 전압은 횡축으로 도시되고 투과율은 종축으로 도시된다. 도 8a는 계조들의 수는 횡축으로 표시하고 출력 전압은 종축으로 표시해서, 액정 디스플레이 장치에 백색 또는 흑색이 디스플레이 될 때, 계조들의 수와 출력 전압간의 관계를 도시하는 그래프이다. 도 8b는 계조들의 수는 횡축으로 표시하고 출력 전압은 종축으로 표시해서, 액정 디스플레이 장치에 중간색(회색)이 디스플레이 될 때, 계조들의 수와 출력 전압간의 관계를 도시하는 그래프이다.

도 7에 도시된 바와 같이, 출력 전압이 증가할 수록 투과율은 감소한다. 표 1, 도 8a 및 도 8b에 도시된 바와 같이, 계조들의 수가 상이하면 출력 전압도 상이하다. 그러므로, 본 실시예에서 설명한 바와 같이, 디지털 영상 데이터를 상위 7 비트들과 하위 1 비트로 분할하고, 상기 상위 7 비트들에 저항 스트링법을 적용하며, 상기 하위 1 비트에는 오프셋법을 적용함으로써, 다중 계조 디스플레이가 실현될 수 있다.

그래서, 본 실시예에 따라, 저항 스트링법이 디지털 영상 데이터의 상위 7 비트들에 대해 사용되고 오프셋법이 상기 디지털 영상 데이터의 하위 1 비트에 대해 사용되어, 디지털 영상 데이터의 상기 상위 7 비트들에 의해 제어되는 상기 계조 전압 선택 회로들(7 및 8)의 소자들의 수가 1792(2×7×128) 개로 작아질 수 있다. 상기 하위 1 비트에 의해 제어되는 LSB 제어 회로(13)의 소자들의 수도 30 개로 작아질 수 있다. 한편, 종래의 8-비트 저항 스트링법에서는 1 출력당 4096(2×8×256) 개의 소자들이 계조 전압 선택 회로에서 필요하다. 계조 전압 선택 회로의 소자들의 수는 2304 개로 작아질 수 있고, LSB 제어 회로의 소자들의 수를 고려하면 전체적으로 2274 개로 작아질 수 있다. 이로 인해 소자들의 수가 크게 감소될 수 있어 칩의 크기가 작아질 수 있다.

또한, 종래의 저항 스트링법에서, 256개의 ROM 디코더들의 동작을 검사할 필요가 있기 때문에, 256 회의 기능 검사가 필요하다. 대조적으로, 본 실시예에 따르면, 상위 7 비트들에 대해서는 저항 스트링법이 적용되고 하위 1 비트에 대해

서는 오프셋법이 적용되어, 계조 전압 선택 회로의 128 개의 ROM 디코더들의 동작들이 검사되므로, 128 회의 기능 검사가 필요하다. 하위 1 비트에 적용되는 오프셋법의 경우에는, 3회 검사가 필요하기 때문에, 적어도 131회의 기능 검사가 실시되어야만 한다. 그래서, 본 실시예에 따르면, 검사 회수가 크게 감소될 수 있어 검사에 소요되는 비용을 크게 줄일 수 있다.

또한, 아날로그 스위치들뿐만 아니라 다른 확산 저항기들이나 다결정 실리콘 저항기가 본 실시예의 저항기(12)로서 사용될 수 있다.

제 2 실시예

도 9는 제 2 실시예에 따른 구동 회로의 개략적인 블록도이다. 제 1 실시예의 도 1과 제 2 실시예의 도 9에서 동일한 도면 부호들은 동일한 부분들을 나타내므로, 그 부분들에 대한 설명은 생략한다.

제 2 실시예에서, 구동 회로는 정극성 계조 전압 선택 회로(7)에 접속된 연산 증폭기(21)와 부극성 계조 전압 선택 회로(8)에 접속된 연산 증폭기(22)를 더 포함한다. 또한, 연산 증폭기들(21 및 22)의 출력 단자들은 아날로그 스위치들을 통해 출력 오프셋 제어 회로들(23 및 24)에 접속되어 있다. 이들 출력 오프셋 제어 회로들(23 및 24)은 제 1 실시예의 출력 오프셋 제어 회로(14)의 구성들과 동일한 구성을 갖는다. 이들 출력 오프셋 제어 회로들(23 및 24)은 출력 단자들에 접속되며, 이들 출력 단자들은 TFT 액정 디스플레이 패널들 등과 같은 디스플레이 장치에 접속되어 있다.

제 2 실시예에 따라, 제 1 계조 전압 선택 회로(7)와 제 2 계조 전압 선택 회로(8) 사이에서 아날로그 스위치들에 의해 스위칭이 이루어지며, 상기 출력 오프셋 제어 회로들(23 및 24) 사이의 구성은 제 1 실시예의 출력 회로 내에 장착된 저항기(12)의 구성과 동일하다. 즉, 아날로그 스위치들에 의해 발생된 전압 상승 또는 전압 강하를 이용해서 계조를 조정한다. 이 때문에, 제 1 실시예에서는, 저항 성분일 수 있는 성분이면 어느 성분이라도 상기 저항기(12)가 될 수 있었지만, 제 2 실시예에서는, 그 성분이 아날로그 스위치가 아니면 액정 디스플레이 장치가 반전 구동되지 않는다.

제 1 실시예에서는, 출력 전압에 오프셋을 생성하기 위해, 전용의 확산 저항기나 다결정 실리콘 저항기가 필요하다. 대조적으로, 제 2 실시예에서는, 상기 연산 증폭기들(21 및 22)의 출력 단자들에 아날로그 스위치들이 접속되어 있기 때문에, 그러한 전용의 저항기들은 필요하지 않으며, 그래서 제 1 실시예에 비해 회로가 간소화될 수 있다.

제 3 실시예

제 3 실시예에 따라, 라인 반전용 구동 회로가 제공된다. 도 10은 제 3 실시예에 따른 구동 회로의 개략적 블록 회로도이다. 제 3 실시예의 도 10과 제 1 실시예의 도 1에서 동일한 도면 부호들은 동일한 부분들을 나타내므로 그 부분들에 대한 설명은 생략한다.

제 3 실시예에 따라, 상기 구동 회로는 디지털 영상 데이터를 래치하는 데이터 래치 회로(36)와 상기 데이터 래치 회로(36)의 동작을 제어하는 래치 제어 회로(37)를 포함한다. 본 실시예의 상기 구동 회로는 극성 신호를 필요로 하지 않는 라인 반전용으로 사용되기 때문에, 상기 래치 제어 회로(37)에는 래치 신호 STB 만 입력된다.

V0 내지 V8의 9가지 값들을 갖는 계조 전압들을 정극성 또는 부극성을 갖는 128 계조들로 분압해서 출력하는 계조 전압 발생 회로(35)가 제공된다. 상기 계조 전압 발생 회로(35)의 구성은 제 1 실시예의 도 2에 도시된 구성과 동일하지만, 본 실시예에서는, 정극성 또는 부극성을 갖는 저항 스트링이 내장되어 있다. 이 계조 전압 발생 회로(35)에서 128 값들의 계조 전압들이 발생된다.

또한, 본 실시예의 구동 회로는 데이터 래치 회로(36)에 전송된 디지털 영상 데이터에 기초해서 상기 계조 전압 발생 회로(35)에서 출력되는 128 계조 전압들 중 하나의 계조 전압을 선택하기 위해 적응된 제 1 계조 전압 선택 회로(31)와 제 2 계조 전압 선택 회로(32)를 포함한다. 제 1 계조 전압 선택 회로(31)와 제 2 계조 전압 선택 회로(32)는 p-채널 트랜지스터들과 n-채널 트랜지스터들로 구성되는 전송-게이트형 아날로그 스위치를 구비한다. 또한, 제 1 계조 전압 선택 회로(31)에서 출력되는 전압의 임피던스를 변환시키기 위한 제 1 출력 회로(33)와, 상기 제 2 계조 전압 선택 회로(33)에서 출력되는 전압의 임피던스를 변환시키기 위한 제 2 출력 회로(34)를 포함한다. 상기 제 1 출력 회로(33)와 제 2 출력 회로(34)의 구성은 제 1 실시예의 출력 회로의 구성들과 동일하다. 그렇지만, 이들 회로의 LSB(최하위 비트) 제어 회로들에는 디지털 영상 데이터의 최하위 비트 LSB와 래치 신호 STB 만이 입력된다.

그래서, 본 실시예에 따르면, 정극성 또는 부극성에 관계없이 상기 계조 전압 선택 회로(31 및 32)를 사용해서 두 가지의 극성들을 선택할 수 있어, FTF 액정 패널은 라인 반전되어 구동된다.

또한, 제 1 실시예 내지 제 3 실시예에서, 저항 스트링법과 출력 전압들에 오프셋을 생성시키는 오프셋법이 모든 출력 전압들에 대해 적용된다. 그렇지만, 도 8a에 도시된 바와 같이, 영역 Ⅰ 및 Ⅲ 에서는 생성된 오프셋으로 인해 충분한 효과를 얻기 어렵다. 그러므로, 상기 영역 Ⅰ 및 Ⅲ 에서는 8-비트 저항 스트링법만 적용하고, 영역 Ⅱ 에서는 저항 스트링법과 출력 전압에 오프셋을 생성시키는 오프셋법을 모두 적용한다. 즉, 0 내지 31 계조들(영역 Ⅰ)과 224 내지 255 계조들(영역 Ⅲ)에 대해서는 8-비트 저항 스트링법만이 적용된다. 또한, 32 내지 223 계조들에서 대해서는 7-비트 저항 스트링법과 최하위 비트에 기초해서 오프셋을 생성하는 오프셋이 적용된다.

그래서, 상기 계조 전압 발생 회로에서 공급된 출력 신호를, 예를 들어, 160(128+32) 값으로 설정하고, 상기 데이터 래치 회로에서 출력되는 최하위 비트를 상기 계조 전압 선택 회로에 입력하고, 8-비트 최하위 비트를 디지털 영상 데이터에 기초해서 상위 및 하위 레벨에 고정시키는 수단을 제공함으로써 출력 전압을 조정할 수 있다.

상기 출력 전압을 조정하는 방법은 위에서 언급한 바와 같이 연산 증폭기로부터 출력되는 전압에 대해 오프셋을 생성하는 오프셋법에 제한되지 않는다. 예를 들면, 계조 전압 선택 회로와 연산 증폭기 사이에 전환 캐패시터를 설치하는 C-DAC(Switched Capacitor - DA converter)법도 적용할 수 있다. 이 경우, 상기 구동 회로는 단지 저항 스트링법만이 디지털 영상 데이터에 따라 적용되도록 구성될 수 있다.

위에서 언급한 바와 같이, 본 발명에 따르면, 계조 전압 선택 회로에 공급된 상위 비트들의 수가 디지털 영상 데이터의 비트들의 수보다 작기 때문에, 디지털 영상 데이터의 모든 비트들이 공급되는 경우에 비해 소자들의 수를 감소시킬 수 있다. 또한, 전압 조정 수단에 하위 비트가 제공되기 때문에, 소자들의 수가 감소될 수 있으며, 그래서 칩 영역이 작아지고 기능 검사의 회수가 감소되어, 결과적으로 비용이 감소된다.

또한, 위에서 언급한 디지털 영상 데이터가 저항 스트링법의 적용에 의해 소정의 데이터에 일치하면, 보다 양호한 계조들을 갖는 영상들을 디스플레이할 수 있다.

그래서, 본 발명은 위에서 언급한 실시예에 제한되지 않으며 본 발명의 범주 및 정신을 벗어남이 없이 변형 및 수정이 가능하다.

마지막으로, 본 발명의 출원은 1999년 2월 16일에 특허 출원한 제99-37828호를 우선권으로 하며, 상기 우선권은 본 명세서에 참조문헌으로서 통합되어 있다.

발명의 효과

본 발명은 다중 계조를 디스플레이할 수 있는 디스플레이 장치에 사용되는 구동 회로에 적용할 수 있다.

(57) 청구의 범위

청구항 1.

입력된 디지털 영상 데이터에 기초해서 복수의 계조들(gray shades)을 디스플레이하기 위한 디스플레이 장치의 구동 회로에 있어서,

복수의 전압들을 발생하기 위한 계조 전압 발생 수단과,

상기 디지털 영상 데이터의 최상위 비트로부터 카운트된 하나 또는 둘 이상의 비트들로 구성되고 비트들의 수가 상기 디지털 영상 데이터의 비트들의 수보다 작은, 상위 비트들에 기초해서 상기 계조 전압 발생 수단으로부터 제공된 복수의 전압들 중 하나를 선택하고 상기 전압을 출력하기 위한 계조 전압 선택 수단과,

상기 계조 전압 선택 수단으로부터 출력된 전압의 임피던스를 변환하기 위해 사용되는 연산 증폭기와,

상기 디지털 영상 데이터의 상기 상위 비트들을 제외한 하위 비트들에 기초해서 상기 연산 증폭기로부터 출력된 전압의 전압 상승 또는 전압 강하를 유도하기 위한 전압 조정 수단을 포함하는, 디스플레이 장치의 구동 회로.

청구항 2.

제1항에 있어서, 상기 전압 조정 수단은 상기 연산 증폭기의 출력 단자에 접속된 저항기와, 상기 저항기에 접속된 능동 소자와, 상기 하위 비트들에 기초해서 상기 능동 소자의 동작들을 제어하기 위한 제어 수단을 포함하는, 디스플레이 장치의 구동 회로.

청구항 3.

제2항에 있어서, 상기 능동 소자는 드레인이 상기 저항기에 접속되고 소스에 공급 전압이 인가되는 제 1 트랜지스터와, 드레인이 상기 저항기에 접속되고 소스가 접지(ground)에 접속되며 게이트 전압이 상기 제어 수단에 의해 제어되는 제 2 트랜지스터를 포함하는, 디스플레이 장치의 구동 회로.

청구항 4.

제2항에 있어서, 상기 저항기는 아날로그 스위치로 구성되는, 디스플레이 장치의 구동 회로.

청구항 5.

제1항에 있어서, 상기 계조 전압 선택 수단은, 이웃하는 계조 전압들 사이의 값들이 동일하지 않은 경우, 상기 디지털 영상 데이터의 모든 비트들에 기초해서 상기 계조 전압 발생 수단에 의해 제공된 복수의 전압들 중 하나의 전압을 선택하기 위해 사용되며, 상기 전압 조정 수단은 상기 연산 증폭기로부터 출력된 전압을 그대로 출력하기 위해 사용되는, 디스플레이 장치의 구동 회로.

청구항 6.

제1항에 있어서, 상기 계조 전압 발생 수단에는 전압이 외부로부터 입력되는 둘 이상의 입력 단자들과, 상기 입력 단자들에 입력된 전압들을 다양한 전압들로 분압하기 위해 사용되는 분압 수단이 제공되는, 디스플레이 장치의 구동 회로.

청구항 7.

제1항에 있어서, 상기 계조 전압 발생 수단으로부터 출력되는 전압은 정극성 전압 또는 부극성 전압인, 디스플레이 장치의 구동 회로.

청구항 8.

제1항에 있어서, 상기 디지털 영상 데이터의 비트들의 수가 N 일 때, 상기 상위 비트들은 상기 디지털 영상 데이터의 최상위 비트로부터 카운트된 (N-m) 개의 비트들로 구성되며, 상기 하위 비트들은 상기 디지털 영상 데이터의 최하위 비트로부터 카운트된 m 개의 비트들로 구성되는, 디스플레이 장치의 구동 회로.

청구항 9.

입력된 디지털 영상 데이터에 기초해서 복수의 계조들을 디스플레이하기 위한 디스플레이 장치의 구동 회로에 있어서,

복수의 전압들을 발생하기 위한 계조 전압 발생 수단과,

상기 디지털 영상 데이터의 최상위 비트로부터 카운트된 하나 또는 둘 이상의 비트들로 구성되고 비트들의 수가 상기 디지털 영상 데이터의 비트들의 수보다 작은 상위 비트들에 기초해서, 상기 계조 전압 발생 수단으로부터 제공된 복수의 전압들 중 둘 이상의 전압들을 선택하기 위한 계조 전압 선택 수단과,

상기 디지털 영상 데이터의 상기 상위 비트들을 제외한 상기 하위 비트들에 기초해서 상기 계조 전압 선택 수단으로부터 출력된 둘 이상의 전압들을 분압해서 하나의 분압된 전압을 출력하는 분압 수단과,

상기 분압 수단으로부터 출력된 전압의 임피던스를 변환하기 위해 사용된 연산 증폭기를 포함하는, 디스플레이 장치의 구동 회로.

청구항 10.

제9항에 있어서, 상기 계조 전압 선택 수단은, 이웃하는 계조 전압들 사이의 값들이 동일하지 않은 경우, 상기 디지털 영상 데이터의 모든 비트들에 기초해서 상기 계조 전압 발생 수단으로부터 공급된 복수의 전압들 중 하나의 전압을 선택하고 상기 전압을 출력하는 디스플레이 장치의 구동 회로.

청구항 11.

제9항에 있어서, 상기 계조 전압 발생 수단에는 전압이 외부로부터 입력되는 둘 이상의 입력 단자들과, 상기 입력 단자들에 입력된 전압들을 다양한 전압들로 분압하기 위해 사용된 분압 수단이 제공되는, 디스플레이 장치의 구동 회로.

청구항 12.

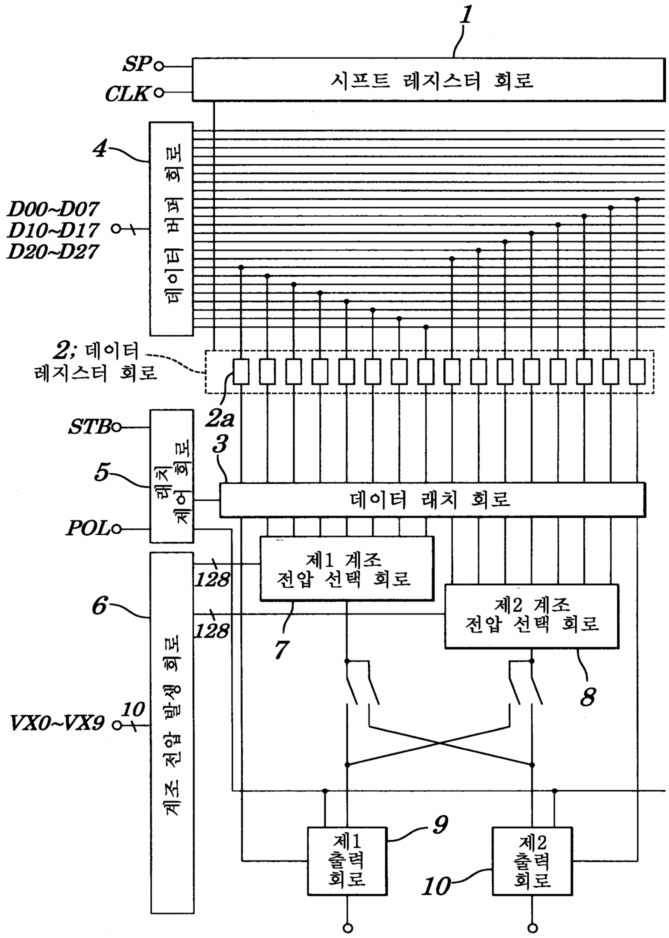
제9항에 있어서, 상기 계조 전압 발생 수단으로부터 출력되는 전압은 정극성 전압 또는 부극성 전압인, 디스플레이 장치의 구동 회로.

청구항 13.

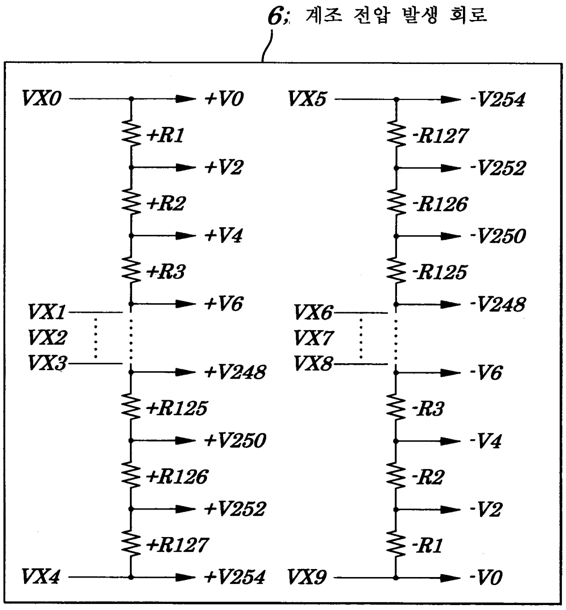
제9항에 있어서, 상기 디지털 영상 데이터의 비트들의 수가 N 일때, 상기 상위 비트들은 상기 디지털 영상 데이터의 최상위 비트로부터 카운트된 (N-m) 개의 비트들로 구성되며, 상기 하위 비트들은 상기 디지털 영상 데이터의 최하위 비트로부터 카운트된 m 개의 비트들로 구성되는, 디스플레이 장치의 구동 회로.

도면

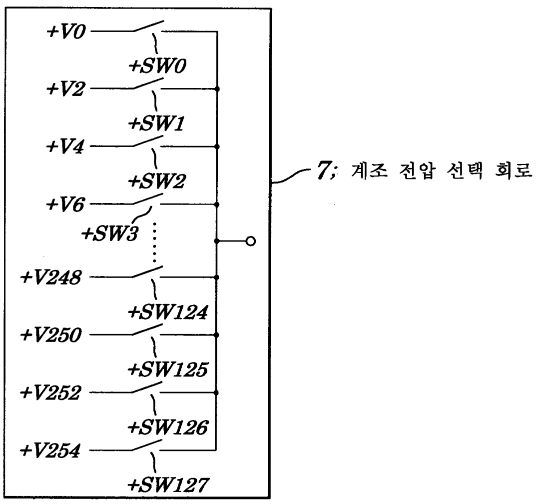
도면 1


1
SP
CLK
시프트 레지스터 회로
4
데이터 버퍼 회로
D00~D07
D10~D17
D20~D27
2; 데이터
레지스터 회로
2a
3
STB
5
래치 제어 회로
POL
데이터 래치 회로
6
128
128
제1 계조
전압 선택 회로
7
제2 계조
전압 선택 회로
8
계조 전압 발생 회로
VX0~VX9
10
9
제1
출력
회로
10
제2
출력
회로

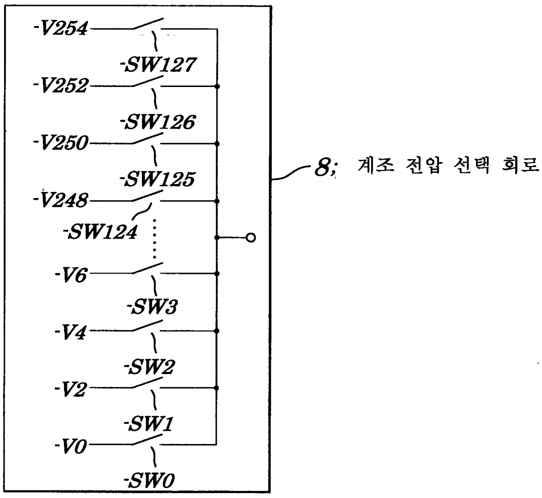
도면 2


6; 계조 전압 발생 회로
VX0
+V0
+R1
+V2
+R2
+V4
+R3
+V6
VX1
VX2
VX3
+V248
+R125
+V250
+R126
+V252
+R127
VX4
+V254
VX5
-V254
-R127
-V252
-R126
-V250
-R125
-V248
VX6
VX7
VX8
-V6
-R3
-V4
-R2
-V2
-R1
VX9
-V0

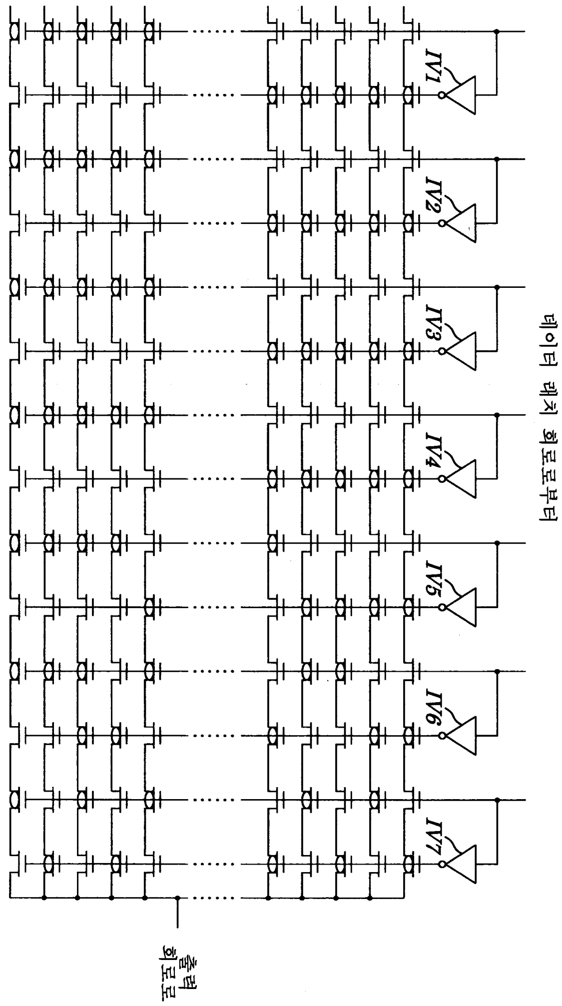
도면 3a


+V0
+SW0
+V2
+SW1
+V4
+SW2
+V6
+SW3
+V248
+SW124
+V250
+SW125
+V252
+SW126
+V254
+SW127
7; 계조 전압 선택 회로

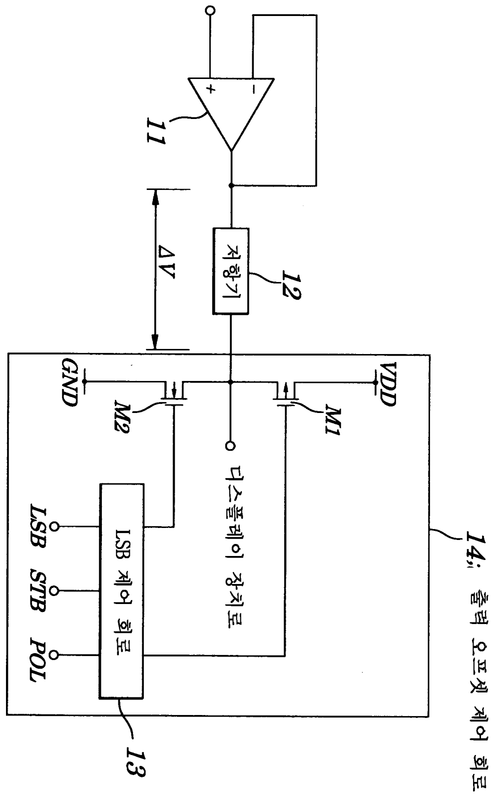
도면 3b


-V254
-SW127
-V252
-SW126
-V250
-SW125
-V248
-SW124
-V6
-SW3
-V4
-SW2
-V2
-SW1
-V0
-SW0
8; 계조 전압 선택 회로

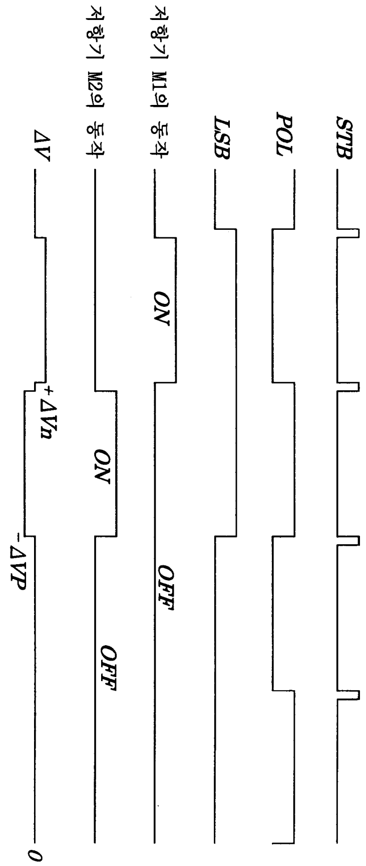
도면 4



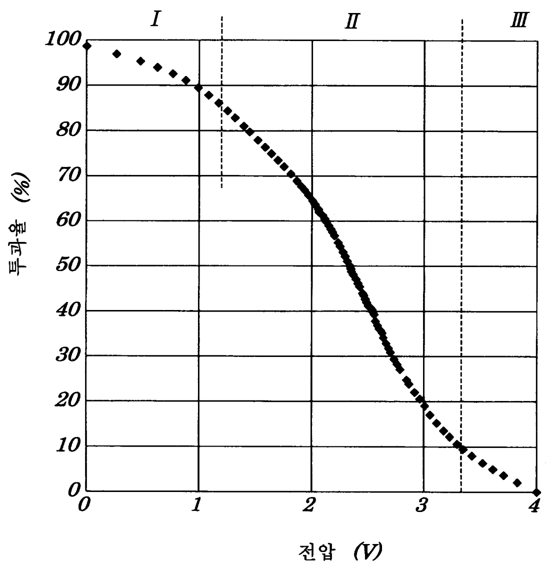
도면 5


11
12
저항기
ΔV
VDD
GND
M1
M2
디스플레이 장치로
LSB 제어 회로
LSB
STB
POL
13
14: 출력 오프셋 제어 회로

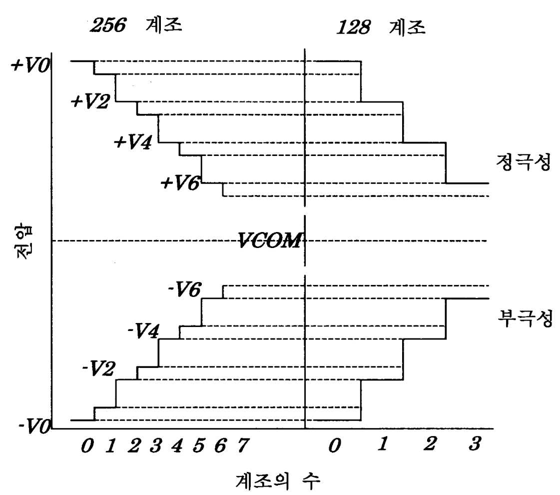
도면 6



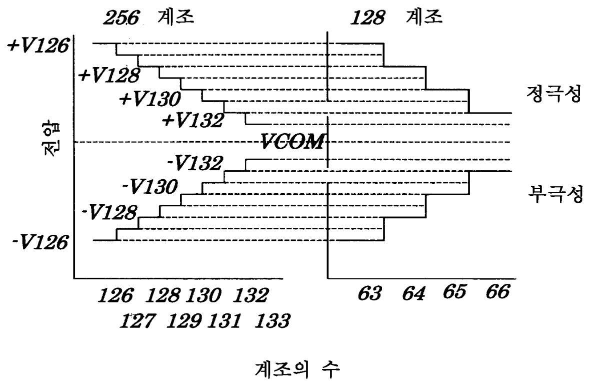
도면 7


I
II
III
100
90
80
70
60
50
40
30
20
10
0
투과율 (%)
0
1
2
3
4
전압 (V)

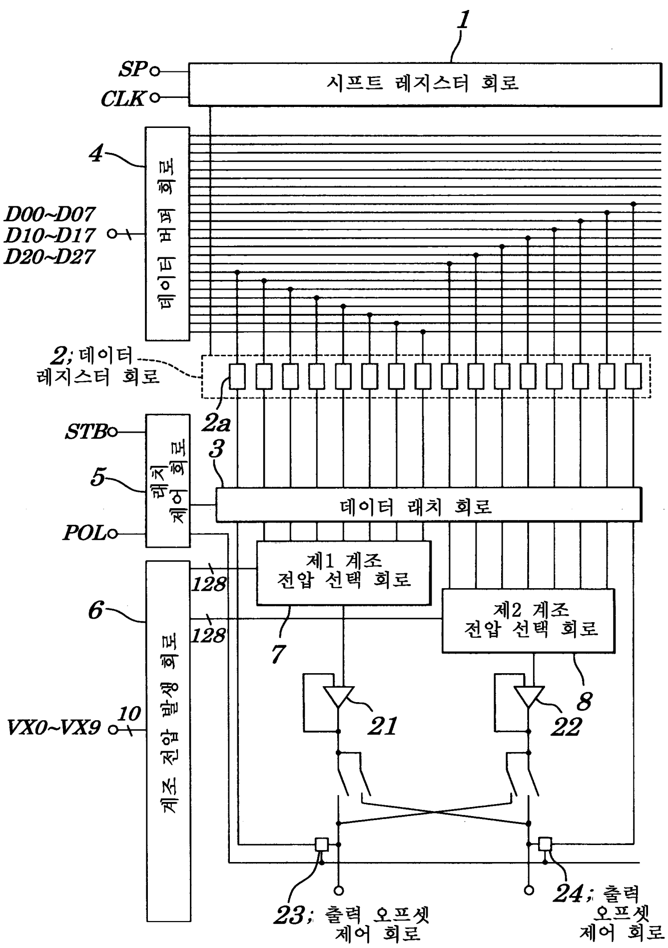
도면 8a


256 계조
128 계조
+V0
+V2
+V4
+V6
정극성
VCOM
전압
-V6
-V4
-V2
-V0
부극성
0 1 2 3 4 5 6 7
0 1 2 3
계조의 수

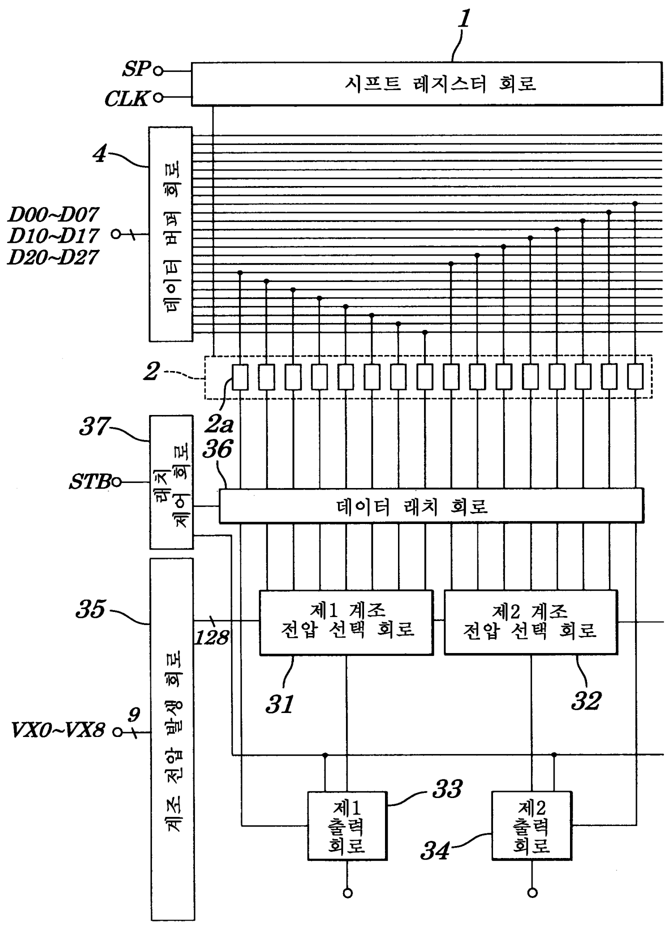
도면 8b


256 계조
128 계조
+V126
+V128
+V130
+V132
VCOM
-V132
-V130
-V128
-V126
전압
정극성
부극성
126 128 130 132
127 129 131 133
63 64 65 66
계조의 수

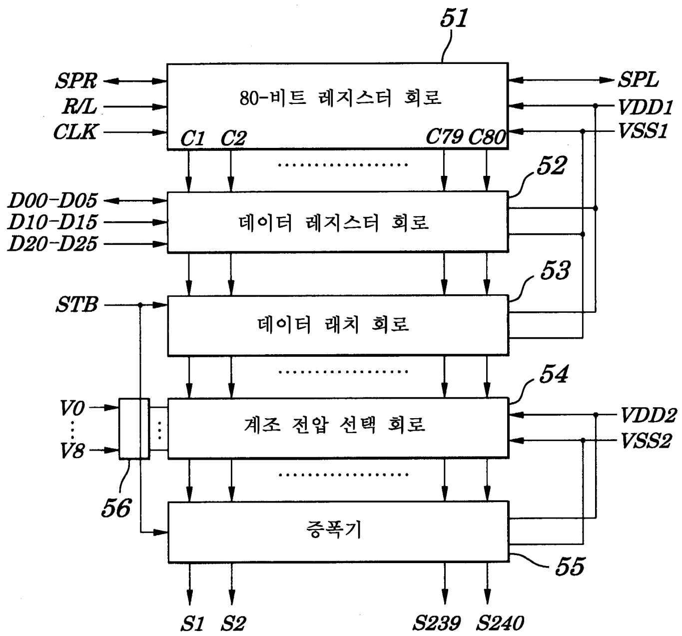
도면 9


1
SP
CLK
시프트 레지스터 회로
4
데이터 버퍼 회로
D00~D07
D10~D17
D20~D27
2; 데이터
레지스터 회로
2a
3
STB
5
래치
제어 회로
POL
데이터 래치 회로
128
128
제1 계조
전압 선택 회로
제2 계조
전압 선택 회로
6
7
8
계조 전압 발생 회로
10
VX0~VX9
21
22
23; 출력 오프셋
제어 회로
24; 출력
오프셋
제어 회로

도면 10


1
SP
CLK
시프트 레지스터 회로
4
D00~D07
D10~D17
D20~D27
데이터 버퍼 회로
2
2a
36
37
STB
래치 제어 회로
데이터 래치 회로
35
128
제1 계조 전압 선택 회로
제2 계조 전압 선택 회로
31
32
9
VX0~VX8
계조 전압 발생 회로
33
34
제1 출력 회로
제2 출력 회로

도면 11


51
SPR
R/L
CLK
80-비트 레지스터 회로
C1 C2
C79 C80
SPL
VDD1
VSS1
52
D00-D05
D10-D15
D20-D25
데이터 레지스터 회로
53
STB
데이터 래치 회로
54
V0
V8
계조 전압 선택 회로
VDD2
VSS2
56
증폭기
55
S1 S2
S239 S240

专利名称(译)	显示装置的驱动电路		
公开(公告)号	[KR100366868B1](KR100366868B1)	公开(公告)日	2003-01-09
申请号	KR1020000007294	申请日	2000-02-16
申请(专利权)人(译)	日本地方可否让来.)		
当前申请(专利权)人(译)	日本地方可否让来.)		
[标]发明人	HASHIMOTO YOSHIHARA		
发明人	HASHIMOTO,YOSHIHARA		
IPC分类号	G02F1/1368 G02F1/133 G02F1/1365 G09G3/20 G09G3/36 G09F9/35 G02F1/136		
CPC分类号	G09G2310/027 G09G3/3614 G09G2310/0297 G09G3/3696 G09G3/3688		
代理人(译)	李，何炳		
优先权	1999037828 1999-02-16 JP		
其他公开文献	KR1020000076676A		
外部链接	Espacenet		

摘要(译)

数字图像数据的位数执行多级灰度显示，增加显示装置的驱动电路的位数，包括其减小的芯片尺寸和TFT（薄膜晶体管）液晶显示装置等。可以降低检查成本。显示装置的驱动电路包括产生多个电压的一个或两个或多个位，但是从合适的灰度电压产生系统的最高有效位和数字图像数据计数。并且，在提供比特数的多个电压之间选择一个电压电压，而不是基于来自灰度电压产生系统的小高位的数字图像数据的位数，以及输出该电压的灰度电压选择装置。除了来自运算放大器的数字图像数据的高位之外，还包括放大器和电压调节器电路，其引起基于最低有效位输出的电压的电压升高或电压降。运算放大器用于转换从灰度电压选择装置输出的电压的阻抗。灰度电压产生系统，灰度电压选择装置，运算放大器，电压校准装置。