(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
G09G 3/36

(45) 공고일자 2002년07월24일
(11) 등록번호 10-0346096
(24) 등록일자 2002년07월08일

(21) 출원번호 10-2000-0043652
(22) 출원일자 2000년07월28일

(65) 공개번호 특2001-0015460
(43) 공개일자 2001년02월26일

(30) 우선권주장 11-213254 1999년07월28일 일본(JP)

(73) 특허권자 샤프 가부시키가이샤
일본 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고

(72) 발명자 가지하라노리유끼
일본국나라나라시수가와라초227-1수가와라유-하이츠201

(74) 대리인 백덕열
이태희

심사관 : 정연우

(54) 중간전압을 발생시키도록 구성된 전원회로 및 이전원회로를 포함하는 액정표시장치

요약

전원회로는 기준전압을 발생시키는 기준전압 발생회로, 제1 기준전압 및 중간전압을 수신하는 연산증폭기, 제2 기준전압 및 중간전압을 수신하는 연산증폭기, 상기 2개의 연산증폭기의 출력에 따라 ON/OFF가 제어되는 한 쌍의 트랜지스터를 포함하고 중간전압을 발생시키는 출력버퍼, 및 상기 출력버퍼에 있는 상기 한 쌍의 트랜지스터에 공급되는 관통전류를 방지하는 관통전류 방지회로를 포함한다. 상기 관통전류 방지회로는 상기 한 쌍의 트랜지스터 중 하나가 ON될 때 다른 하나를 OFF 시키도록 작동한다. 따라서 상기 한 쌍의 트랜지스터에 관통전류는 흐르지 않는다.

대표도
도 1

명세서

도면의 간단한 설명

도1은 제1 실시예에 따른 전원회로(100)의 요부의 구성을 도시한 회로도이다.

도2는 트랜지스터 레벨에서 전원회로를 도시한 회로 구성도이다.

도3은 기본 소자로서 전원회로(100)를 포함한 전원회로의 요부의 구성을 도시한다.

도4는 제1 실시예에 따른 액정표시장치(1000)의 개략적인 구성을 도시한 블록도이다.

도5는 제2 실시예에 따른 전원회로(200)의 요부의 구성을 도시한 회로도이다.

도6은 트랜지스터 레벨에서 전원회로(200)를 도시한 회로 구성도이다.

도7은 제3 실시예에 따른 전원회로(300)의 주요부의 구성을 도시한다.

도8은 트랜지스터 레벨에서 전원회로(300)를 도시한 회로 구성도이다.

도9는 이동 전화에서 전원회로를 나타낸 블록도이다.

도10a 및 10b는 본 발명의 효과를 나타낸 전압/신호 파형도이다.

도11은 종래의 액정표시장치(4000)의 개략적인 구성을 나타낸 블록도이다.

도12는 종래의 전원회로(900)의 구성의 일례를 나타낸 회로도이다.

도13은 종래의 전원회로(910)의 구성의 일례를 나타낸 회로도이다.

도14는 연산증폭기의 구성을 나타낸 회로도이다.

도15는 문헌 1에 기술된 전원회로(920)의 구성을 도시한다.

도16은 도15에 따른 전원회로의 구성 일부를 도시한다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전원회로 및 액정표시장치에 관한 것이다. 특히, 본 발명은 중간 전압을 발생시키도록 구성된 전원회로 및 상기 전원회로의 출력에 따라 동작하는 액정표시장치에 관한 것이다.

도11을 참조하여 종래 액정표시장치의 구성을 설명한다. 도11에 나타낸 액정표시장치(4000)는, 매트릭스 형태로 배열된 화소를 갖는 액정 패널(4500), 수평축 방향으로 액정 패널(4500)의 화소를 구동하는 Y 드라이버(4100), 수직축 방향으로 액정 패널(4500)의 화소를 구동하는 X 드라이버(4200), Y 드라이버(4100) 및 X 드라이버(4200)를 제어하는 제어회로(4300), 및 Y 드라이버(4100) 및 X 드라이버 (4200)에 구동용 기준전원전압을 제공하는 전원회로(4400)를 포함한다.

전원회로의 일례를 도12를 참조하여 설명한다. 도12에 나타낸 전원회로(900)는 저항 분할을 통해 기준전원전압을 출력한다. 전원회로(900)는, 전원전압(VEE)이 공급되는 노드와 접지전압(GND)이 공급되는 노드 사이에 직렬로 접속되는 저항(R1,R2,…,Rn)들을 포함한다. 전원회로(900)는 복수의 블리더 저항(R1 Rn)에 의해, 전원전압(VEE)과 접지전압(GND) 사이의 전압 차이를 분할하여, 예컨대, 기준전원전압(V0 V4)을 얻도록 구성되어 있다.

종래의 전원회로의 다른 예는 도13에 나타낸 바와 같다. 도13에 나타낸 전원회로(910)는 전원전압(VEE)이 공급되는 노드와 접지전압(GND)이 공급되는 노드 사이에 직렬로 접속되는 블리더 저항(R1 Rn), 및 연산증폭기(OA0,OA1,…, OA4)를 포함한다. 연산증폭기(OA0,OA1,…OA4)는 일반적으로 연산증폭기(OA)로서 언급된다.

전원회로(910)는 저항을 사용하여 전원전압(VEE)과 접지전압(GND) 사이의 차이에 대응하는 전압을 분할하고, 연산증폭기(OA)를 통해 임피던스 변환을 행하여 각 중간전압을 안정화한 후, 상기 중간전압을 출력한다.

연산증폭기(OA)는 도4에 나타낸 바와 같이 트랜지스터(Q91,Q92,Q93,Q94,Q95)를 포함한다. 트랜지스터(Q91,Q92, Q95)는 PMOS 트랜지스터인 반면 트랜지스터(Q93 ,Q94)는 NMOS 트랜지스터이다.

트랜지스터(Q91)의 게이트는 반전입력단자(N)(도13에서 표시"-"에 대응)에 접속되고, 트랜지스터(Q92)의 게이트는 비반전 입력단자(P)(도13에서 표시"+"에 대응)에 접속되어 있다.

트랜지스터(Q93,Q94)는 접지전압(GND)을 수신하는 소스를 갖는다. 트랜지스터(Q95)는 바이어스 입력단자(BIAS)에 접속되고 바이어스 전압이 공급되는 게이트를 갖는다. 트랜지스터(Q95)는 전원전압(VEE)을 수신하는 소스 및 트랜지스터 (Q91,Q92)의 소스에 공통으로 접속된 드레인을 갖는다. 트랜지스터(Q95)는 트랜지스터(Q91,Q92)에 적당한 바이어스 전류를 공급하는 정전류원으로 작용한다.

연산증폭기(OA)는 트랜지스터(Q96,Q97) 및 커패시턴스 소자(C0)를 더 포함한다. 트랜지스터(Q97)는 NMOS 트랜지스터인 반면 트랜지스터(Q96)는 PMOS 트랜지스터이다. 트랜지스터(Q97)는 트랜지스터(Q94)에 접속된 게이트, 접지전압을 수신하는 소스, 및 출력단자(OUT)에 접속된 드레인을 갖는다.

트랜지스터(Q96)는 전원공급전압(VEE)이 공급되는 노드와 출력단자(OUT) 사이에 접속되고, 바이어스 입력단자(BIAS)로부터의 바이어스 전압이 공급되는 게이트를 갖는다. 트랜지스터(Q96)는 정전류원 부하로서 동작한다.

커패시턴스 소자(C0)는 트랜지스터(Q97)의 드레인과 게이트 사이에 접속된다.

액정표시장치에서, 다수의 화소가 부하 커패시턴스를 증가시키고, 액정을 구동하기 위한 전원의 고임피던스가 액정출력파형에 노이즈를 발생시킨다. 전원회로 (Q910)를 사용하면, 연산증폭기(OA)를 통해 저임피던스를 달성함으로써 표시품위가 저하되는 것을 방지할 수 있다.

종래의 어느 전원회로에서도, 기준전원전압의 안정화를 위해, 블리더 저항의 저항치를 작게 하는 것이 바람직하지만, 블리더 저항의 작은 저항치는 전원회로의 소비전력의 증대를 초래한다.

전원회로(Q910)에서는, 연산증폭기를 사용하여 액정표시용에 충분한 양의 전원이 확보되어야 하는 경우, 연산증폭기 회로내의 정전류회로에 흐르는 전류를 어느 정도 높게 해야 하고, 이것이 저소비전력화의 큰 문제였다.

상기 문제를 해결하기 위해, 블리더 저항의 저항치를 높게 하더라도 출력전압을 안정화시킬 수 있는 전원회로가, 일본국 특허 공개 공보 제55-146487호(이하, 문헌 1로 칭함)에 개시되어 있다.

문헌 1에 나타낸 전원회로의 구성을 도15를 참조하여 설명한다. 도15에 나타낸 전원회로(920)는 고저항을 사용하여 중간전압을 얻고, 허용치를 넘는 전압변동을 검출하여, M0S 트랜지스터를 사용하여 상기 변동을 억제한다.

전원회로(920)는 저항(R1 R8), 연산증폭기(OA1 OA4), 트랜지스터(Q1 Q4), 및 전원(E)을 포함한다. 전원(E)은 노드(Z0)와 노드(Z3) 사이에 접속된다. 저항(R1 R3)은 노드(Z0,Z3) 사이에 직렬로 접속된다. 저항(R1 R3)은 전원전압(-E=-V3)을 3등분하여 제공되는 중간전압(-V1,-V2)을 생성한다.

저항(R4 R8)은 노드(Z0,Z3) 사이에 직렬로 접속된다. 저항(R4 R8)은 상기 중간전압(-V1,-V2)에 기초하여, 변동허용치를 설정하는 기준전압(-VH1,-VL1), (-VH2,-VL2)을 생성한다. 다음 식((1) (4))은 기준전압과 중간전압 사이에서 만족된다.

$-VH1 = -V1 + \Delta V \cdots(1)$

$-VL1 = -V1 - \Delta V \cdots(2)$

$-VH2 = -V2 + \Delta V \cdots(3)$

$-VL2 = -V2 - \Delta V \cdots(4)$

식((1) (4))에서, ΔV는 변동허용치이다.

전원회로(920)는 그 반전입력단자("-")에서 기준전압(-VH1)을 수신하고 그 비반전 입력단자("+")에서 전압(-V1)을 수신하는 연산증폭기(OA1), 및 전압(-V1)을 출력하는 노드(Z1)와 전압(-V3)을 출력하는 노드(Z3) 사이에 접속되고 그 게이트에서 연산증폭기(OA1)의 출력을 수신하는 트랜지스터(Q2)를 더 포함한다. 트랜지스터 (Q2)는 NMOS 트랜지스터이다. 전압(-V1)이 변동하고 기준전압(-VH1)보다 높아지면, 트랜지스터(Q2)가 ON된다. 이에 의해, 상기 출력이 허용치보다 높아지도록 출력의 변동이 억제된다.

전원회로(920)는 그 반전입력단자("-")에서 기준전압(-VL1)을 수신하고 그 비반전 입력단자("+")에서 전압(-V1)을 수신하는 연산증폭기(OA2), 및 전압(V0)을 출력하고 그 게이트에서 연산증폭기(OA2)의 출력을 수신하는 노드(Z1)와 노드(Z0) 사이에 접속된 트랜지스터(Q1)를 더 포함한다. 트랜지스터(Q1)는 PMOS 트랜지스터이다. 전압(-V1)이 변동하고 기준전압(-VL1)보다 낮아지면, 트랜지스터(Q1)가 ON된다. 이에 의해, 상기 출력이 허용치보다 낮아지도록 출력의 변동이 억제된다.

전원회로(920)는 그 반전입력단자("-")에서 기준전압(-VH2)을 수신하고 그 비반전 입력단자("+")에서 전압(-V2)을 수신하는 연산증폭기(OA3), 및 전압(-V2)을 출력하는 노드(Z2)와 노드(Z3) 사이에 접속되고 그 게이트에서 연산증폭기(OA3)의 출력을 수신하는 트랜지스터(Q4)를 더 포함한다. 트랜지스터(Q4)는 NMOS 트랜지스터이다. 전압(-V2)이 변동하고 기준전압(-VH2)보다 높아지면, 트랜지스터(Q4)가 ON된다. 이에 의해, 상기 출력이 허용치보다 높아지도록 출력의 변동이 억제된다.

전원회로(920)는 그 반전입력단자("-")에서 기준전압(-VL2)을 수신하고 그 비반전 입력단자("+")에서 전압(-V2)을 수신하는 연산증폭기(OA4), 및 노드(Z2,Z0) 사이에 접속되고 그 게이트에서 연산증폭기(OA4)의 출력을 수신하는 트랜지스터 (Q3)를 더 포함한다. 트랜지스터(Q3)는 PMOS 트랜지스터이다. 전압(-V2)이 변동하고 기준전압(-VL2)보다 낮아지면, 트랜지스터(Q3)가 ON된다. 이에 의해, 상기 출력이 허용치보다 낮아지도록 출력의 변동이 억제된다.

즉, 각각의 발생된 전압(-V1) 또는 (-V2)에서의 변동은 허용전압범위 $2 \times \Delta V$내로 한정된다.

여기서, 기준전압 발생회로(저항(R4 R8))의 출력 임피던스는 하이 임피던스이더라도 전혀 문제를 일으키지 않는다. 이는 연산증폭기가 로우 임피던스를 출력하기 때문이다. 따라서, 직렬저항(R4 R8)은 고저항을 가질 수 있고, 직렬저항(R4 R8)에서의 전류소비는 지극히 작게 억제될 수 있다. 또한, 출력이 변동하고 허용치보다 높거나 낮을 때에만 연산증폭기는 다이나믹하게 구동된다. 상기 이유 때문에, 전류소비가 지극히 작다.

그러나, 종래의 전원회로(920)는 회로부품의 특성변화에 따른 다음 문제를 갖는다. 종래의 문제를 도15 및 16을 참조하여 설명한다.

도16은 상기 전원회로(920)와 유사한 구성을 갖는 전원회로의 일부이고, 예컨대, 도16에 나타낸 회로는 전압(V4)을 발생시키기 위해 채택되었다. 도16에 나타낸 전원회로는 기준전압 발생회로(94), 연산증폭기(OA1,OA2), 및 출력버퍼(5)를 포함한다.

기준전압 발생회로(94)는 윈도우 폭 전압을 정의하는 기준전압(Va,Vb)을 발생시키는 블리더 저항을 포함한다. 출력버퍼(5)는 트랜지스터(Q100,Q200)를 포함한다. 트랜지스터(Q100)는 PMOS 트랜지스터인 반면 트랜지스터(Q200)는 NMOS 트랜지스터이다.

트랜지스터(Q100)의 소스는 전원전압(VEE)을 수신하는 반면 트랜지스터 (Q200)의 소스는 접지전압(GND)을 수신한다. 트랜지스터(Q100)의 게이트는 연산증폭기(OA2)의 출력을 수신하고, 트랜지스터(Q200)의 게이트는 연산증폭기(OA1)의 출력을 수신한다. 트랜지스터(Q100)의 드레인 및 트랜지스터(Q200)의 드레인은 모두 전압(V4)을 출력하기 위한 노드에 접속되어 있다.

연산증폭기(OA1,OA2)의 각각의 비반전 입력단자(부호 "+")는 전압(V4)을 수신한다. 연산증폭기(OA1)는 그 반전입력단자(부호 "-")에서 기준전압(Va)을 수신하고, 연산증폭기(OA2)는 그 반전입력단자에서 기준전압(Vb)을 수신한다.

연산증폭기(OA1,OA2) 각각은 도14에 나타낸 구성을 갖는다. 도14에 나타낸 구성을 갖는 상기 연산증폭기(OA)는 비반전 입력단자측의 차동입력 트랜지스터와 반전입력단자측의 차동입력 트랜지스터의 임계전압간의 차이(ΔVth)에 의해 생성되는 옵셋 전압을 갖는다. 예컨대, 옵셋 전압은, 제조공정동안 트랜지스터 게이트의 형성을 위한 영역 아래의 실리콘 기판으로 불순물이 이온주입될 때 주입변화에 의해 발생한다.

도16에서, 동일한 방향에 있는 연산증폭기(OA1,OA2)의 옵셋 전압의 변화는 특별한 문제를 일으키지 않는다. 그러나, 옵셋 전압의 총합은 기준전압 발생회로 (94)에서의 블리더 저항에 의해 발생되는 윈도우 폭 전압(Va-Vb)을 감소시키는 방향으로 변화하고, 이것이 문제를 발생시킨다.

표 1은 윈도우 폭 전압이 원래 100㎷로 설정되었지만 옵셋 전압이 다른 방향으로 변화했기 때문에 60㎷로 작아진 경우를 나타낸다.

표 1

[표 1]

	설정전압[br/]윈도우	출력전압	옵셋 전압	윈도우 폭
연산증폭기[br/](OA1)	Va = 1.1V	1.085V	-15mV	60mV
연산증폭기[br/](OA2)	Vb = 1.0V	1.025V	+25mV	

표 1에 나타낸 바와 같이, 옵셋 전압이 다른 방향으로 변화하면 윈도우 폭 전압이 작아진다. 윈도우 폭 전압이 작아지면, 출력버퍼(5)에 포함된 트랜지스터(Q100,Q200)가 동시에 쉽게 도통되고, 관통전류가 평상시보다 많이 흐른다. 윈도우 폭 전압이 더욱 작아지면, 트랜지스터(Q100,Q200)가 동시에 ON된다.

관통전류가 생성되면, 출력전압이 불안정하게 되고 실제 출력전압(V4)이 기대치 레벨보다 낮아진다. 따라서, 이와 같은 전원회로가 액정표시장치에 제공되면, 예컨대, 전원이 ON되었을 때 액정표시화면이 시작하지 않는 문제가 발생한다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 낮은 전력소비로 안정된 전압을 공급할 수 있는 전원회로를 제공하는 것이다.

본 발명의 한 특징에 따르면, 전원공급노드에 인가된 전원전압과 접지노드에 인가된 접지전압간의 중간전압을 발생시키는 전원회로는, 상기 중간전압의 변동 허용범위를 정의하는 기준전압을 발생시키는 기준전압 발생회로, 중간전압과 기

준전압을 비교하여 비교결과를 출력하는 전압비교회로, 중간전압이 출력되는 전압출력노드와 전원공급노드간에 접속되고 접지노드와 전압출력노드간에 접속되어 전압비교회로의 출력에 따라 ON/OFF가 제어되는 한 쌍의 스위치, 및 상기 한 쌍의 스위치를 통해 접지노드와 전원공급노드간에 발생되는 관통전류를 방지하기 위한 관통전류 방지회로를 포함한다.

상기 전원회로에서, 바람직하게는, 상기 전압비교회로는 그 입력에서 중간전압 및 기준전압을 수신하는 차동증폭회로와 상기 차동증폭회로의 출력에 따라 상기 비교결과에 상응하는 신호를 출력하는 출력회로를 포함하고, 상기 한 쌍의 스위치는 그 게이트에 출력회로의 출력을 수신하는 제1 및 제2 트랜지스터를 포함하며, 상기 관통전류방지회로는 상기 차동증폭회로의 출력에 따라 다른 하나가 ON되면 제1 및 제2 트랜지스터 중 하나를 OFF시킨다.

바람직하게는, 전원회로는, 제어신호에 따라 상기 한 쌍의 스위치에 전류경로를 전기적으로 접속 또는 분리시키는 제어스위치를 더 포함한다.

상기 전원회로에서, 차동증폭회로는 게이트에서 기준전압을 수신하는 제3 트랜지스터, 게이트에서 중간전압을 수신하는 제4 트랜지스터, 상기 제3 및 제4 트랜지스터에 전류를 공급하는 전류원, 및 제어신호에 따라 제3 및 제4 트랜지스터와 전류원간의 전류경로를 전기적으로 접속 또는 분리시키는 제어스위치를 포함하는 것이 바람직하다.

상기 전원회로에서, 출력회로는, 상기 비교결과에 따른 신호를 출력하는 출력노드, 출력노드와 소정의 전압간에 접속되어 게이트에서 차동증폭회로의 출력을 수신하는 제3 트랜지스터, 상기 출력노드에 전류를 공급하는 전류원, 및 제어신호에 따라 전류원과 제3 트랜지스터간의 전류경로를 전기적으로 접속 또는 분리시키는 제어스위치를 포함하는 것이 바람직하다.

상기 소정의 전원회로에 따르면, 중간전압의 변동으로 관통전류가 발생하는 것을 방지할 수 있으며, 이로써 전력소비를 줄일 수 있다. 또한, 회로의 전류경로는 제어신호에 따라 전기적으로 분리될 수 있으며, 이로써 동작이 불필요할 때 전류소비를 줄일 수 있다.

본 발명의 다른 목적은, 낮은 전력소비로 전압을 안정적으로 공급할 수 있는 전력공급회로를 가진 액정표시장치를 제공하는 것이다.

본 발명의 다른 특징에 따른 액정표시장치는, 복수의 화소를 포함하는 액정패널, 상기 액정패널을 구동하는 구동회로, 및 전원공급노드에 인가되는 전원전압과 접지노드에 인가된 접지전압간의 중간전압을 발생시켜 상기 구동회로에 중간전압을 공급하는 전원회로를 포함하고, 상기 전원회로는 중간전압의 변동 허용범위를 정의하는 기준전압을 발생시키는 기준전압 발생회로, 상기 중간전압과 기준전압을 비교하여 그 비교 결과를 출력하는 전압비교회로, 중간전압이 출력되는 전압출력노드와 전원공급노드간에 접속되고 접지노드와 전압출력노드간에 접속되어 상기 전압비교회로의 출력에 따라 ON/OFF가 제어되는 한 쌍의 스위치, 및 상기 한 쌍의 스위치를 통해 접지노드와 전원공급노드간에 발생되는 관통전류를 방지하는 관통전류 방지회로를 포함한다.

상기 액정표시장치에서, 바람직하게는, 전압비교회로는 그 입력에서 중간전압 및 기준전압을 수신하는 차동증폭회로와 상기 차동증폭회로의 출력에 따라 상기 비교결과에 상응하는 신호를 출력하는 출력회로를 포함하고, 상기 한 쌍의 스위치는 그 게이트에 출력회로의 출력을 수신하는 제1 및 제2 트랜지스터를 포함하며, 상기 관통전류방지회로는 상기 차동증폭회로의 출력에 따라 다른 하나가 ON되면 제1 및 제2 트랜지스터 중 하나를 OFF시킨다.

상기 액정표시장치는 제어신호에 따라 상기 한 쌍의 스위치에 전류경로를 전기적으로 접속 또는 분리시키는 제어스위치를 더 포함한다.

상기 액정표시장치에서, 차동증폭회로는 게이트에서 기준전압을 수신하는 제3 트랜지스터, 게이트에서 중간전압을 수신하는 제4 트랜지스터, 상기 제3 및 제4 트랜지스터에 전류를 공급하는 전류원, 및 제어신호에 따라 제3 및 제4 트랜지스터와 전류원간의 전류경로를 전기적으로 접속 또는 분리시키는 제어스위치를 포함하는 것이 바람직하다.

상기 액정표시장치에서, 출력회로는, 상기 비교결과에 따른 신호를 출력하는 출력노드, 출력노드와 소정의 전압간에 접속되어 게이트에서 차동증폭회로의 출력을 수신하는 제3 트랜지스터, 상기 출력노드에 전류를 공급하는 전류원, 및 제어신호에 따라 전류원과 제3 트랜지스터간의 전류경로를 전기적으로 접속 또는 분리시키는 제어스위치를 포함하는 것이 바람직하다.

상기 액정표시장치에 따르면, 관통전류를 방지하고 불필요한 전류소비를 줄일 수 있는 전원회로는 낮은 전력소비와 고화질을 제공할 수 있다.

본 발명의 상기 및 다른 목적, 특징 및 장점은, 첨부도면을 참조한 이하의 상세한 설명으로부터 보다 명백해질 것이다.

발명의 구성 및 작용

이하, 도면을 참조하여 본 발명에 따른 구성을 상세히 기술한다. 도면에서, 같은 참조부호는 동일 또는 대응 부분으로 표시되므로 설명은 반복하지 않는다.

(제1 실시예)

제1 실시예에 따른 전원회로(100)의 주요부의 구성을 도1 및 2를 참조하여 설명한다. 도1은 전원회로(100)의 주요부의 구성을 나타낸 회로도이며, 도2는 트랜지스터 레벨에서 도1의 회로를 나타낸 회로 구성도이다. 제1 실시예에 따른 전원회로(100)는, 기준전압 발생회로(4), 기준전압 발생회로(4)를 위해 제공된 연산증폭기(1,2), 관통전류 방지회로(3), 및 출력버퍼(5)를 포함한다.

기준전압 발생회로(4)는 윈도우 폭 전압을 발생시키는 블리더 저항을 포함한다. 도면은 소정의 윈도우 폭 전압을 정의하는 기준전압(Vna,Vnb)을 발생시키는 블리더 저항(R)을 도시한다.

출력버퍼(5)는 트랜지스터(Q100,Q200)을 포함한다. 트랜지스터(Q200)는 PMOS 트랜지스터이며, 트랜지스터(Q200)는 NMOS 트랜지스터이다.

트랜지스터(Q100)의 소스는 전원전압(VEE)을 수신하고 트랜지스터(Q200)의 소스는 접지전압(GND)을 수신한다. 트랜지스터(Q100)의 게이트는 연산증폭기(2)의 출력을 수산하고, 트랜지스터(Q200)의 게이트는 연산증폭기(1)의 출력을 수신한다. 트랜지스터(Q100)의 드레인 및 트랜지스터(Q200)의 드레인은 모두 중간전압(Vn)을 출력하는 노드(Z)에 접속된다.

연산증폭기(1,2)에는, 노드(Z)에 접속되어 전압(Vn)이 공급되는 비반전 입력단자가 있다. 연산증폭기(1)는 반전 입력단자(부호 "-")에서 기준전압(Vna)를 수신하며, 연산증폭기(2)는 반전 입력단자에서 기준전압(Vnb)를 수신한다.

관통전류 방지회로(3)는 트랜지스터(Q300)를 포함한다. 트랜지스터(Q300)는 NMOS 트랜지스터이다. 트랜지스터(Q300)에는 접지전위(GND)가 공급되는 소스가 있고 연산증폭기(1)의 출력단자에 접속된 드레인이 있다. 트랜지스터(Q300)는 이하 기술된 연산증폭기(2)에 포함된 차동증폭회로의 출력에 따라 전도성을 갖는다.

도2에 도시된 바와 같이, 연산증폭기(1)는, 차동증폭회로(20a), 출력버터 (30a) 및 용량 소자(C)를 포함하고, 연산증폭기(2)는 차동증폭기(20b), 출력버퍼 (30b) 및 용량 소자(C)를 포함한다. 차동증폭회로(20a,20b)는 구성이 같고, 출력버퍼(30a,30b)는 구성이 같다. 이하에서, 차동증폭회로(20a,20b)는 일반적으로 차동증폭회로(20)라 하고, 출력버퍼(30a,30b)는 일반적으로 출력버퍼(30)라 한다.

도2에서, N은 반전 입력단자(도1에서 부호 "-")를 표시하며, P는 비반전 입력단자(도1에서 부호 "+")를 표시하며, BIAS는 소정의 바이어스 전압에 제공된 바이어스 입력단자를 표시하고, OUT은 출력단자를 표시한다.

차동증폭회로(20)는 트랜지스터(Tp1,Tp2,Tp3,Tn1,Tn2)를 포함한다. 트랜지스터(Tp1,Tp2,Tp3)는 PMOS 트랜지스터이며, 트랜지스터(Tn1,Tn2)는 NMOS 트랜지스터이다. 트랜지스터(Tp1,Tp2)는 차동 쌍을 이룬다.

트랜지스터(Tp1)의 게이트는 반전 입력단자(N)에 접속되고 기준전압(Vna 또는 Vnb)이 공급된다. 트랜지스터(Tp2)의 게이트는 비반전 입력단자(P)에 접속되고 노드(Z)에서 전압(Vn)이 공급된다.

트랜지스터(Tn1,Tn2)는 트랜지스터(Tp1,Tp2)의 능동부하이고, 그 소스에는 접지전압(GND)이 공급된다.

트랜지스터(Tp3)의 게이트는 바이어스 입력단자(BIAS)에 접속되고, 소정의 전압 레벨에서 바이어스 전압이 공급된다. 트랜지스터(Tp3)의 소스는 전원전압 (VEE)이 제공되고, 그 드레인은 트랜지스터(Tp1,Tp2)의 소스에 공통으로 접속된다. 트랜지스터(Tp3)는 정류전원으로 작용하여 트랜지스터(Tp1,Tp2)에 안정된 바이어스 전류를 공급한다.

출력버퍼(30)는 트랜지스터(Tn3,Tp4)를 포함한다. 트랜지스터(Tn3)는 NMOS 트랜지스터이며, 트랜지스터(Tp4)는 PMOS 트랜지스터이다. 트랜지스터(Tn3)의 게이트는 차동증폭회로(20)에 포함된 트랜지스터(Tp2)의 드레인에 접속되며, 그 소스에는 접지전압이 공급되고, 그 드레인은 출력단자(OUT)에 접속된다.

트랜지스터(Tn3)는 트랜지스터(Tp2)의 드레인 전압에 따라 전도성을 띠어, 전류를 공급한다. 상기 전류는 출력버퍼(5)를 형성하는 트랜지스터(Q200 또는 Q100)의 게이트에 출력단자(OUT)를 통해 공급된다.

트랜지스터(Tp4)는 전원전압(VEE)에 공급되는 노드와 출력단자(OUT) 사이에 접속되고, 그 게이트에는 바이어스 입력단자(BIAS)에서 나온 바이어스 전압이 공급된다. 트랜지스터(Tp4)는 정류원 부하로 작동한다. 여기서, 트랜지스터(Tn3)의 게이트와 드레인간에 접속된 커패시터(C)는 위상 보상을 위해 제공된다.

트랜지스터(Tp2)에서 흐르는 전류량은 비반전 입력단자(P)에 입력되는 전압(Vn)의 전압 레벨에 따라 제어된다. 또한 출력 트랜지스터(Tn3)에서 흐르는 전류량은, 반전 입력단자(N)에서 수신되는 전압(Vna)의 전압 레벨에 따라 커런트 미러 회로(트랜지스터(Tn1,Tn2)로 형성됨)를 통해 트랜지스터(Tp1)로부터 공급되는 전류량을 제어함으로써 변화된다.

예컨대, 비반전 입력단자(P)에서 수신되는 전압(Vn)이 반전 입력단자(N)에서 수신되는 전압(Vna)보다 높다면(Vn>Vna), 출력 트랜지스터(Tn3)에서의 전류 흐름은 감소한다. 비반전 입력단자(P)에서 수신되는 전압(Vn)이 반전 입력단자(N)에서 수신되는 전압(Vna)보다 낮다면(Vn< Vna), 출력 트랜지스터(Tn3)에서의 전류 흐름은 증가한다.

출력 트랜지스터(Tn3)에서의 전류 흐름은, 바이어스 입력단자(BIAS)로부터 나오는 바이어스 전압에 의해 트랜지스터(Tp4)에 공급되는 부하전류와 비교된다. 상기 비교 결과에 따라 출력단자(OUT)로부터 출력되는 전압이 변한다.

전압(Vn)이 변동하지 않으면, 출력버퍼(5)에 있는 트랜지스터(Q100 ,Q200)는 ON 되지 않으며, 따라서 전류는 공급되지 않는다.

전압(Vn)이 변동하여 기준전압(Vna)보다 높게 되면, 출력버퍼(5)에 있는 트랜지스터(Q200)는 ON된다. 따라서, 출력이 허용치보다 낮아지는 출력의 변동은 억제된다.

연산증폭기(1,2)의 옵셋 전압의 총합이, 기준전압 발생회로(4)에서 블리더 저항(R)에 의해 발생되는 윈도우 폭 전압(Vna-Vnb)을 감소시키는 방향으로 변동하면, 관통전류 방지회로(3)는 트랜지스터(Q100,Q200)에 흐르는 관통전류를 방지한다.

관통전류 방지회로(3)의 구성 및 작동을 상세히 기술한다. 관통전류 방지회로(3)에 포함되는 트랜지스터(Q300)의 소스에는 접지전압(GND)이 제공되며, 그 게이트에는 연산증폭기(2)에 포함된 트랜지스터(Tp2)의 드레인에 접속되고, 그 드레인에는 연산증폭기(1)에 있는 출력단자(OUT)의 전압이 이 공급된다. 상기 트랜지스터(300)의 게이트에는 출력버퍼(30b)에 포함된 트랜지스터(Tn3)의 게이트와 같은 전위의 전압(차동증폭회로(20b)에 포함된 트랜지스터(Tp2)의 드레인 전압)이 제공된다.

연산증폭기(2)의 출력단자(OUT)에 접속된 게이트를 갖는 트랜지스터(Q100)가 ON이면(즉, 연산증폭기(2)의 트랜지스터(Tn3)가 ON이고, 트랜지스터(Tp4,Tn3)에 상기 전류가 제공됨), 동일 LSI칩에 형성되어 비슷한 특성을 갖는 트랜지스터(Q300)는 트랜지스터(Tn3)와 비슷하게 ON된다.

트랜지스터(Q300)가 ON일 때, 트랜지스터(Q200)의 게이트 전위 및 연산증폭기(1)의 출력단자(OUT)의 전위는 접지전압 레벨을 갖는다. 따라서, 트랜지스터 (Q200)는 강제로 OFF된다. 즉, 관통전류 방지회로(3)는, 출력버퍼(5)를 형성하는 트랜지스터(Q100,Q200)가 동시에 ON되지 않도록 작동한다. 상기에서 트랜지스터 (Q200)가 OFF일 때 트랜지스터(Q100)가 ON일지라도, 트랜지스터의 상태는 상기 경우에 한정되지 않는다.

상기와 같이, 제1 실시예의 구성에 따르면, 연산증폭기(1,2)의 옵셋 전압의 총합이 기준전압 발생회로(4)에 포함된 블리더 저항(R)에 의해 발생된 윈도우 폭 전압(Vna - Vnb)을 감소시키는 방향으로 변동할지라도, 관통전류 방지회로(3)는 출력버퍼(5)에 포함된 트랜지스터(Q100,Q200)로 인한 관통전류의 발생을 방지할 수 있다. 따라서, 낮은 전류 소비로 안정된 전압을 출력할 수 있는 전원회로가 실현된다.

복수의 상기 전원회로를 포함하고 복수의 중간전압을 발생시키는 전원회로 (150)의 구성이 도3에 도시된다. 도3에 도시된 전원회로는 , 복수의 블리더 저항 (R#1,R#2,...,R#n)을 포함하는 기준전압 발생회로(4), 상기 블리더 저항에 대응하도록 제공된 복수의 연산증폭기(1,2), 출력버퍼(5#1,5#2,...,5#n) 및 출력버퍼에 대응하도록 제공된 관통전류 방지회로(3#1,3#2,...,3#n)를 포함한다.

각각의 출력버퍼(5#1,5#2,...,5#n)는 트랜지스터(Q100,Q200)을 포함한다. 중간전압(V1,V2,...,Vn)은 출력버퍼에서 트랜지스터(Q100,Q200)의 접속노드로부터 출력된다.

각각의 관통전류 방지회로(3#1~3#n)는 트랜지스터(Q300)를 포함하고 대응 출력버퍼에서 관통전류의 발생을 방지한다.

도4를 참조하여 전원회로(100)에서 구동전압을 얻는 액정표시장치를 설명한다. 도4에 도시된 액정표시장치(1000)는 매트릭스 형태로 배열된 화소를 갖는 액정 패널(1500), 수평축 방향으로 액정 패널(1500)에 포함된 화소를 구동하는 Y드라이버(1100), 수직축 방향으로 액정 패널(1500)에 포함된 화소를 구동하는 X드라이버 (1200), Y드라이버(1100) 및 X드라이버(1200)를 제어하는 제어회로 (1300), 및 전원회로(1400)를 포함한다. 전원회로(1400)는 전원회로(100)를 포함하고, Y드라이버 (1100) 및 X드라이버(1200)에 구동용 동작전원 공급전압을 제공한다.

전류소비가 낮고 안정된 전압을 출력하는 전원회로(1400)를 제공함으로써, 낮은 전류소비로 고화질을 제공하는 액정표시장치가 실현된다.

(제2 실시예)

도5 및 6을 참조하여 제2 실시예에 따른 전원회로(200)의 주요부의 구성을 설명한다. 도5는 전원회로(200)의 주요부의 구성을 도시하며, 도6은 트랜지스터 레벨에서 도5의 회로를 나타낸 회로 구성도이다. 제2실시예에 따른 전원회로(200)는, 기준전압 발생회로(4), 기준전압 발생회로(4)에 제공된 연산증폭기(21,22), 인버터 (IV1), 관통전류 방지회로(3), 및 출력버퍼(25)를 포함한다.

인버터(IV1)는 제어신호(CONT)를 반전시켜 제어신호(CONTB)를 출력한다.

출력버퍼(25)는 출력버퍼(5)의 구성에 부가하여 트랜지스터(Tp102 ,Tn101)를 포함한다. 트랜지스터(Tp102)는 PMOS 트랜지스터이고, 트랜지스터(Tn101)는 NMOS 트랜지스터이다.

트랜지스터(Tp102)는 트랜지스터(Q100)의 드레인과 중간전압(Vn)을 출력하는 노드(Z) 사이에 접속되고, 그 게이트에는 제어신호(CONTB)가 공급된다. 트랜지스터 (Tn101)는 노드(Z)와 트랜지스터(Q200) 사이에 접속되고, 그 게이트에는 제어신호 (CONT)가 공급된다.

연산증폭기(21,22)에는, 노드(Z)에 접속되어 전압(Vn)이 공급되는 비반전 입력단자(부호 "+")가 있다. 연산증폭기(21)는 그 반전 입력단자(부호 "-")에서 기준전압(Vna)를 수신하고, 연산증폭기(22)는 그 반전 입력단자에서 기준전압(Vnb)를 수신한다. 연산증폭기(21,22)에는 제어신호(CONTB)가 공급된다.

도6에 도시된 바와 같이, 연산증폭기(21)는 차동증폭기(120a), 출력버퍼 (130a), 용량소자(C) 및 트랜지스터(Tn100)를 포함한다. 연산증폭기(22)는 차동증폭회로(120b), 출력버퍼(130b), 용량소자(C) 및 트랜지스터(Tn100)를 포함한다. 차동증폭회로(120a,120b)는 구성이 같고, 출력버퍼(130a,130b)도 구성이 같다. 이하에서, 차동증폭회로(120a,120b)는 일반적으로 차동증폭회로(120)라 하고, 출력버퍼 (130a,130b)는 일반적으로 출력버퍼(130)라 한다.

도6에서, N은 반전 입력단자(도5에서 부호 "-")를 표시하며, P는 비반전 입력단자(도5에서 부호 "+")를 표시하며, BIAS는 소정의 바이어스 전압에 제공된 바이어스 입력단자를 표시하고, OUT은 출력단자를 표시한다.

차동증폭회로(120)는 차동증폭회로(20)의 구성에 부가하여 트랜지스터 (Tp100)를 포함한다. 트랜지스터(Tp100)는 PMOS 트랜지스터이다. 차동증폭회로 (20)를 형성하는 트랜지스터(Tp1,Tp2,Tn1,Tn2)는 제1 실시예에서 기술된 바와 같이 접속된다. 트랜지스터(Tp100)는 트랜지스터(Tp3)의 드레인과 트랜지스터(Tp1,Tp2)의 소스 사이에 접속된다. 트랜지스터(Tp100)의 게이트에는 제어신호(CONTB)가 제공된다.

소스 폴로워 회로인 출력버퍼(130)는 출력버퍼(30)의 구성에 부가하여 트랜지스터(Tp101)를 포함한다. 트랜지스터(Tp101)는 PMOS 트랜지스터이다.

트랜지스터(Tp101)는 트랜지스터(Tp4)의 드레인과 출력단자(OUT)사이에 접속된다. 트랜지스터(Tp101)의 게이트에는 제어신호(CONTB)가 공급된다.

상기와 같이, 제2 실시예는, 제1 실시예의 회로구성에 부가하여, 정전류원을 분리하기 위하여 트랜지스터(Tp3,Tp4,Q100)의 드레인 쪽에 각각 삽입되는 스위치 수단(트랜지스터(Tp100,Tp101,Tp102))을 포함한다. 상기 스위치 수단을 형성하는 트랜지스터의 게이트에는 제어신호(CONTB)가 공급된다. 제어신호(CONTB)가 H레벨에 있을 때(제어신호(CONT)는 L레벨에 있다), 트랜지스터(Tp100,Tp101,Tp102)는 OFF된다. 따라서 회로의 전류는 원하는 시기에 차단될 수 있다.

동작이 불필요할 때 트랜지스터(Tp100,Tp101,Tp102)에 의해 전류가 충분히 차단될지라도, 회로의 전류경로는 트랜지스터(Tn100)를 트랜지스터(Tn3)의 게이트에 접속하거나 트랜지스터(Tn101)를 트랜지스터(Q200)의 드레인에 접속함으로써 전기적으로 완전히 분리될 수 있다.

상기 경우에, 트랜지스터(Tn100)는 접지전압이 제공되는 노드와 트랜지스터 (Tn3)의 게이트 사이에 접속되고, 그 게이트에는 제어신호(CONTB)가 공급된다. 또한, 상기와 같이 트랜지스터(Tn101)의 게이트에는 제어신호(CONTB)가 공급된다.

즉, 제어신호(CONTB)가 H레벨에 있을 때(제어신호(CONT)는 L레벨에 있다), 트랜지스터(Tn101)는 OFF되고, 따라서 출력버퍼(25)의 전류경로는 전기적으로 분리된다. 동시에, 트랜지스터(Tn100)는 ON되며, 트랜지스터(Tn3)의 게이트는 접지전압 레벨을 취하고, 따라서 트랜지스터(Tn3)는 OFF된다. 따라서 출력버퍼(130)의 전류경로는 전기적으로 분리된다.

상기와 같이, 제어신호(CONT)(및 반전신호인 제어신호(CONTB))에 의해 스위치를 ON/OFF시킴으로써, 출력버퍼(130,25) 각각의 회로소자에 있는 전류경로의 전기적인 접속 또는 분리가 제어된다. 제어신호의 H/L을 외부적으로 제어함으로써, 원하는 시기에, 예컨대 동작이 불필요할 때, 불필요한 전류소비를 방지할 수 있다.

복수의 중간전압을 발생시킬 때에는, 복수의 전원회로(200)가 포함되고, 제어신호(CONT,CONTB)가 각각의 전원회로에 공통으로 제공된다.

도4에 도시된 액정표시장치에 있는 전원회로(1400)는 전원회로(200)로 형성되는 되는 것이 좋다. 그러면, 전력소비는 더 줄일 수 있다.

(제3 실시예)

도7 및 도8을 참조하여 제3 실시예에 따른 전원회로(300)의 주요부의 구성을 설명한다. 도7은 전원회로(300)의 주요부의 구성을 도시한 회로도이고, 도8은 트랜지스터 레벨에서 도7의 회로를 도시한 회로 구성도이다. 제3 실시예에 따른 전원회로(300)는 기준전압 발생회로(34), 기준전압 발생회로(34)를 위해 구성된 연산증폭기(31,32), 관통전류 방지회로(33) 및 출력버퍼(35)를 포함한다.

기준전압 발생회로(34)는 윈도우 폭 전압을 발생시키는 블리더 저항을 포함한다. 도면은 소정의 윈도우 폭 전압을 정의하는 기준전압(Vna,Vnb)을 발생시키는 블리더 저항(R)을 도시한다.

출력버퍼(35)는 트랜지스터(Q400,Q500)을 포함한다. 트랜지스터(Q400)는 PMOS 트랜지스터이며, 트랜지스터(Q500)는 NMOS 트랜지스터이다.

트랜지스터(Q400)의 소스에는 전원전압(VEE)이 공급되고, 트랜지스터(Q500)의 소스에는 접지전압(GND)이 공급된다. 트랜지스터(Q400)의 게이트에는 연산증폭기(31)의 출력이 공급되고, 트랜지스터(Q500)의 게이트에는 연산증폭기(32)의 출력이 공급된다. 트랜지스터(Q400,Q500)의 드레인은 모두 중간전압(Vn)을 출력하기 위한 노드(Z)에 접속된다.

연산증폭기(31,32)에는 노드(Z)에 접속되어 전압(Vn)이 공급되는 비반전 입력단자(부호 "+")가 있다. 연산증폭기(31)는 반전 입력단자(부호 "-")에서 기준전압(Vnb)을 수신하며, 연산증폭기(32)는 반전 입력단자에서 기준전압(Vna)을 수신한다.

관통전류 방지회로(33)는 트랜지스터(Q600)를 포함한다. 트랜지스터(Q600)는 PMOS 트랜지스터이다. 트랜지스터(Q600)의 소스에는 전원전압(VEE)이 제공되며, 그 드레인은 연산증폭기(31)의 출력단자에 접속되고, 그 게이트에는 연산증폭기(32)에 포함된 차동증폭회로의 출력이 공급된다.

도8에 도시된 바와 같이, 연산증폭기(31)는 차동증폭회로(220a) 및 출력버퍼 (230a)를 포함하고, 연산증폭기(32)는 차동증폭회로(220b) 및 출력버퍼(230b)를 포함한다. 차동증폭회로(220a,220b)의 구성은 같으며, 출력버퍼(230a,230b)의 구성은 같다. 이하, 차동증폭회로(220a,220b)는 일반적으로 차동증폭회로(220)라 하고, 출력버퍼(230a,230b)는 일반적으로 출력버퍼(230)라 한다.

도8에서, N은 반전 입력단자(도7에서 부호 "-")를 표시하며, P는 비반전 입력단자(도7에서 부호 "+")를 표시하며, BIAS는 소정의 바이어스 전압에 제공된 바이어스 입력단자를 표시하고, OUT은 출력단자를 표시한다.

차동증폭회로(220)는 트랜지스터(Tp11,Tp12,Tn11,Tn12,Tn13)를 포함한다. 트랜지스터(Tp11,Tp12)는 PMOS 트랜지스터이고, 트랜지스터(Tn11 ,Tn12,Tn13)는 NMOS 트랜지스터이다.

트랜지스터(Tn11)의 게이트는 반전 입력단자(N)에 접속되어 기준전압(Vna 또는 Vnb)이 제공된다. 트랜지스터(Tn12)의 게이트는 비반전 입력단자(P)에 접속되어 노드(Z)에서 전압(Vn)이 제공된다.

트랜지스터(Tp11,Tp12)의 소스에는 전원전압(VEE)이 제공된다.

트랜지스터(Tn13)의 게이트는 바이어스 입력단자(BIAS)에 접속되어 소정의 전압 레벨에서 바이어스 전압이 공급된다. 트랜지스터(Tn13)의 소스에는 접지전압 (GND)이 공급되고, 그 드레인은 트랜지스터(Tn11,Tn12)의 소스에 공통으로 접속된다. 트랜지스터(Tn13)는 정전류원으로 작동하여 트랜지스터(Tn11,Tn12)에 안정된 바이어스 전류를 공급한다.

출력버퍼(230)는 트랜지스터(Tp13,Tn14)를 포함한다. 트랜지스터(Tn14)는 NMOS 트랜지스터이며, 트랜지스터(Tp13)는 PMOS 트랜지스터이다. 트랜지스터(Tp13)의 소스에는 전원전압(VEE)이 공급되며, 그 드레인은 출력단자(OUT)에 접속되고, 그 게이트는 차동증폭회로(220)에 포함된 트랜지스터(Tn12)의 드레인에 접속된다.

트랜지스터(Tp13)는 트랜지스터(Tn12)의 드레인에 따라 전도성을 띠어, 전류를 공급한다. 상기 전류는 출력버퍼(35)를 형성하는 트랜지스터(Q400 또는 Q500)의 게이트에 출력단자(OUT)를 통해 공급된다.

트랜지스터(Tn14)는 접지전압(GND)에 공급되는 노드와 출력단자(OUT) 사이에 접속되고, 그 게이트에는 바이어스 입력단자(BIAS)에서 나온 바이어스 전압이 공급된다

관통전류 방지회로(33)를 형성하는 트랜지스터(Q600)의 게이트에는 출력버퍼 (230b)에 포함된 트랜지스터(Tp13)의 게이트와 같은 전위의 전압(차동증폭회로 (220b)에 포함된 트랜지스터(Tn12)의 드레인 전압)이 공급된다.

제3 실시예의 구성은, 제1 실시예의 NMOS 트랜지스터가 PMOS 트랜지스터로 대체되고 제1 실시예의 PMOS 트랜지스터는 NMOS 트랜지스터로 대체(Tni→Tp1i, Tpi→Tn1i : i=1,2,...)된다는 점에서 제1 실시예와 상이하다. 기본적인 동작은 제1 실시예의 도1 및 2에 도시된 회로와 같으므로, 상세한 설명은 생략한다.

연산증폭기(32)의 출력단자(OUT)에 접속된 게이트를 갖는 트랜지스터(Q500)가 ON될 때(즉, 연산증폭기(32)의 트랜지스터(Tp13)가 ON 되고, 트랜지스터(Tp13 ,Tn14)에 전류가 공급됨), 같은 LSI 칩에 형성되어 비슷한 특성을 갖는 트랜지스터 (Q600)는 트랜지스터(Tp13)와 비슷하게 ON 된다.

트랜지스터(Q600)가 ON 될 때, 트랜지스터(Q400)의 게이트 전위 및 연산증폭기(31)의 출력단자(OUT) 전위는 전원전압 레벨을 갖는다. 따라서, 트랜지스터 (Q400)는 강제로 OFF 된다.

즉, 제3 실시예에서, 관통전류 방지회로(33)는, 출력버퍼(35)를 형성하는 트랜지스터(Q400,Q500)가 동시에 ON 되지 않도록 작동한다. 따라서, 불필요한 관통전류의 발생을 방지할 수 있다.

복수의 중간전압이 발생될 때는, 복수의 전원회로(300)가 포함된다.

여기서, 도4에 도시된 액정표시장치에 있는 전원회로(1400)는 전원회로(300)로 형성되는 것이 좋다. 제1 실시예와 마찬가지로, 낮은 전력소비로 고화질을 얻을 수 있는 액정표시장치가 실현된다.

상기 제1, 제2 및 제3 실시예의 전원회로의 출력(Vn)(n=0,1,2,3...)에 대해, 블리더 저항(도15에서 R1~R3)은 전원회로(920)의 출력 단계에서와 같은 방법으로 제공되는 것이 좋다. 또한, 커패시터는 전압을 매끄럽게 하기 위해 전압(Vn)을 출력하기 위한 노드와 접지전압을 수신하기 위한 노드 사이에 제공되는 것이 좋다.

액정표시장치의 전원회로로서 응용예가 기술되었지만, 본 발명이 항상 상기 경우에 한정되는 것은 아니며, 다른 표시장치를 위한 전원회로 및 일반적인 전원회로에도 응용될 수 있다.

특히, 불필요한 전류소비를 줄일 수 있으므로, 상기 구성은 휴대용 제품에 사용되는 화상구동 목적을 위한 전원회로에 매우 효과적이다.

예컨대, 이동전화의 화상기능은 매년 증대되어 왔으며, 그에 사용되는 액정표시패널도 보다 대형화되어 왔다. 따라서, 제어회로 및 구동회로와 같은 회로, 즉, 드라이버 회로가 대형화되어 왔다. 대형화된 내부회로는 전력소비의 증가를 초래하여 배터리에 의해 구동되는 휴대폰의 배터리에 많은 부담을 주고 있다. 따라서, 불필요한 전력소비를 가능한 한 많이 줄이는 것이 필수적이다.

본질적으로, 휴대폰의 전원은 자주 ON/OFF된다. 도9에 도시된 바와 같이, 휴대폰은 배터리부(400), 회로부(410) 및 회로부(410)와 배터리부(400)를 접속하는 스위치부(420)를 포함한다. 전원이 OFF될 때, 배터리부(400)와 회로부(410) 사이의 스위치부(420)는 회로부(410)로의 전류 흐름을 차단하기 위하여 OFF된다.

전원이 OFF상태에서 ON상태로 전환될 때, 배터리부(400) 및 회로부(410)는 서로 접속되고, 회로부(410)에 포함된 승압회로(400)는 먼저 배터리 전압을 상승시킨다. 승압회로(430)에서 출력된 상승전압은 상기 기준전압 발생회로를 위한 전원전압(VEE)으로 작용한다. 상승전압에 의해, 전원회로(440)는 소망의 구동전압(중간전압)을 발생시킨다. 전원회로(440)의 출력을 수신하는 회로부(410)에 포함된 드라이버 출력부(450)는 음성, 문자 및 화상 정보에 대응하는 전압을 출력한다.

그러나, 도10a에 도시된 바와 같이, 승압회로의 출력은, 전원이 OFF상태에서 ON상태로(0볼트에서 VEE로) 상승할 때, 천이주기(T0)의 초기에 기대치 레벨로서의 VEE보다 낮다. 따라서, 윈도우 폭(Vna-Vnb)은 그 당시 당연히 낮아진다. 관통전류 방지회로(3,33)를 포함하지 않는 종래의 전원회로가 사용되면, 출력버퍼를 형성하는 PMOS 및 NMOS 트랜지스터는 순간적으로 동시에 ON된다. 즉, 관통전류가 방지된다. 휴대폰은 자수 ON/OFF되므로, 천이주기 동안에 관통전류가 배터리 소모에 미치는 영향은 무시할 수 없다.

상기 문제를 해결하기 위해, 전원회로(440)는 전원회로(100~300)로 구성되어 관통전류를 방지하고 전력소비를 줄인다. 따라서, 배터리로 구동될지라도 장시간 동안 구동될 수 있는 휴대전화를 제공할 수 있다.

또한, 예컨대, 전원회로의 전류흐름을 차단하도록 도10b에 도시된 바와 같이 OFF상태에서 ON상태로 전원이 상승하는 천이주기(T0) 동안 제어신호(CONT)를 L레벨로 구동시키고, 전원회로에 공급된 전압이 안정된 후에 제어신호(CONT)를 H레벨로 구동시키기 위해 전원회로(200)가 사용된다. 따라서, 초기의 전원상승기간에서의 불필요한 전류소비를 제거할 수 있다.

발명의 효과

본 발명에 따른 전원회로를 사용하여, 순간적이지만, 다량의 관통전류를 방지함으로써, 상승전압은 신속히 상승될 수 있고, 소망의 안정된 상승전압을 고속으로 얻을 수 있다. 따라서, 전원이 ON된 후, 회로는 신속히 동작을 시작할 수 있다.

본 발명으로 인한 회로수의 증가는 거의 없으며, 그로 인한 LSI 칩 사이즈 및 비용의 증가도 없다. 따라서, 상기 전원회로는 액정표시장치에서 IC 드라이버 회로, IC 제어회로 등에 내장되어 단일 칩으로 제공될 수 있다.

본 발명이 상세히 기술되었지만, 상기 기술은 단지 예시적이므로 제한적이지 않음은 자명하다. 따라서, 본 발명의 정신 및 범위는 첨부된 청구항에 의해서만 제한된다.

(57) 청구의 범위

청구항 1.

전원공급노드에 인가된 전원전압과 접지노드에 인가된 접지전압간의 중간전압을 발생시키는 전원회로에 있어서,

상기 중간전압의 변동 허용범위를 정의하는 기준전압을 발생시키는 기준전압발생회로;

상기 중간전압과 상기 기준전압을 비교하여 비교결과를 출력하는 전압비교회로;

상기 중간전압이 출력되는 전압출력노드와 상기 전원노드간에 접속되고 상기 접지노드와 상기 전압출력노드간에 접속되어 상기 전압비교회로의 출력에 따라 ON/OFF가 제어되는 한 쌍의 스위치; 및

상기 한 쌍의 스위치를 통해 상기 접지노드와 상기 전원노드간에 발생되는 관통전류를 방지하기 위한 관통전류 방지회로를 포함하는 전원회로.

청구항 2.

제1항에 있어서,

상기 전압비교회로는 그 입력에서 상기 중간전압 및 상기 기준전압을 수신하는 차동증폭회로, 및

상기 차동증폭회로의 출력에 따라 상기 비교결과에 대응하는 신호를 출력하는 출력회로를 포함하고,

상기 한 쌍의 스위치는 그 게이트에 상기 출력회로의 출력을 수신하는 제1 및 제2 트랜지스터를 포함하고,

상기 관통전류 방지회로는 상기 차동증폭회로의 출력에 따라 다른 하나가 ON 되면 상기 제1 및 제2 트랜지스터 중 하나를 OFF시키는 전원회로.

청구항 3.

제2항에 있어서,

상기 기준전압 발생회로는 상기 허용 변동범위의 상한을 정의하는 상한 기준전압 및 상기 허용 변동범위의 하한을 정의하는 하한 기준전압을 발생시키고,

상기 차동증폭회로는 그 입력에서 상기 중간전압 및 상기 상한 기준전압을 수신하는 제1 차동증폭회로, 및

그 입력에서 상기 중간전압 및 상기 하한 기준전압을 수신하는 제2 차동증폭회로를 포함하고,

상기 출력회로는 상기 제1 차동증폭회로의 출력에 따라 상기 상한 기준전압과 상기 중간전압간의 비교결과에 대응하는 신호를 출력하는 제1 출력회로, 및

상기 제2 차동증폭회로의 출력에 따라 상기 하한 기준전압과 상기 중간전압간의 비교결과에 대응하는 신호를 출력하는 제2 출력회로를 포함하고,

상기 제1 및 제2 트랜지스터 중 하나는 상기 제1 출력회로의 출력에 접속되고 상기 제1 및 제2 트랜지스터 중 다른 하나는 상기 제2 출력회로의 출력에 접속되는 전원회로.

청구항 4.

제1항에 있어서,

제어신호에 따라 상기 한 쌍의 스위치에 전류경로를 전기적으로 접속 또는 분리시키는 제어스위치를 더 포함하는 전원회로.

청구항 5.

제2항에 있어서,

상기 차동증폭회로는 그 게이트에서 상기 기준전압을 수신하는 제3 트랜지스터,

그 게이트에서 상기 중간전압을 수신하는 제4 트랜지스터,

상기 제3 및 제4 트랜지스터에 전류를 공급하는 전류원, 및

제어신호에 따라 상기 제3 및 제4 트랜지스터와 상기 전류원간의 전류경로를 전기적으로 접속 또는 분리시키는 제어스위치를 더 포함하는 전원회로.

청구항 6.

제2항에 있어서,

상기 출력회로는 상기 비교결과에 따라 신호를 출력하는 출력노드,

상기 출력노드와 소정의 전압간에 접속되어 그 게이트에서 상기 차동증폭회로의 출력을 수신하는 제3 트랜지스터,

상기 출력노드에 전류를 공급하는 전류원, 및

제어신호에 따라 상기 전류원과 상기 제3 트랜지스터간의 전류경로를 전기적으로 접속 또는 분리시키는 제어스위치를 포함하는 전원회로.

청구항 7.

복수의 화소를 포함하는 액정패널;

상기 액정패널을 구동하는 구동회로; 및

전원공급노드에 인가되는 전원전압과 접지노드에 인가된 접지전압간의 중간전압을 발생시키고 상기 구동회로에 상기 중간전압을 공급하는 전원회로를 포함하고,

상기 전원회로는,

상기 중간전압의 변동 허용범위를 정의하는 기준전압을 발생시키는 기준전압 발생회로,

상기 중간전압과 상기 기준전압을 비교하여 그 비교 결과를 출력하는 전압비교회로,

상기 중간전압이 출력되는 전압출력노드와 전원공급노드간에 접속되고 상기 접지노드와 상기 전압출력노드간에 접속되어 상기 전압비교회로의 출력에 따라 ON/OFF 되도록 제어되는 한 쌍의 스위치, 및

상기 한 쌍의 스위치를 통해 상기 접지노드와 상기 전원공급노드간에 발생되는 관통전류를 방지하는 관통전류 방지회로를 포함하는 액정표시장치.

청구항 8.

제7항에 있어서,

상기 전압비교회로는 그 입력에서 상기 중간전압 및 상기 기준전압을 수신하는 차동증폭회로, 및

상기 차동증폭회로의 출력에 따라 상기 비교결과에 대응하는 신호를 출력하는 출력회로를 포함하고,

상기 한 쌍의 스위치는 그 게이트에 상기 출력회로의 출력을 수신하는 제1 및 제2 트랜지스터를 포함하고,

상기 관통전류방지회로는 상기 차동증폭회로의 출력에 따라 상기 제1 및 제2 트랜지스터 중 하나가 ON 되면, 상기 제1 및 제2 트랜지스터 중 다른 하나를 OFF시키는 액정표시장치.

청구항 9.

제8항에 있어서,

상기 기준전압 발생회로는 상기 허용 변동범위의 상한을 정의하는 상한 기준전압 및 상기 허용 변동범위의 하한을 정의하는 하한 기준전압을 발생시키고,

상기 차동증폭회로는 그 입력에서 상기 중간전압 및 상기 상한 기준전압을 수신하는 제1 차동증폭회로, 및

그 입력에서 상기 중간전압 및 상기 하한 기준전압을 수신하는 제2 차동증폭회로를 포함하고,

상기 출력회로는 상기 제1 차동증폭회로의 출력에 따라 상기 상한 기준전압과 상기 중간전압간의 비교결과에 대응하는 신호를 출력하는 제1 출력회로, 및

상기 제2 차동증폭회로의 출력에 따라 상기 하한 기준전압과 상기 중간전압간의 비교결과에 대응하는 신호를 출력하는 제2 출력회로를 포함하고,

상기 제1 및 제2 트랜지스터 중 하나는 상기 제1 출력회로의 출력에 접속되고 상기 제1 및 제2 트랜지스터 중 다른 하나는 상기 제2 출력회로의 출력에 접속되는 액정표시장치.

청구항 10.

제7항에 있어서,

제어신호에 따라 상기 한 쌍의 스위치에 전류경로를 전기적으로 접속 또는 분리시키는 제어스위치를 더 포함하는 액정표시장치.

청구항 11.

제8항에 있어서,

상기 차동증폭회로는 그 게이트에서 상기 기준전압을 수신하는 제3 트랜지스터,

그 게이트에서 상기 중간전압을 수신하는 제4 트랜지스터,

상기 제3 및 제4 트랜지스터에 전류를 공급하는 전류원, 및

제어신호에 따라 상기 제3 및 제4 트랜지스터와 상기 전류원간의 전류경로를 전기적으로 접속 또는 분리시키는 제어스위치를 포함하는 액정표시장치.

청구항 12.

제8항에 있어서,

상기 출력회로는 상기 비교결과에 따라 신호를 출력하는 출력노드,

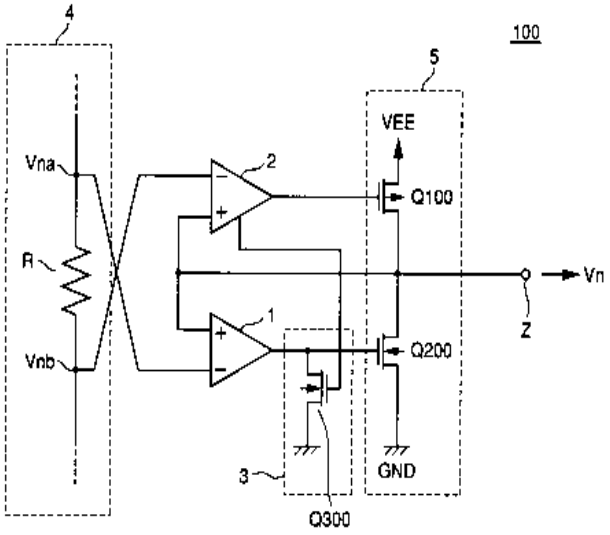
상기 출력노드와 소정의 전압간에 접속되어 그 게이트에서 상기 차동증폭회로의 출력을 수신하는 제3 트랜지스터,

상기 출력노드에 전류를 공급하는 전류원, 및

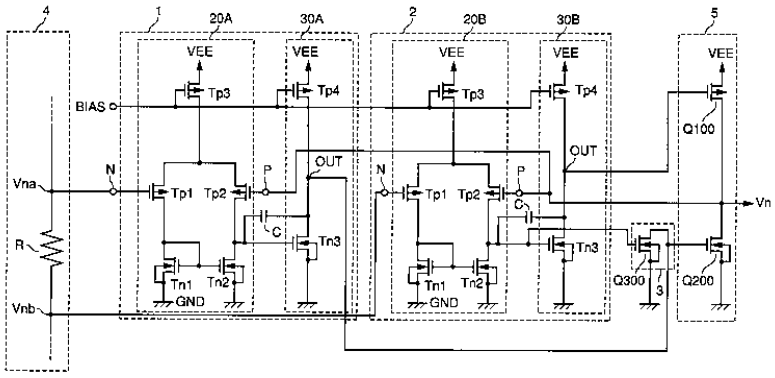
제어신호에 따라 상기 전류원과 상기 제3 트랜지스터간의 전류경로를 전기적으로 접속 또는 분리시키는 제어스위치를 포함하는 액정표시장치.

도면

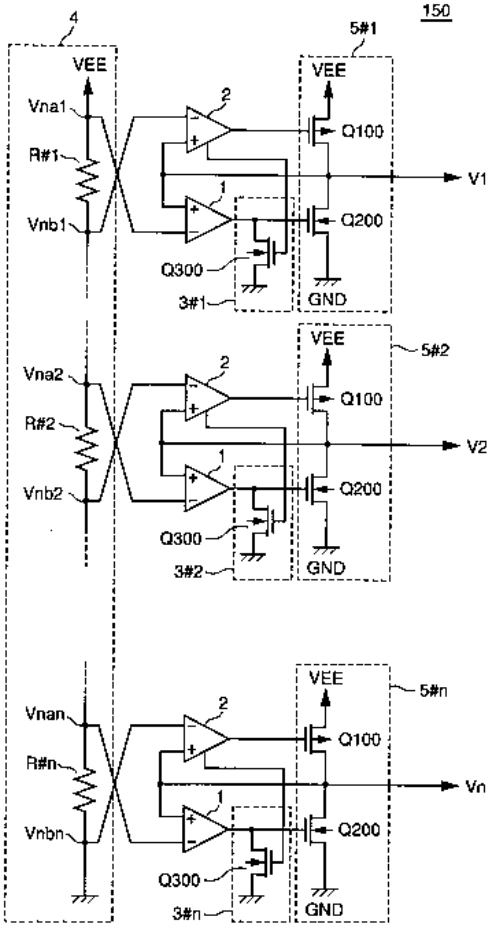
도면 1



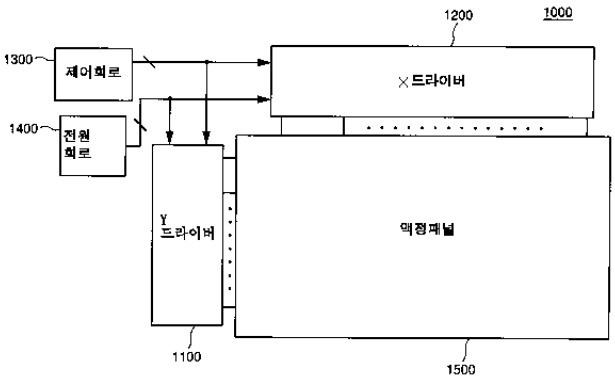
도면 2



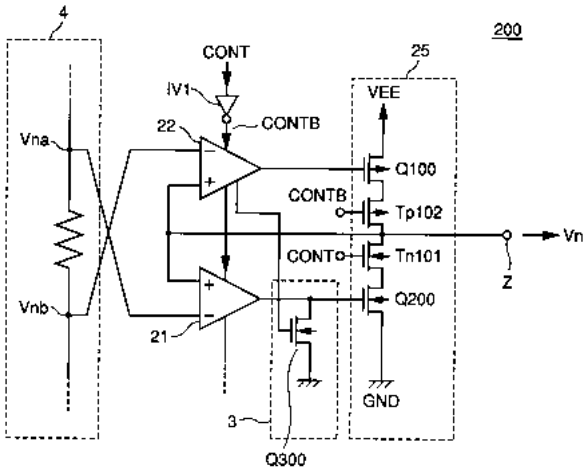
도면 3


150
4
VEE
Vna1
R#1
Vnb1
2
1
Q300
3#1
5#1
VEE
Q100
Q200
GND
V1
Vna2
R#2
Vnb2
3#2
5#2
V2
Vnan
R#n
Vnbn
3#n
5#n
Vn

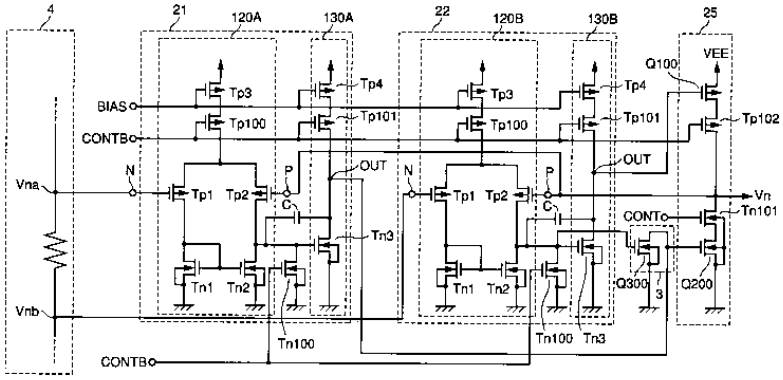
도면 4


1000
1200
1300
제어회로
1400
전원
회로
X드라이버
Y
드라이버
액정패널
1100
1500

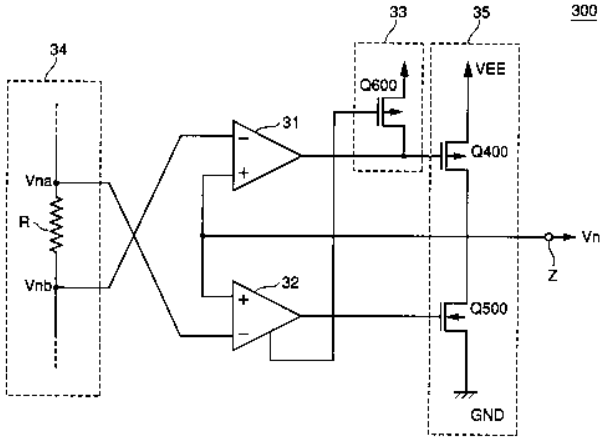
도면 5


4
200
CONT
25
IV1
VEE
22
CONTB
Vna
Q100
CONTB
Tp102
Vn
CONTo
Tn101
Z
Vnb
Q200
21
GND
3
Q300

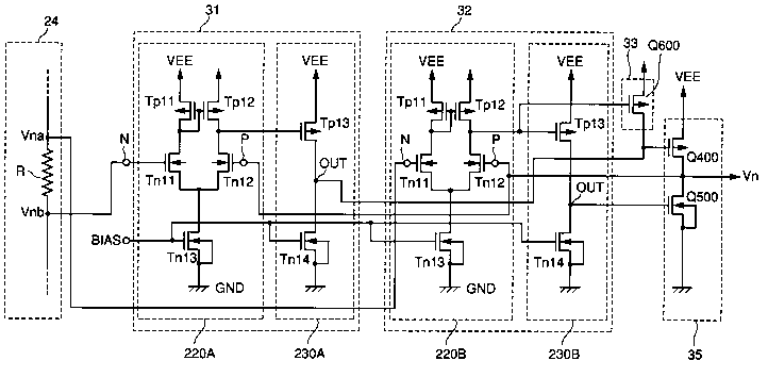
도면 6


4
21
120A
130A
22
120B
130B
25
Q100
VEE
Tp3
Tp4
Tp3
Tp4
BIAS
Tp100
Tp101
Tp100
Tp101
Tp102
CONTB
OUT
OUT
N
P
N
P
Vna
Tp1
Tp2
C
Tp1
Tp2
C
Vn
Tn101
Tn3
CONTo
Tn1
Tn2
Tn1
Tn2
Q300
3
Q200
Vnb
Tn100
Tn100
Tn3
CONTB

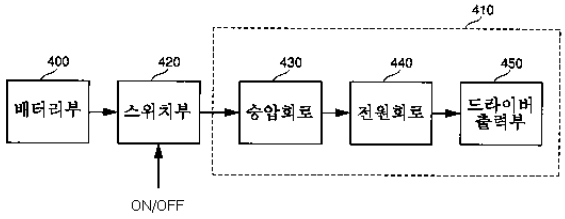
도면 7


33
35
300
34
Q600
VEE
31
Q400
Vna
R
Vnb
Vn
Z
32
Q500
GND

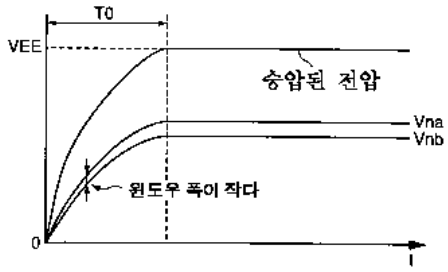
도면 8


24
31
32
33
Q600
VEE
Tp11
Tp12
Tp13
Vna
N
P
OUT
R
Tn11
Tn12
Vnb
BIAS
Tn13
Tn14
GND
Q400
Vn
Q500
220A
230A
220B
230B
35

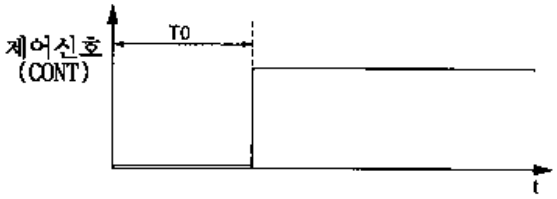
도면 9


410
400
420
430
440
450
배터리부
스위치부
승압회로
전원회로
드라이버 출력부
ON/OFF

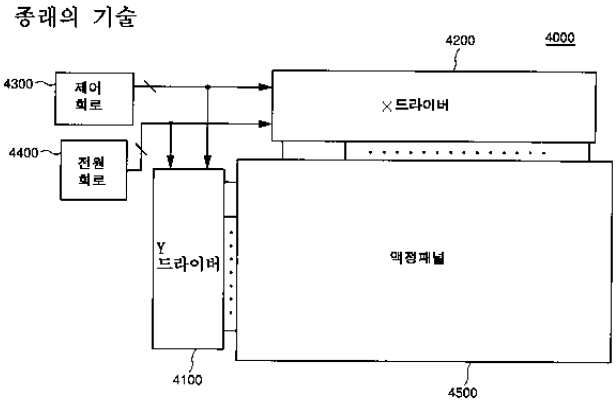
도면 10a



도면 10b

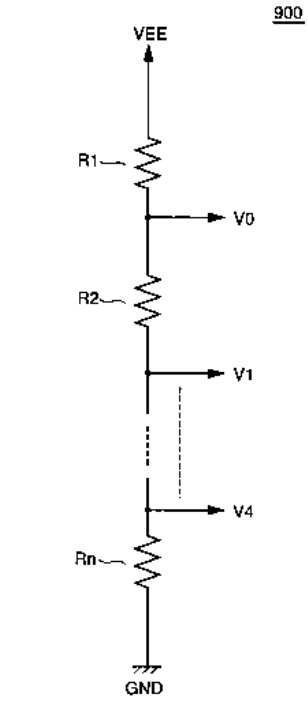


도면 11



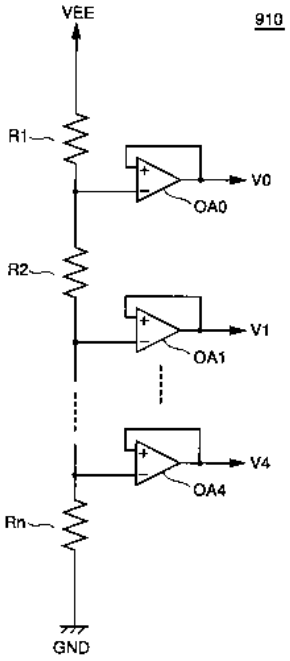
도면 12

종래의 기술



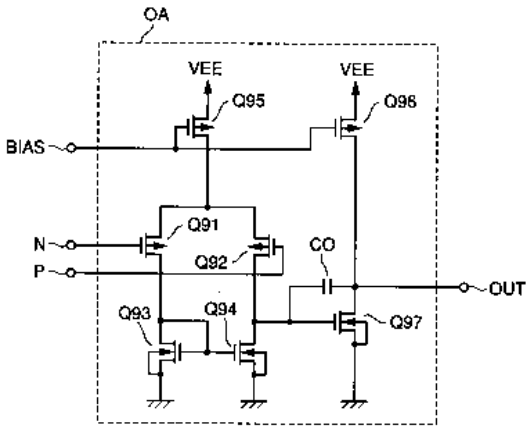
도면 13

종래의 기술



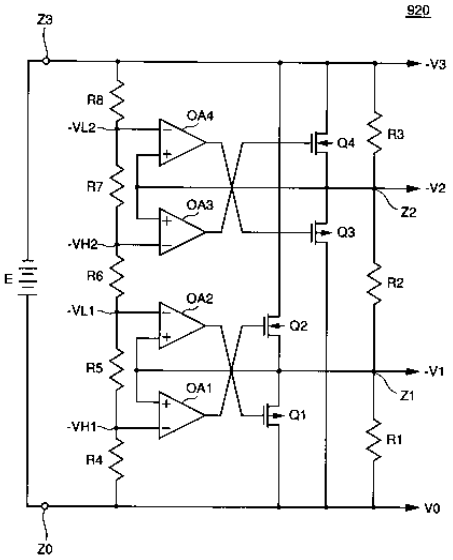
도면 14

종래의 기술

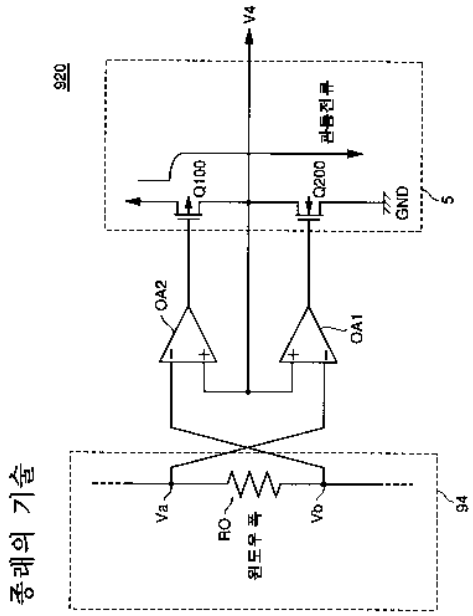


도면 15

종래의 기술



도면 16



专利名称(译)	一种用于产生中间电压的电源电路和液晶显示器		
公开(公告)号	KR100346096B1	公开(公告)日	2002-07-24
申请号	KR1020000043652	申请日	2000-07-28
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	KAJIHARA NORIYUKI		
发明人	KAJIHARA,NORIYUKI		
IPC分类号	G09G3/36		
代理人(译)	LEE，金泰熙		
优先权	1999213254 1999-07-28 JP		
其他公开文献	KR1020010015460A		

摘要(译)

该电源电路包括产生电压参考电路的参考电压产生器，根据运算放大器的输出端，运算放大器的两个运算放大器，接收第二参考电压和中间电压用于接收第一基准电压和所述中间电压ON /一个输出缓冲器，包括一对晶体管，其晶体管的OFF被控制并产生一个中间电压，和以及用于防止提供给输出缓冲器中的一对晶体管的直通电流的直通电流防止电路。当一对晶体管中的一个导通时，直通电流防止电路工作以关断另一个晶体管。因此，直通电流不会流过这对晶体管。 度1