



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0097620
(43) 공개일자 2008년11월06일

(51) Int. Cl.

G02F 1/133 (2006.01) G09G 3/36 (2006.01)

(21) 출원번호 10-2007-0042710

(22) 출원일자 2007년05월02일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김보라

서울 강동구 고덕동 156-6

손선규

경기 수원시 영통구 영통동 황골마을1단지아파트
135-204

(74) 대리인

특허법인가산

전체 청구항 수 : 총 19 항

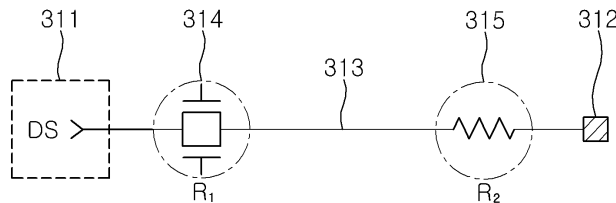
(54) 구동칩 및 이를 구비하는 표시 장치

(57) 요약

본 발명은 구동 신호를 생성하는 복수의 구동 회로와, 상기 구동 신호를 외부의 신호 라인에 출력하는 복수의 출력 패드와, 상기 복수의 구동 회로와 상기 복수의 출력 패드 각각을 연결하는 복수의 연결 배선을 포함하고, 상기 복수의 연결 배선 중 적어도 하나에는 각 연결 배선들의 저항을 거의 같게 조절하거나, 또는 각 연결 배선들 간의 저항 편차를 감소시키는 저항 조절 수단이 마련된 구동 회로 및 이를 구비하는 표시 장치를 제공한다.

이와 같이, 본 발명은 구동칩의 복수의 출력측 연결 배선들의 저항을 조절하여, 각 연결 배선들이 거의 같은 저항을 가지도록 하거나 또는 출력측 연결 배선들 간의 저항 편차를 감소시킬 수 있다. 따라서, 본 발명은 구동칩의 각 연결 배선들 간의 저항 편차로 인한 신호 지연 및 신호 왜곡을 방지할 수 있고, 세로줄 불량 등의 화상 표시 불량을 제거하여, 출력 영상의 표시 품질을 향상시킬 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

구동 신호를 생성하는 복수의 구동 회로와,
상기 구동 신호를 외부의 신호 라인에 출력하는 복수의 출력 패드와,
상기 복수의 구동 회로와 상기 복수의 출력 패드 각각을 연결하는 복수의 연결 배선을 포함하고,
상기 복수의 연결 배선 중 적어도 하나에는 각 연결 배선들의 저항을 같게 조절하거나, 또는 각 연결 배선들 간의 저항 편차를 감소시키는 저항 조절 수단이 마련된 구동칩.

청구항 2

청구항 1에 있어서,
상기 저항 조절 수단은 각 연결 배선들의 길이, 선포 및 각 연결 배선들에 형성된 콘택 개수 중 적어도 하나인 구동칩.

청구항 3

청구항 2에 있어서,
상기 연결 배선의 길이는 배선 형상을 통해 조절되는 구동칩.

청구항 4

청구항 3에 있어서,
상기 연결 배선의 형상은 지그재그 형상, 물결 형상 및 삼각파 형상 중 적어도 하나인 구동칩.

청구항 5

청구항 2에 있어서,
상기 연결 배선의 선포는 배선 저항이 목표 저항보다 큰 경우에 넓어지고, 배선 저항이 목표 저항보다 작은 경우에 좁아지는 구동칩.

청구항 6

청구항 2에 있어서,
상기 연결 배선의 콘택 개수는 배선 저항이 목표 저항보다 큰 경우에 적어지고, 배선 저항이 목표 저항보다 작은 경우에 많아지는 구동칩.

청구항 7

청구항 1에 있어서,
상기 저항 편차는 목표 저항 대비 $\pm 10\%$ 인 구동칩.

청구항 8

청구항 5 내지 청구항 7 중 어느 한 항에 있어서,
상기 목표 저항은 250 내지 350 Ω 의 범위인 구동칩.

청구항 9

복수의 화소 및 이에 연결된 복수의 신호 라인이 마련된 표시 패널과,
상기 복수의 화소의 제어를 위한 구동 신호를 생성하는 복수의 구동 회로와, 상기 구동 신호를 상기 복수의 신호 라인에 출력하는 복수의 출력 패드와, 상기 복수의 구동 회로 및 상기 복수의 출력 패드 각각을 연결하는 복

수의 연결 배선이 마련된 복수의 구동칩을 포함하고,

상기 복수의 연결 배선 중 적어도 하나에는 각 연결 배선들의 저항을 함께 조절하거나, 또는 각 연결 배선들 간의 저항 편차를 감소시키는 저항 조절 수단이 마련된 표시 장치.

청구항 10

청구항 9에 있어서,

상기 복수의 구동칩은 상기 복수의 신호 라인에 데이터 신호를 출력하는 표시 장치.

청구항 11

청구항 10에 있어서,

상기 복수의 구동칩은

데이터 신호를 프리차징하기 위한 차지 쉐어 회로와,

정전기를 방지하기 위한 정전기 보호 회로를 더 포함하고,

상기 차지 쉐어 회로 및 상기 정전기 보호 회로는 상기 구동 회로와 상기 출력 패드 사이에 마련되어 상기 연결 배선을 통해 접속되는 표시 장치.

청구항 12

청구항 11에 있어서,

상기 차지 쉐어 회로 및 상기 정전기 보호 회로 중 적어도 하나가 상기 연결 배선의 저항 조절 수단인 표시 장치.

청구항 13

청구항 9에 있어서,

상기 저항 조절 수단은 각 연결 배선들의 길이, 선평 및 각 연결 배선들에 형성된 콘택 개수 중 적어도 하나인 표시 장치.

청구항 14

청구항 13에 있어서,

상기 저항 조절 수단은 250 내지 350Ω의 범위에서 각 연결 배선들의 배선 저항을 조절하는 표시 장치.

청구항 15

청구항 13에 있어서,

상기 저항 조절 수단은 목표 저항 대비 $\pm 10\%$ 의 저항 편차로 각 연결 배선들의 배선 저항을 조절하는 표시 장치.

청구항 16

청구항 9 내지 청구항 15 중 어느 한 항에 있어서,

상기 표시 패널은 액정층을 포함하는 표시 장치.

청구항 17

복수의 화소 및 이에 연결된 복수의 신호 라인이 마련된 표시 패널과,

상기 신호 라인들 각각에 구동 신호를 인가하는 복수의 구동칩을 포함하고,

상기 구동칩들 각각에는 각 구동칩들 간의 출력측 내부 배선의 저항 분포를 균일하게 조절하는 저항 조절 수단이 마련된 표시 장치.

청구항 18

청구항 17에 있어서,

상기 저항 조절 수단은,

상기 구동칩들 각각에 마련된 출력측 각 내부 배선들의 저항을 함께 조절하거나, 또는 출력측 각 내부 배선들 간의 저항 편차를 감소시키는 표시 장치.

청구항 19

청구항 18에 있어서,

상기 저항 조절 수단은 출력측 각 내부 배선들의 길이, 선평 및 출력측 각 내부 배선들에 형성된 콘택 개수 중 적어도 하나인 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <15> 본 발명은 구동칩 및 이를 구비하는 표시 장치에 관한 것으로, 보다 상세하게는 단위 화소에 구동 신호를 공급하는 구동칩 및 이를 구비하는 표시 장치에 관한 것이다.
- <16> 표시 장치의 하나인 액정 표시 장치(Liquid Crystal Display)는 액정 분자의 광학적 이방성 및 편광판의 편광 특성을 이용하여 광원으로부터 입사되는 광의 투과량을 조절하여 화상을 구현하는 디스플레이 소자로서, 경량박형, 고해상도, 대화면화를 실현할 수 있고, 소비전력이 작아 최근 그 응용범위가 급속도로 확대되고 있다.
- <17> 이러한 액정 표시 장치는 컬러 필터 및 공통 전극이 형성된 상부 기관과 박막 트랜지스터 및 화소 전극이 형성된 하부 기관 사이에 액정층이 충전된 액정 표시 패널을 포함하며, 광원인 백라이트(backlight)가 하부에 배치된다. 또한, 액정층과 함께 백라이트에서 입사된 광의 투과율을 제어하기 위하여 액정 표시 패널에는 양쪽면에 편광판이 부착된다. 또한, 상기 액정 패널의 일부 영역에는 단위 화소를 구동하기 위한 복수의 구동칩이 실장된다.
- <18> 일반적으로 구동칩은 구동 신호의 생성을 위한 구동 회로와, 구동 신호의 출력을 위한 출력 패드를 포함하는 수많은 회로들이 작은 면적에 집적되어 형성된다. 따라서, 구동 회로와 출력 패드를 연결하는 모든 연결 배선들 같은 길이 및 같은 구조로 형성하는 것은 사실상 어렵고, 이로 인해 구동칩에서 위치에 따라 각 연결 배선들 간의 저항 편차가 발생하게 된다. 이러한 각 연결 배선들 간의 저항 편차로 인하여 구동칩에서 생성된 구동 신호들이 지연 또는 왜곡되어 단위 화소에 전달됨으로써 세로줄 불량 등의 화상 표시 불량이 발생하게 된다. 여기서, 세로줄 불량은 액정 표시 패널에 동일한 패턴 신호를 인가하더라도 각 연결 배선들 간의 저항 편차로 인하여 구동칩의 중앙에 연결된 화소들에서는 목표치보다 더욱 밝은 계조(more white)가 출력되고, 구동칩의 양측에 연결된 화소들에서는 목표치보다 더욱 어두운 계조(more black)가 출력되어 세로줄 형태로 시인되는 화상 표시 불량을 의미한다.

발명이 이루고자 하는 기술적 과제

- <19> 본 발명은 상기의 문제점을 해결하기 위해 도출된 것으로, 출력측 연결 배선들이 거의 같은 저항을 갖는 구동칩 및 이를 구비하는 표시 장치를 제공하는데 그 목적이 있다.
- <20> 또한, 본 발명은 출력측 연결 배선 간의 저항 편차가 작은 구동칩 및 이를 구비하는 표시 장치를 제공하는데 다른 목적이 있다.
- <21> 또한, 본 발명은 출력측 연결 배선들의 저항을 거의 같게 하거나 출력측 연결 배선들 간의 저항 편차를 감소시켜 구동 신호들의 지연 또는 왜곡을 방지하고, 표시 품질을 향상시키는 구동칩 및 이를 구비하는 표시 장치를 제공하는데 또 다른 목적이 있다.

발명의 구성 및 작용

- <22> 상기의 목적을 달성하기 위한 본 발명에 따른 구동칩은, 구동 신호를 생성하는 복수의 구동 회로와, 상기 구동 신호를 외부의 신호 라인에 출력하는 복수의 출력 패드와, 상기 복수의 구동 회로와 상기 복수의 출력 패드 각각을 연결하는 복수의 연결 배선을 포함하고, 상기 복수의 연결 배선 중 적어도 하나에는 각 연결 배선들의 저항을 거의 같게 조절하거나, 또는 각 연결 배선들 간의 저항 편차를 감소시키는 저항 조절 수단이 마련된다.
- <23> 상기 저항 조절 수단은 연결 배선의 길이, 선평 및 연결 배선에 형성된 콘택 개수 중 적어도 하나인 것이 바람직하다.
- <24> 상기 연결 배선의 길이는 배선 형상을 통해 조절되는 것이 바람직하며, 배선 형상은 지그재그 형상, 물결 형상 및 삼각파 형상 중 적어도 하나인 것이 바람직하다.
- <25> 상기 연결 배선의 선평은 배선 저항이 목표 저항보다 큰 경우에 넓어지고, 배선 저항이 목표 저항보다 작은 경우에 좁아지는 것이 바람직하다.
- <26> 상기 연결 배선의 콘택 개수는 배선 저항이 목표 저항보다 큰 경우에 적어지고, 배선 저항이 목표 저항보다 작은 경우에 많아지는 것이 바람직하다.
- <27> 상기 저항 편차는 목표 저항 대비 $\pm 10\%$ 인 것이 바람직하다.
- <28> 상기 목표 저항은 250 내지 350 Ω 의 범위인 것이 바람직하다.
- <29> 상기의 목적을 달성하기 위한 본 발명에 따른 표시 장치는, 복수의 화소 및 이에 연결된 복수의 신호 라인이 마련된 표시 패널과, 상기 복수의 화소의 제어를 위한 구동 신호를 생성하는 복수의 구동 회로와, 상기 구동 신호를 상기 복수의 신호 라인에 출력하는 복수의 출력 패드와, 상기 복수의 구동 회로 및 상기 복수의 출력 패드 각각을 연결하는 복수의 연결 배선이 마련된 복수의 구동칩을 포함하고, 상기 복수의 연결 배선 중 적어도 하나에는 각 연결 배선들의 저항을 거의 같게 조절하거나, 또는 각 연결 배선들 간의 저항 편차를 감소시키는 저항 조절 수단이 마련된다.
- <30> 상기 복수의 구동칩은 상기 복수의 신호 라인에 데이터 신호를 출력하는 것이 바람직하다.
- <31> 상기 복수의 구동칩은 데이터 신호를 프리 차징하기 위한 차지 쉐어 회로와, 정전기를 방지하기 위한 정전기 보호 회로를 더 포함하고, 상기 차지 쉐어 회로 및 상기 정전기 보호 회로는 상기 구동 회로와 상기 출력 패드 사이에 마련되어 상기 연결 배선을 통해 접속되는 것이 바람직하다.
- <32> 상기 차지 쉐어 회로 및 상기 정전기 보호 회로 중 적어도 하나가 상기 연결 배선의 저항 조절 수단일 수 있다.
- <33> 상기 저항 조절 수단은 연결 배선의 길이, 선평 및 연결 배선에 형성된 콘택 개수 중 적어도 하나일 수 있다.
- <34> 상기 저항 조절 수단은 250 내지 350 Ω 의 범위에서 각 연결 배선들의 배선 저항을 조절하는 것이 바람직하다.
- <35> 상기 저항 조절 수단은 목표 저항 대비 $\pm 10\%$ 의 저항 편차로 각 연결 배선들의 배선 저항을 조절하는 것이 바람직하다.
- <36> 상기 표시 패널은 액정층을 포함하는 것이 바람직하다.
- <37> 상기의 목적을 달성하기 위한 본 발명에 따른 표시 장치는, 복수의 화소 및 이에 연결된 복수의 신호 라인이 마련된 표시 패널과, 상기 신호 라인들 각각에 구동 신호를 인가하는 복수의 구동칩을 포함하고, 상기 구동칩들 각각에는 각 구동칩들 간의 출력측 내부 배선의 저항 분포를 균일하게 조절하는 저항 조절 수단이 마련된다.
- <38> 상기 저항 조절 수단은 상기 구동칩들 각각에 마련된 출력측 각 내부 배선들의 저항을 같게 조절하거나, 또는 출력측 각 내부 배선들 간의 저항 편차를 감소시키는 것이 바람직하다.
- <39> 상기 저항 조절 수단은 출력측 각 내부 배선들의 길이, 선평 및 출력측 각 내부 배선들에 형성된 콘택 개수 중 적어도 하나인 것이 바람직하다.
- <40> 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다.
- <41> 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 도면상의 동일 부호는 동일한 요소를 지칭한다.

- <42> 도 1은 본 발명의 실시예에 따른 액정 표시 장치를 나타낸 블록도이다.
- <43> 도 1을 참조하면, 본 실시예에 따른 액정 표시 장치는 복수의 화소가 매트릭스 형태로 배열된 액정 표시 패널(100) 및 화소들의 동작을 제어하는 액정 구동 회로(600)를 포함한다.
- <44> 액정 표시 패널(100)은 일 방향으로 연장된 복수의 게이트 라인(G1 내지 Gn) 및 이와 교차하는 타 방향으로 연장된 복수의 데이터 라인(D1 내지 Dm)을 포함하고, 이들의 교차 영역에 마련된 복수의 단위 화소를 포함한다. 상기 단위 화소에는 박막 트랜지스터(TFT), 액정 커패시터(liquid crystal capacitor; Clc) 및 유지 커패시터(liquid crystal capacitor; Clc) 등이 형성된다.
- <45> 여기서, 박막 트랜지스터(TFT) 각각의 게이트 단자는 게이트 라인(G1 내지 Gn)에 접속되고, 소오스 단자는 데이터 라인(D1 내지 Dm)에 접속되고, 드레인 단자는 액정 커패시터(Clc)의 화소 전극(미도시)에 접속된다. 이러한 박막 트랜지스터(TFT)는 게이트 라인(G1 내지 Gn)에 인가되는 게이트 턴온 전압(Von)에 따라 동작하여 데이터 라인(D1 내지 Dm)의 데이터 신호를 액정 커패시터(Clc) 및 유지 커패시터(Cst)에 공급한다. 상기 액정 커패시터(Clc)는 대향하는 화소 전극과 공통 전극 사이에 유전체로 액정층이 위치되어 구성되며, 박막 트랜지스터(TFT)의 턴온시 데이터 신호가 충전되어 액정층의 분자 배열을 제어하는 역할을 수행한다. 상기 유지 커패시터(Cst)는 대향하는 화소 전극과 유지 전극 사이에 유전체로 보호층이 형성되어 구성되며, 액정 커패시터(Clc)에 충전된 데이터 신호를 다음 데이터 신호가 충전될 때까지 안정적으로 유지하는 역할을 수행한다. 물론, 상기 액정 커패시터(Clc)의 보조적인 역할을 수행하는 유지 커패시터(Cst)는 생략될 수도 있다. 한편, 본 실시예의 각 단위 화소는 삼원색(적색, 녹색, 청색) 중 하나를 고유하게 표시하는 것이 바람직하다. 이를 위해 각 단위 화소에는 컬러 필터가 마련되며, 각 단위 화소 영역 간에는 빗샘을 방지하기 위한 블랙 매트릭스가 마련된다.
- <46> 상기의 액정 표시 패널(100)의 외측에는 구동 전압 생성부(400), 게이트 구동부(200), 데이터 구동부(300) 및 이들을 제어하는 신호 제어부(500)를 포함하는 액정 구동 회로(600)가 마련된다. 이러한 액정 구동 회로(600)는 액정 표시 패널(100)의 동작을 위한 각종 제어 신호들을 제공한다.
- <47> 여기서, 게이트 구동부(200) 및 데이터 구동부(300)는 액정 표시 패널(100)의 하부 기판 상에 직접 형성될 수 있고(ASG 방식), 별도로 제작되어 COB(Chip On Board), TAB(Tape Automated Bonding), COG(Chip On Glass) 등과 같은 방식으로 하부 기판 상에 실장될 수 있다. 본 실시예의 게이트 구동부(200)와 데이터 구동부(300)는 적어도 하나의 칩(chip) 형태로 제작되어, 하부 기판 상에 실장되는 것이 바람직하다. 그리고, 구동 전압 생성부(400) 및 신호 제어부(500)는 인쇄 회로 기판(Printed Circuit Board; PCB) 상에 실장되어 연성 인쇄 회로(Flexible Printed Circuit; FPC)를 통해 게이트 구동부(200) 및 데이터 구동부(300)에 연결되어, 액정 표시 패널(100)과 전기적으로 접속되는 것이 바람직하다.
- <48> 신호 제어부(500)는 외부의 그래픽 제어기(미도시)로부터 입력 화상 신호 및 입력 제어 신호를 제공받는다. 예를 들어, 화상 데이터(R,G,B)를 포함하는 입력 화상 신호 및 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 메인 클럭(MCLK) 및 데이터 인에이블 신호(DE)를 포함하는 입력 제어 신호를 제공받는다.
- <49> 또한, 상기 신호 제어부(500)는 입력 화상 신호를 액정 표시 패널(100)의 동작 조건에 적합하게 처리하여 내부적인 화상 데이터(R,G,B)를 생성하고, 게이트 제어 신호 및 데이터 제어 신호를 생성한 후, 상기 게이트 제어 신호를 게이트 구동부(200)로 전송하고, 상기 화상 데이터(R,G,B) 및 데이터 제어 신호를 데이터 구동부(300)로 전송한다. 여기서, 화상 데이터(R,G,B)는 액정 표시 패널(100)의 화소 배열에 따라 재배열되며, 화상 보정 회로를 통해 보정될 수 있다. 그리고, 게이트 제어 신호는 게이트 턴온 전압(Von)의 출력 시작을 지시하는 수직 동기 시작 신호(STV), 게이트 클럭 신호(CPV) 및 출력 인에이블 신호(OE)등을 포함하고, 데이터 제어 신호는 화상 데이터의 전송 시작을 알려주는 수평 동기 시작 신호(STH), 해당 데이터 라인에 데이터 신호를 인가하라는 로드 신호(LOAD) 및 공통 전압에 대한 계조 전압의 극성을 반전시키는 반전 신호(RVS) 및 데이터 클럭 신호(DCLK)등을 포함한다.
- <50> 구동 전압 생성부(400)는 외부 전원 장치(미도시)로부터 입력되는 외부 전원을 이용하여 액정 표시 패널(100)의 구동에 필요한 각종 구동 전압을 생성 및 출력한다. 예를 들어, 스위칭 소자인 박막 트랜지스터(TFT)를 턴온시키는 게이트 턴온 전압(Von), 박막 트랜지스터를 턴오프시키는 게이트 오프 전압(Voff) 등을 생성하여 이를 게이트 구동부(200)로 출력하고, 감마 기준 전압(GVDD)을 생성하여 이를 데이터 구동부(300)로 출력하며, 공통 전압(Vcom)을 생성하여 이를 액정 커패시터(Clc) 및 유지 커패시터(Cst)에 인가한다.
- <51> 게이트 구동부(200)는 수직 동기 시작 신호(STV)에 따라 동작을 개시하며, 게이트 클럭 신호(CPV)에 동기화되어 구동 전압 생성부(400)로부터 입력된 게이트 온 전압(Von) 및 게이트 오프 전압(Voff) 등을 포함하는 아날로그

형태의 게이트 신호를 액정 표시 패널(100)에 형성된 복수의 게이트 라인(G1 내지 Gm)에 순차적으로 출력한다. 이때, 게이트 클럭 신호(CPV)의 하이(high) 구간에서는 게이트 온 전압(Von)이 출력되고, 게이트 클럭 신호(CPV)의 로우(low) 구간에서는 게이트 오프 전압(Voff)이 출력되는 것이 바람직하다.

<52> 데이터 구동부(300)는 구동 전압 생성부(400)의 감마 기준 전압(GVDD)을 이용하여 계조 전압을 생성하고, 입력된 디지털 형태의 화상 데이터를 상기 계조 전압을 이용하여 아날로그 형태의 데이터 신호(DS)로 변환하여 각 데이터 라인(D1 내지 Dm)에 인가한다. 이러한 데이터 구동부(300)는 각각의 데이터 라인에 데이터 신호(DS)를 인가하는 적어도 하나의 데이터 구동칩(310 내지 340)으로 구성된다.

<53> 도 2는 본 발명의 실시예에 따른 데이터 구동칩을 나타낸 회로도이고, 도 3은 본 발명의 실시예에 따른 데이터 구동칩의 구동 회로를 나타낸 블록도이다.

<54> 도 2를 참조하면, 본 실시예의 데이터 구동칩(310)은 데이터 신호(DS)를 생성하는 구동 회로(311)와, 데이터 신호(DS)를 데이터 라인에 출력하는 출력 패드(312) 및 이들을 전기적으로 연결하는 연결 배선(313)을 포함한다. 또한, 본 실시예의 데이터 구동칩(310)은 데이터 신호(DS)를 프리차징하기 위한 차지 쉐어 회로(charged share circuit)(314)와 정전기를 방지하기 위한 정전기 보호 회로(315)를 더 포함할 수 있는데, 이들은 구동 회로(311)와 출력 패드(312) 사이에 마련되어 연결 배선(313)을 통해 접속되는 것이 바람직하다. 여기서, 차지 쉐어 회로(314)는 데이터 신호의 인가 전에 소정 레벨의 전압을 데이터 라인에 인가하여, 극성이 반전되는 데이터 신호의 스윙 폭을 줄여주는 역할을 하고, 정전기 보호 회로(315)는 체너 다이오드와 같은 정전기 방지 소자로 구성되어 내부 또는 외부로부터 유입되는 정전기로 인한 구동 회로(311)의 손상 및 오동작을 방지하는 역할을 한다. 이러한 차지 쉐어 회로(314)와 정전기 보호 회로(315)는 각각 R_1 , R_2 의 저항 성분을 갖는데, 상기 R_1 , R_2 는 회로 구성에 의해 일정 범위 내에서 조절될 수 있다. 즉, 차지 쉐어 회로(314)와 정전기 보호 회로(315) 중 적어도 하나가 후술할 저항 조절 수단의 역할을 할 수도 있다.

<55> 도 3을 참조하면, 상기 구동 회로(311)는 입력 신호를 샘플링하여 샘플링 신호를 생성하는 쉬프트 레지스터부(311-1)와, 화상 데이터(R,G,B)를 일시 저장하는 데이터 레지스터부(311-2), 샘플링 신호에 응답하여 한 라인분의 화상 데이터를 래치하여 동시에 출력하는 래치부(311-3), 복수의 계조 전압을 생성하는 계조 전압 생성부(311-5), 계조 전압을 이용하여 디지털 형태의 화상 데이터를 아날로그 형태의 데이터 신호로 변환하는 디지털-아날로그 컨버터부(Digital to Analog Converter; DAC부, 311-4) 및 데이터 신호를 데이터 라인(D1 내지 Dm)에 출력하는 출력 버퍼부(311-6)를 포함한다. 물론, 상기 계조 전압 생성부(311-5)는 별도의 모듈로 데이터 구동부(300) 외측에 마련될 수도 있다.

<56> 이러한 구성을 갖는 구동 회로(311)의 동작을 설명하면 다음과 같다. 먼저, 쉬프트 레지스터부(311-1)는 신호 제어부(500)로부터 제공되는 제어 신호에 기초하여 샘플링 신호를 생성하여 래치부(311-3)에 공급한다. 즉, 상기 쉬프트 레지스터부(311-1)는 한 행분의 화상 데이터(R,G,B)의 입력 시작을 알리는 수평 동기 시작 신호(ST H)에 따라 동작을 개시하며, 데이터 클럭 신호(DCLK)에 동기화되어 생성한 샘플링 신호를 출력한다. 데이터 레지스터부(311-2)는 신호 제어부(500)로부터 순차적으로 입력되는 화상 데이터(R,G,B)를 일시 저장한다. 래치부(311-3)는 쉬프트 레지스터부(311-1)의 샘플링 신호에 대응하여 데이터 레지스터부(311-2)에 일시 저장되어 있는 화상 데이터(R,G,B)를 샘플링하여 래치한다. 이때, 상기 래치부(311-3)는 샘플링 신호에 응답하여 한 라인분의 화상 데이터(R,G,B)를 래치하고, 로드 신호(LOAD)에 따라 이들 신호를 동시에 출력한다. 계조 전압 생성부(311-5)는 전압 분배 수단을 통해 감마 기준 전압(GVDD)을 복수 레벨의 계조 전압으로 분배하여 DAC부(311-4)에 공급한다. 이때, 화상 데이터(R,G,B)의 비트(bit) 수에 따라 계조 전압의 레벨 수는 달라지는데, 예를 들어, 화상 데이터(R,G,B)가 8 비트인 경우 계조 전압은 256 레벨을 갖게 된다. DAC부(311-4)는 화상 데이터(R,G,B)에 대응하여 선택된 계조 전압을 아날로그 형태로 변환하여 이를 데이터 신호(DS)로서 출력한다. 이후, 출력 버퍼부(311-6)는 데이터 신호들(DS)을 소정의 크기로 증폭하여 각 데이터 라인(D1 내지 Di)에 인가한다. 본 실시예는 계조 전압 생성부(311-5)에서 극성 반전 신호에 따라 극성이 다른 한 벌의 계조 전압 즉, 정극성/부극성 계조 전압이 DAC부(311-4)에 공급되므로, 각 화소에는 정극성 또는 부극성 데이터 신호(DS)가 프레임 인버전 방식, 라인 인버전 방식 또는 도트 인버전 방식과 같은 인버전 방식으로 공급된다. 이와 같은 인버전 구동 방식은 전압 스윙폭이 커서 소비 전력이 증가하고, 동작 발열이 증가할 수 있다. 따라서, 데이터 신호의 인가 전에 소정의 전압을 데이터 라인에 미리 걸어주는 방식 즉, 프리차징(precharging) 방식을 사용하여 데이터 구동칩(310)의 전압 스윙폭을 줄여주는 것이 바람직하다.

<57> 일반적으로, 데이터 구동칩에는 작은 면적에 수많은 구동 회로 및 출력 패드가 집적된다. 예를 들어, 8비트-576 채널의 데이터 구동칩은 8비트의 데이터 신호를 처리하고, 576개의 데이터 라인(D1 내지 D576) 각각에 데이터

신호(DS)를 인가하는 576개의 구동 회로 및 출력 패드가 형성된다. 이러한 공간적인 제약으로 인해 복수의 구동 회로와 출력 패드를 연결하는 각각의 연결 배선의 길이를 모두 같게 형성하는 것은 사실상 어렵고, 이로 인해, 같은 데이터 구동칩(310)에서 연결 배선들 간의 저항 편차가 발생하여 세로줄 불량과 같은 화상 표시 불량이 발생할 수 있다. 그러나, 본 실시예의 데이터 구동칩(310)에서는 연결 배선(313)의 길이, 선포 및 콘택 개수 중의 적어도 어느 하나가 조절되어 연결 배선들 각각의 저항이 거의 같게 조절되거나 또는 목표 저항 범위 내로 조절되기 때문에 연결 배선들 간의 저항 편차로 인한 화상 표시 불량이 거의 발생하지 않는다. 하기에서는 본 발명의 실시예 및 변형예를 들어 각 연결 배선들의 저항이 거의 같게 또는 목표 범위 내로 조절되는 것을 보다 상세히 설명한다. 그리고, 액정 표시 장치의 데이터 구동칩은 각 연결 배선들의 저항이 250 내지 350Ω일때 동작 특성이 우수하므로, 하기의 실시예 및 변형예에서는 목표 저항의 범위가 250 내지 350Ω로 설정된다. 만일, 목표 저항이 특정될 경우 예를 들어, 목표 저항이 300Ω인 경우 각 연결 배선들의 배선 저항은 $300\Omega \pm 10\%$ 즉, 저항 편차는 $\pm 10\%$ 로 설정되는 것이 바람직하다. 물론, 상기의 목표 저항 및 저항 편차는 데이터 구동칩의 제조사에 따라 달라질 수 있다.

<58> 도 4는 본 발명의 실시예에 따른 데이터 구동칩을 나타낸 배치도이고, 도 5는 도 4의 데이터 구동칩 중 일부 구동 회로의 연결 배선을 나타낸 배선도이다.

<59> 도 4를 참조하면, 본 실시예에 따른 데이터 구동칩(310)은 중앙 영역의 네 곳에 구동 회로들이 배치되고, 외곽 영역의 양측에 출력 패드들이 배치된다. 이와 같은 배치 구조에서, 예를 들면 제 79 내지 제 144 연결 배선(L79 내지 L144) 및 제 433 내지 제 498 연결 배선(L433 내지 L498)은 구동 회로들이 배치된 중앙 영역을 우회하여 출력 패드들에 연결되므로 구동 회로와 출력 패드 사이의 연결 거리가 길어 각 배선들의 저항이 목표 저항보다 커진다. 반면, 제 145 내지 제 288 연결 배선(L145 내지 L288) 및 제 299 내지 제 432 연결 배선(L299 내지 L432)은 바로 외측의 출력 패드들에 연결되므로 구동 회로와 출력 패드 사이의 연결 거리가 짧아 각 배선들의 저항이 목표 저항보다 작아진다. 따라서, 도 5의 (a)와 같이, 목표 저항보다 배선 저항이 큰 연결 배선 예를 들어, 제 79 내지 제 144 연결 배선(L79 내지 L144) 및 제 433 내지 제 498 연결 배선(L433 내지 L498)은 직선 형상으로 형성함으로써 배선 길이를 최소화하여 배선 저항을 감소시킨다. 또한, 도 5의 (b)와 같이, 배선 저항이 목표 저항보다 작은 연결 배선 예를 들어, 제 145 내지 제 288 연결 배선(L145 내지 L288) 및 제 299 내지 제 432 연결 배선(L299 내지 L432)은 지그재그(zigzag) 형상으로 형성함으로써 배선 길이를 증가시켜 배선 저항을 증가시킨다. 이때, 배선 길이는 지그재그의 간격에 따라 조절될 수 있다. 물론, 상기 연결 배선(L145 내지 L288, L299 내지 L432)은 지그재그 형상에 한정되지 않으며, 길이 조절이 가능하다면 어떤 형상이든지 무관하다. 예를 들어, 물결 형상, 톱니 형상 등 다양한 형상이 가능하다. 이처럼, 구동 회로와 출력 패드 사이의 연결 거리에 따라 각 연결 배선들(L1 내지 L576)의 형상을 달리하여 배선 길이를 조절해줌으로써, 각 연결 배선들(L1 내지 L576)의 저항을 거의 같게 하거나 또는 저항 편차를 감소시킬 수 있다.

<60> 도 6은 본 발명의 제 1 변형예에 따른 데이터 구동칩 중 일부 구동 회로의 연결 배선을 나타낸 배선도이다.

<61> 일반적으로, 길이가 L, 선포가 W, 두께가 T, 비저항이 ρ 라면 배선 저항 $R = \rho L / WT$ 의 수식으로 나타낼 수 있다. 따라서, 전술한 배선 길이의 조절뿐만 아니라 배선의 선포 조절을 통해서도 각 연결 배선들(L1 내지 L576)의 저항을 같게 하거나 또는 저항 편차를 감소시킬 수 있다. 예를 들어, 도 6의 (a)와 같이, 배선 저항이 목표 저항보다 큰 연결 배선 즉, 제 79 내지 제 144 연결 배선(L79 내지 L144) 및 제 433 내지 제 498 연결 배선(L433 내지 L498)은 선포를 넓게 형성하여 배선 저항을 감소시키고, 도 6의 (b)와 같이, 배선 저항이 목표 저항보다 작은 연결 배선 즉, 제 145 내지 제 288 연결 배선(L145 내지 L288) 및 제 299 내지 제 432 연결 배선(L299 내지 L432)은 선포를 좁게 형성하여 배선 저항을 증가시킨다. 이처럼, 구동 회로와 출력 패드의 연결 거리에 따라 각 연결 배선들(L1 내지 L576)의 선포를 조절해줌으로써, 각 연결 배선들(L1 내지 L576)의 저항을 거의 같게 하거나 또는 저항 편차를 감소시킬 수 있다.

<62> 도 7은 본 발명의 제 2 변형예에 따른 데이터 구동칩 중 일부 구동 회로의 연결 배선을 나타낸 배선도이다.

<63> 일반적으로, 데이터 구동칩(310)은 회로 패턴이 형성된 다층의 반도체 혹은 절연체 박막(1000, 2000, 3000)으로 제작되므로 연결 배선들(L1 내지 L576) 또한 다층의 반도체 혹은 절연체 박막 상(1000, 2000, 3000)에 형성될 수 있다. 이때, 서로 다른 층의 반도체 혹은 절연체 박막 상(1000, 2000, 3000)에 형성된 연결 배선들은 콘택 구조(C1, C2, C3)를 통해 전기적으로 연결되는데, 이러한 콘택 구조(C1, C2, C3)를 이용하면 각 연결 배선들(L1 내지 L576)의 저항을 같게 하거나 또는 저항 편차를 감소시킬 수 있다. 예를 들어, 도 7의 (a)와 같이, 배선 저항이 목표 저항보다 큰 연결 배선 즉, 제 79 내지 제 144 연결 배선(L79 내지 L144) 및 제 433 내지 제 498 연결 배선(L433 내지 L498)에는 1개의 콘택 구조(C1)가 형성되고, 도 7의 (b)와 같이, 배선 저항이 목표 저항보다

작은 연결 배선 즉, 제 145 내지 제 288 연결 배선(L145 내지 L288) 및 제 299 내지 제 432 연결 배선(L299 내지 L432)에는 2개의 콘택 구조(C2, C3)가 형성된다. 상기의 콘택 구조(C1, C2, C3)가 갖는 저항 즉, 콘택 저항은 일반적으로 배선 자체 저항 보다 큰 값을 가지므로 각 연결 배선에 형성되는 콘택의 개수를 조절하여, 배선 길이에 따른 각 연결 배선들 간의 저항 차이를 상쇄 또는 보충할 수 있다. 따라서, 각 연결 배선(L1 내지 L576)에 형성된 콘택 개수를 조절해 줌으로써 각 연결 배선들(L1 내지 L576)의 저항을 거의 같게 하거나 또는 저항 편차를 감소시킬 수 있다.

<64> 한편, 전술한 실시예의 데이터 구동칩(310)은 저항 조절 수단들 즉, 연결 배선의 길이, 선폭 및 콘택 개수 중 어느 하나가 선택적으로 적용되었으나, 이에 한정되지 않으며, 어느 하나의 저항 조절 수단만으로는 각 연결 배선들(L1 내지 L576)의 저항을 같게 하거나 또는 원하는 목표 저항 범위로 조절하기 어려운 경우 이들 저항 수단은 함께 적용될 수도 있다. 또한, 상기에서는 동일한 형상 및 선폭을 가지는 연결 배선의 경우 구동칩 내의 구동 회로 및 출력 패드 등의 배열에 의해 구동칩의 가장자리에 배치된 제 79 내지 제 144 연결 배선(L79 내지 L144) 및 제 433 내지 제 498 연결 배선(L433 내지 L498)의 저항이 상대적으로 증가되는 구조를 예시하여 설명하였다. 그러나, 구동칩 내의 회로 배열에 따라 소정 위치의 연결 배선들의 저항은 다양하게 변경될 수 있으며, 본 발명은 배치 위치에 관계없이 각 연결 배선들의 저항을 제어하여 복수 연결 배선들의 저항을 거의 같게 하거나 또는 이들 사이의 저항 편차를 감소시킬 수 있다.

<65> 도 8은 본 발명의 실시예에 따른 데이터 구동칩에서 각 연결 배선들의 저항 그래프로서, 데이터 구동칩 내에서 연결 배선의 위치에 따라 각 연결 배선들의 저항을 나타낸 것이다. 여기서, 저항 그래프의 가로축 중앙은 구동칩의 중앙 위치를 의미한다.

<66> 일반적인 데이터 구동칩은 상대적으로 좁은 칩의 중앙 영역에 복수의 구동 회로가 형성되고, 상대적으로 넓은 칩의 외곽 영역에 복수의 출력 패드가 형성된다. 따라서, 이들을 각각 연결하는 복수의 연결 배선은 데이터 칩의 중앙에서 양측으로 갈수록 길어지고, 이로 인해, 도 8의 (a)와 같이, 데이터 구동칩의 중앙에서 양측으로 갈수록 연결 배선들의 저항이 증가된다. 따라서, 본 실시예의 데이터 구동칩(310)은 중앙의 연결 배선들의 저항을 크게 하고 양측의 연결 배선들의 저항을 작게 하는 것이 바람직하다. 예를 들어, 본 실험예의 데이터 구동칩은 중앙에서 양측으로 갈수록 연결 배선들의 선폭이 커지도록 형성되는 것이 바람직하다. 따라서, 도 8의 (b)와 같이, 데이터 구동칩에서 연결 배선들 간의 저항 편차가 감소되고, 이로 인해, 원래의 점선 형태의 불균일한 저항 분포가 실선 형태의 균일한 저항 분포로 보정되어 세로줄 불량과 같은 화상 표시 불량이 해소될 수 있다.

<67> 한편, 전술한 실시예에서는 하나의 데이터 구동칩(310)에서 각 연결 배선들 간의 저항 편차를 감소시키는 것을 설명하였으나, 이와 같은 방식으로 모든 데이터 구동칩들(310 내지 340) 각각의 출력측 내부 저항 편차를 감소시켜, 각 데이터 구동칩들 간의 출력측 내부 저항 분포를 균일하게 조절할 수 있다. 또한, 전술한 실시예에서는 데이터 구동부(300)에서 각 연결 배선들의 저항 편차를 해소하는 것을 설명하였으나, 이와 같은 방식으로 게이트 구동부(200)에서 각 연결 배선들의 저항 편차를 해소할 수 있으며, 이에 대해서는 그 구성 및 효과가 유사하므로 생략한다. 또한, 전술한 실시예에서는 액정 표시 장치를 예시하여 설명하였으나, 이에 한정되지 않고, 단위 화소들이 행렬 방식으로 구성되어 행렬 구동이 가능한 다양한 표시 장치에 적용될 수 있다. 예를 들어, 플라즈마 디스플레이 패널(Plasma Display Pannel;PDP), 유기 EL(Electro Luminescence) 등의 다양한 표시 장치에도 적용될 수 있다.

<68> 이상, 본 발명에 대하여 전술한 실시예 및 첨부된 도면을 참조하여 설명하였으나, 본 발명은 이에 한정되지 않으며, 후술되는 특허청구범위에 의해 한정된다. 따라서, 본 기술분야의 통상의 지식을 가진 자라면 후술되는 특허청구범위의 기술적 사상에서 벗어나지 않는 범위 내에서 본 발명이 다양하게 변형 및 수정될 수 있음을 알 수 있을 것이다.

발명의 효과

<69> 상술한 바와 같이, 본 발명은 구동칩의 복수의 출력측 연결 배선들의 저항을 조절하여, 각 연결 배선들이 거의 같은 저항을 가지도록 하거나 또는 출력측 연결 배선들 간의 저항 편차를 감소시킬 수 있다. 따라서, 본 발명은 구동칩의 각 연결 배선들 간의 저항 편차로 인한 신호 지연 및 신호 왜곡을 방지할 수 있고, 세로줄 불량 등의 화상 표시 불량을 제거하여, 출력 영상의 표시 품질을 향상시킬 수 있다.

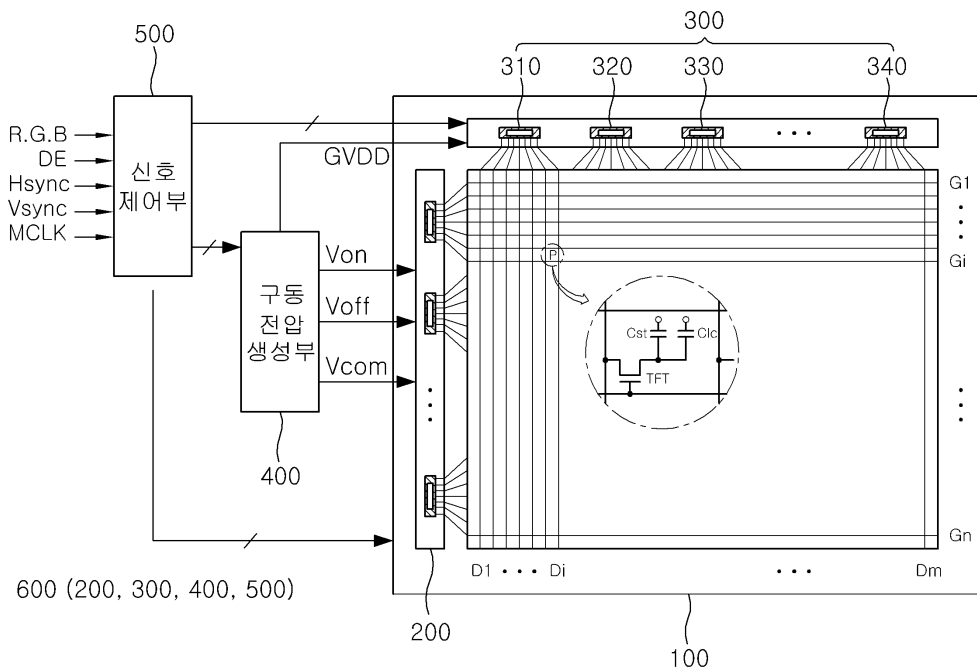
도면의 간단한 설명

<1> 도 1은 본 발명의 실시예에 따른 액정 표시 장치를 나타낸 블록도.

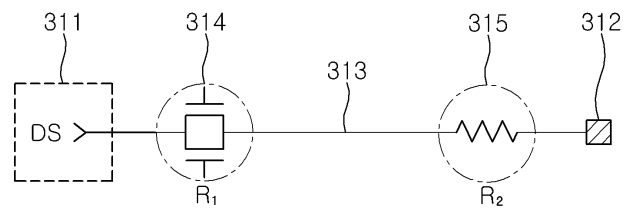
- <2> 도 2는 본 발명의 실시예에 따른 데이터 구동칩을 나타낸 회로도.
 - <3> 도 3은 본 발명의 실시예에 따른 데이터 구동칩의 구동 회로를 나타낸 블록도.
 - <4> 도 4는 본 발명의 실시예에 따른 데이터 구동칩을 나타낸 배치도.
 - <5> 도 5는 도 4의 데이터 구동칩 중 일부 구동 회로의 연결 배선을 나타낸 배선도.
 - <6> 도 6은 본 발명의 제 1 변형예에 따른 데이터 구동칩 중 일부 구동 회로의 연결 배선을 나타낸 배선도.
 - <7> 도 7은 본 발명의 제 2 변형예에 따른 데이터 구동칩 중 일부 구동 회로의 연결 배선을 나타낸 배선도.
 - <8> 도 8은 본 발명의 실시예에 따른 데이터 구동칩에서 각 연결 배선들의 저항 그래프.
 - <9> <도면의 주요 부분에 대한 부호의 설명>
 - <10> 100: 액정 표시 패널 200: 게이트 구동부
 - <11> 300: 데이터 구동부 310 내지 340: 데이터 구동칩
 - <12> 311: 구동 회로 312: 출력 패드
 - <13> 313: 연결 배선 400: 구동 전압 생성부
 - <14> 500: 신호 제어부

도면

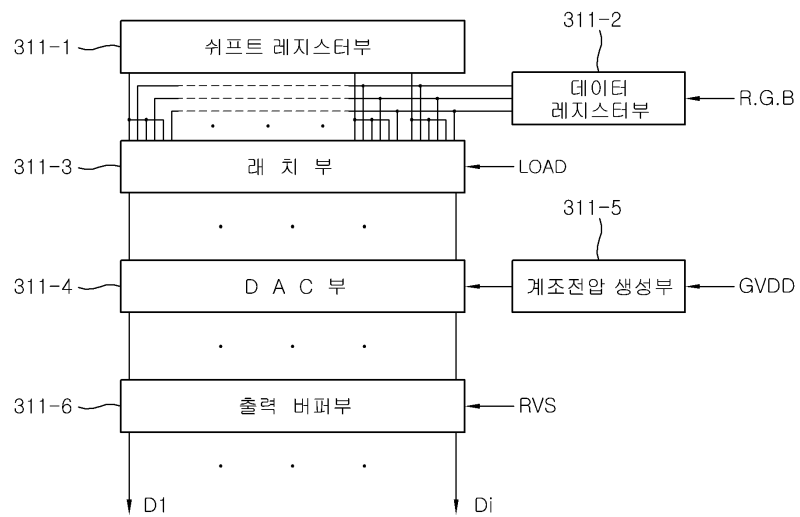
도면1



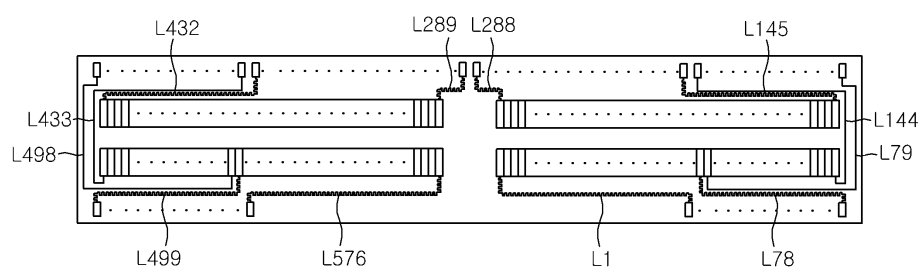
도면2



도면3



도면4

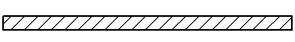


도면5

(a) _____

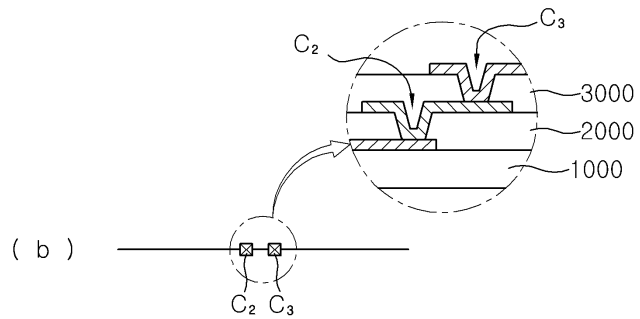
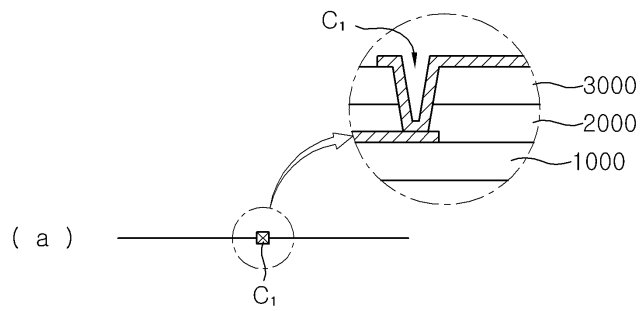
(b) 

도면6

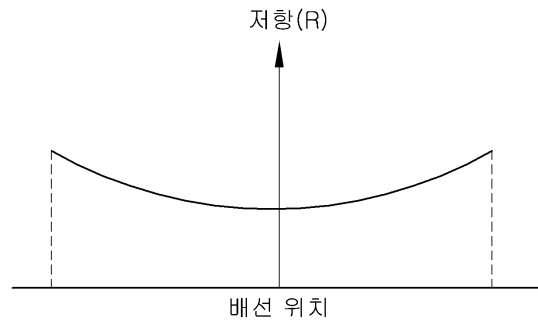
(a) 

(b) _____

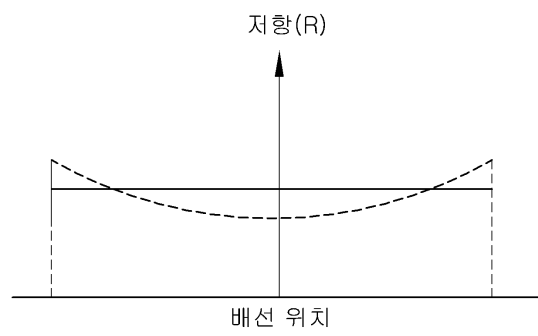
도면7



도면8



(a)



(b)

专利名称(译)	驱动芯片和具有该驱动芯片的显示装置		
公开(公告)号	KR1020080097620A	公开(公告)日	2008-11-06
申请号	KR1020070042710	申请日	2007-05-02
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM BO RA 김보라 SON SUN KYU 손선규		
发明人	김보라 손선규		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G02F1/13452 G09G3/3648 G09G2300/043 G09G3/3688 G09G2320/0223		
外部链接	Espacenet		

摘要(译)

本发明包括产生驱动信号的多个驱动电路，输出驱动信号到外部信号线的多个输出焊盘，以及连接多个输出焊盘的多个驱动电路和多个连接配线。并且驱动电路的电阻是相同的，其控制每个连接配线的电阻在至少一个或其中，或者电阻控制装置减小每个连接配线之间的电阻偏差，并且包括该电阻控制装置的显示装置设置在多个之间连接。这样，本发明控制驱动芯片的多个输出侧连接配线的电阻。它具有与每个连接布线几乎相同的电阻或者可以减小输出侧连接布线之间的电阻偏差。因此，本发明可以防止由于驱动芯片的每个连接布线之间的电阻偏差引起的信号延迟和信号失真。删除包括列故障等的图像显示故障。可以改善输出图像的显示质量。驱动芯片，数据驱动器，接线电阻，电阻偏差，屏幕缺陷，液晶显示器。

