



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0082121
(43) 공개일자 2008년09월11일

(51) Int. Cl.

G02F 1/136 (2006.01) *H01L* 29/786 (2006.01)

G02F 1/1368 (2006.01)

(21) 출원번호 10-2007-0022517

(22) 출원일자 2007년03월07일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

백원봉

서울 양천구 신월5동 15-12(8/5) 은성주택 B동
106호

심종식

서울 성북구 삼선동3가 29-170(6/4)

(74) 대리인

김용인, 박영복

전체 청구항 수 : 총 13 항

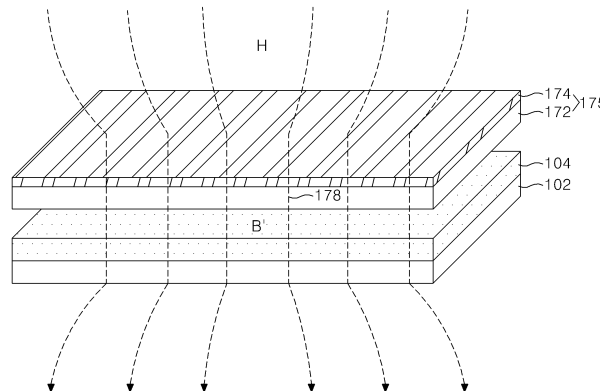
(54) 교번 자기장 결정화 장치 및 이를 이용한 액정표시소자의제조방법

(57) 요약

본 발명은 폴리 실리콘의 결정화도를 향상시키고 결정화비용을 절감할 수 있는 교번 자기장 결정화 장치 및 이를 이용한 액정표시소자의 제조방법에 관한 것이다.

이 교번 자기장 결정화 장치는 비정질 실리콘을 가열하여 상기 비정질 실리콘을 결정화시키는 가열부와; 상기 비정질 실리콘의 결정화 진행 중에 상기 비정질 실리콘 쪽으로 교번 자기장을 공급하는 자기장 공급부와; 상기 자기장 공급부에서의 교번 자기장을 이용하여 유도 자기장을 생성하고 상기 결정화 진행 중인 비정질 실리콘에 상기 유도 자기장을 공급하는 적어도 하나의 자성체 마스크를 구비한다.

대표도 - 도3



특허청구의 범위

청구항 1

비정질 실리콘을 가열하여 상기 비정질 실리콘을 결정화시키는 가열부와;

상기 비정질 실리콘의 결정화 진행 중에 상기 비정질 실리콘 쪽으로 교번 자기장을 공급하는 자기장 공급부와;

상기 자기장 공급부에서의 교번 자기장을 이용하여 유도 자기장을 생성하고 상기 결정화 진행 중인 비정질 실리콘에 상기 유도 자기장을 공급하는 적어도 하나의 자성체 마스크를 구비하는 것을 특징으로 하는 교번 자기장 결정화 장치.

청구항 2

제 1 항에 있어서,

상기 자성체 마스크는

상기 비정질 실리콘과 상기 자기장 공급부 사이에 위치하는 것을 특징으로 하는 교번 자기장 결정화 장치.

청구항 3

제 1 항에 있어서,

상기 자성체 마스크는

베이스 플레이트와;

상기 베이스 플레이트 위에 형성되며 상기 자기장 공급부에서의 교번 자기장이 집속되는 자성체를 포함하는 것을 특징으로 하는 교번 자기장 결정화 장치.

청구항 4

제 3 항에 있어서,

상기 자성체는 상기 실리콘에서 결정화될 영역과 대응되는 영역에만 위치하는 것을 특징으로 하는 교번 자기장 결정화 장치.

청구항 5

제 1 항에 있어서,

상기 유도 자기장은 상기 교번 자기장에 비하여 자기장의 세기가 균일하고 강한 것을 특징으로 하는 교번 자기장 결정화 장치.

청구항 6

제 1 항에 있어서,

상기 자성체는 상자성, 강자성, 페리자성 중 어느 하나의 특성을 가지는 것을 특징으로 하는 교번 자기장 결정화 장치.

청구항 7

제 3 항에 있어서,

상기 베이스 플레이트는 석영을 포함하는 것을 특징으로 하는 교번 자기장 결정화 장치.

청구항 8

기관 상에 폴리 실리콘 액티브 패턴을 형성하는 단계와;

상기 폴리 실리콘 액티브 패턴 위에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위에 게이트 전극을 형성하는 단계와;

상기 게이트 전극 위에 층간 절연막을 형성하는 단계와;

상기 층간 절연막 및 게이트 절연막을 관통하여 상기 폴리 실리콘 액티브패턴의 소스 영역과 접촉되는 소스전극과, 상기 층간 절연막 및 게이트 절연막을 관통하여 상기 폴리 실리콘 액티브층의 드레인 영역과 접촉되는 드레인 전극을 형성하는 단계를 포함하고,

상기 폴리 실리콘 액티브 패턴을 형성하는 단계는

상기 기판 상에 비정질 실리콘막을 형성하는 단계와;

상기 비정질 실리콘을 가열하여 결정화시키고 자성체에 의해 생성된 유도 자기장을 이용하여 상기 비정질 실리콘의 결정화를 촉진시키는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 9

제 8 항에 있어서,

상기 유도 자기장을 이용하여 상기 비정질 실리콘의 결정화를 촉진시키는 단계는

상기 자성체에 교번 자기장을 집속시키고 상기 유도 자기장을 생성하는 단계와;

상기 유도 자기장이 상기 가열에 의해 결정화 중인 실리콘에 인가되는 단계를 포함하는 것을 특징으로 액정표시소자의 제조방법.

청구항 10

제 8 항에 있어서,

상기 자성체는 상기 실리콘막에서 상기 폴리 실리콘형 액티브 패턴으로 형성될 영역에만 선택적으로 유도 자기장을 공급하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 11

제 9 항에 있어서,

상기 유도 자기장은 상기 교번 자기장에 비하여 자기장의 세기가 균일하고 강한 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 12

제 8 항에 있어서,

상기 자성체는 상자성, 강자성, 페리자성 중 어느 하나의 특성을 가지는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 13

제 8 항에 있어서,

상기 드레인 전극을 노출시키는 접촉홀을 갖는 보호막을 형성하는 단계와;

상기 접촉홀을 통해 상기 드레인 전극과 접촉되는 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<21> 본 발명은 폴리 실리콘을 이용한 액정표시소자에 관한 것으로, 특히 비정질 실리콘을 폴리 실리콘으로 결정화시

키기 위한 교번 자기장 결정화 장치 및 이를 이용한 액정표시소자의 제조방법에 관한 것이다.

- <22> 통상, 액정표시소자(Liquid Crystal Display; LCD)는 비디오신호에 따라 액정셀들의 광투과율을 조절함으로써 액정셀들이 매트릭스 형태로 배열되어진 액정패널에 비디오신호에 해당하는 화상을 표시하게 된다. 이 경우, 액정셀들을 스위칭하는 소자로서 통상 박막트랜지스터(Thin film Transistor; TFT)가 이용되고 있다.
- <23> 박막 트랜지스터로는 반도체층으로 비정질 실리콘을 이용한 아몰퍼스(Amorphous) 실리콘 박막 트랜지스터와 결정질 실리콘을 이용한 폴리(Poly) 실리콘형 박막 트랜지스터로 대별될 수 있다.
- <24> 아몰퍼스(amorphous) 실리콘은 균일성이 비교적 좋아 특성이 안정된 장점을 가지고 있다. 그러나, 아몰퍼스 실리콘은 전하 이동도가 낮아 응답 속도가 느리다는 단점을 가지고 있다. 이에 따라, 아몰퍼스 실리콘형 박막 트랜지스터는 빠른 응답 속도를 필요로 하는 고해상도 표시 패널이나 게이트 드라이버 및 데이터 드라이버의 구동 소자로는 적용이 어려운 단점을 가지고 있다.
- <25> 결정질 실리콘은 전자 이동도가 높음에 따라 결정질 실리콘을 이용하는 폴리(poly) 실리콘형 박막 트랜지스터는 빠른 응답 속도를 필요로 하는 고해상도 표시 패널에 적합할 뿐만 아니라 주변 구동 회로들을 표시 패널에 내장할 수 있는 장점을 가지고 있다. 이에 따라, 폴리 실리콘형 박막 트랜지스터의 이용이 점차 증가하고 있다.
- <26> 폴리 실리콘의 전기적 특성은 결정립(grain)의 크기에 좌우된다. 즉, 결정립의 크기가 커질수록 폴리 실리콘의 이동도는 높아진다.
- <27> 이러한 폴리 실리콘층을 형성하기 위한 방법으로는 폴리 실리콘을 직접 증착하는 방법과, 비정질 실리콘을 증착한 후에 그 비정질 실리콘막을 폴리 실리콘으로 결정화하는 방법이 있다.
- <28> 비정질 실리콘을 폴리 실리콘으로 결정화하는 방법으로는 가열로(furnace) 속에서 비정질 실리콘을 가열하여 그 비정질 실리콘을 결정화하는 고상결정화법(Solid Phase Crystallization : SPC)과, 엑시머 레이저(Eximer laser)를 비정질 실리콘에 조사하여 그 비정질 실리콘을 결정화하는 방법이 있다. 그러나, 고상결정화법(SPC)은 결정화 온도가 유리의 전이온도 정도에서 이루어지므로 액정표시소자의 기관으로 이용되는 유리를 변형시킬 수 있는 단점이 있고, 엑시머 레이저(Eximer laser)를 이용한 방법은 레이저가 조사됨으로써 나타나는 샷(shot) 자국이 화면에 얼룩을 형성하는 단점이 있다. 이에 따라, 최근에는 고상결정화법(SPC)에 의해 결정화되는 비정질 실리콘에 교번 자기장을 인가하여 결정화를 촉진하는 자기장 결정화방법(Alternating Magnetic Field Crystallization : "이하 "AMFC"라 한다)이 소개되었다.
- <29> 이하, 도 1 및 2에 도시된 종래의 AMFC 장치를 참조하여 자기장 결정화방법 개략적으로 설명하면 다음과 같다.
- <30> 비정질 실리콘층(4)이 형성된 표시소자용 기관(2)이 컨베이어 등의 이송수단에 의해 AMFC 장치 내로 이동하게 된다. 기관(2)과 비정질 실리콘층(4) 사이에는 버퍼층(3)이 더 위치할 수 도 있다.
- <31> 이어서, AMFC 장치는 고상결정화법(SPC)과 같이 가열로(furnace)(50) 속에서 비정질 실리콘을 가열하여 그 비정질 실리콘을 결정화시킨다. 가열로(50)는 제1 내지 제3 열공급부(10,20,30)로 이루어지며 AMFC 장치의 자기장 공급부(60) 쪽으로 갈수록 점차 많은 열을 발생시키게 된다. 기관(20)이 AMFC 장치의 자기장 인가 구역(A)에 위치하게 되면 자기장 공급부(60)에서 교번자기장(B)이 공급됨으로써 결정화가 촉진된다.
- <32> 도 2를 참조하여 좀더 상세히 설명하면, 솔레노이드 또는 헬름홀츠 코일 등의 자기장 발생장치를 포함하는 자기장 공급부(60)로부터 교번자기장(B)이 기관(2)에 인가되게 된다. 이때, 맴돌이전류(Eddy current)가 도체의 저항에 의해 줄(joule) 열(熱)이 발생하게 됨에 따른 맴돌이 전류손실에 의한 열효과(thermal effect)와, 자기장에 의한 실리콘 원자(Si)의 확산(diffusion) 구동력 증가로 아몰퍼스 실리콘이 폴리 실리콘으로의 상전이 속도가 증가됨으로써 결정화가 촉진되는 것으로 알려져 있다.
- <33> 여기서, 비정질 실리콘의 결정화 정도는 기관(2)에 가해지는 온도와 자기장(B)의 세기에 따라 증가하게 된다. 일반적으로 유리 기관을 사용하는 평판표시소자는 유리의 변형온도 이하에서 결정화를 하여야함으로써 가열로(50)에서의 공급온도는 기관(2)의 변형온도 700℃ 정도를 넘어서는 안된다. 그리고, 실리콘 결정 정도의 균일성을 위하여 균일한 자기장(B)이 공급되어야 하고 균일한 자기장(B)을 공급하기 위하여는 상당한 크기의 자기장 발생장치가 필요하게 된다. 특히, 자기장(B)의 세기는 코일의 권선 수와 코일에 흐르는 전류에 비례하므로 높은 자기장(B)을 발생시키기 위해서는 수십 암페어 이상의 전류가 필요하게 됨으로써 소비 전력이 증가되는 문제가 있다. 따라서, 결정화도를 높이기 위해서는 더 큰 제조장치와 더 많은 전력을 필요로 하게 된다.
- <34> 또한, 표시소자의 대형화 요구에 따라 기관이 점차 대형화됨으로써 자기장 발생장치의 거대화화 더 큰 양의 전

류가 더욱 절실히 요구되어 결정화비용이 증가하게 된다.

발명이 이루고자 하는 기술적 과제

<35> 따라서, 본 발명의 목적은 폴리 실리콘의 결정화도를 향상시키고 결정화비용을 절감할 수 있는 교번 자기장 결정화 장치 및 이를 이용한 액정표시소자의 제조방법을 제공하는 것이다.

발명의 구성 및 작용

<36> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시소자의 제조장치는 비정질 실리콘을 가열하여 상기 비정질 실리콘을 결정화시키는 가열부와; 상기 비정질 실리콘의 결정화 진행 중에 상기 비정질 실리콘 쪽으로 교번 자기장을 공급하는 자기장 공급부와; 상기 자기장 공급부에서의 교번 자기장을 이용하여 유도 자기장을 생성하고 상기 결정화 진행 중인 비정질 실리콘에 상기 유도 자기장을 공급하는 적어도 하나의 자성체 마스크를 구비한다.

<37> 상기 자성체 마스크는 상기 비정질 실리콘과 상기 자기장 공급부 사이에 위치한다.

<38> 상기 자성체 마스크는 베이스 플레이트와; 상기 베이스 플레이트 위에 형성되며 상기 자기장 공급부에서의 교번 자기장이 집속되는 자성체를 포함한다.

<39> 상기 자성체는 상기 실리콘에서 결정화될 영역과 대응되는 영역에만 위치한다.

<40> 상기 유도 자기장은 상기 교번 자기장에 비하여 자기장의 세기가 균일하고 강한 것을 특징으로 한다. 상기 자성체는 상자성, 강자성, 페리자성 중 어느 하나의 특성을 가진다.

<41> 본 발명에 따른 액정표시소자의 제조방법은 기판 상에 폴리 실리콘 액티브 패턴을 형성하는 단계와; 상기 폴리 실리콘 액티브 패턴 위에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 위에 게이트 전극을 형성하는 단계와; 상기 게이트 전극 위에 층간 절연막을 형성하는 단계와; 상기 층간 절연막 및 게이트 절연막을 관통하여 상기 폴리 실리콘 액티브패턴의 소스 영역과 접촉되는 소스전극과, 상기 층간 절연막 및 게이트 절연막을 관통하여 상기 폴리 실리콘 액티브층의 드레인 영역과 접촉되는 드레인 전극을 형성하는 단계를 포함하고, 상기 폴리 실리콘 액티브 패턴을 형성하는 단계는 상기 기판 상에 비정질 실리콘막을 형성하는 단계와; 상기 비정질 실리콘을 가열하여 결정화시키고 자성체에 의해 생성된 유도 자기장을 이용하여 상기 비정질 실리콘의 결정화를 촉진시키는 단계를 포함한다.

<42> 상기 유도 자기장을 이용하여 상기 비정질 실리콘의 결정화를 촉진시키는 단계는 상기 자성체에 교번 자기장을 집속시키고 상기 유도 자기장을 생성하는 단계와; 상기 유도 자기장이 상기 가열에 의해 결정화 중인 실리콘에 인가되는 단계를 포함한다.

<43> 상기 자성체는 상기 실리콘막에서 상기 폴리 실리콘형 액티브 패턴으로 형성될 영역에만 선택적으로 유도 자기장을 공급하는 것을 특징으로 한다.

<44> 상기 드레인 전극을 노출시키는 접촉홀을 갖는 보호막을 형성하는 단계와; 상기 접촉홀을 통해 상기 드레인 전극과 접촉되는 화소전극을 형성하는 단계를 포함한다.

<45> 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<46> 이하, 도 3 내지 도 9h를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

<47> 본 발명에 따른 AMFC 장치는 교번 자기장에 의한 결정화 효율을 증진시키기 위하여 자성체를 이용하여 적은 외부 자기장을 집속시키고 자기장의 세기를 증폭시킨다. 그 결과, 외부 자기장이 불균일하더라도 균일한 자기장을 비정질 실리콘에 인가할 수 있고 적은 외부 자기장을 이용하여 큰 자기장을 형성시켜 강한 자기장을 비정질 실리콘에 인가할 수 있게 된다. 그 결과, 결정화도를 향상시킬 수 있고 결정화비용을 절감할 수 있다.

<48> 이러한 작용 효과를 나타낼 수 있는 구성을 도 3에 나타내었다.

<49> 도 3을 참조하면, 비정질 실리콘층(104) 등이 형성된 기판(102) 상에 자성체 마스크(175)를 위치시킨다. 자성체 마스크(175)에서 비정질 실리콘층(104)과 마주하지 않는 면에는 투자율(permeability)이 큰 자성체(174)가 형성되어 있다. 투자율이 큰 자성체(174)를 마스크(175)의 일면에 형성되어 있는 상태에서 수 가우스(Gauss) 정도의 외부 자기장(H)을 공급하더라도 수백 내지 수천 가우스의 자기장(B)을 얻을 수 있다.

- <50> 이를 도 4에 도시된 자기 이력 곡선(Magnetic Hysteresis Curve)을 참조하여 상세히 설명한다.
- <51> 도 4에 도시된 자기 이력 곡선은 자성체를 자기장에 놓고 "0"의 위치에서부터 외부 자기장(H)을 서서히 증가시키면 자기장 중의 자속밀도(B)가 급격히 증가하지만 어느 점 이상에서는 외부 자기장(H)을 가하여도 자속밀도(B)는 증가하지 않게 되는데 이 상태를 포화라 하고 점 "a"가 된다. 이 상태에서 외부 자기장(H)을 점차 줄이면 자속밀도는 a→b로 감소하고 외부 자기장(H)을 0(Zero)으로 하면 "b"점에 오게 되고 소정의 자속밀도가 남게 된다. 이 값을 잔류자속밀도(Residual Induction)라 부르고 Br로 표시하며 단위는 G(Gauss)이다.
- <52> 더욱 역방향의 외부 자기장(H)을 가하면 점점 자속밀도(B)가 감소하여 "c" 점에 오게 되는데, 이 "c" 점에 오게 하기 위한 필요한 역방향의 외부 자기장(H)의 강도를 보자력 또는 항자력(Coercive Force)라 부르고 Hc로 표시하며 단위Oe(0ersted)이다. 계속 역방향의 외부 자기장(H)을 증가시키면 "d"점에서 다시 포화되고 e→f→a→b→c와 같은 Cycle을 이루며 이 곡선을 자기 이력 곡선이라 부른다.
- <53> 이러한, 자기 이력 곡선 특성은 투자율이 매우 큰 강자성체나 페리자성 등에서는 아주 적은 외부 자기장(H)을 가하여도 자속밀도(B)가 급격하게 증가 된다. 투자율이란 자기유도용량, 자기 투자율이라고 하며, 자기장의 영향을 받아 자화할 때에 생기는 자기력 선속밀도와 자기장의 진공 중에서의 세기의 비를 말한다. 보통 상자성체 또는 반자성체에서는 거의 1에 가깝고, 물질의 종류에 따라 다르다. 즉, 자성체는 자기 이력 곡선 특성을 나타내고 투자율이 큰 자성체를 이용하면 적은 외부 자기장(H) 만으로 매우 큰 자속밀도(B) 즉, 자기장을 얻을 수 있게 된다.
- <54> 이러한, 자성체의 자기 이력 특성과 투자율을 이용하여 적은 외부 자기장(H)을 이용하여 균일하고 강한 유도 자기장(B)을 생성시켜 비정질 실리콘의 결정화를 촉진하고자 한다.
- <55> 도 1을 참조하면, 고상결정화법(SPC)과 같이 가열로(furnace)(50) 속에서 비정질 실리콘을 가열하여 그 비정질 실리콘을 결정화시킨다. 이후, 결정화진행 중인 실리콘층이 형성된 기판이 AMFC 장치의 자기장 공급부(60)의 자기장 인가 구역(A)에 위치하게 되면 자기장 공급부(60)에서 자기장이 공급된다. 이하, 자기장 공급부(60)에서 공급되는 교번 자기장은 자기 이력 곡선에서는 외부 자기장(H)에 해당된다.
- <56> 이와 같이, 교번 자기장(H)이 자기장 인가 구역(A)에 위치하는 기판(102) 방향으로 공급되면, 도 3에 도시된 바와 같이 교번 자기장(H)은 마스크(175)의 자성체(174)로 집중하게 된다. 그리고, 교번 자기장(H)은 자성체(174)를 경유하면서 자기력선(178)들이 균일해지게 된다. 이와 동시에 교번 자기장(H)은 수백 내지 수천 가우스 정도의 크기를 나타내는 유도 자기장(B')을 생성시킨다. 특히, 자성체(174)로서 투자율이 매우 큰 강자성체, 페리자성체 등이 이용되는 경우 약 10~24.5KG(kilo Gauss) 정도의 유도 자기장(B')이 생성된다. 이러한 유도 자기장(B')은 직접 결정화 진행 중인 실리콘의 결정화도를 촉진시키게 된다. 그 결과, 거대한 자기장 발생장치와 이에 필요한 큰 전력 소모 없이도 실리콘의 결정화도를 향상시킬 수 있게 됨과 아울러 결정화비용을 절감할 수 있게 된다.
- <57> 자성체 마스크(175)는 일반적으로 석영(quartz) 플레이트(172) 위에 스퍼터링, 이베퍼레이션, CVD, ALD 등의 증착 공정에 의해 증착되어 형성되며 투자율이 큰 자성체(174)가 위치한다. 여기서, 자성체(174)로는 상자성체, 강자성체 및 페리자성체 등이 이용되며 구체적으로 퍼멀로이(Permalloy), 센다스트, 페라이트(ferrite) 등의 합금이 이용될 수 있으며 강자성 또는 상자성을 갖는 자성체는 어떠한 물질로 이용될 수 있다. 예를 들어, 강자성체 물질로 철(Fe), 코발트(Co), 니켈(Ni) 등이 이용될 수 있다. 한편, 자성체 마스크(175)는 AMFC 장치의 자기장 공급부(60) 주변에 위치할 수도 있고 비정질 실리콘층(104)이 형성된 기판(102)과 일체화되도록 장착될 수도 있다.
- <58> 이와 같이, 본 발명에 따른 AMFC 장치는 자성체 마스크를 구비함으로써 가열로에 의해 결정화 진행 중인 실리콘층에 균일하면서 강한 자기장을 공급할 수 있게 된다. 이에 따라, 거대한 자기장 발생장치와 이에 필요한 큰 전력 소모 없이도 실리콘의 결정화도를 향상시킬 수 있게 됨과 아울러 결정화비용을 절감할 수 있게 된다. 또한, 대면적 기판에 적용하는 경우에도 별도의 장비 증가 없이 실리콘을 결정화시킬 수 있게 된다.
- <59> 도 5는 기판(102)의 앞면과 뒷면에 각각 자성체 마스크가 각각 위치하는 구성을 나타내었다. 기판(102)의 앞면에 제1 자성체 마스크(275)가 위치하고 기판(102)의 뒷면 상에 제2 자성체 마스크(285)가 위치하게 된다. 제1 및 제2 자성체 마스크(275, 285)는 도 3에 도시된 자성체 마스크(175)와 동일하다. 즉, 제1 자성체 마스크(275)는 제1 베이스 플레이트(예를 들어, 석영을 주된 원료로 하는 기판 : 제1 석영(quartz) 플레이트(272)) 위에 제1 자성체(274)가 형성되어 있고, 제2 자성체 마스크(285)는 제2 베이스 플레이트(예를 들어, 석영을 주된 원료로 하는 기판 : 제2 석영(quartz) 플레이트(282))위에 제2 자성체(284)가 형성되어 있게 된다.

- <60> 도 5는 도 3에 비하여 유도 자기장(B')의 균일성 및 세기를 더욱 강하게 하기 위한 구조이다. 즉, 제1 및 제2 자성체(274,284) 사이에 위치하는 실리콘층(104)은 도 3에 도시된 구조에 비하여 좀더 균일하고 강한 유도 자기장(B)에 의해 결정화가 촉진될 수 있게 된다.
- <61> 도 6은 또 다른 자성체 마스크의 구조를 나타내는 사시도이다.
- <62> 도 6은 자성체 물질이 마스크(375) 전체에 걸쳐 형성되는 것이 아니라 자성체 물질이 패터닝된 자성체 패턴(376)이 마스크(375)의 특정영역에만 위치하게 된다. 이는 실리콘층의 일정영역에만 선택적으로 결정화시키는 경우 효율적으로 이용될 수 있다. 예를 들어, 폴리 실리콘형 박막 트랜지스터에서는 채널영역에 대응되는 영역에서의 실리콘만 선택적으로 강한 자기장을 공급하는 경우 더욱 효율적이다. 이에 따라, 도 6에 도시된 자성체 마스크에서의 자성체 패턴(376)의 면적은 폴리 실리콘형 박막 트랜지스터에서의 폴리 실리콘 패턴과 동일한 면적을 갖도록 형성될 수 있다.
- <63> 도 6에 도시된 자성체 마스크(375)는 석영(quartz) 플레이트(372) 위에 스퍼터링, 이베퍼레이션, CVD, ALD 등의 증착 공정에 의해 자성체가 증착된 후 포토리소그래피 공정 및 식각 공정이 실시됨으로써 석영(quartz) 플레이트(372) 상에 사용자가 원하는 위치에 자성체 패턴(376)을 형성할 수 있게 된다.
- <64> 이하, 상술한 본원 발명의 AMFC 장치를 이용하여 액정표시소자의 폴리 실리콘형 박막 트랜지스터 어레이 기판을 형성하는 공정을 단계적으로 설명한다.
- <65> 먼저, 폴리 실리콘을 이용하는 폴리 실리콘형 박막 트랜지스터 어레이 기판의 구조를 살펴에 대해 설명한 후 구체적인 제조공정을 설명하도록 한다.
- <66> 도 7은 액정표시소자의 폴리 실리콘형 박막 트랜지스터 어레이 기판을 나타내는 평면도이고, 도 8은 도 7의 I-I'선을 절취하여 도시한 단면도이다.
- <67> 도 7 및 도 8에 도시된 박막 트랜지스터 어레이 기판은 서로 교차되게 형성된 게이트 라인(402) 및 데이터 라인(404)과, 게이트 라인(402) 및 데이터 라인(404)의 교차영역에 위치하는 폴리 실리콘형 박막 트랜지스터(430)와, 폴리 실리콘형 박막 트랜지스터(430)와 접속된 화소전극(422)과, 화소전극(422)과 이전단 게이트 라인(402)의 중첩부에 형성된 스토리지 캐패시터(450)를 구비한다.
- <68> 폴리 실리콘형 박막 트랜지스터(430)는 기판(401) 위에 형성된 버퍼층(416) 위에 형성된 폴리 실리콘형 액티브 패턴(414)과, 폴리 실리콘형 액티브 패턴(414)을 덮도록 형성된 게이트 절연막(412)과, 게이트 절연막(412)을 사이에 두고 액티브 패턴(414)의 채널영역(414C)과 중첩되는 게이트 전극(406)과, 게이트 전극(406)을 덮도록 형성된 층간 절연막(426)과, 층간 절연막(426) 및 게이트 절연막(412)을 관통하여 폴리 실리콘형 액티브 패턴(414)과 접촉되는 소스전극(408) 및 드레인 전극(410)을 구비한다.
- <69> 폴리 실리콘형 액티브 패턴(414)은 게이트 전극(406)과 중첩되는 채널영역(414C), 불순물 예를 들어 n+이온 등이 주입된 소스영역(414S) 및 드레인 영역(414D)으로 구분된다.
- <70> 소스 전극(408)은 게이트 절연막(412) 및 층간 절연막(426)을 관통하는 소스접촉홀(424S)을 통해 폴리 실리콘형 액티브 패턴(414)의 소스영역(414S)과 접촉된다. 드레인 전극(410)은 게이트 절연막(412) 및 층간 절연막(426)을 관통하는 드레인 접촉홀(424D)을 통해 폴리 실리콘형 액티브 패턴(414)의 드레인 영역(414D)과 접촉된다.
- <71> 화소전극(422)은 드레인 전극(412)을 노출시키는 제1 접촉홀(420)을 통해 드레인 전극(412)과 접촉된다.
- <72> 스토리지 캐패시터(450)는 화소 전극(422)에 충전된 화소 신호가 다음 화소 신호가 충전될 때까지 안정적으로 유지되게 한다.
- <73> 위와 같은 구성을 가지는 폴리 실리콘형 박막 트랜지스터(430)는 게이트 라인(402)으로부터의 게이트 신호에 응답하여 데이터 라인(402)으로부터의 데이터 신호를 드레인 전극(410)을 경유하여 화소전극(422)에 전달한다.
- <74> 도 9a 내지 도 9h는 본 발명의 실시예에 따른 폴리 실리콘형 박막트랜지스터 어레이 기판의 제조방법을 나타내는 단면도이다.
- <75> 먼저, 도 9a를 참조하면, 하부기판(401) 상에 SiO₂ 등의 절연물질이 전면 증착된 후 패터닝됨으로써 버퍼막(416)이 형성된다. 버퍼막(416)이 형성된 하부기판(401) 상에 비정질 실리콘막이 증착된다.
- <76> 이후, 도 3 내지 도 6에 도시된 자성체 마스크를 포함하는 AMFC 장치를 이용한 고상결정화법(SPC)에 의해 비정질 실리콘을 결정화시키고 결정화의 진행 중에 자성체 마스크를 이용하는 AMFC법에 의해 실리콘을 결정화를 촉진

진시킨다. 이에 따라, 도 9b에 도시된 바와 같이 비정질 실리콘막(414a)이 결정화됨에 따라 폴리 실리콘막(414b)이 형성된다.

<77> 이후, 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 폴리 실리콘막(414b)이 패터닝됨에 따라 폴리 실리콘형 액티브 패턴(414)이 형성된다.

<78> 폴리 실리콘형 액티브 패턴(114)이 형성된 후 산화실리콘(SiO_x), 질화실리콘(SiN_x) 등의 절연물질이 전면 증착됨으로써 게이트 절연막(112)이 형성된다. 게이트 절연막(412)이 형성된 하부기관(401) 상에 게이트 금속층이 전면 증착된 후 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 게이트 금속층이 패터닝된다. 이에 따라, 도 9c에 도시된 바와 같이 게이트 전극(406), 게이트 전극(406)과 접속된 게이트 라인(402)을 포함하는 게이트 패턴이 형성된다. 여기서, 게이트 금속층은 알루미늄(Al), 알루미늄/네오듐(Al/Nd) 등을 포함하는 알루미늄계 금속이 이용된다.

<79> 폴리 실리콘형 액티브 패턴(414)에 n+ 이온이 주입됨으로써 도 9d에 도시된 바와 같이 폴리 실리콘형 액티브 패턴(414)의 채널영역(414C), 소스 영역(414S)과 드레인 영역(414D)이 형성된다.

<80> 한편, 별도의 마스크를 이용한 포토리소그래피 공정을 이용하여 n- 등의 불순물을 도핑함에 따라 엘디디(LDD)영역을 더 형성할 수도 있다.

<81> 게이트 전극(406)이 형성된 하부기관(401) 상에 산화실리콘(SiO_x), 질화실리콘(SiN_x) 등의 절연물질이 전면 증착됨으로써 층간 절연막(426)이 형성된다. 이 후 층간 절연막(426)과 게이트 절연막(412)이 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 패터닝된다. 이에 따라, 도 9e에 도시된 바와 같이 폴리 실리콘형 액티브 패턴(414)의 소스영역(414S)과 드레인영역(414D)을 각각 노출시키는 소스 접촉홀(424S)과 드레인 접촉홀(424D)이 형성된다.

<82> 소스 접촉홀(424S) 및 드레인 접촉홀(424D)이 형성된 하부기관(401) 상에 소스 드레인 금속층이 전면 증착된 후 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 소스 드레인 금속층이 패터닝된다. 이에 따라, 도 9f에 도시된 바와 같이 소스 접촉홀(424S)을 통해 액티브 패턴(414)의 소스영역(414S)과 접촉되는 소스전극(408)과, 드레인 접촉홀(424D)을 통해 액티브 패턴(414)의 드레인영역(414D)과 접촉되는 드레인 전극(410)이 형성된다. 이에 따라, 폴리 실리콘형 박막 트랜지스터(430)가 형성된다.

<83> 박막 트랜지스터(430)가 형성된 하부 기관(401) 상에 절연물질이 증착된 후 마스크를 이용한 포토리소그래피 공정 및 식각 공정에 의해 패터닝됨으로써 도 9g에 도시된 바와 같이 제1 접촉홀(420)을 가지는 보호막(418)이 형성된다. 제1 접촉홀(420)은 보호막(418)을 관통하여 드레인 전극(410)을 노출시킨다.

<84> 보호막(418)의 재료로는 게이트 절연막(416)과 같은 무기 절연물질이나 유전상수가 작은 아크릴(acryl)계 유기 화합물, BCB 또는 PFCB 등과 같은 유기 절연물질이 이용된다.

<85> 보호막(418)이 형성된 후 스퍼터링 등의 증착방법으로 투명전극 물질이 전면 증착된다. 이어서 마스크를 이용한 포토리소그래피 공정과 식각공정을 통해 투명전극 물질이 패터닝됨으로써 도 9h에 도시된 바와 같이 화소전극(422)이 형성된다. 화소전극(422)은 접촉홀(420)을 통해 드레인 전극(410)과 전기적으로 접촉됨과 아울러 이전 단 게이트 라인(402)과 스토리지 캐패시터(450)를 형성한다.

<86> 투명전극 물질로는 인듐주석산화물(Indium Tin Oxide : ITO)이나 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO)이 이용된다.

<87> 한편, 본 발명에서의 자성체 마스크에서는 자성체가 증착되는 플레이트로서 석영(quartz) 플레이트를 예를 들어 설명하였지만, 석영(quartz) 플레이트에 한정되는 것이 아니라 자기장에 흐름에 지장이 없는 기관이면 어떠한 기관이 이용될 수 있다.

발명의 효과

<88> 상술한 바와 같이, 본 발명에 따른 교번 자기장 결정화 장치 및 이를 이용한 액정표시소자의 제조방법은 가열로에 의해 결정화 진행중인 실리콘층에 자성체 마스크를 이용하여 균일하면서 강한 자기장을 공급할 수 있게 된다. 이에 따라, 거대한 자기장 발생장치와 이에 필요한 큰 전력 소모 없이도 실리콘의 결정화도를 향상시킬 수 있게 됨과 아울러 결정화비용을 절감할 수 있게 된다. 뿐만 아니라, 대면적 기관에 적용하는 경우에도 별도의 장비 증가 없이 실리콘을 결정화를 촉진시킬 수 있게 된다.

<89> 또한, 자성체 마스크에 액정표시소자의 폴리 실리콘형 액티브 패턴과 동일한 패턴 형상의 자성체 패턴을 마련함

으로써 필요한 부분에 좀더 집중적으로 자기장을 공급할 수도 있다. 이에 따라, 폴리 실리콘형 액티브 패턴이 될 실리콘영역에 결정화를 더욱 증진시킬 수 있다.

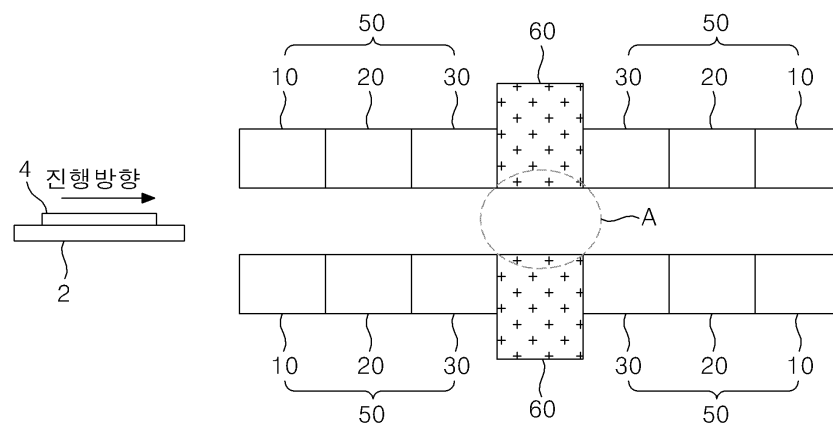
- <90> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

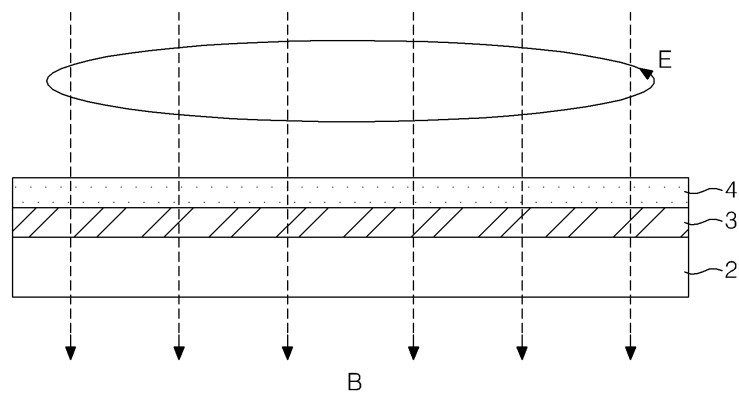
- <1> 도 1은 종래 교번 자기장 결정화 장치를 개략적으로 나타내는 평면도이다.
- <2> 도 2는 도 1의 교번 자기장 결정화 장치로부터 비정질 실리콘으로 자기장이 인가됨을 나타내는 도면.
- <3> 도 3은 본 발명의 실시예에 따른 교번 자기장 결정화 장치의 자성체 마스크 및 이를 경유하여 비정질 실리콘으로 자기장이 인가됨을 나타내는 도면.
- <4> 도 4는 자기 이력 곡선을 나타내는 도면.
- <5> 도 5는 도 4의 자성체 마스크가 기관의 앞면 및 뒷면에 각각 위치하는 구조를 나타내는 구조를 나타내는 도면.
- <6> 도 6은 본 발명의 자성체 마스크의 또 다른 구조를 나타내는 도면.
- <7> 도 7은 액정표시소자의 폴리 실리콘형 박막 트랜지스터 어레이 기관을 개략적으로 나타내는 평면도.
- <8> 도 8은 도 7에서 선 I-I' 선을 따라 절취하여 나타내는 단면도.
- <9> 도 9a 내지 도 9h는 자성체 마스크를 이용한 실리콘을 결정화 공정을 포함하는 폴리 실리콘형 박막 트랜지스터 어레이 기관의 제조공정을 나타내는 단면도들.
- <10> < 도면의 주요부분에 대한 설명>
- | | |
|--------------------------|------------------|
| <11> 50 : 가열부 | 2 : 기관 |
| <12> 3 : 버퍼막 | 60 : 자기장 공급부 |
| <13> 175, 375 : 자성체 마스크 | 174 : 자성체 |
| <14> 172 : 석영 플레이트 | 4,104 : 실리콘층 |
| <15> 275 : 제1 자성체 마스크 | 285 : 제2 자성체 마스크 |
| <16> 376 : 자성체 패턴 | 450 : 스토리지 캐패시터 |
| <17> 430 : 박막 트랜지스터 | 422 : 화소전극 |
| <18> 401 : 하부 기관 | 402 : 게이트 라인 |
| <19> 408 : 소스전극 | 410 : 드레인 전극 |
| <20> 414 : 폴리 실리콘 액티브 패턴 | 406 : 게이트 전극 |

도면

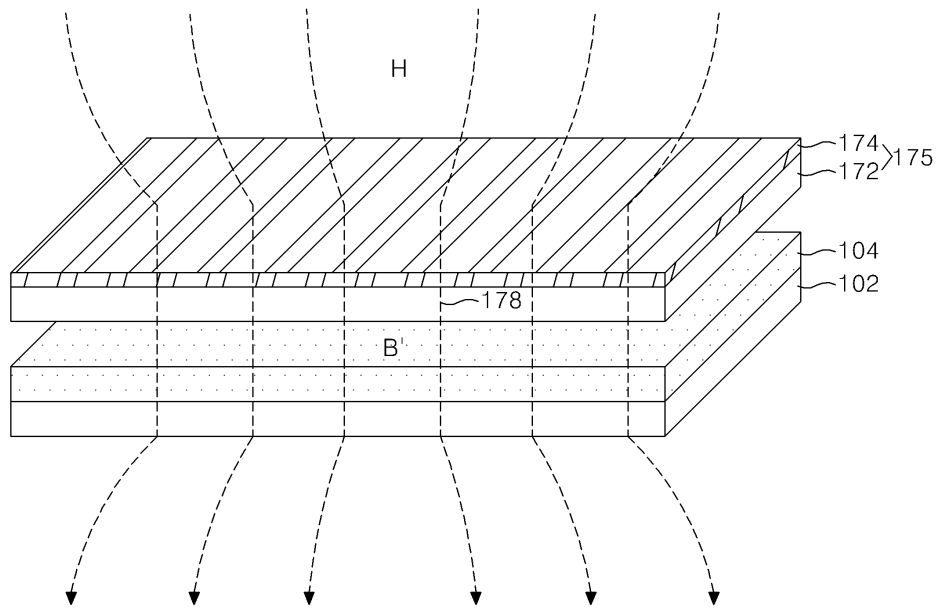
도면1



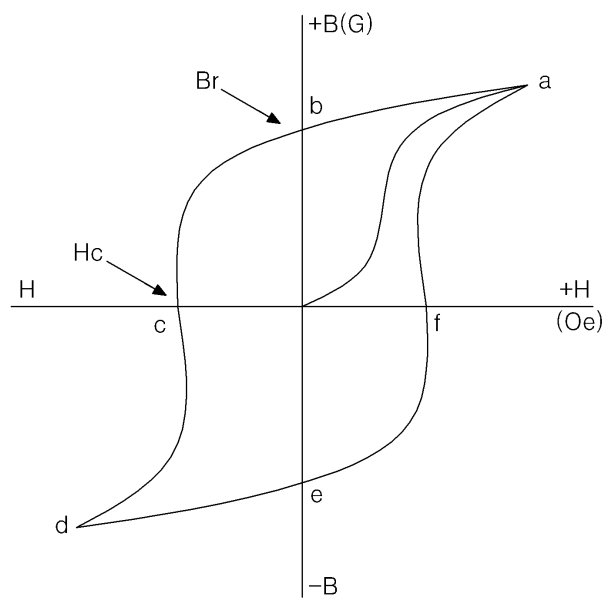
도면2



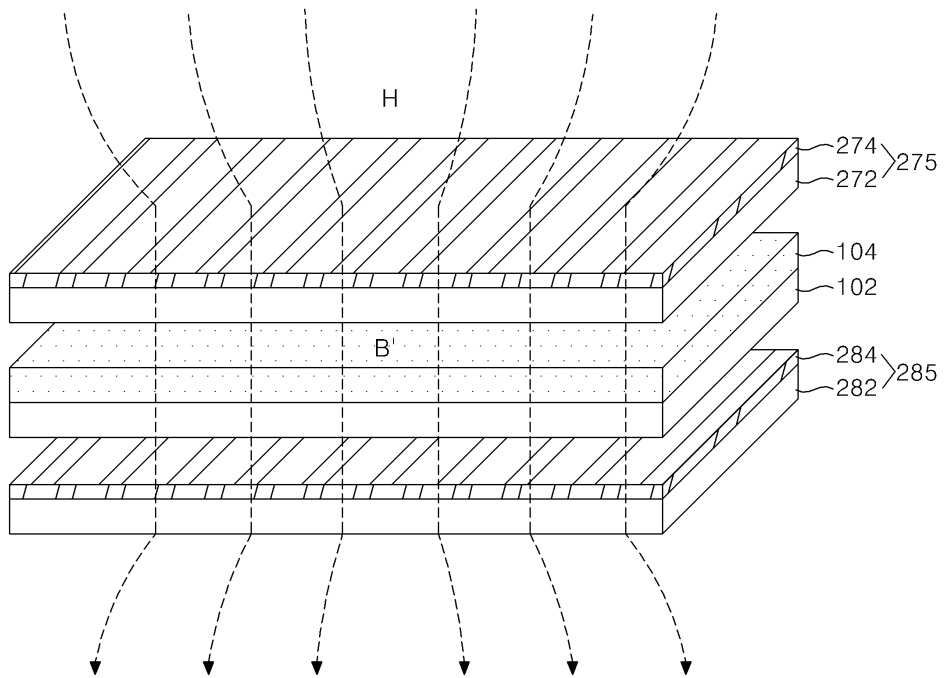
도면3



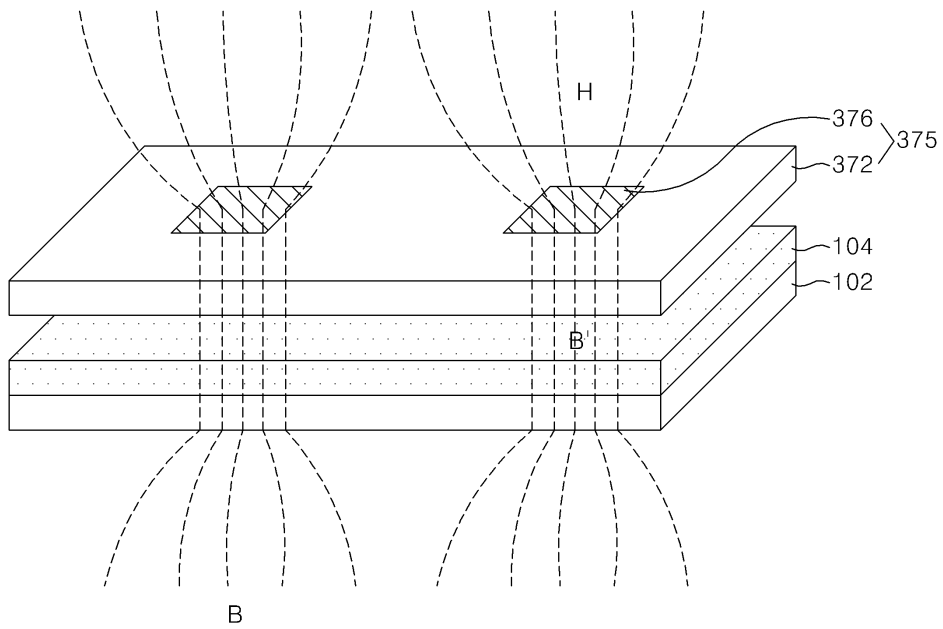
도면4



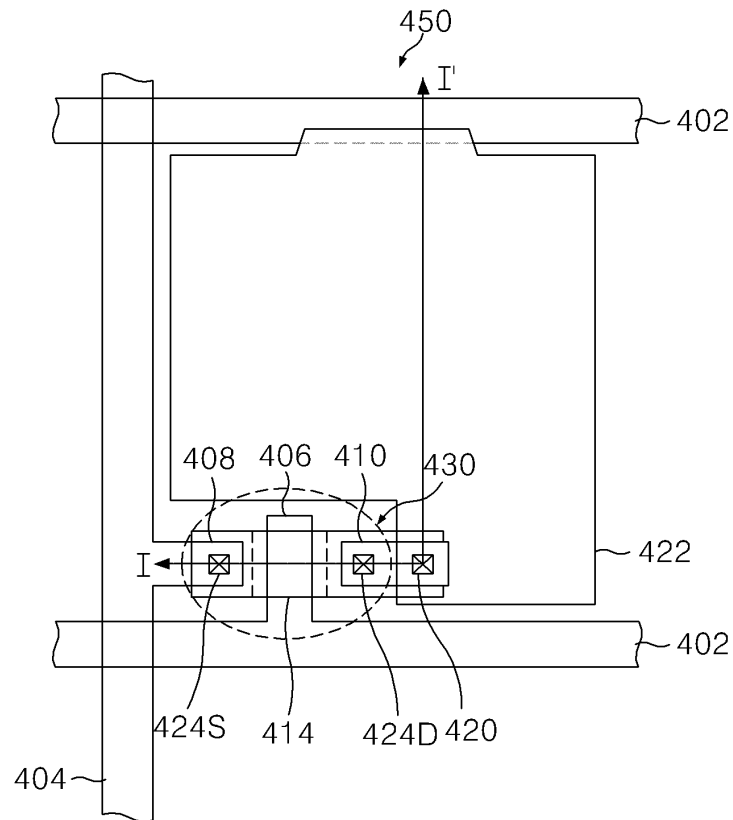
도면5



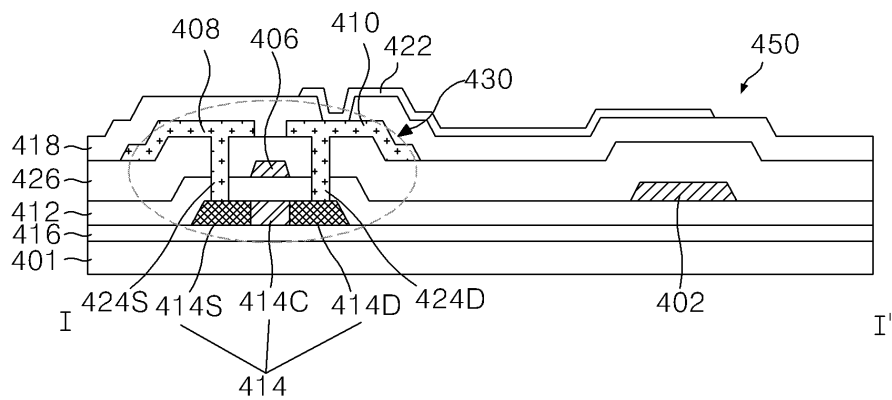
도면6



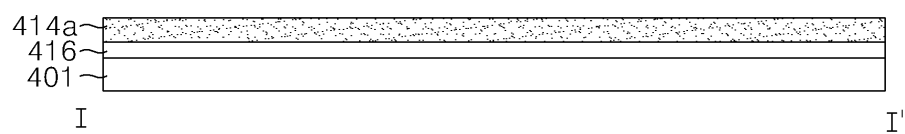
도면7



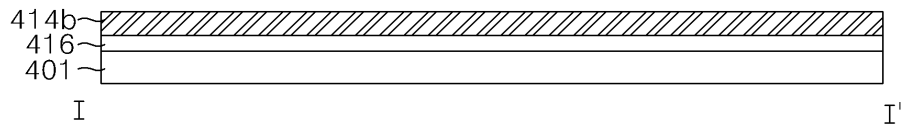
도면8



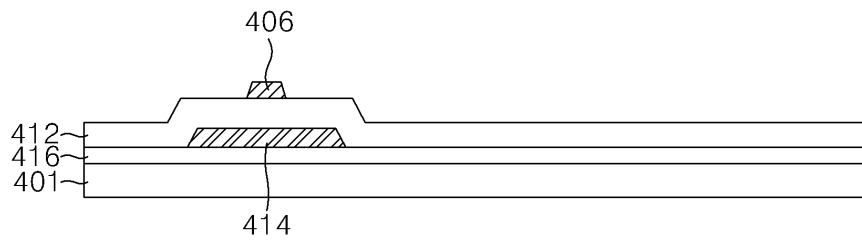
도면9a



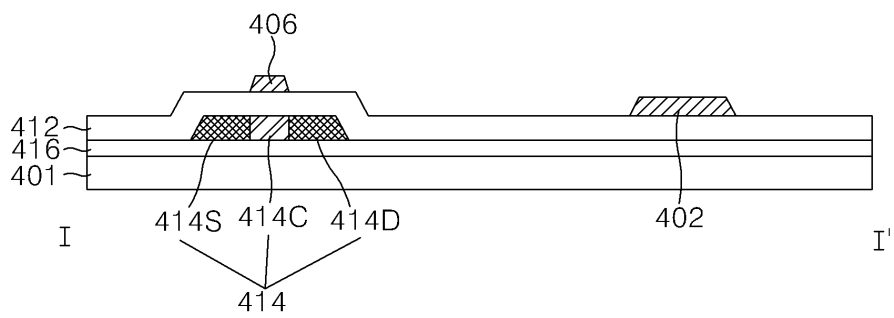
도면9b



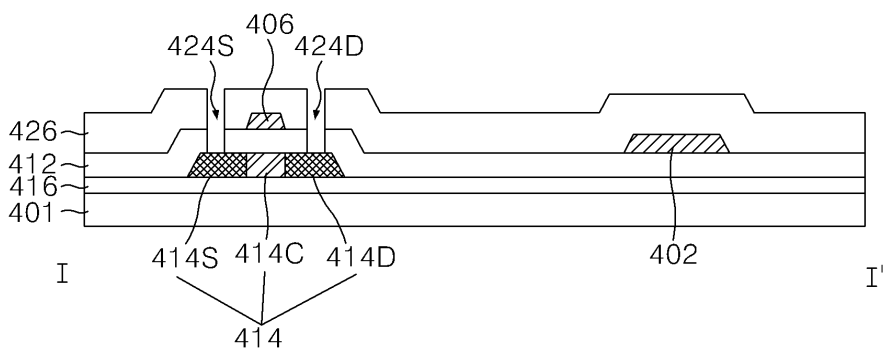
도면9c



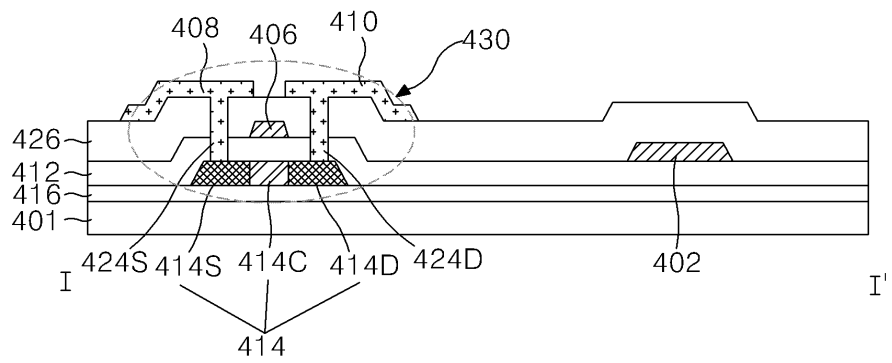
도면9d



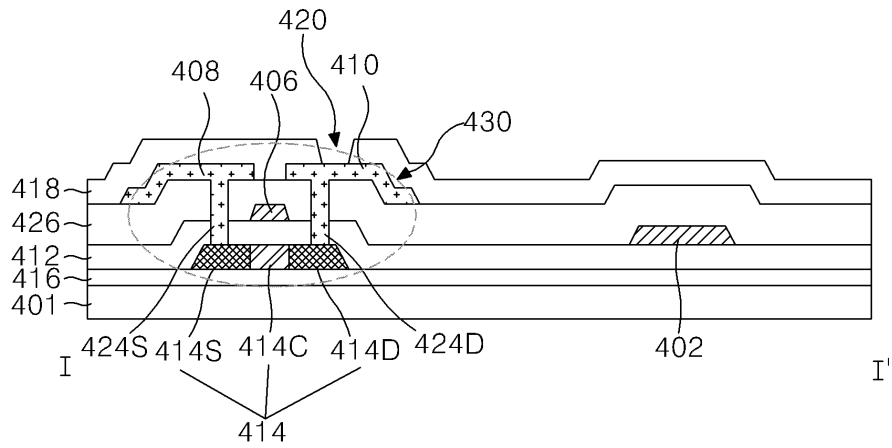
도면9e



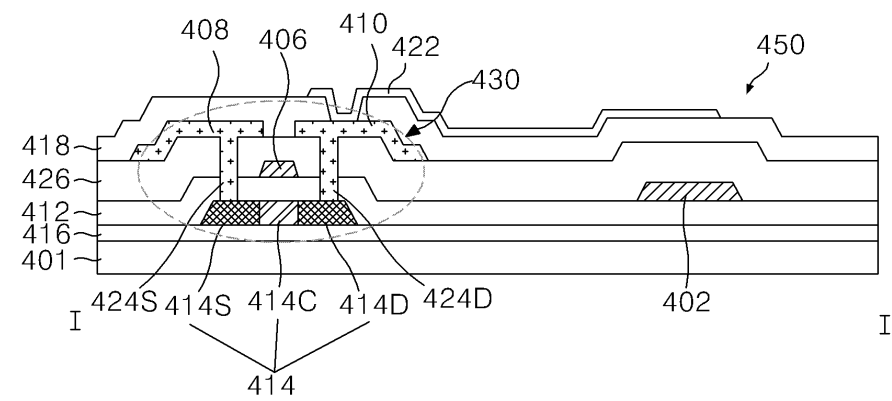
도면9f



도면9g



도면9h



专利名称(译)	交变磁场结晶装置及使用其的液晶显示元件的制造方法		
公开(公告)号	KR1020080082121A	公开(公告)日	2008-09-11
申请号	KR1020070022517	申请日	2007-03-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	BAEK WON BONG 백원봉 SHIM JONG SIK 심종식		
发明人	백원봉 심종식		
IPC分类号	G02F1/136 H01L29/786 G02F1/1368		
CPC分类号	G02F1/1368 H01L21/02667 H01L21/2022 H01L27/1274 H01L29/66757		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR101327850B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种能够提高多晶硅的结晶度并降低结晶成本的交变磁场结晶装置,以及使用该装置制造液晶显示元件的方法。交变磁场结晶装置包括加热单元,用于加热非晶硅以使非晶硅结晶;一种磁场供应单元,用于在非晶硅结晶期间向非晶硅提供交变磁场;并且至少一个磁体掩模用于通过在磁场供应单元中使用交变磁场产生感应磁场,并将感应磁场提供给经历结晶的非晶硅。

