



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0076129
(43) 공개일자 2008년08월20일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2007-0015632

(22) 출원일자 2007년02월14일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

전상진

경기도 수원시 영통구 영통동 황골마을1단지아파트 138동 1705호

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 18 항

(54) 표시 장치의 구동 장치 및 이를 포함하는 표시 장치

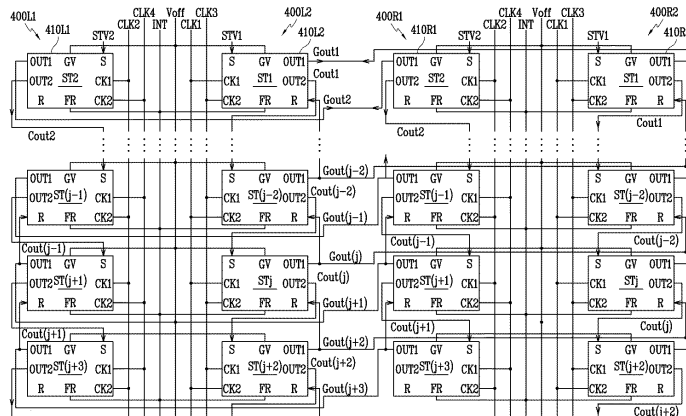
(57) 요약

본 발명은 표시 장치의 구동 장치 및 이를 포함하는 표시 장치에 관한 것이다.

복수의 화소와 이에 각각 연결되어 있는 게이트선에 게이트 신호를 인가하는 표시 장치의 구동 장치는, 상기 게이트선에 연결되어 있으며 상기 표시 장치의 어느 한 쪽에 좌우로 나란하게 배치되어 있는 제1 및 제2 게이트 구동부와 상기 표시 장치의 반대쪽에 좌우로 나란하게 배치되어 있는 제3 및 제4 게이트 구동부를 포함하고, 상기 제1 게이트 구동부와 제3 게이트 구동부는 동일한 게이트선에 상기 게이트 신호를 인가하고, 상기 제2 게이트 구동부와 제4 게이트 구동부는 동일한 게이트선에 상기 게이트 신호를 인가한다.

이와 같이, 스테이지를 좌우로 나란히 배치하여 중소형 표시 장치에서도 충분히 집적이 가능하며, 나아가 액정 표시판 조립체의 좌우에 위치한 게이트 구동부에서 하나의 게이트선에 동시에 게이트 신호를 인가함으로써 충전율을 차이를 최소화할 수 있다.

대표도



특허청구의 범위

청구항 1

복수의 화소와 이에 각각 연결되어 있는 게이트선에 게이트 신호를 인가하는 표시 장치의 구동 장치로서,

상기 게이트선에 연결되어 있으며 상기 표시 장치의 어느 한 쪽에 좌우로 나란하게 배치되어 있는 제1 및 제2 게이트 구동부와 상기 표시 장치의 반대쪽에 좌우로 나란하게 배치되어 있는 제3 및 제4 게이트 구동부를 포함하고,

상기 제1 게이트 구동부와 제3 게이트 구동부는 동일한 게이트선에 상기 게이트 신호를 인가하고, 상기 제2 게이트 구동부와 제4 게이트 구동부는 동일한 게이트선에 상기 게이트 신호를 인가하는

표시 장치의 구동 장치.

청구항 2

제1항에서,

상기 제1 및 제3 게이트 구동부는 상기 게이트선 중 짝수 번째 게이트선에 연결되어 있고, 상기 제2 및 제4 게이트 구동부는 상기 게이트선 중 홀수 번째 게이트선에 연결되어 있는 표시 장치의 구동 장치.

청구항 3

제2항에서,

상기 제1 내지 제4 게이트 구동부는 서로 연결되어 있으며 상기 게이트선에 게이트 신호를 생성하여 인가하는 복수의 스테이지를 각각 포함하며,

상기 스테이지 하나의 세로 폭은 상기 화소 하나의 세로 폭보다 큰

표시 장치의 구동 장치.

청구항 4

제3항에서,

상기 제1 게이트 구동부에 속하는 제1 스테이지와 상기 제2 게이트 구동부에 속하는 제2 스테이지가 좌우로 나란하게 배치되어 있고, 상기 제3 게이트 구동부에 속하는 제3 스테이지와 상기 제4 게이트 구동부에 속하는 제4 스테이지가 좌우로 나란하게 배치되어 있는 표시 장치의 구동 장치.

청구항 5

제4항에서,

상기 화소 중 열방향으로 인접한 두 화소는 인접한 두 게이트선 사이에 위치하는 표시 장치의 구동 장치.

청구항 6

제5항에서,

상기 제1 내지 제4 스테이지는 제1 내지 제4 클록 신호에 기초하여 게이트 신호를 생성하여 상기 게이트선에 인가하고,

상기 제1 및 제3 스테이지는 상기 제2 및 제4 클록 신호를 입력받고, 상기 제2 및 제4 스테이지는 상기 제1 및 제3 클록 신호를 입력받는

표시 장치의 구동 장치.

청구항 7

제6항에서,

상기 제1 내지 제4 스테이지는 게이트 오프 전압 및 초기화 신호를 입력받고,

상기 제1 내지 제4 스테이지 각각은 세트 단자, 게이트 전압 단자, 제1 및 제2 클록 단자, 리세트 단자, 프레임 리세트 단자, 그리고 게이트 출력 단자 및 캐리 출력 단자를 갖는

표시 장치의 구동 장치.

청구항 8

제7항에서,

상기 세트 단자에는 전단 스테이지의 출력이 입력되고, 상기 게이트 전압 단자에는 상기 게이트 오프 전압이 입력되며, 상기 제1 및 제2 클록 단자에는 상기 제1 내지 제4 클록 신호 중 하나가 각각 입력되고, 상기 리세트 단자에는 후단 스테이지의 출력이 입력되며, 상기 프레임 리세트 단자에는 상기 초기화 신호가 입력되는 표시 장치의 구동 장치.

청구항 9

제8항에서,

상기 제1 내지 제4 스테이지는 상기 표시판부에 집적되어 있는 표시 장치의 구동 장치.

청구항 10

복수의 화소와 이에 각각 연결되어 있는 게이트선을 포함하는 표시판부를 포함하는 표시 장치로서,

상기 게이트선에 연결되어 있으며 상기 표시판부의 어느 한 쪽에 좌우로 나란하게 배치되어 있는 제1 및 제2 게이트 구동부와 상기 표시판부의 반대쪽에 좌우로 나란하게 배치되어 있는 제3 및 제4 게이트 구동부를 포함하고,

상기 제1 게이트 구동부와 제3 게이트 구동부는 동일한 게이트선에 연결되어 있고, 상기 제2 게이트 구동부와 제4 게이트 구동부는 동일한 게이트선에 연결되어 있는

표시 장치.

청구항 11

제10항에서,

상기 제1 및 제3 게이트 구동부는 상기 게이트선 중 짝수 번째 게이트선에 연결되어 있고, 상기 제2 및 제4 게이트 구동부는 상기 게이트선 중 홀수 번째 게이트선에 연결되어 있는 표시 장치.

청구항 12

제11항에서,

상기 제1 내지 제4 게이트 구동부는 서로 연결되어 있으며 상기 게이트선에 게이트 신호를 생성하여 인가하는 복수의 스테이지를 각각 포함하며,

상기 스테이지 하나의 세로 폭은 상기 화소 하나의 세로 폭보다 큰

표시 장치.

청구항 13

제12항에서,

상기 제1 게이트 구동부에 속하는 제1 스테이지와 상기 제2 게이트 구동부에 속하는 제2 스테이지가 좌우로 나란하게 배치되어 있고, 상기 제3 게이트 구동부에 속하는 제3 스테이지와 상기 제4 게이트 구동부에 속하는 제4 스테이지가 좌우로 나란하게 배치되어 있는 표시 장치.

청구항 14

제13항에서,

상기 화소 중 열방향으로 인접한 두 화소는 인접한 두 게이트선 사이에 위치하는 표시 장치.

청구항 15

제14항에서,

상기 제1 내지 제4 스테이지는 제1 내지 제4 클록 신호에 기초하여 게이트 신호를 생성하여 상기 게이트선에 인가하고,

상기 제1 및 제3 스테이지는 상기 제2 및 제4 클록 신호를 입력받고, 상기 제2 및 제4 스테이지는 상기 제1 및 제3 클록 신호를 입력받는

표시 장치.

청구항 16

제15항에서,

상기 제1 내지 제4 스테이지는 게이트 오프 전압 및 초기화 신호를 입력받고,

상기 제1 내지 제4 스테이지 각각은 세트 단자, 게이트 전압 단자, 제1 및 제2 클록 단자, 리세트 단자, 프레임 리세트 단자, 그리고 게이트 출력 단자 및 캐리 출력 단자를 갖는

표시 장치.

청구항 17

제16항에서,

상기 세트 단자에는 전단 스테이지의 출력이 입력되고, 상기 게이트 전압 단자에는 상기 게이트 오프 전압이 입력되며, 상기 제1 및 제2 클록 단자에는 상기 제1 내지 제4 클록 신호 중 하나가 각각 입력되고, 상기 리세트 단자에는 후단 스테이지의 출력이 입력되며, 상기 프레임 리세트 단자에는 상기 초기화 신호가 입력되는 표시 장치.

청구항 18

제17항에서,

상기 제1 내지 제4 게이트 구동부는 상기 표시판부에 집적되어 있는 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <26> 본 발명은 표시 장치의 구동 장치 및 이를 포함하는 표시 장치에 관한 것이다.
- <27> 일반적인 액정 표시 장치(liquid crystal display, LCD)는 화소 전극 및 공통 전극이 구비된 두 표시판과 그 사이에 들어 있는 유전율 이방성(dielectric anisotropy)을 갖는 액정층을 포함한다. 화소 전극은 행렬의 형태로 배열되어 있고 박막 트랜지스터(TFT) 등 스위칭 소자에 연결되어 한 행씩 차례로 데이터 전압을 인가 받는다. 공통 전극은 표시판의 전면에 걸쳐 형성되어 있으며 공통 전압을 인가 받는다. 화소 전극과 공통 전극 및 그 사이의 액정층은 회로적으로 볼 때 액정 축전기를 이루며, 액정 축전기는 이에 연결된 스위칭 소자와 함께 화소를 이루는 기본 단위가 된다.
- <28> 이러한 액정 표시 장치에서는 두 전극에 전압을 인가하여 액정층에 전계를 생성하고, 이 전계의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다. 이때, 액정층에 한 방향의 전계가 오랫동안 인가됨으로써 발생하는 열화 현상을 방지하기 위하여 프레임별로, 행별로, 또는 화소별로 공통 전압에

대한 데이터 전압의 극성을 반전시킨다.

- <29> 이러한 액정 표시 장치는 게이트선에 게이트 신호를 내보내어 화소의 스위칭 소자를 턴온/오프시키는 게이트 구동부, 복수의 계조 전압을 생성하는 계조 전압 생성부, 계조 전압 중 영상 데이터에 해당하는 전압을 데이터 전압으로 선택하여 표시 신호선 중 데이터선에 데이터 전압을 인가하는 데이터 구동부, 그리고 이들을 제어하는 신호 제어부를 포함한다.
- <30> 이 때, 게이트 구동부를 화소의 스위칭 소자와 동일한 공정으로 형성하여 표시판에 집적하는 한편, 화소를 가로 방향으로 배치하여 게이트선의 수효를 세 배로 늘리는 대신 데이터선의 수효를 1/3로 하여 동일한 해상도를 구현하면서도 원가를 절감한다. 또한, 늘어난 게이트선의 수효에 맞추어 게이트 구동부를 표시판의 좌우에 각각 하나씩 두어 게이트 신호를 번갈아 인가하기도 한다.

발명이 이루고자 하는 기술적 과제

- <31> 그런데, 하나의 게이트선을 기준으로 보면 게이트 구동부에 가까운 쪽과 먼 쪽은 RC 지연 등으로 인해 충전율이 차이가 나며, 이는 화소에 인가되는 화소 전압의 차이를 가져와 동일한 밝기를 나타내는 데이터 전압을 입력시키더라도 인접한 화소행끼리 서로 다른 밝기를 갖게 한다.
- <32> 이를 해소하기 위하여 하나의 게이트선에 동시에 게이트 신호를 인가할 수 있다. 하지만, 해상도가 높은 경우에는 통상 표시판의 좌우에 위치한 두 개의 게이트 구동부에서 번갈아 게이트 신호를 인가하여야 하므로 동시에 게이트 신호를 인가하기가 쉽지 않다. 특히, 중소형 표시 장치의 경우에는 더욱 그러하다.
- <33> 따라서, 본 발명이 이루고자 하는 기술적 과제는 하나의 게이트선에 동시에 게이트 신호를 인가할 수 있는 표시 장치의 구동 장치 및 이를 포함하는 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

- <34> 이러한 기술적 과제를 이루기 위한 본 발명의 한 실시예에 따라 복수의 화소와 이에 각각 연결되어 있는 게이트선에 게이트 신호를 인가하는 표시 장치의 구동 장치는, 상기 게이트선에 연결되어 있으며 상기 표시 장치의 어느 한 쪽에 좌우로 나란하게 배치되어 있는 제1 및 제2 게이트 구동부와 상기 표시 장치의 반대쪽에 좌우로 나란하게 배치되어 있는 제3 및 제4 게이트 구동부를 포함하고, 상기 제1 게이트 구동부와 제3 게이트 구동부는 동일한 게이트선에 상기 게이트 신호를 인가하고, 상기 제2 게이트 구동부와 제4 게이트 구동부는 동일한 게이트선에 상기 게이트 신호를 인가한다.
- <35> 이 때, 상기 제1 및 제3 게이트 구동부는 상기 게이트선 중 짝수 번째 게이트선에 연결되어 있고, 상기 제2 및 제4 게이트 구동부는 상기 게이트선 중 홀수 번째 게이트선에 연결되어 있을 수 있다.
- <36> 또한, 상기 제1 내지 제4 게이트 구동부는 서로 연결되어 있으며 상기 게이트선에 게이트 신호를 생성하여 인가하는 복수의 스테이지를 각각 포함하며, 상기 스테이지 하나의 세로 폭은 상기 화소 하나의 세로 폭보다 클 수 있다.
- <37> 한편, 상기 제1 게이트 구동부에 속하는 제1 스테이지와 상기 제2 게이트 구동부에 속하는 제2 스테이지가 좌우로 나란하게 배치되어 있고, 상기 제3 게이트 구동부에 속하는 제3 스테이지와 상기 제4 게이트 구동부에 속하는 제4 스테이지가 좌우로 나란하게 배치되어 있을 수 있다.
- <38> 또한, 상기 화소 중 열방향으로 인접한 두 화소는 인접한 두 게이트선 사이에 위치할 수 있다.
- <39> 또한, 상기 제1 내지 제4 스테이지는 제1 내지 제4 클럭 신호에 기초하여 게이트 신호를 생성하여 상기 게이트선에 인가하고, 상기 제1 및 제3 스테이지는 상기 제2 및 제4 클럭 신호를 입력받고, 상기 제2 및 제4 스테이지는 상기 제1 및 제3 클럭 신호를 입력받을 수 있다.
- <40> 상기 제1 내지 제4 스테이지는 게이트 오프 전압 및 초기화 신호를 더 입력받고, 상기 제1 내지 제4 스테이지 각각은 세트 단자, 게이트 전압 단자, 제1 및 제2 클럭 단자, 리세트 단자, 프레임 리세트 단자, 그리고 게이트 출력 단자 및 캐리 출력 단자를 가질 수 있다.
- <41> 이 때, 상기 세트 단자에는 전단 스테이지의 출력이 입력되고, 상기 게이트 전압 단자에는 상기 게이트 오프 전압이 입력되며, 상기 제1 및 제2 클럭 단자에는 상기 제1 내지 제4 클럭 신호 중 하나가 각각 입력되고, 상기 리세트 단자에는 후단 스테이지의 출력이 입력되며, 상기 프레임 리세트 단자에는 상기 초기화 신호가 입력될

수 있다.

- <42> 또한, 상기 제1 내지 제4 스테이지는 상기 표시판부에 집적되어 있을 수 있다.
- <43> 한편, 본 발명의 한 실시예에 따라 복수의 화소와 이에 각각 연결되어 있는 게이트선을 포함하는 표시판부를 포함하는 표시 장치는, 상기 게이트선에 연결되어 있으며 상기 표시판부의 어느 한 쪽에 좌우로 나란하게 배치되어 있는 제1 및 제2 게이트 구동부와 상기 표시판부의 반대쪽에 좌우로 나란하게 배치되어 있는 제3 및 제4 게이트 구동부를 포함하고, 상기 제1 게이트 구동부와 제3 게이트 구동부는 동일한 게이트선에 연결되어 있고, 상기 제2 게이트 구동부와 제4 게이트 구동부는 동일한 게이트선에 연결되어 있다.
- <44> 이 때, 상기 제1 및 제3 게이트 구동부는 상기 게이트선 중 짝수 번째 게이트선에 연결되어 있고, 상기 제2 및 제4 게이트 구동부는 상기 게이트선 중 홀수 번째 게이트선에 연결되어 있을 수 있다.
- <45> 또한, 상기 제1 내지 제4 게이트 구동부는 서로 연결되어 있으며 상기 게이트선에 게이트 신호를 생성하여 인가하는 복수의 스테이지를 각각 포함하며, 상기 스테이지 하나의 세로 폭은 상기 화소 하나의 세로 폭보다 클 수 있다.
- <46> 한편, 상기 제1 게이트 구동부에 속하는 제1 스테이지와 상기 제2 게이트 구동부에 속하는 제2 스테이지가 좌우로 나란하게 배치되어 있고, 상기 제3 게이트 구동부에 속하는 제3 스테이지와 상기 제4 게이트 구동부에 속하는 제4 스테이지가 좌우로 나란하게 배치되어 있을 수 있다.
- <47> 또한, 상기 화소 중 열방향으로 인접한 두 화소는 인접한 두 게이트선 사이에 위치할 수 있다.
- <48> 또한, 상기 제1 내지 제4 스테이지는 제1 내지 제4 클록 신호에 기초하여 게이트 신호를 생성하여 상기 게이트선에 인가하고, 상기 제1 및 제3 스테이지는 상기 제2 및 제4 클록 신호를 입력받고, 상기 제2 및 제4 스테이지는 상기 제1 및 제3 클록 신호를 입력받을 수 있다.
- <49> 상기 제1 내지 제4 스테이지는 게이트 오프 전압 및 초기화 신호를 더 입력받고, 상기 제1 내지 제4 스테이지 각각은 세트 단자, 게이트 전압 단자, 제1 및 제2 클록 단자, 리세트 단자, 프레임 리세트 단자, 그리고 게이트 출력 단자 및 캐리 출력 단자를 가질 수 있다.
- <50> 이 때, 상기 세트 단자에는 전단 스테이지의 출력이 입력되고, 상기 게이트 전압 단자에는 상기 게이트 오프 전압이 입력되며, 상기 제1 및 제2 클록 단자에는 상기 제1 내지 제4 클록 신호 중 하나가 각각 입력되고, 상기 리세트 단자에는 후단 스테이지의 출력이 입력되며, 상기 프레임 리세트 단자에는 상기 초기화 신호가 입력될 수 있다.
- <51> 상기 제1 내지 제4 게이트 구동부는 상기 표시 장치에 집적되어 있을 수 있다.
- <52> 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
- <53> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- <54> 먼저, 도 1 및 도 2를 참고하여 본 발명의 한 실시예에 따른 표시 장치에 대하여 상세하게 설명하며, 액정 표시 장치를 한 예로 설명한다.
- <55> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.
- <56> 도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300) 및 이에 연결된 게이트 구동부(400L, 400R)와 데이터 구동부(500), 데이터 구동부(500)에 연결된 계조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.
- <57> 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선(G_1-G_{2n} , D_1-D_m)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다.
- <58> 신호선(G_1-G_{2n} , D_1-D_m)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(G_1-G_{2n})과 데이터 신호

를 전달하는 데이터선(D₁-D_m)을 포함한다. 게이트선(G₁-G_{2n})은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(D₁-D_m)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.

- <59> 각 화소(PX)는 신호선(G₁-G_{2n}, D₁-D_m)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)(Clc) 및 유지 축전기(storage capacitor)(Cst)를 포함한다. 유지 축전기(Cst)는 필요에 따라 생략할 수 있다.
- <60> 박막 트랜지스터 등 스위칭 소자(Q)는 박막 트랜지스터 표시판인 하부 표시판(100)에 구비되어 있으며, 삼단자 소자로서 그 제어 단자 및 입력 단자는 각각 게이트선(G₁-G_{2n}) 및 데이터선(D-D_m)에 연결되어 있으며, 출력 단자는 액정 축전기(Clc) 및 유지 축전기(Cst)에 연결되어 있다.
- <61> 액정 축전기(Clc)는 하부 표시판(100)의 화소 전극(191)과 공통 전극 표시판인 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(191, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(191)은 스위칭 소자(Q)에 연결되며 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가받는다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(191, 270) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.
- <62> 액정 축전기(Clc)의 보조적인 역할을 하는 유지 축전기(Cst)는 하부 표시판(100)에 구비된 별개의 신호선(도시하지 않음)과 화소 전극(191)이 절연체를 사이에 두고 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압(Vcom) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기(Cst)는 화소 전극(191)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.
- <63> 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 삼원색 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 삼원색을 표시하게(시간 분할) 하여 이들 삼원색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 화소 전극(191)에 대응하는 영역에 적색, 녹색, 또는 청색의 색 필터(230)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(230)는 하부 표시판(100)의 화소 전극(191) 위 또는 아래에 형성할 수도 있다.
- <64> 액정 표시판 조립체(300)의 두 표시판(100, 200) 중 적어도 하나의 바깥 면에는 빛을 편광시키는 편광자(도시하지 않음)가 부착되어 있다.
- <65> 계조 전압 생성부(800)는 화소(PX)의 투과율과 관련된 두 벌의 계조 전압 집합(또는 기준 계조 전압 집합)을 생성한다. 두 벌 중 한 벌은 공통 전압(Vcom)에 대하여 양의 값을 가지고 다른 한 벌은 음의 값을 가진다.
- <66> 한 쌍의 게이트 구동부(400L, 400R)는 각각 액정 표시판 조립체(300)의 좌측과 우측에 배치되고 홀수 번째 게이트선(G₁, G₃, ... G_{2n-1})과 짝수 번째 게이트선(G₂, G₄, ... G_{2n})에 각각 연결되어 외부로부터의 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선(G₁-G_{2n})에 인가한다. 이러한 게이트 구동부(400L, 400R)는 실질적으로 시프트 레지스터로서 일렬로 배열된 복수의 스테이지(stage)를 포함하며, 화소(PX)의 스위칭 소자(Q)와 동일한 공정으로 형성되어 집적되어 있다. 그러나 집적 회로(IC)의 형태로 실장될 수도 있다.
- <67> 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(D₁-D_m)에 연결되어 있으며, 계조 전압 생성부(800)로부터의 계조 전압을 선택하고 이를 데이터 신호로서 데이터선(D₁-D_m)에 인가한다. 그러나 계조 전압 생성부(800)가 모든 계조에 대한 전압을 모두 제공하는 것이 아니라 정해진 수의 기준 계조 전압만을 제공하는 경우에, 데이터 구동부(500)는 기준 계조 전압을 분압하여 전체 계조에 대한 계조 전압을 생성하고 이 중에서 데이터 신호를 선택한다.
- <68> 신호 제어부(600)는 게이트 구동부(400L, 400R) 및 데이터 구동부(500) 등을 제어한다.
- <69> 이러한 구동 장치(500, 600, 800) 각각은 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 이와는 달리, 이들 구동 장치(500, 600, 800)가 신호선(G₁-G_{2n}, D₁-D_m) 및 스위칭 소자(Q) 따위와 함께 액정 표시판 조립체(300)에 집적될 수도 있다. 또한, 구동 장치(400, 500, 600, 800)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적

어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.

- <70> 그러면 이러한 액정 표시 장치의 동작에 대하여 상세하게 설명한다.
- <71> 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 입력 제어 신호의 예로는 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등이 있다.
- <72> 신호 제어부(600)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 입력 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다.
- <73> 게이트 제어 신호(CONT1)는 주사 시작을 지시하는 주사 시작 신호(STV)와 게이트 온 전압(Von)의 출력 주기를 제어하는 적어도 하나의 클럭 신호를 포함한다. 게이트 제어 신호(CONT1)는 또한 게이트 온 전압(Von)의 지속 시간을 한정하는 출력 인에이블 신호(OE)를 더 포함할 수 있다.
- <74> 데이터 제어 신호(CONT2)는 한 행[묶음]의 화소(PX)에 대한 영상 데이터의 전송 시작을 알리는 수평 동기 시작 신호(STH)와 데이터선(D₁-D_m)에 데이터 신호를 인가하라는 로드 신호(LOAD) 및 데이터 클럭 신호(HCLK)를 포함한다. 데이터 제어 신호(CONT2)는 또한 공통 전압(Vcom)에 대한 데이터 신호의 전압 극성(이하 "공통 전압에 대한 데이터 신호의 전압 극성"을 줄여 "데이터 신호의 극성"이라 함)을 반전시키는 반전 신호(RVS)를 더 포함할 수 있다.
- <75> 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 행[묶음]의 화소(PX)에 대한 디지털 영상 신호(DAT)를 수신하고, 각 디지털 영상 신호(DAT)에 대응하는 계조 전압을 선택함으로써 디지털 영상 신호(DAT)를 아날로그 데이터 신호로 변환한 다음, 이를 해당 데이터선(D₁-D_m)에 인가한다.
- <76> 게이트 구동부(400L, 400R)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트선(G₁-G_{2n})에 인가하여 이 게이트선(G₁-G_{2n})에 연결된 스위칭 소자(Q)를 턴온시킨다. 그러면, 데이터선(D₁-D_m)에 인가된 데이터 신호가 턴온된 스위칭 소자(Q)를 통하여 해당 화소(PX)에 인가된다.
- <77> 화소(PX)에 인가된 데이터 신호의 전압과 공통 전압(Vcom)의 차이는 액정 축전기(C1c)의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자들은 화소 전압의 크기에 따라 그 배열을 달리하며 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판 조립체(300)에 부착된 편광자에 의하여 빛의 투과율 변화로 나타난다.
- <78> 1 수평 주기["1H"라고도 쓰며, 수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기와 동일함]를 단위로 하여 이러한 과정을 되풀이함으로써, 모든 게이트선(G₁-G_{2n})에 대하여 차례로 게이트 온 전압(Von)을 인가하여 모든 화소(PX)에 데이터 신호를 인가하여 한 프레임(frame)의 영상을 표시한다.
- <79> 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소(PX)에 인가되는 데이터 신호의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이 때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 신호의 극성이 바뀌거나(보기: 행 반전, 점 반전), 한 화소행에 인가되는 데이터 신호의 극성도 서로 다를 수 있다(보기: 열 반전, 점 반전).
- <80> 그러면 본 발명의 한 실시예에 따른 게이트 구동부에 대하여 도 3a 내지 도 6을 참고로 하여 설명한다.
- <81> 도 3a는 도 1에 도시한 게이트 구동부를 좀 더 상세히 나타낸 블록도이며, 도 3b는 도 3a에 도시한 게이트 구동부를 이루는 스테이지 중 일부를 나타내는 블록도이다. 도 4는 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이고, 도 5는 본 발명의 한 실시예에 따른 게이트 구동부의 j번째 스테이지의 회로도이며, 도 6은 도 4에 도시한 게이트 구동부의 신호 파형도이다.
- <82> 도 3a에 도시한 게이트 구동부(400L, 400R)는 각각 한 쌍의 게이트 구동부(400L1, 400L2, 400R1, 400R2)를 포함한다.
- <83> 이 때, 왼쪽에 위치한 한 쌍의 게이트 구동부(400L1, 400L2) 중에서 제1 게이트 구동부(400L1)는 짝수 번째 게

이트선(G_2, G_4, \dots, G_{2n})에, 제2 게이트 구동부(400L2)는 홀수 번째 게이트선($G_1, G_3, \dots, G_{2n-1}$)에 연결되어 있다. 마찬가지로, 오른쪽에 위치한 한 쌍의 게이트 구동부(400R1, 400R2) 중에서 제3 게이트 구동부(400R1)는 짝수 번째 게이트선(G_2, G_4, \dots, G_{2n})에, 제4 게이트 구동부(400R2)는 홀수 번째 게이트선($G_1, G_3, \dots, G_{2n-1}$)에 연결되어 있다. 즉, 제1 및 제3 게이트 구동부(400L1, 400R1)는 짝수 번째 게이트선(G_2, G_4, \dots, G_{2n})에 공통적으로 연결되어 있고, 제2 및 제4 게이트 구동부(400L2, 400R2)는 홀수 번째 게이트선($G_1, G_3, \dots, G_{2n-1}$)에 공통적으로 연결되어 있다.

- <84> 또한, 도 3b에 도시한 것처럼, 각 게이트 구동부(400L1, 400L2, 400R1, 400R2)는 각각 일렬로 배열되어 있으며 게이트선에 각각 연결되어 있는 복수의 스테이지(410L1, 410L2, 410R1, 410R2)를 포함하며, 도면에는 j 번째(j 는 홀수)와 $(j+1)$ 번째 스테이지[ST $_j$, ST $(j+1)$]를 한 예로 도시하였다.
- <85> 이 때, 열방향으로 인접한 두 화소(PX $_j$, PX $_{j+1}$)는 인접한 두 데이터선(G_j, G_{j+1}) 사이에 위치하고 있으며, 두 화소(PX $_j$, PX $_{j+1}$) 중 홀수 번째 화소행에 속한 화소(PX $_j$)는 위쪽에 위치한 게이트선(G_j)에 연결되어 있고, 짝수 번째 화소행에 화소(PX $_{j+1}$)는 아래쪽에 위치한 게이트선(G_{j+1})에 연결되어 있다.
- <86> 화소(PX $_j$, PX $_{j+1}$)는 가로 방향으로 배치되어 있으며, 각 화소(PX $_j$, PX $_{j+1}$)의 세로 폭은 각 스테이지[ST $_j$, ST $(j+1)$]의 세로 폭보다 작으며, 대략 두 개 화소의 세로 폭을 합한 크기가 하나의 스테이지의 폭과 비슷하다. 예를 들어, 각 화소(PX $_j$, PX $_{j+1}$)의 대략 60 μ m이고, 스테이지 하나의 세로 폭은 115 μ m 정도로서 두 개 화소의 세로 폭을 합한 크기와 비슷함을 알 수 있다.
- <87> 도 4에 도시한 게이트 구동부(400L1, 400L2, 400R1, 400R2)에는 게이트 오프 전압(Voff), 초기화 신호(INT), 제1 및 제2 주사 시작 신호(STV1, STV2), 제1 내지 제4 클록 신호(CLK1, CLK2, CLK3, CLK4)가 입력된다.
- <88> 이때, 제1 내지 제4 클록 신호(CLK1, CLK2, CLK3, CLK4)는 듀티비(duty ratio)가 25%이고 4H의 주기를 가지며 차례로 90°의 위상차를 갖는다.
- <89> 한편, 동일한 게이트선에 연결되어 있는 스테이지는 동일한 신호를 입력받아 동시에 동작한다. 예를 들어, 제1 및 제3 게이트 구동부(400L1, 400R1)는 제2 및 제4 클록 신호(CLK2, CLK4)를 입력받고, 제2 및 제4 게이트 구동부(400R2, 400L2)는 제1 및 제3 클록 신호(CLK1, CLK3)를 입력받는다.
- <90> 따라서, 아래에서는 설명의 편의를 위하여 제1 및 제2 게이트 구동부(400L1, 400L2)를 한 예로 설명하며, 이는 제3 및 제4 게이트 구동부(400R1, 400R2)에도 그대로 적용된다.
- <91> 각 클록 신호(CLK1, CLK2, CLK3, CLK4)는 화소(PX)의 스위칭 소자(Q)를 구동할 수 있도록 하이 레벨인 경우는 게이트 온 전압(Von)이고 로우 레벨인 경우는 게이트 오프 전압(Voff)인 것이 바람직하다.
- <92> 각 스테이지(410L1, 410L2)는 세트 단자(S), 게이트 전압 단자(GV), 한 쌍의 클록 단자(CK1, CK2), 리세트 단자(R), 프레임 리세트 단자(FR), 그리고 게이트 출력 단자(OUT1) 및 캐리 출력 단자(OUT2)를 가지고 있다.
- <93> 각 스테이지, 예를 들면 j 번째 스테이지(ST $_j$)의 세트 단자(S)에는 전단 스테이지[ST $(j-2)$]의 캐리 출력, 즉 전단 캐리 출력[Cout $(j-2)$]이, 리세트 단자(R)에는 후단 스테이지[ST $(j+2)$]의 게이트 출력, 즉 후단 게이트 출력[Gout $(j+2)$]이 입력되고, 클록 단자(CK1, CK2)에는 제1 및 제3 클록 신호(CLK1, CLK3)가 입력되며, 게이트 전압 단자(GV)에는 게이트 오프 전압(Voff)이 입력된다. 게이트 출력 단자(OUT1)는 게이트 출력[Gout (j)]을 내보내고 캐리 출력 단자(OUT2)는 캐리 출력[Cout (j)]을 내보낸다.
- <94> 단, 각 게이트 구동부(400L1, 400L2)의 첫 번째 스테이지(ST2, ST1)에는 전단 캐리 출력 대신 주사 시작 신호(STV2, STV1)가 입력된다. 또한, j 번째 스테이지(ST $_j$)의 클록 단자(CK1)에 제1 클록 신호(CLK1)가, 클록 단자(CK2)에 제3 클록 신호(CLK2)가 입력되는 경우, 이에 인접한 $(j-2)$ 번째 및 $(j+2)$ 번째 스테이지[ST $(j-2)$, ST $(j+2)$]의 클록 단자(CK1)에는 제3 클록 신호(CLK3)가, 클록 단자(CK2)에는 제1 클록 신호(CLK1)가 입력된다.
- <95> 도 5를 참고하면, 본 발명의 한 실시예에 따른 게이트 구동부(400L1, 400L2)의 각 스테이지, 예를 들면 j 번째 스테이지는, 입력부(420), 풀업 구동부(430), 풀다운 구동부(440) 및 출력부(450)를 포함한다. 이들은 적어도 하나의 NMOS 트랜지스터(T1-T14)를 포함하며, 풀업 구동부(430)와 출력부(450)는 축전기(C1-C3)를 더 포함한다. 그러나 NMOS 트랜지스터 대신 PMOS 트랜지스터를 사용할 수도 있다. 또한, 축전기(C1-C3)는 실제로, 공정시에 형성되는 게이트와 드레인/소스간 기생 용량(parasitic capacitance)일 수 있다.

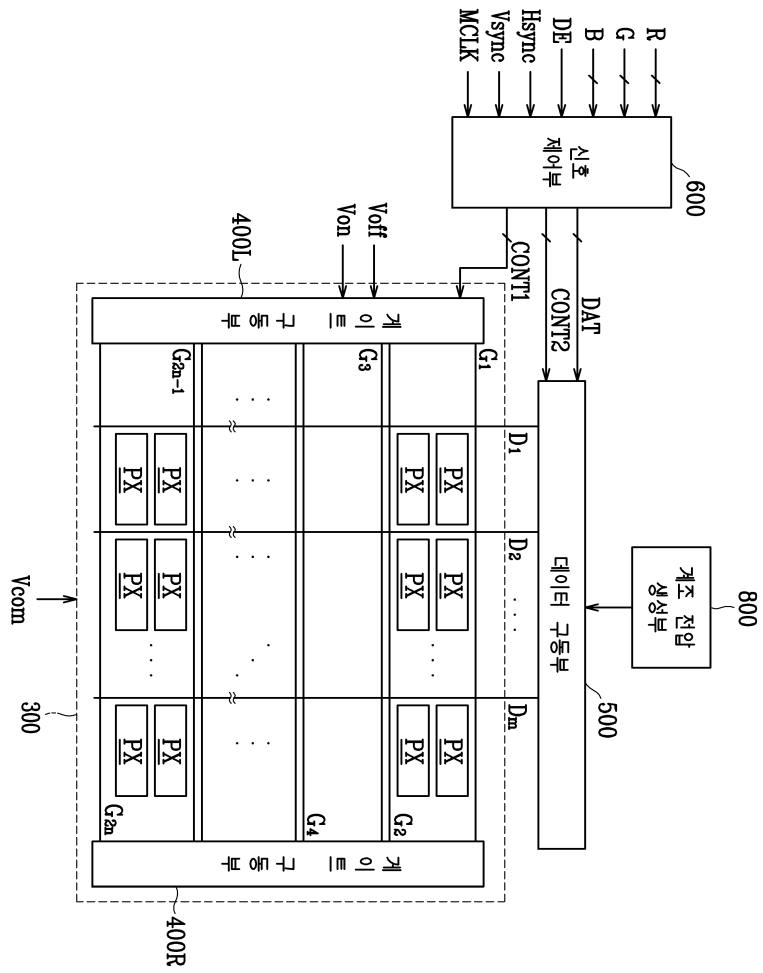
- <96> 입력부(420)는 세트 단자(S)와 게이트 전압 단자(GV)에 차례로 직렬로 연결되어 있는 세 개의 트랜지스터(T11, T10, T5)를 포함한다. 트랜지스터(T11, T5)의 게이트는 클록 단자(CK2)에 연결되어 있으며 트랜지스터(T10)의 게이트는 클록 단자(CK1)에 연결되어 있다. 트랜지스터(T11)와 트랜지스터(T10) 사이의 접점은 접점(J1)에 연결되어 있고, 트랜지스터(T10)와 트랜지스터(T5) 사이의 접점은 접점(J2)에 연결되어 있다.
- <97> 풀업 구동부(430)는 세트 단자(S)와 접점(J1) 사이에 연결되어 있는 트랜지스터(T4)와 클록 단자(CK1)와 접점(J3) 사이에 연결되어 있는 트랜지스터(T12), 그리고 클록 단자(CK1)와 접점(J4) 사이에 연결되어 있는 트랜지스터(T7)를 포함한다. 트랜지스터(T4)의 게이트와 드레인은 세트 단자(S)에 공통으로 연결되어 있으며 소스는 접점(J1)에 연결되어 있고, 트랜지스터(T12)의 게이트와 드레인은 클록 단자(CK1)에 공통으로 연결되어 있고 소스는 접점(J3)에 연결되어 있다. 트랜지스터(T7)의 게이트는 접점(J3)에 연결됨과 동시에 축전기(C1)를 통하여 클록 단자(CK1)에 연결되어 있고, 드레인은 클록 단자(CK1)에, 소스는 접점(J4)에 연결되어 있으며, 접점(J3)과 접점(J4) 사이에 축전기(C2)가 연결되어 있다.
- <98> 풀다운 구동부(440)는 소스를 통하여 게이트 오프 전압(Voff)을 입력받아 드레인을 통하여 접점(J1, J2, J3, J4)으로 출력하는 복수의 트랜지스터(T6, T9, T13, T8, T3, T2)를 포함한다. 트랜지스터(T6)의 게이트는 프레임 리세트 단자(FR)에, 드레인은 접점(J1)에 연결되어 있고, 트랜지스터(T9)의 게이트는 리세트 단자(R)에, 드레인은 접점(J1)에 연결되어 있으며, 트랜지스터(T13, T8)의 게이트는 접점(J2)에 공통으로 연결되어 있고, 드레인은 각각 접점(J3, J4)에 연결되어 있다. 트랜지스터(T3)의 게이트는 접점(J4)에, 트랜지스터(T2)의 게이트는 리세트 단자(R)에 연결되어 있으며, 두 트랜지스터(T3, T2)의 드레인은 접점(J2)에 연결되어 있다.
- <99> 출력부(450)는 드레인과 소스가 각각 클록 단자(CK1)와 출력 단자(OUT1, OUT2) 사이에 연결되어 있고 게이트가 접점(J1)에 연결되어 있는 한 쌍의 트랜지스터(T1, T14)와 트랜지스터(T1)의 게이트와 드레인 사이, 즉 접점(J1)과 접점(J2) 사이에 연결되어 있는 축전기(C3)를 포함한다. 트랜지스터(T1)의 소스는 또한 접점(J2)에 연결되어 있다.
- <100> 그러면 이러한 스테이지의 동작에 대하여 j 번째 스테이지(STj)를 예를 들어 설명한다.
- <101> 설명의 편의를 위하여 클록 신호(CLK1, CLK3)의 하이 레벨에 해당하는 전압을 고전압이라 하고, 로우 레벨에 해당하는 전압을 저전압이라 한다.
- <102> 먼저, 제3 클록 신호(CLK3) 및 전단 캐리 출력[Cout(j-2)]이 하이가 되면, 트랜지스터(T11, T5)와 트랜지스터(T4)가 턴온된다. 그러면 두 트랜지스터(T11, T4)는 고전압을 접점(J1)으로 전달하고, 트랜지스터(T5)는 저전압을 접점(J2)으로 전달한다. 이로 인해, 트랜지스터(T1, T14)가 턴온되어 제1 클록 신호(CLK1)가 출력단(OUT1, OUT2)으로 출력되는데, 이 때 접점(J2)의 전압과 제1 클록 신호(CLK1)가 모두 저전압이므로, 출력 전압[Gout(j), Cout(j)]은 저전압이 된다. 이와 동시에, 축전기(C3)는 고전압과 저전압의 차에 해당하는 크기의 전압을 충전한다.
- <103> 이 때, 제1 클록 신호(CLK1) 및 후단 게이트 출력[Gout(j+2)]은 로우이고 접점(J2) 또한 로우이므로, 이에 게이트가 연결되어 있는 트랜지스터(T10, T9, T12, T13, T8, T2)는 모두 오프 상태이다.
- <104> 이어, 제3 클록 신호(CLK3)가 로우가 되면 트랜지스터(T11, T5)가 턴오프되고, 이와 동시에 제1 클록 신호(CLK1)가 하이가 되면 트랜지스터(T1)의 출력 전압 및 접점(J2)의 전압이 고전압이 된다. 이 때, 트랜지스터(T10)의 게이트에는 고전압이 인가되지만 접점(J2)에 연결되어 있는 소스의 전위가 또한 동일한 고전압이므로, 게이트 소스간 전위차가 0이 되어 트랜지스터(T10)는 턴오프 상태를 유지한다. 따라서, 접점(J1)은 부유 상태가 되고 이에 따라 축전기(C3)에 의하여 고전압만큼 전위가 더 상승한다.
- <105> 한편, 제1 클록 신호(CLK1) 및 접점(J2)의 전위가 고전압이므로 트랜지스터(T12, T13, T8)가 턴온된다. 이 상태에서 트랜지스터(T12)와 트랜지스터(T13)가 고전압과 저전압 사이에서 직렬로 연결되며, 이에 따라 접점(J3)의 전위는 두 트랜지스터(T12, T13)의 턴온시 저항 상태의 저항값에 의하여 분압된 전압값을 가진다. 그런데, 두 트랜지스터(T13)의 턴온시 저항 상태의 저항값이 트랜지스터(T12)의 턴온시 저항 상태의 저항값에 비하여 매우 크게, 이를테면 약 10,000배 정도로 설정되어 있다고 하면 접점(J3)의 전압은 고전압과 거의 동일하다. 따라서, 트랜지스터(T7)가 턴온되어 트랜지스터(T8)와 직렬로 연결되고, 이에 따라 접점(J4)의 전위는 두 트랜지스터(T7, T8)의 턴온시 저항 상태의 저항값에 의하여 분압된 전압값을 갖는다. 이 때, 두 트랜지스터(T7, T8)의 저항 상태의 저항값이 거의 동일하게 설정되어 있으면, 접점(J4)의 전위는 고전압과 저전압의 중간값을 가지고 이에 따라 트랜지스터(T3)는 턴오프 상태를 유지한다. 이 때, 후단 게이트 출력[Gout(j+2)]이 여전히 로우이므로 트랜지스터(T9, T2) 또한 턴오프 상태를 유지한다. 따라서, 출력단(OUT1, OUT2)은 제1 클록 신호(CLK

1)에만 연결되고 저전압과는 차단되어 고전압을 내보낸다.

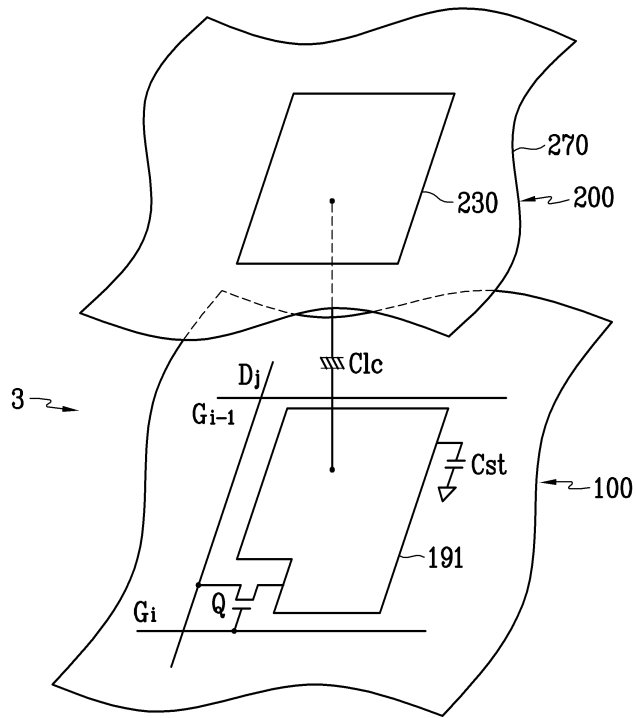
- <106> 한편, 축전기(C1)와 축전기(C2)는 양단의 전위차에 해당하는 전압을 각각 충전하는데, 접점(J3)의 전압이 접점(J5)의 전압보다 낮다.
- <107> 이어, 후단 게이트 출력[Gout(j+2)] 및 제3 클록 신호(CLK3)가 하이가 되고 제1 클록 신호(CLK1)가 로우가 되면, 트랜지스터(T9, T2)가 턴온되어 접점(J1, J2)으로 저전압을 전달한다. 이 때, 접점(J1)의 전압은 축전기(C3)가 방전하면서 저전압으로 떨어지는데, 축전기(C3)의 방전 시간으로 인하여 저전압으로 완전히 내려가는 데는 어느 정도 시간을 필요로 한다. 따라서, 두 트랜지스터(T1, T14)는 후단 게이트 출력[Gout(j+2)]이 하이가 되고도 잠시동안 턴온 상태를 유지하게 되고 이에 따라 출력단(OUT1, OUT2)이 제1 클록 신호(CLK1)와 연결되어 저전압을 내보낸다. 이어, 축전기(C3)가 완전히 방전되어 접점(J1)의 전위가 저전압에 이르면 트랜지스터(T14)가 턴오프되어 출력단(OUT2)이 제1 클록 신호(CLK1)와 차단되므로, 캐리 출력[Cout(j)]은 부유 상태가 되어 저전압을 유지한다. 이와 동시에, 출력단(OUT1)은 트랜지스터(T1)가 턴오프되더라도 트랜지스터(T2)를 통하여 저전압과 연결되므로 계속해서 저전압을 내보낸다.
- <108> 한편, 트랜지스터(T12, T13)가 턴오프되므로, 접점(J3)이 부유 상태가 된다. 또한 접점(J5)의 전압이 접점(J4)의 전압보다 낮아지는데 축전기(C1)에 의하여 접점(J3)의 전압이 접점(J5)의 전압보다 낮은 상태를 유지하므로 트랜지스터(T7)는 턴오프된다. 이와 동시에 트랜지스터(T8)도 턴오프 상태가 되므로 접점(J4)의 전압도 그만큼 낮아져 트랜지스터(T3) 또한 턴오프 상태를 유지한다. 또한, 트랜지스터(T10)는 게이트가 제1 클록 신호(CLK1)의 저전압에 연결되고 접점(J2)의 전압도 로우이므로 턴오프 상태를 유지한다.
- <109> 다음, 제1 클록 신호(CLK1)가 하이가 되면, 트랜지스터(T12, T7)가 턴온되고, 접점(J4)의 전압이 상승하여 트랜지스터(T3)를 턴온시켜 저전압을 접점(J2)으로 전달하므로 출력단(OUT1)은 계속해서 저전압을 내보낸다. 즉, 비록 후단 게이트 출력[Gout(j+2)]이 출력이 로우라 하더라도 접점(J2)의 전압이 저전압이 될 수 있도록 한다.
- <110> 한편, 트랜지스터(T10)의 게이트가 제1 클록 신호(CLK1)의 고전압에 연결되고 접점(J2)의 전압이 저전압이므로 턴온되어 접점(J2)의 저전압을 접점(J1)으로 전달한다. 한편, 두 트랜지스터(T1, T14)의 드레인에는 클록 단자(CK1)가 연결되어 있어 제1 클록 신호(CLK1)가 계속해서 인가된다. 특히, 트랜지스터(T1)는 나머지 트랜지스터들에 비하여 상대적으로 크게 만드는데, 이로 인해 게이트 드레인간 기생 용량이 커서 드레인의 전압 변화가 게이트 전압에 영향을 미칠 수 있다. 따라서, 클록 신호(CLK1)가 하이가 될 때 게이트 드레인간 기생 용량 때문에 게이트 전압이 올라가 트랜지스터(T1)가 턴온될 수도 있다. 따라서, 접점(J2)의 저전압을 접점(J1)으로 전달함으로써 트랜지스터(T1)의 게이트 전압을 저전압으로 유지하여 트랜지스터(T1)가 턴온되는 것을 방지한다.
- <111> 이후에는 전단 캐리 출력[Cout(j-2)]이 하이가 될 때까지 접점(J1)의 전압은 저전압을 유지하며, 접점(J2)의 전압은 제1 클록 신호(CLK1)가 하이이고 제3 클록 신호(CLK3)가 로우일 때는 트랜지스터(T3)를 통하여 저전압이 되고, 그 반대의 경우에는 트랜지스터(T5)를 통하여 저전압을 유지한다.
- <112> 한편, 트랜지스터(T6)는 마지막 더미 스테이지(도시하지 않음)에서 발생하는 초기화 신호(INT)를 입력받아 게이트 오프 전압(Voff)을 접점(J1)으로 전달하여 접점(J1)의 전압을 한번 더 저전압으로 설정한다.
- <113> 이러한 방식으로, 스테이지(STj)는 전단 캐리 출력[Cout(j-2)] 및 후단 게이트 출력[Gout(j+2)]에 기초하고 클록 신호(CLK1, CLK3)에 동기하여 캐리 출력[Cout(j)] 및 게이트 출력[Gout(j)]을 생성한다.
- <114> 이와 같이, 게이트 구동부(400L1, 400L2, 400R1, 400R2)의 스테이지(410L1, 410L2, 410R1, 410R2), 즉 왼쪽에 위치한 제1 및 제2 게이트 구동부(400L1, 400L2)의 스테이지(410L1, 410L2)와 오른쪽에 위치한 제3 및 제4 게이트 구동부(410R1, 410R2)를 각각 좌우로 나란히 배치함으로써 화소(PX)의 세로 폭이 작은 경우에도 충분히 집적이 가능하다. 즉, 대형이 아닌 17인치 이하의 중소형 표시 장치의 경우에는 화소(PX)의 세로 폭이 스테이지(410L1, 410L2, 410R1, 410R2)의 세로 폭보다 작으므로 본 발명의 실시예처럼 두 개의 화소당 하나의 스테이지(410L1, 410L2, 410R1, 410R2)를 배치하되 스테이지(410L1, 410L2, 410R1, 410R2)를 또한 좌우로 나란히 배치함으로써 충분히 집적할 수 있다.
- <115> 이에 따라, 하나의 게이트선(G₁-G_{2m})에 왼쪽과 오른쪽에 위치한 두 개의 게이트 구동부(400L1, 400L2, 400R1, 400R1)에서 동시에 게이트 신호를 인가하므로, RC 지연에 의한 게이트 신호의 충전을 차이를 최소화하여 아래 위로 인접한 화소 사이의 밝기 차를 최소화할 수 있다.

도면

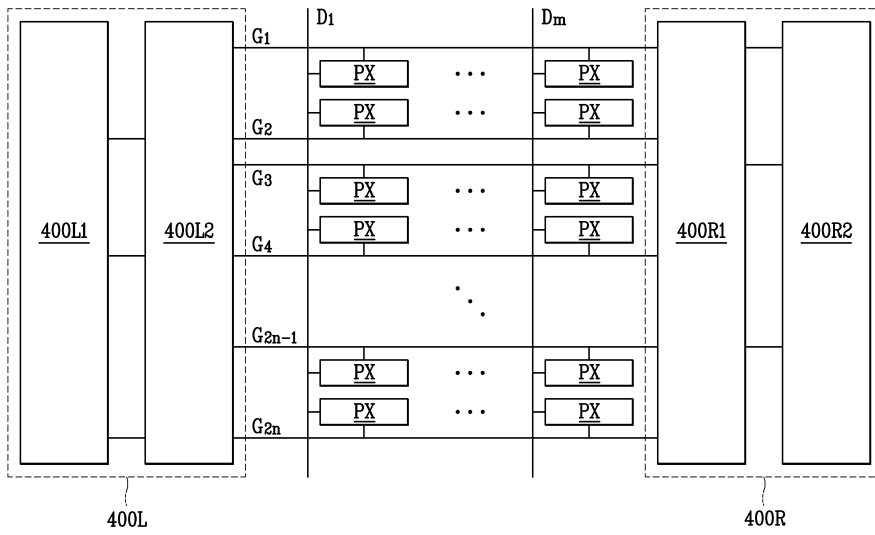
도면1



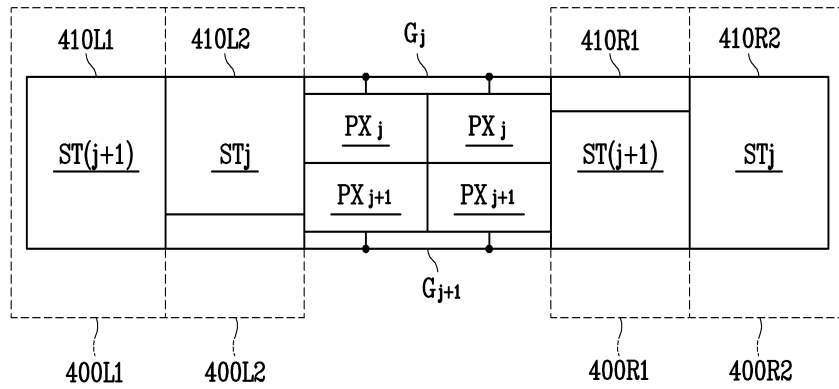
도면2



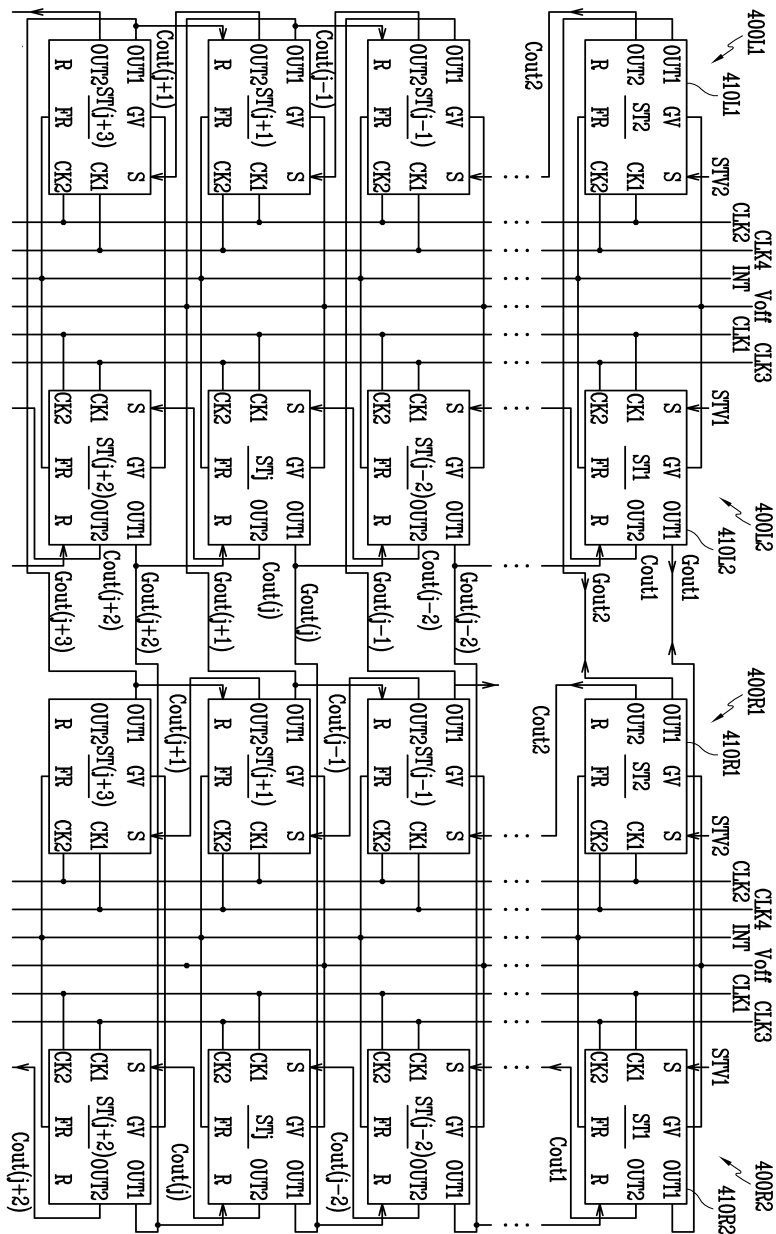
도면3a



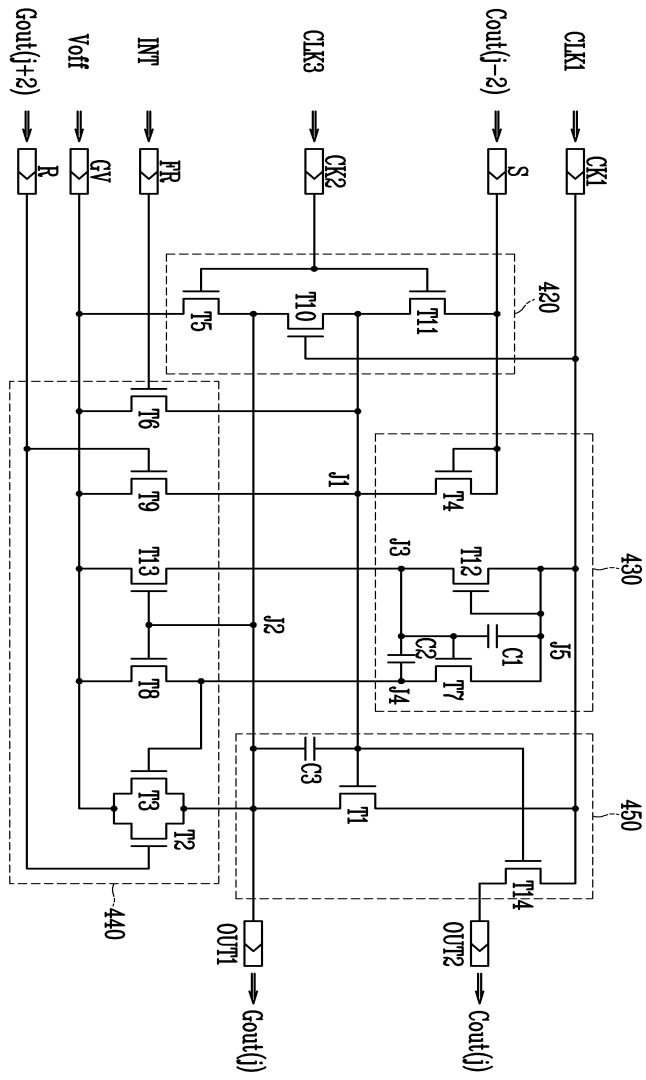
도면3b



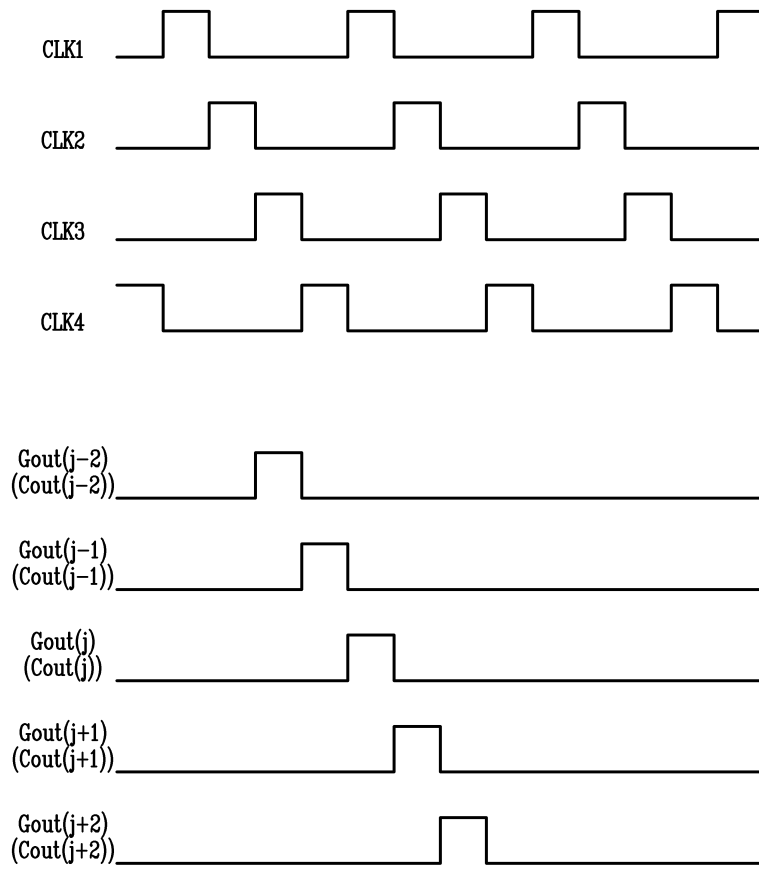
도면4



도면5



도면6



专利名称(译)	显示设备驱动设备和包括其的显示设备		
公开(公告)号	KR1020080076129A	公开(公告)日	2008-08-20
申请号	KR1020070015632	申请日	2007-02-14
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JEON SANG JIN		
发明人	JEON, SANG JIN		
IPC分类号	G02F1/133		
CPC分类号	G09G2310/0286 G09G2310/08 G09G3/3677 G09G2320/0223 G11C19/184 G09G2300/0426		
其他公开文献	KR101337256B1		
外部链接	Espacenet		

摘要(译)

本发明涉及显示装置的驱动装置和包括该驱动装置的显示装置。多个像素和用于因此授权相应连接的栅极线中的栅极信号的显示装置的驱动装置连接到栅极线。并且，一行中从一侧到另一侧的第一和第二栅极驱动单元中的第三个布置在显示装置和显示装置的一侧，并且排列在一侧的第四栅极驱动单元在一侧并排排列。包括在内。栅极信号在第一栅极驱动器中被授权，并且它是相同的栅极线。栅极信号在第二栅极驱动器中被授权，并且它是相同的栅极线。以这种方式，集成平台可以从一侧到另一侧并排布置成为可能。同时，通过在位于一条栅极线中的液晶面板组件的左右两侧的栅极驱动单元中授权栅极信号，可以使充电速率差最小化。显示装置，栅极驱动单元，充电速率，集成，平台，显示面板单元。

