(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0000362
(43) 공개일자 2008년01월02일

(51) Int. Cl.
G09G 3/36 (2006.01) *G09G 3/20* (2006.01)
G02F 1/133 (2006.01)
(21) 출원번호 10-2006-0058112
(22) 출원일자 2006년06월27일
심사청구일자 없음

(71) 출원인
엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자
최진철
경기 군포시 산본동 1125-2번지 보람타워 1003호
장철상
경기 안양시 동안구 평안동 899-2 향촌 현대4차 207동 601호
(74) 대리인
허용록

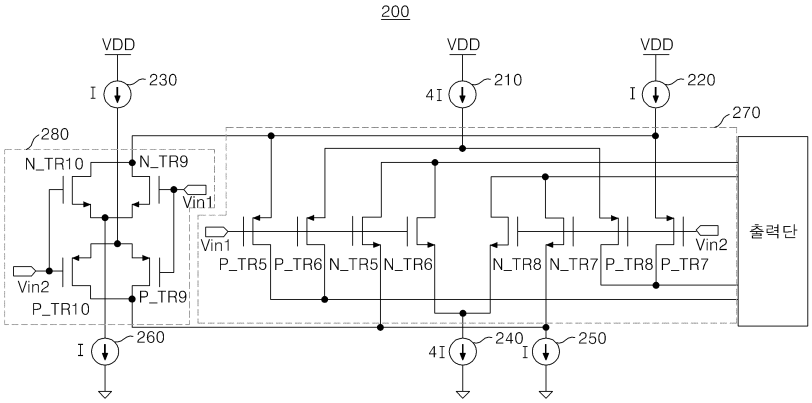
전체 청구항 수 : 총 20 항

(54) 액정표시장치의 데이터 출력버퍼

(57) 요 약

본 발명은 트랜스컨덕턴스를 일정하게 유지키기기 위해 소모되는 전류량을 대폭 감소시킬 수 있는 액정표시장치의 데이터 출력버퍼를 제공하는 것으로, 고전위 전원전압을 인가받아 제 1 전류, 제 2 전류 및 더미전류를 공급하기 위한 전류공급수단; 접지에 접속되어 인가된 상기 제 1 전류, 상기 제 2 전류 및 상기 더미전류를 접지로 스위칭시키기 위한 전류소스수단; 상기 제 1 전류 및 상기 제 2 전류를 상기 전류소스수단이나 출력단으로 공급하고, 입력된 아날로그 데이터전압을 버퍼링하기 위한 버퍼링수단; 및 상기 입력된 아날로그 데이터전압이나 상기 출력단으로부터의 아날로그 데이터전압에 따라, 상기 버퍼링수단의 트랜스컨덕턴스에 영향을 주는 상기 제 2 전류나 상기 더미전류를 상기 전류소스수단으로 공급하기 위한 전류조절수단을 포함한다.

대표도 - 도4



특허청구의 범위

청구항 1

고전위 전원전압을 인가받아 제 1 전류, 제 2 전류 및 더미전류를 공급하기 위한 전류공급수단;

접지에 접속되어 인가된 상기 제 1 전류, 상기 제 2 전류 및 상기 더미전류를 접지로 스위칭시키기 위한 전류소스수단;

상기 제 1 전류 및 상기 제 2 전류를 상기 전류소스수단이나 출력단으로 공급하고, 입력된 아날로그 데이터전압을 버퍼링하기 위한 버퍼링수단; 및

상기 입력된 아날로그 데이터전압이나 상기 출력단으로부터의 아날로그 데이터전압에 따라, 상기 버퍼링수단의 트랜스컨덕턴스에 영향을 주는 상기 제 2 전류나 상기 더미전류를 상기 전류소스수단으로 공급하기 위한 전류조절수단

을 포함하는 액정표시장치의 데이터 출력버퍼.

청구항 2

제 1 항에 있어서,

상기 전류공급수단은,

상기 고전위 전원전압을 인가받아 상기 제 1 전류를 상기 버퍼링수단에 공급하기 위한 제 1 전류원;

상기 고전위 전원전압을 인가받아 상기 제 2 전류를 상기 버퍼링수단과 상기 전류조절수단에 공급하기 위한 제 2 전류원; 및

상기 고전위 전원전압을 인가받아 상기 더미전류를 상기 전류조절수단에 공급하기 위한 더미 전류원

을 포함하는 액정표시장치의 데이터 출력버퍼.

청구항 3

제 2 항에 있어서,

상기 전류소스수단은,

상기 접지에 접속되어 상기 버퍼링수단으로부터 인가된 상기 제 1 전류를 접지로 스위칭시키기 위한 제 1 전류소스;

상기 접지에 접속되어, 상기 버퍼링수단으로부터 인가된 상기 제 2 전류를 접지로 스위칭시키고 상기 전류조절수단으로부터 인가된 상기 제 2 전류나 상기 접지로 스위칭시키기 위한 제 2 전류소스; 및

상기 접지에 접속되어 상기 전류조절수단으로부터 인가된 상기 제 2 전류를 접지로 스위칭시키기 위한 더미 전류소스

를 포함하는 액정표시장치의 데이터 출력버퍼.

청구항 4

제 3 항에 있어서,

상기 버퍼링수단은,

제 1 입력단을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 상기 제 2 전류원으로부터의 제 2 전류를 출력단으로 스위칭시키기 위한 제 1 P모스 트랜지스터;

상기 제 1 입력단을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 상기 제 1 전류원으로부터의 제 1 전류를 상기 출력단으로 스위칭시키기 위한 제 2 P모스 트랜지스터;

상기 제 1 입력단을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 출력단으로부터의 제 2 전류를 상기 제 2 전류소스로 스위칭시키기 위한 제 1 N모스 트랜지스터;

상기 제 1 입력단을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 상기 출력단으로부터의 제 1 전류를 상기 제 1 전류소스로 스위칭시키기 위한 제 2 N모스 트랜지스터;

상기 출력단에 접속된 제 2 입력단을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 상기 제 2 전류원으로부터의 제 2 전류를 상기 출력단으로 스위칭시키기 위한 제 3 P모스 트랜지스터;

상기 제 2 입력단을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 상기 제 1 전류원으로부터의 제 1 전류를 상기 출력단으로 스위칭시키기 위한 제 4 P모스 트랜지스터;

상기 제 2 입력단을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 상기 출력단으로부터의 제 2 전류를 상기 제 2 전류소스로 스위칭시키기 위한 제 3 N모스 트랜지스터; 및

상기 제 2 입력단을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 상기 출력단으로부터의 제 1 전류를 상기 제 1 전류소스로 스위칭시키기 위한 제 4 N모스 트랜지스터

를 포함하는 액정표시장치의 데이터 출력버퍼.

청구항 5

제 4 항에 있어서,

상기 제 1 및 제 3 P모스 트랜지스터와 상기 제 1 및 제 3 N모스 트랜지스터는 4W/L 크기(여기서, W는 트랜지스터의 폭이고, L은 트랜지스터의 길이)를 갖는 것을 특징으로 하는 액정표시장치의 데이터 출력버퍼.

청구항 6

제 5 항에 있어서,

상기 제 2 및 제 4 P모스 트랜지스터와 상기 제 2 및 제 4 N모스 트랜지스터는 W/L 크기를 갖는 것을 특징으로 하는 액정표시장치의 데이터 출력버퍼.

청구항 7

제 6 항에 있어서,

상기 제 1 P모스 트랜지스터는 상기 제 1 입력단에 접속된 게이트, 상기 제 2 전류원에 접속된 소스 및 상기 출력단에 접속된 드레인을 갖는 것을 특징으로 하는 액정표시장치의 데이터 출력버퍼.

청구항 8

제 7 항에 있어서,

상기 제 2 P모스 트랜지스터는 상기 제 1 입력단에 접속된 게이트, 상기 제 1 전류원에 접속된 소스 및 상기 출력단에 접속된 드레인을 갖는 것을 특징으로 하는 액정표시장치의 데이터 출력버퍼.

청구항 9

제 8 항에 있어서,

상기 제 1 N모스 트랜지스터는 상기 제 1 입력단에 접속된 게이트, 상기 출력단에 접속된 드레인 및 상기 제 2 전류소스에 접속된 소스를 갖는 것을 특징으로 하는 액정표시장치의 데이터 출력버퍼.

청구항 10

제 9 항에 있어서,

상기 제 2 N모스 트랜지스터는 상기 제 1 입력단에 접속된 게이트, 상기 출력단에 접속된 드레인 및 상기 제 1 전류소스에 접속된 소스를 갖는 것을 특징으로 하는 액정표시장치의 데이터 출력버퍼.

청구항 11

제 10 항에 있어서,

상기 제 3 P모스 트랜지스터는 상기 제 2 입력단에 접속된 게이트, 상기 제 2 전류원에 접속된 소스 및 상기 출

력단에 접속된 드레인을 갖는 것을 특징으로 하는 액정표시장치의 데이터 출력버퍼.

청구항 12

제 11 항에 있어서,

상기 제 4 P모스 트랜지스터는 상기 제 2 입력단에 접속된 게이트, 상기 제 1 전류원에 접속된 소스 및 상기 출력단에 접속된 드레인을 갖는 것을 특징으로 하는 액정표시장치의 데이터 출력버퍼.

청구항 13

제 12 항에 있어서,

상기 제 3 N모스 트랜지스터는 상기 제 2 입력단에 접속된 게이트, 상기 출력단에 접속된 드레인 및 상기 제 2 전류소스에 접속된 소스를 갖는 것을 특징으로 하는 액정표시장치의 데이터 출력버퍼.

청구항 14

제 13 항에 있어서,

상기 제 4 N모스 트랜지스터는 상기 제 2 입력단에 접속된 게이트, 상기 출력단에 접속된 드레인 및 상기 제 1 전류소스에 접속된 소스를 갖는 것을 특징으로 하는 액정표시장치의 데이터 출력버퍼.

청구항 15

제 3 항에 있어서,

상기 전류조절수단은,

상기 제 1 입력단을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 상기 제 2 전류원으로부터의 제 2 전류를 상기 더미 전류소스로 스위칭시키기 위한 제 1 N모스 트랜지스터;

상기 제 1 입력단을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 상기 더미 전류원으로부터의 더미전류를 상기 제 2 전류소스로 스위칭시키기 위한 제 1 P모스 트랜지스터;

상기 제 2 입력단을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 상기 제 2 전류원으로부터의 제 2 전류를 상기 더미 전류소스로 스위칭시키기 위한 제 2 N모스 트랜지스터; 및

상기 제 2 입력단을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 상기 더미 전류원으로부터의 더미전류를 상기 제 2 전류소스로 스위칭시키기 위한 P모스 트랜지스터

를 포함하는 액정표시장치의 데이터 출력버퍼.

청구항 16

제 15 항에 있어서,

상기 제 1 및 제 2 N모스 트랜지스터와 상기 제 1 및 제 2 P모스 트랜지스터는 W/L 크기(여기서, W는 트랜지스터의 폭이고, L은 트랜지스터의 길이임)를 갖는 것을 특징으로 하는 액정표시장치의 데이터 출력버퍼.

청구항 17

제 16 항에 있어서,

상기 제 1 N모스 트랜지스터는 상기 제 1 입력단에 접속된 게이트, 상기 제 2 전류원에 접속된 드레인 및 상기 더미 전류소스에 접속된 소스를 갖는 것을 특징으로 하는 액정표시장치의 데이터 출력버퍼.

청구항 18

제 17 항에 있어서,

상기 제 1 P모스 트랜지스터는 상기 제 1 입력단에 접속된 게이트, 상기 더미 전류원에 접속된 소스 및 상기 제 2 전류소스에 접속된 드레인을 갖는 것을 특징으로 하는 액정표시장치의 데이터 출력버퍼.

청구항 19

제 18 항에 있어서,

상기 제 2 N모스 트랜지스터는 상기 제 2 입력단에 접속된 게이트, 상기 제 2 전류원에 접속된 드레인 및 상기 더미 전류소스에 접속된 소스를 갖는 것을 특징으로 하는 액정표시장치의 데이터 출력버퍼.

청구항 20

제 19 항에 있어서,

상기 제 2 P모스 트랜지스터는 상기 제 2 입력단에 접속된 게이트, 상기 더미 전류원에 접속된 소스 및 상기 제 2 전류소스에 접속된 드레인을 갖는 것을 특징으로 하는 액정표시장치의 데이터 출력버퍼.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<12> 본 발명은 액정표시장치에 관한 것으로, 특히 트랜스컨덕턴스를 일정하게 유지키기기 위해 소모되는 전류량을 대폭 감소시킬 수 있는 액정표시장치의 데이터 출력버퍼에 관한 것이다.

<13> 액정표시장치는 비디오신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하며, 그리고 액정셀마다 스위칭소자가 형성된 액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 스위칭소자의 능동적인 제어가 가능하기 때문에 동영상 구현에 유리하다. 이러한 액티브 매트릭스 타입의 액정표시장치에 사용되는 스위칭소자로는 도 1과 같이 주로 박막트랜지스터(Thin Film Transistor; 이하"TFT"라 한다)가 이용되고 있다.

<14> 도 1을 참조하면, 액티브 매트릭스 타입의 액정표시장치는, 디지털 입력 데이터를 감마기준전압을 기준으로 아날로그 데이터 전압으로 변환하여 데이터라인(DL)에 공급함과 동시에 스캔펄스를 게이트라인(GL)에 공급하여 액정셀(Clc)을 충전시킨다.

<15> TFT의 게이트전극은 게이트라인(GL)에 접속되고, 소스전극은 데이터라인(DL)에 접속되며, 그리고 TFT의 드레인 전극은 액정셀(Clc)의 화소전극과 스토리지 캐패시터(Cst)의 일측 전극에 접속된다.

<16> 액정셀(Clc)의 공통전극에는 공통전압(Vcom)이 공급된다.

<17> 스토리지 캐패시터(Cst)는 TFT가 턴-온될 때 데이터라인(DL)으로부터 인가되는 데이터전압을 충전하여 액정셀(Clc)의 전압을 일정하게 유지하는 역할을 한다.

<18> 스캔펄스가 게이트라인(GL)에 인가되면 TFT는 턴-온(Turn-on)되어 소스전극과 드레인전극 사이의 채널을 형성하여 데이터라인(DL) 상의 전압을 액정셀(Clc)의 화소전극에 공급한다. 이 때 액정셀(Clc)의 액정분자들은 화소전극과 공통전극 사이의 전계에 의하여 배열이 바뀌면서 입사광을 변조하게 된다.

<19> 이와 같은 구조를 갖는 픽셀들을 구비하는 일반적인 액정표시장치의 구성에 대하여 살펴보면 도 2에 도시된 바와 같다.

<20> 도 2는 일반적인 액정표시장치의 구성도이다.

<21> 도 2를 참조하면, 액정표시장치(100)는, 다수의 데이터라인들(DL1 내지 DLm)과 다수의 게이트라인들(GL1 내지 GLn)이 대응되게 교차되며 그 교차부에 액정셀(Clc)을 구동하기 위한 박막트랜지스터(TFT : Thin Film Transistor)가 형성된 액정표시패널(110)과, 액정표시패널(110)의 데이터라인들(DL1 내지 DLm)에 데이터를 공급하기 위한 데이터 구동부(120)와, 액정표시패널(110)의 게이트라인들(GL1 내지 GLn)에 스캔펄스를 공급하기 위한 게이트 구동부(130)와, 감마기준전압을 발생하여 데이터 구동부(120)에 공급하기 위한 감마기준전압 발생부(140)와, 액정표시패널(110)에 광을 조사하기 위한 백라이트 어셈블리(150)와, 백라이트 어셈블리(150)에 교류전압 및 전류를 인가하기 위한 인버터(160)와, 공통전압(Vcom)을 발생하여 액정표시패널(110)의 액정셀(Clc)의 공통전극에 공급하기 위한 공통전압 발생부(170)와, 게이트 하이전압(VGH)과 게이트 로우전압(VGL)을 발생하여 게이트 구동부(130)에 공급하기 위한 게이트구동전압 발생부(180)와, 데이터 구동부(120) 및 게이트 구동부

(130)를 제어하기 위한 타이밍 컨트롤러(190)를 구비한다.

<22> 액정표시패널(110)은 두 장의 유리기판 사이에 액정이 주입된다. 액정표시패널(110)의 하부 유리기판 상에는 데이터라인들(DL1 내지 DLm)과 게이트라인들(GL1 내지 GLn)이 직교된다. 데이터라인들(DL1 내지 DLm)과 게이트라인들(GL1 내지 GLn)의 교차부에는 TFT가 형성된다. TFT는 스캔펄스에 응답하여 데이터라인들(DL1 내지 DLm) 상의 데이터를 액정셀(Clc)에 공급하게 된다. TFT의 게이트전극은 게이트라인들(GL1 내지 GLn)에 접속되며, TFT의 소스전극은 데이터라인들(DL1 내지 DLm)에 접속된다. 그리고 TFT의 드레인전극은 액정셀(Clc)의 화소전극과 스토리지 캐패시터(Cst)에 접속된다.

<23> TFT는 게이트라인들(GL1 내지 GLn) 중에서 자신의 게이트단자에 접속된 게이트라인을 경유하여 게이트단자에 공급되는 스캔펄스에 응답하여 턴-온된다. TFT의 턴-온시 데이터라인들(DL1 내지 DLm) 중에서 TFT의 드레인단자에 접속된 데이터라인 상의 비디오 데이터는 액정셀(Clc)의 화소전극에 공급된다.

<24> 데이터 구동부(120)는 타이밍 컨트롤러(190)로부터 공급되는 데이터구동 제어신호(DDC)에 응답하여 데이터를 데이터라인들(DL1 내지 DLm)에 공급하며, 그리고 타이밍 컨트롤러(190)로부터 공급되는 디지털 비디오 데이터(RGB)를 샘플링하여 래치한 다음 감마기준전압 발생부(140)로부터 공급되는 감마기준전압을 기준으로 액정표시패널(110)의 액정셀(Clc)에서 계조를 표현할 수 있는 아날로그 데이터 전압으로 변환시켜 데이터라인들(DL1 내지 DLm)들에 공급한다.

<25> 게이트 구동부(130)는 타이밍 컨트롤러(190)로부터 공급되는 게이트구동 제어신호(GDC)와 게이트쉬프트클럭(GSC)에 응답하여 스캔펄스 즉, 게이트펄스를 순차적으로 발생하여 게이트라인(GL1 내지 GLn)들에 공급한다. 이때, 게이트 구동부(130)는 게이트구동전압 발생부(180)로부터 공급되는 게이트 하이전압(VGH)과 게이트 로우전압(VGL)에 따라 각각 스캔펄스의 하이레벨전압과 로우레벨전압을 결정한다.

<26> 감마기준전압 발생부(140)는 고전위 전원전압(VDD)을 공급받아 정극성 감마기준전압과 부극성 감마기준전압을 발생하여 데이터 구동부(120)로 출력한다.

<27> 백라이트 어셈블리(150)는 액정표시패널(110)의 후면에 배치되며, 인버터(160)로부터 공급되는 교류 전압과 전류에 의해 발광되어 광을 액정표시패널(110)의 각 픽셀로 조사한다.

<28> 인버터(160)는 내부에 발생되는 구형파신호를 삼각파신호로 변화시킨 후 삼각파신호와 상기 시스템으로부터 공급되는 직류 전원전압(VCC)을 비교하여 비교결과에 비례하는 버스트디밍(Burst Dimming)신호를 발생한다. 이렇게 내부의 구형파신호에 따라 결정되는 버스트디밍신호가 발생되면, 인버터(160) 내에서 교류 전압과 전류의 발생을 제어하는 구동 IC(미도시)는 버스트디밍신호에 따라 백라이트 어셈블리(150)에 공급되는 교류 전압과 전류의 발생을 제어한다.

<29> 공통전압 발생부(170)는 고전위 전원전압(VDD)을 공급받아 공통전압(Vcom)을 발생하여 액정표시패널(110)의 각 픽셀에 구비된 액정셀(Clc)들의 공통전극에 공급한다.

<30> 게이트구동전압 발생부(180)는 고전위 전원전압(VDD)을 인가받아 게이트 하이전압(VGH)과 게이트 로우전압(VGL)을 발생시켜 게이트 구동부(130)에 공급한다. 여기서, 게이트구동전압 발생부(180)는 액정표시패널(110)의 각 픽셀에 구비된 TFT의 문턱전압 이상이 되는 게이트 하이전압(VGH)을 발생하고 TFT의 문턱전압 미만이 되는 게이트 로우전압(VGL)을 발생한다. 이렇게 발생된 게이트 하이전압(VGH)과 게이트 로우전압(VGL)은 각각 게이트 구동부(130)에 의해 발생되는 스캔펄스의 하이레베전압과 로우레벨전압을 결정하는데 이용된다.

<31> 타이밍 컨트롤러(190)는 텔레비젼 수상기나 컴퓨터용 모니터 등의 시스템에 구비된 영상처리용 스케일러(미도시)로부터 공급되는 디지털 비디오 데이터(RGB)를 데이터 구동부(120)에 공급하고, 또한 클럭신호(CLK)에 따라 수평/수직 동기신호(H,V)를 이용하여 데이터 구동 제어신호(DDC)와 게이트 구동 제어신호(GDC)를 발생하여 각각 데이터 구동부(120)와 게이트 구동부(130)에 공급한다. 여기서, 데이터 구동 제어신호(DDC)는 소스쉬프트클럭(SSC), 소스스타트펄스(SSP), 극성제어신호(POL) 및 소스출력인에이블신호(SOE) 등을 포함하고, 게이트구동 제어신호(GDC)는 게이트스타트펄스(GSP) 및 게이트출력인에이블(GOE) 등을 포함한다.

<32> 이와 같은 구성 및 기능을 갖는 액정표시장치의 데이터 구동부에 구비되는 종래의 데이터 출력버퍼에 대해 도 3을 참조하여 살펴본다. 단, 데이터 출력버퍼의 트랜스컨덕턴스(g_m)는 다음 수학식1과 같은 수식으로 계산된다.

수학식 1

<33> $$g_m=\sqrt{2\beta(W/L)I_D}$$

<34> 상기 수학식1에서, β는 상수($\mu_n Cox$)이고, I_D는 트랜지스터를 통과하는 전류이다.

<35> 도 3은 종래의 액정표시장치의 데이터 출력버퍼의 회로도이다.

<36> 도 3을 참조하면, 종래의 데이터 출력버퍼(121)는, 고전위 전원전압(VDD)을 인가받아 전류 4I를 공급하기 위한 전류원(121-1)과, 접지에 접속되어 인가된 전류를 접지로 스위칭시키기 위한 전류소스(Current Source)(121-2)와, 제 1 입력단(Vin1)을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 전류원(121-1)으로부터의 전류를 출력단으로 스위칭시키기 위한 P모스 트랜지스터(P_TR1)와, 제 1 입력단(Vin1)을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 출력단으로부터의 전류를 전류소스(121-2)로 스위칭시키기 위한 N모스 트랜지스터(N_TR1)와, 제 1 입력단(Vin1)을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 전류원(121-1)으로부터의 전류를 전류소스(121-2)로 스위칭시키기 위한 P모스 트랜지스터(P_TR2) 및 N모스 트랜지스터(N_TR2)를 구비한다.

<37> 또한 종래의 데이터 출력버퍼(121)는, 출력단에 접속된 제 2 입력단(Vin2)을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 전류원(121-1)으로부터의 전류를 출력단으로 스위칭시키기 위한 P모스 트랜지스터(P_TR3)와, 제 2 입력단(Vin2)을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 출력단으로부터의 전류를 전류소스(121-2)로 스위칭시키기 위한 N모스 트랜지스터(N_TR3)와, 제 2 입력단(Vin2)을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 전류원(121-1)으로부터의 전류를 전류소스(121-2)로 스위칭시키기 위한 P모스 트랜지스터(P_TR4) 및 N모스 트랜지스터(N_TR4)를 구비한다.

<38> 여기서, 제 1 입력단(Vin1)에 접속된 P모스 트랜지스터(P_TR1)와 N모스 트랜지스터(N_TR1)의 크기는 W/L이고, 제 1 입력단(Vin1)에 접속된 P모스 트랜지스터(P_TR2)와 N모스 트랜지스터(N_TR2)의 크기는 3W/L이다. 단, W는 트랜지스터의 폭이고, L은 트랜지스터의 길이이다. 이에 따라, P모스 트랜지스터(P_TR2) 및 N모스 트랜지스터(N_TR2)가 P모스 트랜지스터(P_TR1)와 동시에 구동되는 경우, 전류원(121-1)으로부터의 전류 4I가 전류 I와 3I로 분배되어, 전류 I는 W/L 크기를 갖는 P모스 트랜지스터(P_TR1)를 통해 출력단으로 공급되고, 전류 3I는 3W/L 크기를 갖는 P모스 트랜지스터(P_TR2) 및 N모스 트랜지스터(N_TR2)를 통해 전류소스(121-2)로 공급된다.

<39> 그리고, 제 2 입력단(Vin2)에 접속된 P모스 트랜지스터(P_TR3)와 N모스 트랜지스터(N_TR3)의 크기는 W/L이고, 제 2 입력단(Vin2)에 접속된 P모스 트랜지스터(P_TR4)와 N모스 트랜지스터(N_TR4)의 크기는 W/L이다. 이에 따라, P모스 트랜지스터(P_TR4) 및 N모스 트랜지스터(N_TR4)가 P모스 트랜지스터(P_TR3)와 동시에 구동되는 경우, 전류원(121-1)으로부터의 전류 4I가 전류 I와 3I로 분배되어, 전류 I는 W/L 크기를 갖는 P모스 트랜지스터(P_TR3)를 통해 출력단으로 공급되고, 전류 3I는 3W/L 크기를 갖는 P모스 트랜지스터(P_TR4) 및 N모스 트랜지스터(N_TR4)를 통해 전류소스(121-2)로 공급된다.

<40> P모스 트랜지스터(P_TR1)는 제 1 입력단(Vin1)에 접속된 게이트, 전류원(121-1)에 접속된 소스 및 출력단에 접속된 드레인을 갖는다. 이러한 P모스 트랜지스터(P_TR1)는 제 1 입력단(Vin1)을 통해 게이트에 인가된 D/A 컨버터(미도시)로부터의 아날로그 데이터전압의 폴링(Falling) 구간에서 턴온되어 전류원(121-1)으로부터 소스에 인가된 전류 4I를 스위칭시켜 출력단으로 공급한다.

<41> P모스 트랜지스터(P_TR1)만 턴온되는 아날로그 데이터전압의 폴링(Falling) 구간에서, N모스 트랜지스터(N_TR1), P모스 트랜지스터(P_TR2), N모스 트랜지스터(N_TR2), P모스 트랜지스터(P_TR3), N모스 트랜지스터(N_TR3), P모스 트랜지스터(P_TR4) 및 N모스 트랜지스터(N_TR4) 등은 모두 턴오프된다. 이에 따라, 전류원(121-1)으로부터의 전류 4I가 분배되지 않고 모두 P모스 트랜지스터(P_TR1)로 공급되는 것이다.

<42> 이렇게 P모스 트랜지스터(P_TR1)만 턴온되면 전류원(121-1)으로부터의 전류 4I가 P모스 트랜지스터(P_TR1)를 통해 스위칭되기 때문에, 이러한 경우 상기 수학식1에서의 전류 I_D가 4I이므로, 데이터 출력버퍼(121)의 트랜스컨덕턴스(g_m)는 다음 수학식2와 같은 수식이 성립된다.

수학식 2

<43> $$g_m=\sqrt{2\beta(W/L)4I}=2\sqrt{2\beta(W/L)I}$$

<44> N모스 트랜지스터(N_TR1)는 제 1 입력단(Vin1)에 접속된 게이트, 출력단에 접속된 드레인 및 전류소스(121-2)에 접속된 소스를 갖는다. 이러한 N모스 트랜지스터(N_TR1)는 제 1 입력단(Vin1)을 통해 게이트에 인가된 아날로그 데이터전압의 라이징(Rising) 구간에서 턴온되어 출력단으로 드레인에 인가된 전류 4I를 스위칭시켜 전류소스(121-2)로 공급한다.

<45> N모스 트랜지스터(N_TR1)만 턴온되는 아날로그 데이터전압의 라이징(Rising) 구간에서, P모스 트랜지스터(P_TR1), P모스 트랜지스터(P_TR2), N모스 트랜지스터(N_TR2), P모스 트랜지스터(P_TR3), N모스 트랜지스터(N_TR3), P모스 트랜지스터(P_TR4) 및 N모스 트랜지스터(N_TR4) 등은 모두 턴오프된다. 이에 따라, 출력단으로부터의 전류 4I가 N모스 트랜지스터(N_TR1)를 통해 전류소스(121-2)로 공급되는 것이다.

<46> 이렇게 N모스 트랜지스터(N_TR1)만 턴온되면 출력단으로부터의 전류 4I가 N모스 트랜지스터(N_TR1)를 통해 스위칭되기 때문에, 이러한 경우 상기 수학식1에서의 전류 I_D가 4I이므로, 데이터 출력버퍼(121)의 트랜스컨덕턴스(g_m)는 상기 수학식2와 같은 수식이 성립된다.

<47> P모스 트랜지스터(P_TR2)는 제 1 입력단(Vin1)에 접속된 게이트, 전류원(121-1)에 접속된 소스 및 N모스 트랜지스터(N_TR2)의 드레인에 접속된 소스를 갖는다.

<48> N모스 트랜지스터(N_TR2)는 제 1 입력단(Vin1)에 접속된 게이트, P모스 트랜지스터(P_TR2)의 드레인에 접속된 소스 및 전류소스(121-2)에 접속된 소스를 갖는다.

<49> 이와 같이 전류원(121-1)과 전류소스(121-2) 사이에 3W/L 크기를 갖는 P모스 트랜지스터(P_TR2)와 N모스 트랜지스터(N_TR2)가 직렬 접속되기 때문에, 상기 D/A 컨버터로부터의 아날로그 데이터전압의 라이징 구간과 폴링 구간의 중간 영역에서 P모스 트랜지스터(P_TR2)와 N모스 트랜지스터(N_TR2)가 모두 턴온되어 전류원(121-1)으로부터의 전류 4I 중에 분배된 전류 3I가 P모스 트랜지스터(P_TR2)와 N모스 트랜지스터(N_TR2)를 통해 전류소스(121-2)로 공급된다. 이렇게 제 1 입력단(Vin1)을 통해 인가된 아날로그 데이터전압의 중간 영역에서는, P모스 트랜지스터(P_TR1)와 N모스 트랜지스터(N_TR1)도 모두 턴온되기 때문에, 전류원(121-1)으로부터의 전류 4I 중에 분배된 전류 I가 P모스 트랜지스터(P_TR1)를 통해 출력단으로 공급됨과 동시에 출력단으로부터의 전류 I가 N모스 트랜지스터(N_TR1)를 통해 전류소스(121-2)로 공급된다. 이에 따라 데이터 출력버퍼(121)의 트랜스컨덕턴스(g_m)는 다음 수학식3와 같은 수식이 성립된다.

수학식 3

<50> $$g_m=g_{mP}+g_{mN}=\sqrt{2\beta(W/L)I}+\sqrt{2\beta(W/L)I}$$

<51> $$=2\sqrt{2\beta(W/L)I}$$

<52> 상기 수학식3에서, g_{mP}는 분배된 전류 I가 P모스 트랜지스터(P_TR1)를 통해 공급되기 때문에 성립되는 데이터 출력버퍼(121)의 트랜스컨덕턴스이고, g_{mN}는 출력단으로부터의 전류 I가 N모스 트랜지스터(N_TR1)를 통해 공급되기 때문에 성립되는 데이터 출력버퍼(121)의 트랜스컨덕턴스이다.

<53> 단, P모스 트랜지스터(P_TR1), N모스 트랜지스터(N_TR1), P모스 트랜지스터(P_TR2) 및 N모스 트랜지스터(N_TR2) 등이 모두 턴온되는 경우, 이들과 대칭되게 배치된 P모스 트랜지스터(P_TR3), N모스 트랜지스터(N_TR3), P모스 트랜지스터(P_TR4) 및 N모스 트랜지스터(N_TR4) 등은 모두 턴오프된다.

<54> P모스 트랜지스터(P_TR3)는 제 2 입력단(Vin2)에 접속된 게이트, 전류원(121-1)에 접속된 소스 및 출력단에 접속된 드레인을 갖는다. 이러한 P모스 트랜지스터(P_TR3)는 P모스 트랜지스터(P_TR3)와 대칭되게 구동되므로 구체적인 동작 설명은 생략한다.

<55> N모스 트랜지스터(N_TR2)는 제 2 입력단(Vin2)에 접속된 게이트, 출력단에 접속된 드레인 및 전류소스(121-2)에

접속된 소스를 갖는다. 이러한 N모스 트랜지스터(N_TR2)는 N모스 트랜지스터(N_TR1)와 대칭되게 구동되므로 구체적인 동작 설명은 생략한다.

<56> P모스 트랜지스터(P_TR4)는 제 2 입력단(Vin2)에 접속된 게이트, 전류원(121-1)에 접속된 소스 및 N모스 트랜지스터(N_TR4)의 드레인에 접속된 소스를 갖는다.

<57> N모스 트랜지스터(N_TR4)는 제 2 입력단(Vin2)에 접속된 게이트, P모스 트랜지스터(P_TR4)의 드레인에 접속된 소스 및 전류소스(121-2)에 접속된 소스를 갖는다.

<58> 이와 같이 전류원(121-1)과 전류소스(121-2) 사이에 3W/L 크기를 갖는 P모스 트랜지스터(P_TR4)와 N모스 트랜지스터(N_TR4)가 직렬 접속되기 때문에, 출력단으로부터의 아날로그 데이터전압의 중간 영역에서 P모스 트랜지스터(P_TR3), N모스 트랜지스터(N_TR3), P모스 트랜지스터(P_TR4)와 N모스 트랜지스터(N_TR4) 등은 대칭되게 배치된 P모스 트랜지스터(P_TR1), N모스 트랜지스터(N_TR1), P모스 트랜지스터(P_TR2)와 N모스 트랜지스터(N_TR2) 등과 대칭되게 동작하므로 구체적인 동작 설명은 생략한다.

<59> 상기한 바와 같이 종래의 데이터 출력버퍼는, 트랜스컨덕턴스를 일정하게 유지시키기 위하여 전류원(121-1)으로부터의 전류 4I 중에서 3/4에 해당하는 전류 3I를 접지로 보내 소모시킴으로써, 트랜스컨덕턴스를 유지시키기 위해 너무 많은 전류량을 소모시키는 문제점을 갖는다.

발명이 이루고자 하는 기술적 과제

<60> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 트랜스컨덕턴스를 일정하게 유지키기기 위해 소모되는 전류량을 대폭 감소시킬 수 있는 액정표시장치의 데이터 출력버퍼을 제공하는 데 있다.

발명의 구성 및 작용

<61> 이와 같은 목적을 달성하기 위한 본 발명은, 고전위 전원전압을 인가받아 제 1 전류, 제 2 전류 및 더미전류를 공급하기 위한 전류공급수단; 접지에 접속되어 인가된 상기 제 1 전류, 상기 제 2 전류 및 상기 더미전류를 접지로 스위칭시키기 위한 전류소스수단; 상기 제 1 전류 및 상기 제 2 전류를 상기 전류소스수단이나 출력단으로 공급하고, 입력된 아날로그 데이터전압을 버퍼링하기 위한 버퍼링수단; 및 상기 입력된 아날로그 데이터전압이나 상기 출력단으로부터의 아날로그 데이터전압에 따라, 상기 버퍼링수단의 트랜스컨덕턴스에 영향을 주는 상기 제 2 전류나 상기 더미전류를 상기 전류소스수단으로 공급하기 위한 전류조절수단을 포함한다.

<62> 상기 전류공급수단은, 상기 고전위 전원전압을 인가받아 상기 제 1 전류를 상기 버퍼링수단에 공급하기 위한 제 1 전류원; 상기 고전위 전원전압을 인가받아 상기 제 2 전류를 상기 버퍼링수단과 상기 전류조절수단에 공급하기 위한 제 2 전류원; 및 상기 고전위 전원전압을 인가받아 상기 더미전류를 상기 전류조절수단에 공급하기 위한 더미 전류원을 포함한다.

<63> 상기 전류소스수단은, 상기 접지에 접속되어 상기 버퍼링수단으로부터 인가된 상기 제 1 전류를 접지로 스위칭시키기 위한 제 1 전류소스; 상기 접지에 접속되어, 상기 버퍼링수단으로부터 인가된 상기 제 2 전류를 접지로 스위칭시키고 상기 전류조절수단으로부터 인가된 상기 제 2 전류나 상기 접지로 스위칭시키기 위한 제 2 전류소스; 및 상기 접지에 접속되어 상기 전류조절수단으로부터 인가된 상기 제 2 전류를 접지로 스위칭시키기 위한 더미 전류소스를 포함한다.

<64> 상기 버퍼링수단은, 제 1 입력단을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 상기 제 2 전류원으로부터의 제 2 전류를 출력단으로 스위칭시키기 위한 제 1 P모스 트랜지스터; 상기 제 1 입력단을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 상기 제 1 전류원으로부터의 제 1 전류를 상기 출력단으로 스위칭시키기 위한 제 2 P모스 트랜지스터; 상기 제 1 입력단을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 출력단으로부터의 제 2 전류를 상기 제 2 전류소스로 스위칭시키기 위한 제 1 N모스 트랜지스터; 상기 제 1 입력단을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 상기 출력단으로부터의 제 1 전류를 상기 제 1 전류소스로 스위칭시키기 위한 제 2 N모스 트랜지스터; 상기 출력단에 접속된 제 2 입력단을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 상기 제 2 전류원으로부터의 제 2 전류를 상기 출력단으로 스위칭시키기 위한 제 3 P모스 트랜지스터; 상기 제 2 입력단을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 상기 제 1 전류원으로부터의 제 1 전류를 상기 출력단으로 스위칭시키기 위한 제 4 P모스 트랜지스터; 상기 제 2 입력단을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 상기 출력단으로부터의 제 2 전류를 상기 제 2 전류소스로 스위칭시

키기 위한 제 3 N모스 트랜지스터; 및 상기 제 2 입력단을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 상기 출력단으로부터의 제 1 전류를 상기 제 1 전류소스로 스위칭시키기 위한 제 4 N모스 트랜지스터를 포함한다.

<65> 상기 제 1 및 제 3 P모스 트랜지스터와 상기 제 1 및 제 3 N모스 트랜지스터는 4W/L 크기(여기서, W는 트랜지스터의 폭이고, L은 트랜지스터의 길이)를 갖는 것을 특징으로 한다.

<66> 상기 제 2 및 제 4 P모스 트랜지스터와 상기 제 2 및 제 4 N모스 트랜지스터는 W/L 크기를 갖는 것을 특징으로 한다.

<67> 상기 제 1 P모스 트랜지스터는 상기 제 1 입력단에 접속된 게이트, 상기 제 2 전류원에 접속된 소스 및 상기 출력단에 접속된 드레인을 갖는 것을 특징으로 한다.

<68> 상기 제 2 P모스 트랜지스터는 상기 제 1 입력단에 접속된 게이트, 상기 제 1 전류원에 접속된 소스 및 상기 출력단에 접속된 드레인을 갖는 것을 특징으로 한다.

<69> 상기 제 1 N모스 트랜지스터는 상기 제 1 입력단에 접속된 게이트, 상기 출력단에 접속된 드레인 및 상기 제 2 전류소스에 접속된 소스를 갖는 것을 특징으로 한다.

<70> 상기 제 2 N모스 트랜지스터는 상기 제 1 입력단에 접속된 게이트, 상기 출력단에 접속된 드레인 및 상기 제 1 전류소스에 접속된 소스를 갖는 것을 특징으로 한다.

<71> 상기 제 3 P모스 트랜지스터는 상기 제 2 입력단에 접속된 게이트, 상기 제 2 전류원에 접속된 소스 및 상기 출력단에 접속된 드레인을 갖는 것을 특징으로 한다.

<72> 상기 제 4 P모스 트랜지스터는 상기 제 2 입력단에 접속된 게이트, 상기 제 1 전류원에 접속된 소스 및 상기 출력단에 접속된 드레인을 갖는 것을 특징으로 한다.

<73> 상기 제 3 N모스 트랜지스터는 상기 제 2 입력단에 접속된 게이트, 상기 출력단에 접속된 드레인 및 상기 제 2 전류소스에 접속된 소스를 갖는 것을 특징으로 한다.

<74> 상기 제 4 N모스 트랜지스터는 상기 제 2 입력단에 접속된 게이트, 상기 출력단에 접속된 드레인 및 상기 제 1 전류소스에 접속된 소스를 갖는 것을 특징으로 한다.

<75> 상기 전류조절수단은, 상기 제 1 입력단을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 상기 제 2 전류원으로부터의 제 2 전류를 상기 더미 전류소스로 스위칭시키기 위한 제 1 N모스 트랜지스터; 상기 제 1 입력단을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 상기 더미 전류원으로부터의 더미전류를 상기 제 2 전류소스로 스위칭시키기 위한 제 1 P모스 트랜지스터; 상기 제 2 입력단을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 상기 제 2 전류원으로부터의 제 2 전류를 상기 더미 전류소스로 스위칭시키기 위한 제 2 N모스 트랜지스터; 및 상기 제 2 입력단을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 상기 더미 전류원으로부터의 더미전류를 상기 제 2 전류소스로 스위칭시키기 위한 P모스 트랜지스터를 포함한다.

<76> 상기 제 1 및 제 2 N모스 트랜지스터와 상기 제 1 및 제 2 P모스 트랜지스터는 W/L 크기(여기서, W는 트랜지스터의 폭이고, L은 트랜지스터의 길이임)를 갖는 것을 특징으로 한다.

<77> 상기 제 1 N모스 트랜지스터는 상기 제 1 입력단에 접속된 게이트, 상기 제 2 전류원에 접속된 드레인 및 상기 더미 전류소스에 접속된 소스를 갖는 것을 특징으로 한다.

<78> 상기 제 1 P모스 트랜지스터는 상기 제 1 입력단에 접속된 게이트, 상기 더미 전류원에 접속된 소스 및 상기 제 2 전류소스에 접속된 드레인을 갖는 것을 특징으로 한다.

<79> 상기 제 2 N모스 트랜지스터는 상기 제 2 입력단에 접속된 게이트, 상기 제 2 전류원에 접속된 드레인 및 상기 더미 전류소스에 접속된 소스를 갖는 것을 특징으로 한다.

<80> 상기 제 2 P모스 트랜지스터는 상기 제 2 입력단에 접속된 게이트, 상기 더미 전류원에 접속된 소스 및 상기 제 2 전류소스에 접속된 드레인을 갖는 것을 특징으로 한다.

<81> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명한다.

<82> 도 4는 본 발명의 실시예에 따른 액정표시장치의 데이터 출력버퍼의 회로도이다.

<83> 도 4를 참조하면, 본 발명의 데이터 출력버퍼(200)는, 고전위 전원전압(VDD)을 인가받아 제 1 전류 4I를 공급하

기 위한 제 1 전류원(210)과, 고전위 전원전압(VDD)을 인가받아 제 2 전류 I를 공급하기 위한 제 2 전류원(220)과, 고전위 전원전압(VDD)을 인가받아 더미전류 I를 공급하기 위한 더미 전류원(230)과, 접지에 접속되어 인가된 제 1 전류 4I를 접지로 스위칭시키기 위한 제 1 전류소스(240)와, 접지에 접속되어 인가된 제 2 전류 I나 더미전류 I를 접지로 스위칭시키기 위한 제 2 전류소스(250)와, 접지에 접속되어 인가된 제 2 전류 I를 접지로 스위칭시키기 위한 더미 전류소스(260)를 구비한다.

<84> 또한, 본 발명의 데이터 출력버퍼(200)는, 제 1 전류원(210)으로부터의 제 1 전류 4I를 제 1 전류소스(240)나 출력단으로 공급하고 제 2 전류원(220)으로부터의 제 2 전류 I를 제 2 전류소스(250)나 출력단으로 공급하며, 상기 D/A 컨버터로부터의 아날로그 데이터전압을 버퍼링하기 위한 버퍼링부(270)와, 상기 D/A 컨버터로부터의 아날로그 데이터전압이나 출력단으로부터의 아날로그 데이터전압에 따라, 버퍼링부(210)의 트랜스컨덕턴스에 영향을 주는 제 2 전류원(210)으로부터의 제 2 전류 I를 더미 전류소스(260)로 공급하거나 더미 전류원(230)으로부터의 더미전류 I를 제 2 전류소스(250)로 공급하기 위한 전류조절부(280)를 구비한다.

<85> 버퍼링부(270)는, 제 1 입력단(Vin1)을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 제 2 전류원(220)으로부터의 제 2 전류 I를 출력단으로 스위칭시키기 위한 P모스 트랜지스터(P_TR5)와, 제 1 입력단(Vin1)을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 제 1 전류원(210)으로부터의 제 1 전류 4I를 출력단으로 스위칭시키기 위한 P모스 트랜지스터(P_TR6)와, 제 1 입력단(Vin1)을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 출력단으로부터의 제 2 전류 I를 제 2 전류소스(250)로 스위칭시키기 위한 N모스 트랜지스터(N_TR5)와, 제 1 입력단(Vin1)을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 출력단으로부터의 제 1 전류 4I를 제 1 전류소스(240)로 스위칭시키기 위한 N모스 트랜지스터(N_TR6)를 구비한다. 단, 제 1 입력단(Vin1)은 상기 D/A 컨버터의 출력측에 접속되어 아날로그 데이터전압을 인가받는다.

<86> 또한 버퍼링부(270)는, 제 2 입력단(Vin2)을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 제 2 전류원(220)으로부터의 제 2 전류 I를 출력단으로 스위칭시키기 위한 P모스 트랜지스터(P_TR7)와, 제 2 입력단(Vin2)을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 제 1 전류원(210)으로부터의 제 1 전류 4I를 출력단으로 스위칭시키기 위한 P모스 트랜지스터(P_TR8)와, 제 2 입력단(Vin2)을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 출력단으로부터의 제 2 전류 I를 제 2 전류소스(250)로 스위칭시키기 위한 N모스 트랜지스터(N_TR7)와, 제 2 입력단(Vin2)을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 출력단으로부터의 제 1 전류 4I를 제 1 전류소스(240)로 스위칭시키기 위한 N모스 트랜지스터(N_TR8)를 구비한다. 단, 제 2 입력단(Vin2)은 출력단에 접속되어 아날로그 데이터전압을 공급받는다.

<87> 여기서, 제 1 입력단(Vin1)에 접속된 P모스 트랜지스터(P_TR5)와 N모스 트랜지스터(N_TR5)는 4W/L 크기를 갖고, 이들과 대칭되게 배치되어 제 2 입력단(Vin2)에 접속된 P모스 트랜지스터(P_TR7)와 N모스 트랜지스터(N_TR7)도 4W/L 크기를 갖는다. 이와 달리, 제 1 입력단(Vin1)에 접속된 P모스 트랜지스터(P_TR6)와 N모스 트랜지스터(N_TR6)는 W/L 크기를 갖고, 이들과 대칭되게 배치되어 제 2 입력단(Vin2)에 접속된 P모스 트랜지스터(P_TR8)와 N모스 트랜지스터(N_TR8)도 W/L 크기를 갖는다.

<88> P모스 트랜지스터(P_TR5)는 제 1 입력단(Vin1)에 접속된 게이트, 제 2 전류원(220)에 접속된 소스 및 출력단에 접속된 드레인을 갖는다.

<89> P모스 트랜지스터(P_TR6)는 제 1 입력단(Vin1)에 접속된 게이트, 제 1 전류원(210)에 접속된 소스 및 출력단에 접속된 드레인을 갖는다.

<90> N모스 트랜지스터(N_TR5)는 제 1 입력단(Vin1)에 접속된 게이트, 출력단에 접속된 드레인 및 제 2 전류소스(250)에 접속된 소스를 갖는다.

<91> N모스 트랜지스터(N_TR6)는 제 1 입력단(Vin1)에 접속된 게이트, 출력단에 접속된 드레인 및 제 1 전류소스(240)에 접속된 소스를 갖는다.

<92> P모스 트랜지스터(P_TR7)는 제 2 입력단(Vin2)에 접속된 게이트, 제 2 전류원(220)에 접속된 소스 및 출력단에 접속된 드레인을 갖는다.

<93> P모스 트랜지스터(P_TR8)는 제 2 입력단(Vin2)에 접속된 게이트, 제 1 전류원(210)에 접속된 소스 및 출력단에 접속된 드레인을 갖는다.

<94> N모스 트랜지스터(N_TR7)는 제 2 입력단(Vin2)에 접속된 게이트, 출력단에 접속된 드레인 및 제 2 전류소스(250)에 접속된 소스를 갖는다.

<95> N모스 트랜지스터(N_TR8)는 제 2 입력단(Vin2)에 접속된 게이트, 출력단에 접속된 드레인 및 제 1 전류소스(240)에 접속된 소스를 갖는다.

<96> 전류조절부(280)는, 제 1 입력단(Vin1)을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 제 2 전류원(220)으로부터의 제 2 전류 I를 더미 전류소스(260)로 스위칭시키기 위한 N모스 트랜지스터(N_TR9)와, 제 1 입력단(Vin1)을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 더미 전류원(230)으로부터의 더미전류 I를 제 2 전류소스(250)로 스위칭시키기 위한 P모스 트랜지스터(P_TR9)와, 제 2 입력단(Vin2)을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 제 2 전류원(220)으로부터의 제 2 전류 I를 더미 전류소스(260)로 스위칭시키기 위한 N모스 트랜지스터(N_TR10)와, 제 2 입력단(Vin2)을 통해 입력되는 아날로그 데이터전압에 의해 구동되어 더미 전류원(230)으로부터의 더미전류 I를 제 2 전류소스(250)로 스위칭시키기 위한 P모스 트랜지스터(P_TR10)를 구비한다. 여기서, N모스 트랜지스터들(N_TR5, N_TR9)과 P모스 트랜지스터들(P_TR9, P_TR10)은 W/L 크기를 갖는다.

<97> N모스 트랜지스터(N_TR9)는 제 1 입력단(Vin1)에 접속된 게이트, 제 2 전류원(220)에 접속된 드레인 및 더미 전류소스(260)에 접속된 소스를 갖는다.

<98> P모스 트랜지스터(P_TR9)는 제 1 입력단(Vin1)에 접속된 게이트, 더미 전류원(230)에 접속된 소스 및 제 2 전류소스(250)에 접속된 드레인을 갖는다.

<99> N모스 트랜지스터(N_TR10)는 제 2 입력단(Vin2)에 접속된 게이트, 제 2 전류원(220)에 접속된 드레인 및 더미 전류소스(260)에 접속된 소스를 갖는다.

<100> P모스 트랜지스터(P_TR10)는 제 2 입력단(Vin2)에 접속된 게이트, 더미 전류원(230)에 접속된 소스 및 제 2 전류소스(250)에 접속된 드레인을 갖는다.

<101> 상기한 바와 같은 구성을 갖는 본 발명의 데이터 출력버퍼의 동작에 대하여 살펴보면 다음과 같다.

<102> 도 5를 참조하면, 상기 D/A 컨버터로부터 공급되는 아날로그 데이터전압의 라이징(Rising) 구간에서, 버퍼링부(270)의 N모스 트랜지스터(N_TR5)와 N모스 트랜지스터(N_TR6)가 턴온됨과 동시에 전류조절부(280)의 N모스 트랜지스터(N_TR9)가 턴온되는 반면에, P모스 트랜지스터들(P_TR5 내지 P_TR10)과 다른 N모스 트랜지스터들(N_TR7, N_TR8, N_TR10)이 턴오프된다.

<103> 이러한 구동 상태에서, 출력단으로부터의 제 2 전류 I가 4W/L을 갖는 N모스 트랜지스터(N_TR5)를 통해 제 2 전류소스(250)로 공급되고, 출력단으로부터의 제 1 전류 4I가 W/L 크기를 갖는 N모스 트랜지스터(N_TR6)를 통해 제 1 전류소스(240)로 공급된다. 이때, 제 2 전류원(220)으로부터의 제 2 전류 I가 전류조절부(280)의 N모스 트랜지스터(N_TR9)를 통해 더미 전류소스(260)로 공급된다.

<104> 이에 따라, 4W/L 크기를 갖는 N모스 트랜지스터(N_TR5)를 통해 공급되는 전류 I에 의해 유지되는 트랜스컨덕턴스(g_{mP1})는 다음 수학식4와 같은 수식이 성립되고, W/L 크기를 갖는 N모스 트랜지스터(N_TR6)를 공급되는 전류 4I에 의해 유지되는 트랜스컨덕턴스(g_{mP2})는 다음 수학식5와 같은 수식이 성립된다. 이 경우 버퍼(200)의 트랜스컨덕턴스(g_m)는 다음 수학식6과 같은 수식이 성립된다.

수학식 4

<105> $$g_{mp1}=\sqrt{2\beta(4W/L)I}$$

수학식 5

<106> $$g_{mp2}=\sqrt{2\beta(W/L)4I}$$

수학식 6

<107> $$g_m=g_{mp1}+g_{mp2}=2\sqrt{2\beta(W/L)I}+2\sqrt{2\beta(W/L)I}$$

<108> $$=4\sqrt{2\beta(W/L)I}$$

<109> 이와 달리, N모스 트랜지스터(N_TR5)와 N모스 트랜지스터(N_TR6)와 대칭되게 배치된 N모스 트랜지스터(N_TR7)와 N모스 트랜지스터(N_TR8)는 출력단을 통해 공급되는 아날로그 데이터전압의 라이징 구간에서 전류조절부(280)의 N모스 트랜지스터(N_TR10)와 함께 턴온된다. 이때, P모스 트랜지스터들(P_TR5 내지 P_TR10)과 다른 N모스 트랜지스터들(N_TR5, N_TR6, N_TR9)이 턴오프된다.

<110> 이러한 구동 상태에서, 출력단으로부터의 제 2 전류 I가 4W/L을 갖는 N모스 트랜지스터(N_TR7)를 통해 제 2 전류소스(250)로 공급되고, 출력단으로부터의 제 1 전류 4I가 W/L 크기를 갖는 N모스 트랜지스터(N_TR8)를 통해 제 1 전류소스(240)로 공급된다. 이때, 제 2 전류원(220)으로부터의 제 2 전류 I가 전류조절부(280)의 N모스 트랜지스터(N_TR10)를 통해 더미 전류소스(260)로 공급된다.

<111> 이에 따라, 4W/L 크기를 갖는 N모스 트랜지스터(N_TR7)를 통해 공급되는 전류 I에 의해 유지되는 트랜스컨덕턴스는 상기 수학식4와 같은 수식이 성립되고, W/L 크기를 갖는 N모스 트랜지스터(N_TR8)를 공급되는 전류 4I에 의해 유지되는 트랜스컨덕턴스는 상기 수학식5와 같은 수식이 성립된다. 이 경우 버퍼(200)의 트랜스컨덕턴스(g_m)는 상기 수학식6과 같은 수식이 성립된다.

<112> 상기한 바와 같이 버퍼의 트랜스컨덕턴스(g_m)을 유지시키기 위해, 본 발명은 제 2 전류원(220)으로부터의 제 2 전류 I만을 더미 전류소스(260)를 통해 접지로 인가하기 때문에, 전류 4I 중에 전류 3I를 접지로 보내는 종래 기술에 비하여 전류의 소비량을 3배 정도 감소시킨다.

<113> 도 6을 참조하면, 상기 D/A 컨버터로부터 공급되는 아날로그 데이터전압의 라이징 구간과 폴링 구간의 중간 영역에서, 버퍼링부(270)의 P모스 트랜지스터(P_TR6)와 N모스 트랜지스터(N_TR6)가 턴온됨과 동시에 전류조절부(280)의 P모스 트랜지스터(P_TR9)와 N모스 트랜지스터(N_TR9)가 턴온되는 반면에, 다른 P모스 트랜지스터들(P_TR5, P_TR7, P_TR8, P_TR10)과 N모스 트랜지스터들(N_TR5, N_TR7, N_TR8, N_TR10)이 턴오프된다.

<114> 이러한 구동 상태에서, 제 1 전류원(210)으로부터의 제 1 전류 4I가 W/L을 갖는 P모스 트랜지스터(P_TR6)를 통해 출력단으로 공급되고, 출력단으로부터의 제 1 전류 4I가 W/L 크기를 갖는 N모스 트랜지스터(N_TR6)를 통해 출력단으로 공급된다. 이때, 제 2 전류원(220)으로부터의 제 2 전류 I가 N모스 트랜지스터(N_TR9)를 통해 더미 전류소스(260)로 공급됨과 아울러 더미 전류원(230)으로부터의 더미전류 I가 P모스 트랜지스터(P_TR9)를 제 2 전류소스(250)로 공급된다.

<115> 이에 따라, W/L 크기를 갖는 P모스 트랜지스터(P_TR6)를 공급되는 전류 4I에 의해 유지되는 트랜스컨덕턴스(g_{mP3})는 다음 수학식7와 같은 수식이 성립되고, W/L 크기를 갖는 N모스 트랜지스터(N_TR6)를 통해 공급되는 전류 4I에 의해 유지되는 트랜스컨덕턴스(g_{mn3})는 다음 수학식8와 같은 수식이 성립된다. 이 경우 버퍼(200)의 트랜스컨덕턴스(g_m)는 다음 수학식9과 같은 수식이 성립된다.

수학식 7

<116> $$g_{mp3}=\sqrt{2\beta(W_p/L_p)4I}$$

수학식 8

<117> $$g_{mn3}=\sqrt{2\beta(W_n/L_n)4I}$$

수학식 9

<118> $$g_m=g_{mp3}+g_{mn3}=2\sqrt{2\beta(W_p/L_n)I}+2\sqrt{2\beta(W_n/L_n)I}$$

<119> $$=4\sqrt{2\beta(W/L)I}$$

<120> 이와 같이 버퍼의 트랜스컨덕턴스(g_m)을 유지시키기 위해, 본 발명은 제 2 전류원(220)으로부터의 제 2 전류 I와 더미 전류원(230)으로부터의 더미전류 I만을 접지로 인가하기 때문에, 전류 4I 중에 전류 3I를 접지로 인가하는 종래 기술에 비하여 전류의 소비량을 2배 정도 감소시킨다.

<121> 도 7을 참조하면, 상기 D/A 컨버터로부터 공급되는 아날로그 데이터전압의 폴링(Falling) 구간에서, 버퍼링부(270)의 P모스 트랜지스터(P_TR5)와 P모스 트랜지스터(P_TR6)가 턴온됨과 동시에 전류조절부(280)의 P모스 트랜지스터(P_TR9)가 턴온되는 반면에, 다른 P모스 트랜지스터들(P_TR6, P_TR7, P_TR10)과 N모스 트랜지스터들(N_TR5 내지 N_TR10)이 턴오프된다.

<122> 이러한 구동 상태에서, 제 2 전류원(220)으로부터의 제 2 전류 I가 4W/L을 갖는 P모스 트랜지스터(P_TR5)를 통해 출력단으로 공급되고, 제 1 전류원(210)으로부터의 제 1 전류 4I가 W/L 크기를 갖는 P모스 트랜지스터(P_TR6)를 통해 출력단으로 공급된다. 이때, 더미 전류원(230)으로부터의 더미전류 I가 전류조절부(280)의 P모스 트랜지스터(P_TR9)를 통해 제 2 전류소스(250)로 공급된다.

<123> 이에 따라, 4W/L 크기를 갖는 P모스 트랜지스터(P_TR5)를 통해 공급되는 전류에 의해 유지되는 트랜스컨덕턴스(g_{mP5})는 상기 수학식4와 같은 수식이 성립되고, W/L 크기를 갖는 P모스 트랜지스터(P_TR6)를 공급되는 전류에 의해 유지되는 트랜스컨덕턴스(g_{mP6})는 상기 수학식5와 같은 수식이 성립된다. 이 경우 버퍼(200)의 트랜스컨덕턴스(g_m)는 상기 수학식6과 같은 수식이 성립된다.

<124> 이와 달리, P모스 트랜지스터(P_TR5)와 P모스 트랜지스터(P_TR6)와 대칭되게 배치된 P모스 트랜지스터(P_TR7)와 P모스 트랜지스터(P_TR8)는 출력단을 통해 공급되는 아날로그 데이터전압의 폴링 구간에서 전류조절부(280)의 P모스 트랜지스터(P_TR10)와 함께 턴온된다. 이때, 다른 P모스 트랜지스터들(P_TR5, P_TR6, P_TR9)과 N모스 트랜지스터들(N_TR5 내지 N_TR10)은 턴오프된다.

<125> 이러한 구동 상태에서, 제 2 전류원(220)으로부터의 제 2 전류 I가 4W/L을 갖는 P모스 트랜지스터(P_TR7)를 통해 출력단으로 공급되고, 제 1 전류원(210)으로부터의 제 1 전류 4I가 W/L 크기를 갖는 P모스 트랜지스터(P_TR8)를 통해 출력단으로 공급된다. 이때, 더미 전류원(230)으로부터의 더미전류 I가 전류조절부(280)의 P모스 트랜지스터(P_TR10)를 통해 제 2 전류소스(250)로 공급된다.

<126> 이에 따라, 4W/L 크기를 갖는 P모스 트랜지스터(P_TR7)를 통해 공급되는 전류에 의해 유지되는 트랜스컨덕턴스는 상기 수학식4와 같은 수식이 성립되고, W/L 크기를 갖는 P모스 트랜지스터(P_TR8)를 공급되는 전류에 의해 유지되는 트랜스컨덕턴스는 상기 수학식5와 같은 수식이 성립된다. 이 경우 버퍼(200)의 트랜스컨덕턴스(g_m)는 상기 수학식6과 같은 수식이 성립된다.

<127> 상기한 바와 같이 버퍼의 트랜스컨덕턴스(g_m)을 유지시키기 위해, 본 발명은 더미 전류원(230)으로부터의 더미전류 I만을 제 2 전류소스(250)를 통해 접지로 인가하기 때문에, 전류 4I 중에 전류 3I를 접지로 보내는 종래 기술에 비하여 전류의 소비량을 3배 정도 감소시킨다.

발명의 효과

<128> 이상에서 설명한 바와 같인 본 발명은, 액정표시장치의 데이터 출력버퍼에서 트랜스컨덕턴스를 일정하게 유지키기기 위해 소모되는 전류량을 감소시킴으로써, 트랜스컨덕턴스의 유지에 소비되는 전력을 현저하게 절감할 수 있다.

<129> 본 발명의 기술사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야의 통상의 전문가라면 본 발명의 기술사상의 범위에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

도면의 간단한 설명

<1> 도 1은 일반적인 액정표시장치에 형성되는 픽셀의 등가 회로도.

<2> 도 2는 일반적인 액정표시장치의 구성도.

<3> 도 3은 종래의 액정표시장치의 데이터 출력버퍼의 회로도.

<4> 도 4는 본 발명의 실시예에 따른 액정표시장치의 데이터 출력버퍼의 회로도.

<5> 도 5 내지 도 7은 본 발명에 따른 액정표시장치의 데이터 출력버퍼의 동작 설명을 위한 예시도.

<6> < 도면의 주요 부분에 대한 부호의 설명>

<7> 100: 액정표시장치 110: 액정표시패널

<8> 120: 데이터 구동부 130: 게이트 구동부

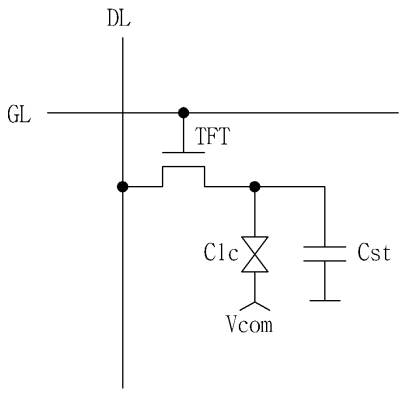
<9> 140: 감마기준전압 발생부 150: 백라이트 어셈블리

<10> 160: 인버터 170: 공통전압 발생부

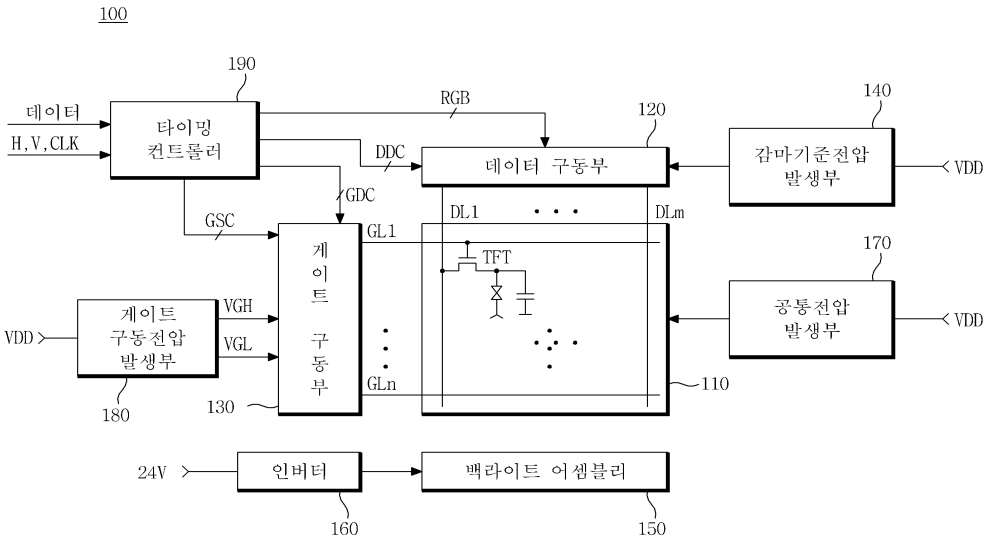
<11> 180: 게이트구동전압 발생부 190: 타이밍 컨트롤러

도면

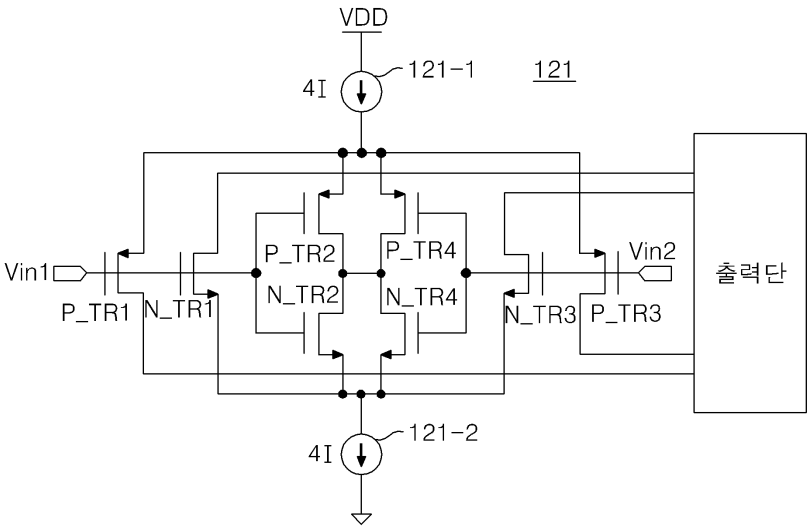
도면1



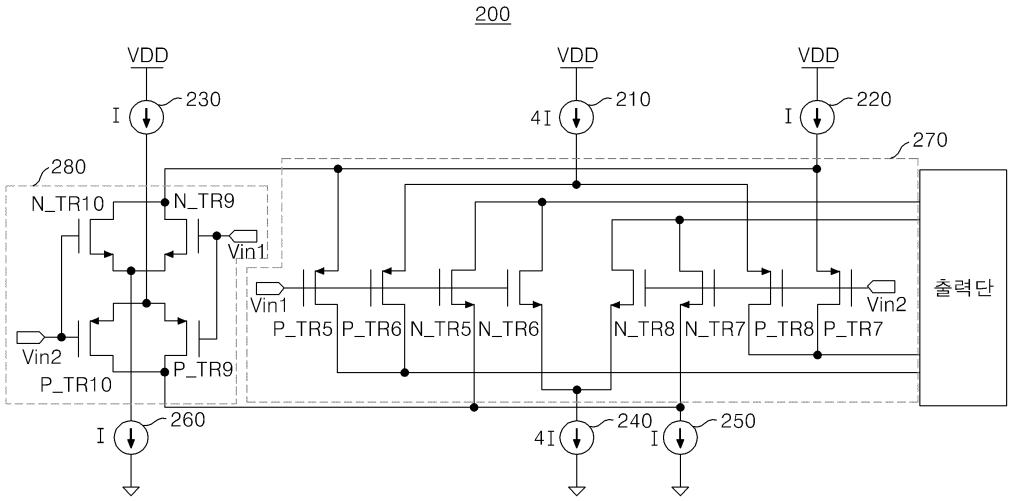
도면2



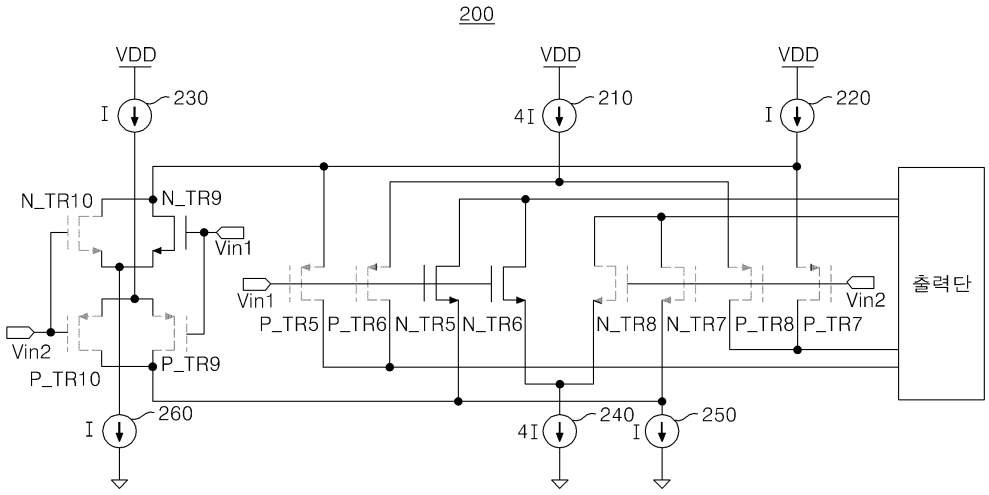
도면3


VDD
4I
121-1
121
Vin1
P_TR1
N_TR1
P_TR2
N_TR2
P_TR4
N_TR4
N_TR3
P_TR3
Vin2
출력단
4I
121-2

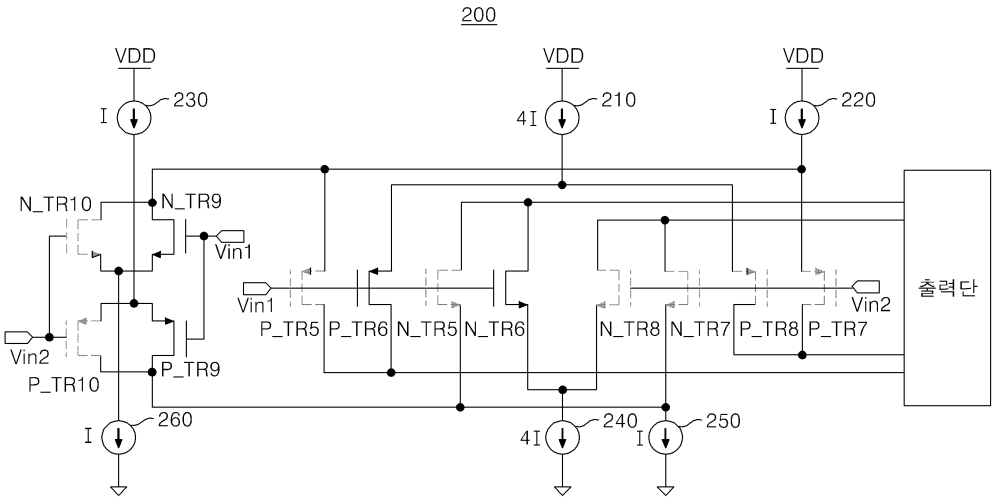
도면4


200
VDD
I
230
280
N_TR10
N_TR9
Vin1
Vin2
P_TR10
P_TR9
I
260
VDD
4I
210
Vin1
P_TR5
P_TR6
N_TR5
N_TR6
4I
240
VDD
I
220
270
N_TR8
N_TR7
P_TR8
P_TR7
Vin2
출력단
I
250

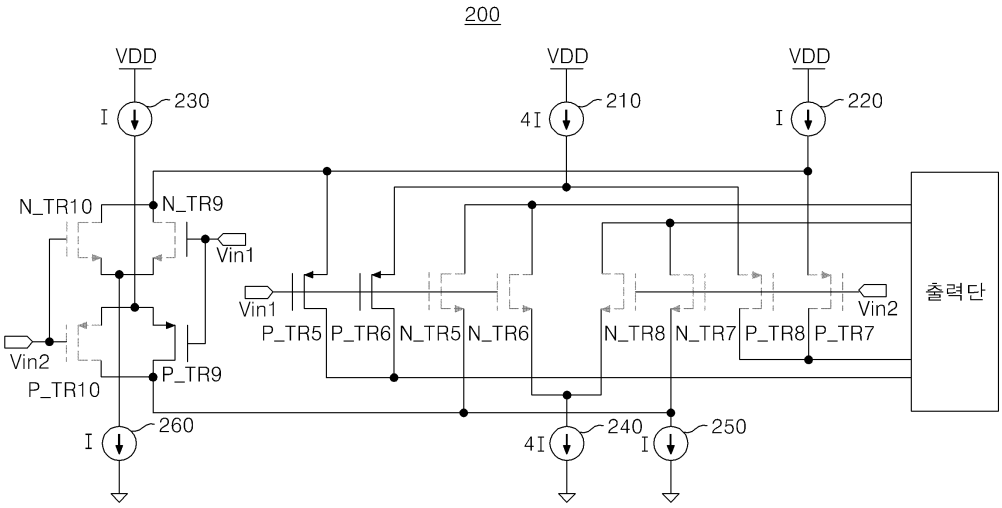
도면5


200
VDD
VDD
VDD
I
230
4I
210
I
220
N_TR10
N_TR9
Vin1
Vin1
Vin2
P_TR5
P_TR6
N_TR5
N_TR6
N_TR8
N_TR7
P_TR8
P_TR7
출력단
Vin2
P_TR10
P_TR9
I
260
4I
240
I
250

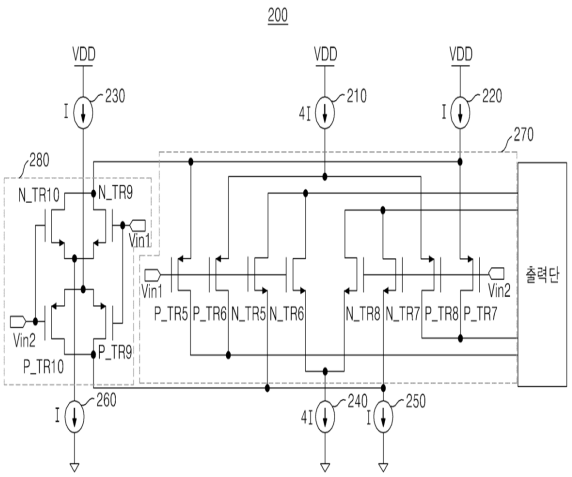
도면6


200
VDD
VDD
VDD
I
230
4I
210
I
220
N_TR10
N_TR9
Vin1
Vin1
Vin2
P_TR5
P_TR6
N_TR5
N_TR6
N_TR8
N_TR7
P_TR8
P_TR7
출력단
Vin2
P_TR10
P_TR9
I
260
4I
240
I
250

도면7


200
VDD
I
230
VDD
4I
210
VDD
I
220
N_TR10
N_TR9
Vin1
Vin2
P_TR10
P_TR9
Vin1
P_TR5
P_TR6
N_TR5
N_TR6
N_TR8
N_TR7
P_TR8
P_TR7
Vin2
출력단
I
260
4I
240
I
250

专利名称(译)	液晶显示器的数据输出缓冲器		
公开(公告)号	KR1020080000362A	公开(公告)日	2008-01-02
申请号	KR1020060058112	申请日	2006-06-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI JIN CHUL 최진철 JANG CHUL SANG 장철상		
发明人	최진철 장철상		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G2310/0291 G09G2330/021 H03F3/45179 H03F2203/45288		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种液晶显示器的数据输出缓冲器，该缓冲器可以大大减少用于保持键仪器的跨导的电流量恒定并且用尽使其能够应用于高电位电源电压和第一电流，第二电流和电流源装置，用于提供虚拟电流，第一电流，缓冲装置，将第一电流和第二电流提供给电流源装置或输出端，并用于缓冲输入的模拟数据电压，以及根据来自如上所述的输入模拟数据电压的模拟数据电压或者用于将虚拟电流提供给电流源装置的输出端子或电流控制装置，包括影响缓冲装置的跨导的第二电流。施加第一电流，它连接到地，第二电流和电流源装置用于将虚拟电流切换到地。液晶显示器，数据，输出缓冲器，电流，跨导。