(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
G09G 3/20 (2006.01)
G09G 3/36 (2006.01)
G02F 1/133 (2006.01)

(11) 공개번호 10-2007-0080929
(43) 공개일자 2007년08월14일

(21) 출원번호 10-2006-0012464
(22) 출원일자 2006년02월09일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 김명수
충청남도 천안시 목천읍 신계리 목천신도브래뉴2차아파트 202동805호

(74) 대리인 팬코리아특허법인

전체 청구항 수 : 총 7 항

(54) 표시 장치

(57) 요약

본 발명은 액정 표시 장치에 관한 것으로서, 이 장치는 복수의 화소, 게이트 클록 신호에 따라 게이트 신호를 차례로 상기 화소에 인가하는 게이트 구동부, 그리고 데이터 클록 신호에 따라 데이터를 전송 받고, 상기 데이터를 아날로그 데이터 전압으로 변환하여 상기 화소에 인가하는 데이터 구동부를 포함하며, 상기 데이터 클록 신호의 변동에 따른 비정상 데이터가 전송된 때부터 정상 데이터가 전송될 때까지 상기 게이트 클록 신호의 상태를 고정시킨다. 따라서 급격한 데이터 클록 신호의 주파수 변화에 따른 비정상 데이터 전압을 화소에 인가하지 않음으로써 비정상적인 영상이 표시되는 것을 방지할 수 있다.

대표도

도 5

특허청구의 범위

청구항 1.

복수의 화소,

게이트 클록 신호에 동기하여 게이트 온 전압을 차례로 상기 화소에 인가하는 게이트 구동부, 그리고

데이터 클록 신호에 동기하여 데이터를 전송 받고, 상기 데이터를 아날로그 데이터 전압으로 변환하여 상기 화소에 인가하는 데이터 구동부

를 포함하며,

상기 데이터 클록 신호의 변동에 따른 비정상 데이터가 상기 데이터 구동부에 전송된 때부터 정상 데이터가 상기 데이터 구동부에 전송될 때까지 상기 게이트 클록 신호의 상태를 고정시키는

표시 장치.

청구항 2.

제1항에서,

상기 게이트 온 전압이 상기 게이트 클록 신호의 상승 에지에서 동기되는 경우, 상기 비정상 데이터가 전송된 때부터 상기 정상 데이터가 전송될 때까지 상기 게이트 클록 신호를 하이 레벨로 고정시키는 표시 장치.

청구항 3.

제1항에서,

상기 게이트 온 전압이 상기 게이트 클록 신호의 하강 에지에서 동기되는 경우, 상기 비정상 데이터가 전송된 때부터 상기 정상 데이터가 전송될 때까지 상기 게이트 클록 신호를 로우 레벨로 고정시키는 표시 장치.

청구항 4.

제2항 또는 제3항에서,

상기 정상 데이터에 따라 상기 화소는 소정 기간 동안 블랙을 표시하는 표시 장치.

청구항 5.

제4항에서,

상기 게이트 구동부는 상기 게이트 온 전압의 유지 시간을 조절하는 출력 인에이블 신호를 공급받으며,

상기 비정상 데이터가 전송된 때부터 상기 정상 데이터가 전송될 때까지 상기 출력 인에이블 신호의 상태를 고정시키는

표시 장치.

청구항 6.

제4항에서,

상기 데이터 구동부는 복수의 데이터 구동 회로를 포함하고,

상기 데이터 구동 회로는 전단의 데이터 구동 회로로부터 복수의 데이터를 수신하고, 수신한 데이터 중에서 하나의 데이터를 선택하고, 선택하지 않은 나머지 데이터는 후단의 데이터 구동 회로로 전달하는

표시 장치.

청구항 7.

제6항에서,

상기 데이터 구동 회로는 상기 데이터 클록 신호에 따라 상기 데이터를 재정렬시키는 지연 회로를 포함하는 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시 장치에 관한 것이다.

최근 퍼스널 컴퓨터나 텔레비전 등의 경량화 및 박형화에 따라 표시 장치도 경량화 및 박형화가 요구되고 있으며, 이러한 요구에 따라 음극선관(cathode ray tube, CRT)이 평판 표시 장치로 대체되고 있다.

이러한 평판 표시 장치에는 액정 표시 장치(liquid crystal display, LCD), 전계 방출 표시 장치(field emission display, FED), 유기 발광 표시 장치(organic light emitting display), 플라스마 표시 장치(plasma display panel, PDP) 등이 있다.

일반적으로 액티브 매트릭스형 평판 표시 장치에서는 복수의 화소가 매트릭스 형태로 배열되며, 주어진 휘도 정보에 따라 각 화소의 광 강도를 제어함으로써 화상을 표시한다. 이 중 액정 표시 장치는 화소 전극 및 공통 전극이 구비된 두 표시판과 그 사이에 들어 있는 유전율 이방성을 갖는 액정층을 포함한다. 액정 표시 장치는 액정층에 전기장을 인가하고, 이 전기장의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 신호 제어부와 데이터 구동부 사이의 데이터 전송 시 발생하는 오류를 방지하기 위한 액정 표시 장치를 제공하는 것이다.

발명의 구성

이러한 기술적 과제를 이루기 위한 본 발명의 한 실시예에 따른 표시 장치는, 복수의 화소, 게이트 클록 신호에 동기하여 게이트 온 전압을 차례로 상기 화소에 인가하는 게이트 구동부, 그리고 데이터 클록 신호에 동기하여 데이터를 전송 받고, 상기 데이터를 아날로그 데이터 전압으로 변환하여 상기 화소에 인가하는 데이터 구동부를 포함하며, 상기 데이터 클록 신호의 변동에 따른 비정상 데이터가 상기 데이터 구동부에 전송된 때부터 정상 데이터가 상기 데이터 구동부에 전송될 때까지 상기 게이트 클록 신호의 상태를 고정시킨다.

상기 게이트 온 전압이 상기 게이트 클록 신호의 상승 에지에서 동기되는 경우, 상기 비정상 데이터가 전송된 때부터 상기 정상 데이터가 전송될 때까지 상기 게이트 클록 신호를 하이 레벨로 고정시킬 수 있다.

상기 게이트 온 전압이 상기 게이트 클록 신호의 하강 에지에서 동기되는 경우, 상기 비정상 데이터가 전송된 때부터 상기 정상 데이터가 전송될 때까지 상기 게이트 클록 신호를 로우 레벨로 고정시킬 수 있다.

상기 정상 데이터에 따라 상기 화소는 소정 기간 동안 블랙을 표시할 수 있다.

상기 게이트 구동부는 상기 게이트 온 전압의 유지 시간을 조절하는 출력 인에이블 신호를 공급받으며, 상기 비정상 데이터가 전송된 때부터 상기 정상 데이터가 전송될 때까지 상기 출력 인에이블 신호의 상태를 고정시킬 수 있다.

상기 데이터 구동부는 복수의 데이터 구동 회로를 포함하고, 상기 데이터 구동 회로는 전단의 데이터 구동 회로로부터 복수의 데이터를 수신하고, 수신한 데이터 중에서 하나의 데이터를 선택하고, 선택하지 않은 나머지 데이터는 후단의 데이터 구동 회로로 전달할 수 있다.

상기 데이터 구동 회로는 상기 데이터 클록 신호에 따라 상기 데이터를 재정렬시키는 지연 회로를 포함할 수 있다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

이제 본 발명의 실시예에 따른 표시 장치에 대하여 첨부한 도면을 참고로 하여 상세하게 설명한다.

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300) 및 이와 연결된 게이트 구동부(400) 및 데이터 구동부(500), 데이터 구동부(500)에 연결된 계조 전압 생성부(550), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.

액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선(G_1-G_n, D_1-D_m)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다. 반면, 도 2에 도시한 구조로 볼 때 액정 표시판 조립체(300)는 서로 마주하는 하부 및 상부 표시판(100, 200)과 그 사이에 들어 있는 액정층(3)을 포함한다.

신호선(G_1-G_n, D_1-D_m)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(G_1-G_n)과 데이터 전압을 전달하는 복수의 데이터선(D_1-D_m)을 포함한다. 게이트선(G_1-G_n)은 대략 행 방향으로 뻗으며 서로가 거의 평행하고, 데이터선(D_1-D_m)은 대략 열 방향으로 뻗으며 서로가 거의 평행하다.

각 화소(PX), 예를 들면 i번째(i=1, 2, …, n) 게이트선(G_i)과 j번째(j=1, 2, …, m) 데이터선(Dj)에 연결된 화소(PX)는 신호선(G_i D_j)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)(Clc) 및 유지 축전기(storage capacitor)(Cst)를 포함한다. 유지 축전기(Cst)는 필요에 따라 생략할 수 있다.

스위칭 소자(Q)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 게이트선(G_i)과 연결되어 있고, 입력 단자는 데이터선(D_j)과 연결되어 있으며, 출력 단자는 액정 축전기(Clc) 및 유지 축전기(Cst)와 연결되어 있다.

액정 축전기(Clc)는 하부 표시판(100)의 화소 전극(191)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(191, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(191)은 스위칭 소자(Q)와 연결되며 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가 받는다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(191, 270) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.

액정 축전기(Clc)의 보조적인 역할을 하는 유지 축전기(Cst)는 하부 표시판(100)에 구비된 별개의 신호선(도시하지 않음)과 화소 전극(191)이 절연체를 사이에 두고 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압(Vcom) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기(Cst)는 화소 전극(191)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.

한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 화소 전극(191)에 대응하는 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(230)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(230)는 하부 표시판(100)의 화소 전극(191) 위 또는 아래에 둘 수도 있다.

액정 표시판 조립체(300)의 바깥 면에는 빛을 편광시키는 적어도 하나의 편광자(도시하지 않음)가 부착되어 있다.

다시 도 1을 참고하면, 계조 전압 생성부(550)는 화소(PX)의 투과율과 관련된 두 벌의 계조 전압 집합(또는 기준 계조 전압 집합)을 생성한다. 두 벌 중 한 벌은 공통 전압(Vcom)에 대하여 양의 값을 가지고 다른 한 벌은 음의 값을 가진다.

게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선(G_1-G_n)과 연결되어 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선(G_1-G_n)에 인가한다. 게이트 구동부(400)의 상세 구조에 대하여는 뒤에서 설명한다.

데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(D_1-D_m)과 연결되어 있으며, 계조 전압 생성부(800)로부터의 계조 전압을 선택하고 이를 데이터 전압으로서 데이터선(D_1-D_m)에 인가한다. 데이터 구동부(500)의 상세 구조에 대해서는 뒤에서 설명한다.

신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등을 제어한다.

이러한 구동 장치(400, 500, 550, 600) 각각은 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 이와는 달리, 이들 구동 장치(400, 500, 550, 600)가 신호선(G_1-G_n, D_1-D_m) 및 박막 트랜지스터 스위칭 소자(Q) 따위와 함께 액정 표시판 조립체(300)에 집적될 수도 있다. 또한, 구동 장치(400, 500, 550, 600)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.

그러면 이러한 액정 표시 장치의 정상 동작에 대하여 상세하게 설명한다.

신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 입력 영상 신호(R, G, B)는 각 화소(PX)의 휘도(luminance) 정보를 담고 있으며 휘도는 정해진 수효, 예를 들면 1024(=2^{10}), 256(=2^8) 또는 64(=2^6) 개의 계조(gray)를 가지고 있다. 입력 제어 신호의 예로는 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클록(MCLK), 데이터 인에이블 신호(DE) 등이 있다.

신호 제어부(600)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 입력 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다.

게이트 제어 신호(CONT1)는 주사 시작을 지시하는 주사 시작 신호(STV)와 게이트 온 전압(Von)의 출력 시기를 제어하는 적어도 하나의 게이트 클록 신호(CLK)를 포함한다. 게이트 제어 신호(CONT1)는 또한 게이트 온 전압(Von)의 지속 시간을 한정하는 출력 인에이블 신호(OE)를 더 포함할 수 있다.

데이터 제어 신호(CONT2)는 한 행의 화소(PX)에 대한 영상 신호(DAT)의 전송 시작을 알리는 수평 동기 시작 신호(STH)와 데이터선(D_1-D_m)에 아날로그 데이터 전압을 인가하라는 로드 신호(LOAD) 및 데이터 클록 신호(HCLK)를 포함한다. 데이터 제어 신호(CONT2)는 또한 공통 전압(Vcom)에 대한 아날로그 데이터 전압의 전압 극성(이하 "공통 전압에 대한 데이터 전압의 극성"을 줄여 "데이터 전압의 극성"이라 함)을 반전시키는 반전 신호(RVS)를 더 포함할 수 있다.

신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 행의 화소(PX)에 대한 복수의 출력 영상 신호(DAT)를 수신하고, 각 출력 영상 신호(DAT)에 대응하는 계조 전압을 선택함으로써 출력 영상 신호(DAT)를 아날로그 데이터 전압으로 변환한 다음, 이를 해당 데이터선(D_1-D_m)에 인가한다.

게이트 구동부(400)는 신호 제어부(600)로부터 게이트 제어 신호(CONT1)를 공급받고, 게이트 클록 신호(CLK)의 상승 에지(rising edge)에서 동기하여 게이트 온 전압(Von)을 출력한다. 게이트 온 전압(Von)이 게이트선(G_1-G_n)에 인가되면 이 게이트선(G_1-G_n)에 연결된 스위칭 소자(Q)가 턴 온된다. 그러면, 데이터선(D_1-D_m)에 인가된 데이터 전압이 턴 온된 스위칭 소자(Q)를 통하여 해당 화소(PX)에 인가된다.

화소(PX)에 인가된 데이터 전압의 전압과 공통 전압(Vcom)의 차이는 액정 축전기(Clc)의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자들은 화소 전압의 크기에 따라 그 배열을 달리하며 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판 조립체(300)에 부착된 편광자에 의하여 빛의 투과율 변화로 나타나며, 이를 통해 화소(PX)는 출력 영상 신호(DAT)의 계조가 나타내는 휘도를 표시한다.

1 수평 주기["1H"라고도 쓰며, 수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기와 동일함]를 단위로 하여 이러한 과정을 되풀이함으로써, 모든 게이트선(G_1-G_n)에 대하여 차례로 게이트 온 전압(Von)을 인가하고 모든 화소(PX)에 데이터 전압을 인가하여 한 프레임(frame)의 영상을 표시한다.

한 프레임이 끝나면 다음 프레임이 시작되고 각 화소(PX)에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 전압의 극성이 바뀌거나(보기: 행 반전, 점 반전), 한 화소행에 인가되는 데이터 전압의 극성도 서로 다를 수 있다(보기: 열 반전, 점 반전).

이제, 도 3 및 도 4를 참조하여 데이터 구동부(500)에 대해 상세히 설명한다.

도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 데이터 구동부의 블록도이고, 도 4는 데이터 구동부의 데이터 구동 집적 회로를 나타내는 블록도이다.

도 3을 참조하면, 본 발명의 한 실시예에 따른 데이터 구동부(500)는 복수의, 예를 들면 제1 내지 제k 데이터 구동 집적 회로(integrated circuit)(IC1, IC2, …,ICk)(k는 자연수)를 포함한다.

데이터 구동 집적 회로(IC1, IC2, …, ICk)는 표시판부(300)의 행 방향으로 차례대로 배열되어 있으며, 신호 제어부(600)와 제1 데이터 구동 집적 회로(IC1) 사이 및 인접한 데이터 구동 집적 회로(IC1, IC2, …, ICk) 사이에는 적어도 하나의 전송선군을 포함하는 전송선군(DT1-DTk)이 연결되어 있다.

신호 제어부(600)와 제1 데이터 구동 집적 회로(IC1) 사이에 위치한 제1 전송선군(DT1)에 속하는 전송선군의 수효는 데이터 구동 집적 회로(IC1, IC2, …, ICk)의 수효(=k)와 동일하며, 데이터 구동 집적 회로(IC1, IC2, …, ICk)를 하나 거칠 때마다 전송선군(DT_1-DT_k)에 속하는 전송선의 수는 하나씩 줄어든다. 따라서 제(p-1) 데이터 구동 집적 회로(ICp-1)(p=2, …, k)와 제p 데이터 구동 집적 회로(ICp) 사이의 제p 전송선군(DT_p)에 속하는 전송선군의 수효는 (k+ 1-p)개이다. 또한 맨 마지막 데이터 구동 집적 회로(ICk)와 그 전 데이터 구동 집적 회로(ICk-1) 사이의 마지막 전송선군(DTk)에 속하는 전송선군의 수효는 하나이다.

신호 제어부(600)는 제1 전송선군(DT1)에 속하는 k개의 전송선군(앞으로 제k 전송선군에 속하는 전송선군을 제k 전송선이라 함) 각각은 하나의 데이터 구동 집적 회로(IC1, IC2, …, ICk)에 할당되는 하나의 영상 신호(DAT_1-DAT_k)를 전송한다.

각 전송선군은 또한 표시 장치의 화소(PX)가 나타내는 기본색의 수와 동일한 수효의 신호선을 가지고 있다. 예를 들어, 신호 제어부(600)에 입력되는 입력 영상 신호(R, G, B)가 적색, 녹색 및 청색을 나타내는 화소(PX)에 대한 것이라면(이하 적색, 녹색 및 청색을 나타내는 화소를 각각 적색 화소, 녹색 화소 및 청색 화소라 하고 이들 화소와 관련된 영상 신호는 각각 적색 영상 신호, 녹색 영상 신호 및 청색 영상 신호라 한다), 전송선군 각각은 적색 영상 신호를 전송하기 위한 적색 신호선(도시하지 않음), 녹색 영상 신호를 전송하기 위한 녹색 신호선(도시하지 않음) 및 청색 영상 신호를 전송하기 위한 청색 신호선(도시하지 않음)을 포함할 수 있다. 그리고 적색, 녹색 및 청색 신호선 각각은 영상 신호의 비트 수에 해당하는 수 또는 그 이하의 부신호선(도시하지 않음)을 포함할 수도 있다.

이러한 구조에서, 각각의 데이터 구동 집적 회로(IC1, IC2, …, ICk)는 자신에게 필요한 영상 신호(DAT_1-DAT_k)만을 수신하고 나머지 영상 신호는 전송선군을 통하여 다음 데이터 구동 집적 회로(IC1, IC2, …, ICk)에게 전달한다.

예를 들면, 제1 데이터 구동 집적 회로(IC1)(540)는 신호 제어부(600)로부터 k개의 제1 전송선군(DT_1)을 통하여 k개의 영상 신호(DAT_1-DAT_k)를 수신하고, 그 중 제1 데이터 구동 집적 회로(IC1)에 필요한 첫 번째 영상 신호(DAT1)를 선택하며, 나머지 (k-1)개의 영상 신호(DAT_2-DAT_k)는 제2 전송선군(DT_2)을 통하여 제2 데이터 구동 집적 회로(IC2)로 전송한다.

제p 데이터 구동 집적 회로(ICp)는 이전 데이터 구동 집적 회로, 즉 제(p-1) 데이터 구동 집적 회로(IC_{p-1})로부터 제p 전송선군(DT_p)을 통하여 (k+1-p)개의 영상 신호(DAT_p-DAT_k)를 수신한 다음, 이 중에서 제p 영상 신호룹(DAT_p)를 선택하고 나머지 영상 신호(DAT_{p+1}-DAT_k)는 제(p+1) 전송선군(DT_{p+1})을 통하여 다음 데이터 구동 집적 회로(IC_{p+1})에 전달한다. 맨 마지막의 제k 데이터 구동 집적 회로(ICp)는 제(k-1) 데이터 구동 집적 회로(IC_{k-1})로부터 제k 전송선군(DT_k)을 통하여 하나의 영상 신호(DAT_k)를 수신하여 처리하면 된다.

이와 같은 캐스케이딩(cascading) 전송 방식으로 영상 신호(DAT_1-DAT_k)를 전송하는 경우, 신호 제어부(600)로부터 멀리 있는 데이터 구동 집적 회로(ICk)까지 데이터 구동 집적 회로(IC1, IC2, …,ICk)를 거칠 때마다 전송선군이 하나씩 줄어든다. 따라서, 배선 수를 획기적으로 줄이면서, 줄어든 배선 수만큼 수신-송신을 위한 로직(logic) 또한 줄일 수 있어 데이터 구동부(500)의 소비 전력을 줄일 수 있다.

도 4를 참조하여, 본 발명의 한 실시예에 따른 데이터 구동 집적 회로, 대표적으로 제1 데이터 구동 집적 회로(IC1)(540)를 살펴본다.

제1 데이터 구동 집적 회로(IC1) (540)는 입력부(receiver)(545), 출력부(transmitter)(546) 및 차례로 연결되어 있는 시프트 레지스터(shift register)(541), 래치(latch)(542), 디지털-아날로그 변환기(digital-to-analog converter) (543) 및 출력 버퍼(output buffer) (544)를 포함한다.

입력부(545)는 신호 제어부(600)와 연결되어 있는 제1 전송선군(DT_1)으로부터 k개의 출력 영상 신호(DAT_1-DAT_k)를 수신하며, 이 중 제1 출력 영상 신호(DAT1)를 선택한다.

출력부(546)는 제2 전송선군(DT_2)과 연결되며, 제1 출력 영상 신호(DAT1)를 제외한 나머지 출력 영상 신호(DAT_2-DAT_k)를 데이터 클록 신호(HCLK)에 따라 재정렬하여 제2 전송선군(DT_2-DT_k)을 통하여 제2 데이터 구동 집적 회로(IC2)로 전송한다. 출력부(546)는 출력 영상 신호(DAT_1-DAT_k)를 재정렬하기 위한 지연 회로, 예를 들어 DLL(delay lacked loop) 등을 포함한다.

시프트 레지스터(541)는 수평 동기 시작 신호(STH)(또는 시프트 클록 신호)가 들어오면 선택된 제1 출력 영상 신호를(DAT1)를 래치(542)에 전달한다. 데이터 구동 집적 회로(IC1, IC2, …,ICk)의 시프트 레지스터(541)는 시프트 클록 신호를 후단의 데이터 구동 집적 회로(IC1, IC2, …,ICk)의 시프트 레지스터(541)로 내보낸다.

래치(542)는 출력 영상 신호(DAT1)의 각각의 데이터를 저장하며 로드 신호(LOAD)에 따라 디지털-아날로그 변환기(543)에 내보낸다.

디지털-아날로그 변환기(543)는 계조 전압 생성부(550)로부터 계조 전압을 공급 받으며 출력 영상 신호(DAT1)를 아날로그 전압으로 변환하여 출력 버퍼(544)로 내보낸다.

출력 버퍼(544)는 디지털-아날로그 변환기(543)로부터의 출력 전압을 데이터 전압으로서 출력단(Y1,Y2, …, Yr)에 출력하며, 이를 1 수평 주기 동안 유지한다.

이하에서는 도 5를 참조하여, 데이터 클록 신호(HCLK)의 주파수가 변화할 때 본 발명의 한 실시예에 따른 액정 표시 장치의 동작을 살펴본다.

데이터 구동 집적 회로(IC1, IC2, …,ICk)의 출력부(546)의 지연 회로는 출력 영상 신호(DAT_1-DAT_k)의 스큐(skew)를 줄일 수 있으나 데이터 클록 신호(HCLK)의 주파수의 급격한 변화에 따라 실시간으로 반응하지 못한다. 따라서 데이터 클록 신호(HCLK) 주파수가 급격히 변화할 때 충분한 리셋 시간(reset time)이 필요하며, 리셋 시간 동안 비정상 출력 영상 신호가 래치(542)로 전달된다.

도 5를 참조하면, 정상적인 표시 동작을 수행하다가, j번째 화소행의데이터 입력 구간에서 데이터 클록 신호(HCLK)의 주파수가 급격히 변화하면, (예를 들어, 윈도우 데스크탑 화면에서 DOS 창을 전체 화면으로 확대하는 경우, 게임을 하는 도중 전체 화면으로 확대하는 경우, 비디오 카드를 강제로 제어할 수 있는 프로그램 등을 이용하여 주파수를 급격하게 바꾸는 경우 등) 리셋 구간(T1)이 시작된다.

리셋 구간(T1) 동안 데이터 구동 집적 회로(IC1, IC2, …,ICk)는 비정상 출력 영상 신호를 아날로그 데이터 전압으로 변환하여 출력단(Y1, Y2, …, Yr)을 통해 해당 데이터선(D_1-D_m)으로 출력한다.

이때, 신호 제어부(600)는 리셋 구간(T1) 동안 하이 레벨의 게이트 클록 신호(CLK)를 게이트 구동부(400)로 출력한다. 게이트 구동부(400)는 게이트 클록 신호(CLK)의 상승 에지에서 동기되어 j번째 게이트 신호(Vg_j)를 게이트 온 전압(Von)으로 천이하여 해당 화소(PX)에 공급한다.

게이트 클록 신호(CLK)의 하이 레벨이 리셋 구간(T1) 동안 유지되므로, 게이트 구동부(400)는 리셋 구간(T1) 동안 j번째 게이트 신호(Vg_j)를 게이트 온 전압(Von)으로 유지하고, 다음 게이트 신호(Vg_{j+1})를 출력하지 않는다. 따라서, 리셋 구간(T1)이 5H라 하면, j번째 게이트 신호(Vg_j)는 5H 동안 게이트 온 전압(Von)을 유지하고, j+1번째부터 j+4번째 게이트 신호(Vg_{j+1}-Vg_{+4})는 이전 프레임의 레벨인 게이트 오프 전압(Voff)을 유지한다. 따라서 5H동안 비정상 데이터 전압이 데이터선(D1-Dm)으로 출력되더라도 게이트 오프 전압(Voff)에 따라 화소(PX)의 스위칭 소자(Q)가 턴 오프 상태를 유지하므로, 화소(PX)는 비정상 표시를 하지 않고 이전 프레임의 표시를 유지한다.

이때, 게이트 구동부(400)가 게이트 온 전압(Von)의 지속 시간을 한정하는 출력 인에이블 신호(OE)를 인가 받는 경우, 게이트 신호(Vg_j)는 출력 인에이블 신호(OE)의 상승 에지에서 마스킹(masking)되므로 리셋 구간(T1) 동안 출력 인에이블 신호(OE)를 하이 레벨로 유지한다.

다음으로 데이터 구동부(400)의 지연 회로가 리셋되면 비상 안전(fail safe) 구간(T2)이 시작된다. 비상 안전 구간(T2) 동안 신호 제어부(600)는 블랙의 정상 출력 영상 신호를 데이터 구동 집적 회로(IC1, IC2, …,ICk)로 출력하고, 데이터 구동 집적 회로(IC1, IC2, …,ICk)는 블랙의 정상 출력 영상 신호를 아날로그 정상 데이터 전압으로 변환한다.

또한, 신호 제어부(600)에 따라 게이트 클록 신호(CLK)가 로우 레벨로 천이하고, 다시 이전과 같은 주기의 클록 신호를 가진다. 따라서 게이트 클록 신호(CLK)의 다음 상승 에지에서 j+1번째 게이트 신호(Vg_{j+1})가 게이트 온 전압(Von)을 가지며 j+1번째 게이트선(Gj+1)을 따라 화소(PX)에 전달된다. 화소(PX)의 스위칭 소자(Q)는 j+1번째 게이트 신호(Vg_{j+1})의 게이트 온 전압(Von)에 따라 턴 온되어 정상 데이터 전압을 공급받는다. 화소(PX)는 정상 데이터 전압에 따라 액정의 배열을 달리하여 블랙을 표시한다.

이와 같은 동작은 비상 안전 구간(T2) 동안 행을 이루는 화소(PX)에서 순차적으로 진행되며 화소(PX)는 블랙을 표시한다. 신호 제어부(600)는 비상 안전 구간(T2)이 끝나면 다시 영상을 표시하기 위한 출력 영상 신호(DAT_1-DAT_k)를 데이터 구동 집적 회로(IC1, IC2, …,ICk)로 출력하며, 데이터 구동 집적 회로(IC1, IC2, …,ICk)는 변화된 주파수에 따라 출력 영상 신호(DAT_1-DAT_k)를 전송한다.

따라서, 급격한 데이터 클록 신호(HCLK)의 주파수 변화에 따른 비정상 데이터 전압을 화소(PX)에 인가하지 않음으로써 비정상적인 영상이 표시되는 것을 방지할 수 있다.

이상에서는 게이트 신호(Vg_1-Vg_m)가 게이트 클록 신호(CLK)의 상승 에지에서 동기되는 것으로 설명하였으나, 이와 달리 게이트 신호(Vg_1-Vg_m)가 게이트 클록 신호(CLK)의 하강 에지에서 동기하는 경우, 리셋 구간(T1) 동안 게이트 클록 신호(CLK)를 로우 레벨로 고정시킬 수 있다.

이하에서는 도 6 및 도 7을 참조하여 본 발명의 다른 실시예에 따른 액정 표시 장치를 살펴본다.

도 6은 본 발명의 다른 실시예에 따른 액정 표시 장치의 게이트 구동부(400)의 블록도이고, 도 7은 도 6의 게이트 구동부(400)를 포함하는 액정 표시 장치의 동작을 설명하는 신호 파형도이다.

도 6을 참조하면, 본 발명의 다른 실시예에 따른 액정 표시 장치의 게이트 구동부(400) 는 일렬로 배열되어 있으며 게이트선(G_1-G_n)에 각각 연결되어 있는 복수의 스테이지(410)를 포함하는 시프트 레지스터로서, 주사 시작 신호(STV), 초기화 신호(INT), 복수의 클록 신호(CLK1, CLK2) 및 게이트 오프 전압(V_{off})이 입력된다.

각 스테이지(410)는 세트 단자(S), 게이트 전압 단자(GV), 한 쌍의 클록 단자(CK1, CK2), 리세트 단자(R), 프레임 리세트 단자(FR), 그리고 게이트 출력 단자(OUT1) 및 캐리 출력 단자(OUT2)를 가지고 있다. 다만, 마지막 더미 스테이지는 리세트 단자(R)와 프레임 리세트 단자(FR)를 가지고 있지 않다.

각 스테이지, 예를 들면 j 번째 스테이지(ST_j)의 세트 단자(S)에는 전단 스테이지(ST_{j-1})의 캐리 출력, 즉 전단 캐리 출력[Cout(j-1)]이, 리세트 단자(R)에는 후단 스테이지(ST_{j+1})의 게이트 출력, 즉 후단 게이트 출력[Gout(j+1)]이 입력되고, 클록 단자(CK1, CK2)에는 제1 클록 신호(CLK1) 및 제2 클록 신호(CLK2)가 입력되며, 게이트 전압 단자(GV)에는 게이트 오프 전압(V_{off})이 입력된다. 게이트 출력 단자(OUT1)는 게이트 출력[Gout(j)]을 내보내고 캐리 출력 단자(OUT2)는 캐리 출력[Cout(j)]을 내보낸다.

단, 시프트 레지스터(400)의 첫 번째 스테이지에는 전단 캐리 출력 대신 주사 시작 신호(STV)가 입력된다.

또한, j 번째 스테이지(ST_j)의 클록 단자(CK1)에 제1 클록 신호(CLK1)가, 클록 단자(CK2)에 제2 클록 신호(CLK2)가 입력되는 경우, 이에 인접한 (j-1)번째 및 (j+1)번째 스테이지(ST_{j-1}, ST_{j+1})의 클록 단자(CK1)에는 제2 클록 신호(CLK2)가, 클록 단자(CK2)에는 제1 클록 신호(CLK1)가 입력된다.

도 7에 도시한 바와 같이 제1 및 제2 클록 신호(CLK1, CLK2)는 듀티비가 50%이고 제1 및 제2 클록 신호(CLK1, CLK2)의 위상 차는 180°일 수 있다.

도 7을 참조하면, 정상 동작에서, 게이트 구동부(400)의 각각의 스테이지(ST_1-ST_n)는 이전 스테이지의 캐리 신호를 공급받아 제1 또는 제2 클록 신호(CLK1, CLK2)의 상승 에지에서 동기하여 차례로 게이트 신호(Vg_1-Vg_m)를 게이트 온 전압(Von)으로 천이한다. 즉, 홀수번째 게이트 신호는 제1 클록 신호(CLK1)의 상승 에지에서, 짝수 번째 게이트 신호는 제2 클록 신호(CLK2)의 상승 에지에서 동기되어 게이트 온 전압(Von)을 가진다.

다음으로 j+2(j는 홀수)번째 화소행의 데이터 입력 구간에서 데이터 클록 신호(HCLK)의 주파수가 급격히 변화하면 리셋 구간(T3)이 시작된다.

리셋 구간(T3) 동안 데이터 구동 집적 회로(IC1, IC2, …,ICk)는 비정상 출력 영상 신호를 아날로그 데이터 전압으로 변환하여 데이터선(D_1-D_m)으로 출력한다.

이때, 신호 제어부(600)는 제1 클록 신호(CLK)를 하이 레벨로 고정시키고, 게이트 구동부(400)는 제1 클록 신호(CLK1)의 상승 에지에서 동기되어 게이트 온 전압(Von)을 j+2번째 게이트선(Gj+2)을 통해 해당 화소(PX)에 공급한다. 또한 신호 제어부(600)는 리셋 구간(T3) 동안 제2 클록 신호(CLK2)를 로우 레벨로 고정시킨다. 따라서 게이트 구동부(400)는 리셋 구간(T3) 동안 j+2번째 게이트 신호(Vg_{j+2})를 게이트 온 전압(Von)으로 유지하고, 다음 게이트 신호(Vg_{j+3})를 출력하지 않는다. 즉, 리셋 구간(T3)이 5H라 하면, j+2번째 게이트 신호(Vg_{j+2})는 5H 동안 게이트 온 전압(Von)을 유지하고, j+3번째부터 j+7번째 게이트 신호(Vg_{j+3}-Vg_{j+7})는 이전 프레임의 레벨인 게이트 오프 전압(Voff)을 유지한다. 따라서 5H동안 비정상 데이터 전압이 데이터선(D_1-D_m)으로 출력되더라도 화소(PX)는 비정상 표시를 하지 않고 이전 프레임의 표시 상태를 유지한다.

다음으로 데이터 구동부(500)의 지연 회로가 리셋되면 비상 안전 구간(T4)이 시작되며, 데이터 구동 집적 회로(IC1, IC2, …,ICk)는 블랙의 정상 출력 영상 신호를 인가받아 아날로그 정상 데이터 전압으로 변환한다.

또한, 게이트 구동부(400)는 제1 및 제2 클록 신호(CLK1, CLK2)가 다시 이전과 같은 주기의 클록 신호를 가지므로, 제2 클록 신호(CLK2)의 다음 상승 에지에서 j+3번째 게이트 신호(Vg_{j+3})가 게이트 온 전압(Von)을 가지며, j+3번째 행의 화소(PX)는 정상 데이터 전압에 따라 블랙을 표시한다.

발명의 효과

이와 같이, 본 발명에 의하면 급격한 데이터 클록 신호의 주파수 변화에 따른 비정상 데이터 전압을 화소에 인가하지 않음으로써 비정상적인 영상이 표시되는 것을 방지할 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.

도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 데이터 구동부의 블록도이다.

도 4는 본 발명의 한 실시예에 따른 데이터 구동부의 데이터 구동 집적 회로의 블록도이다.

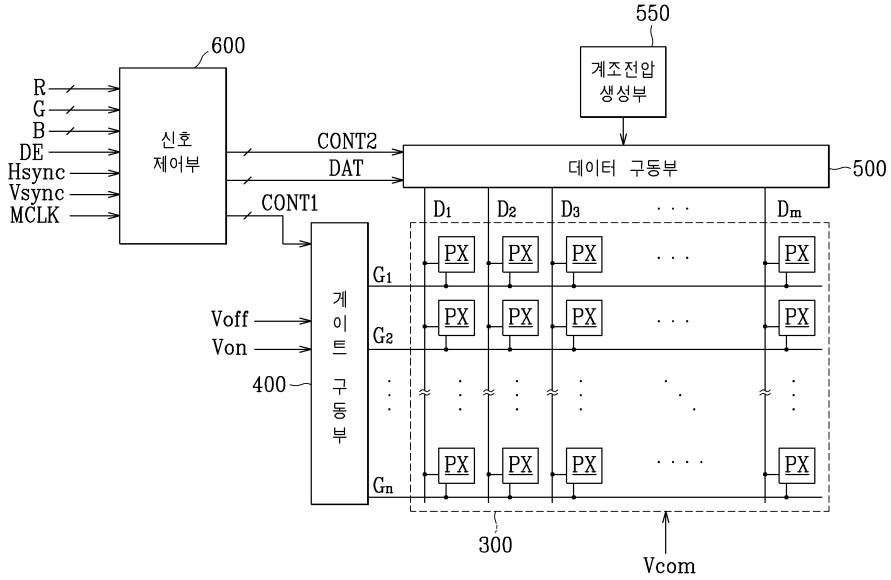
도 5는 본 발명의 한 실시예에 따른 액정 표시 장치의 동작을 설명하는 신호 파형도이다.

도 6은 본 발명의 다른 실시예에 따른 액정 표시 장치의 게이트 구동부의 블록도이다.

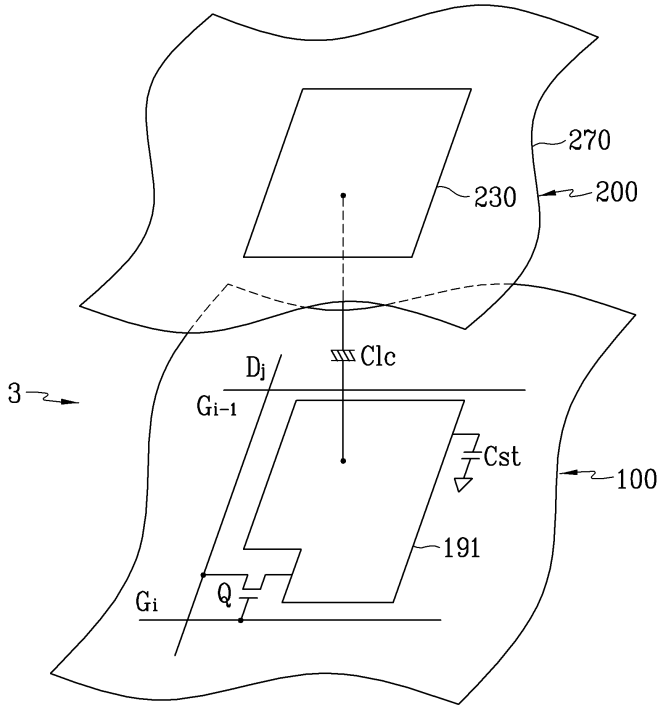
도 7은 도 6의 게이트 구동부를 포함하는 액정 표시 장치의 동작을 설명하는 신호 파형도이다.

도면

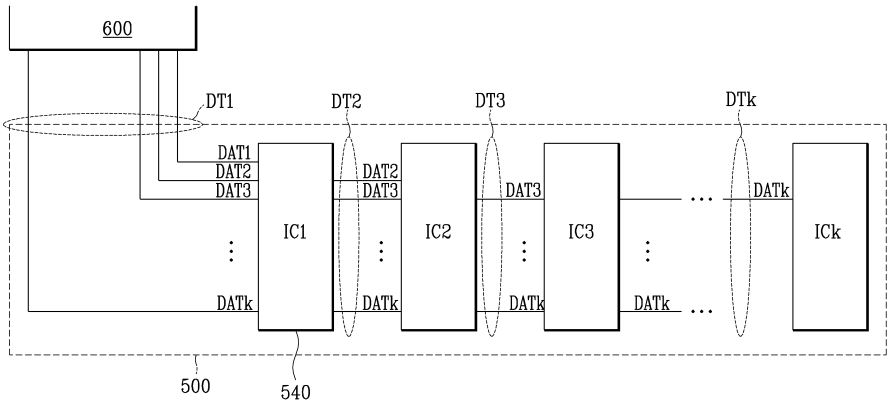
도면1


550
계조전압
생성부
600
R
G
B
DE
Hsync
Vsync
MCLK
신호
제어부
CONT2
DAT
CONT1
데이터 구동부
500
D1
D2
D3
Dm
PX
G1
G2
Gn
Voff
Von
400
게이트 구동부
300
Vcom

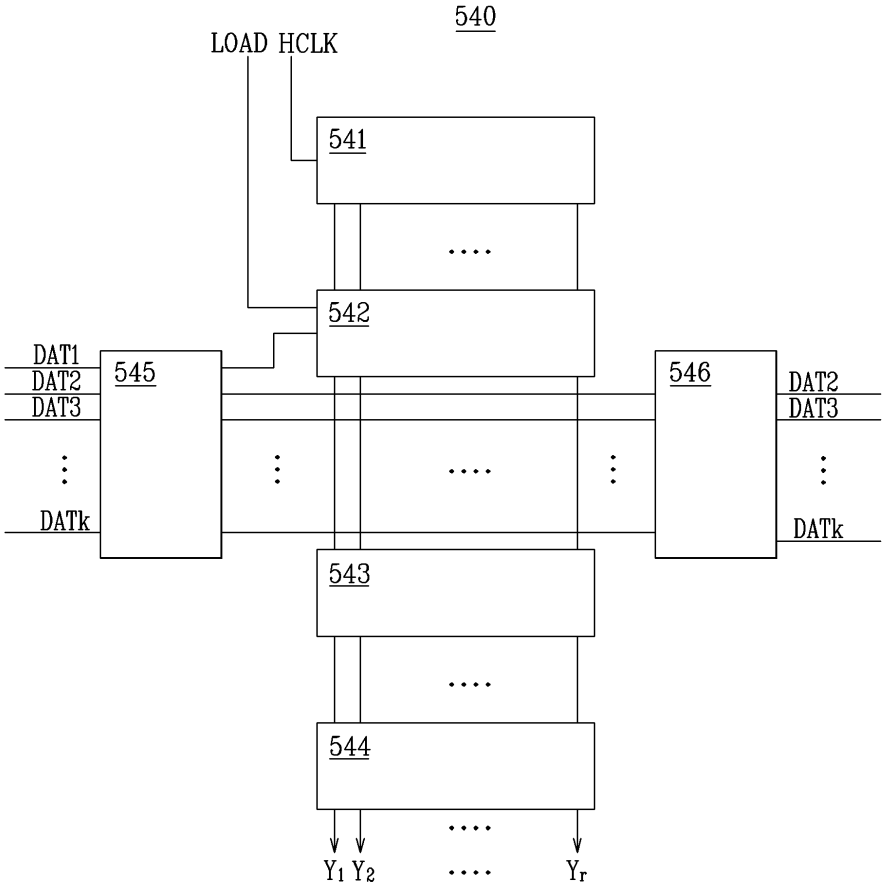
도면2


270
230
200
Clc
Dj
Gi-1
3
Cst
100
191
Gi
Q

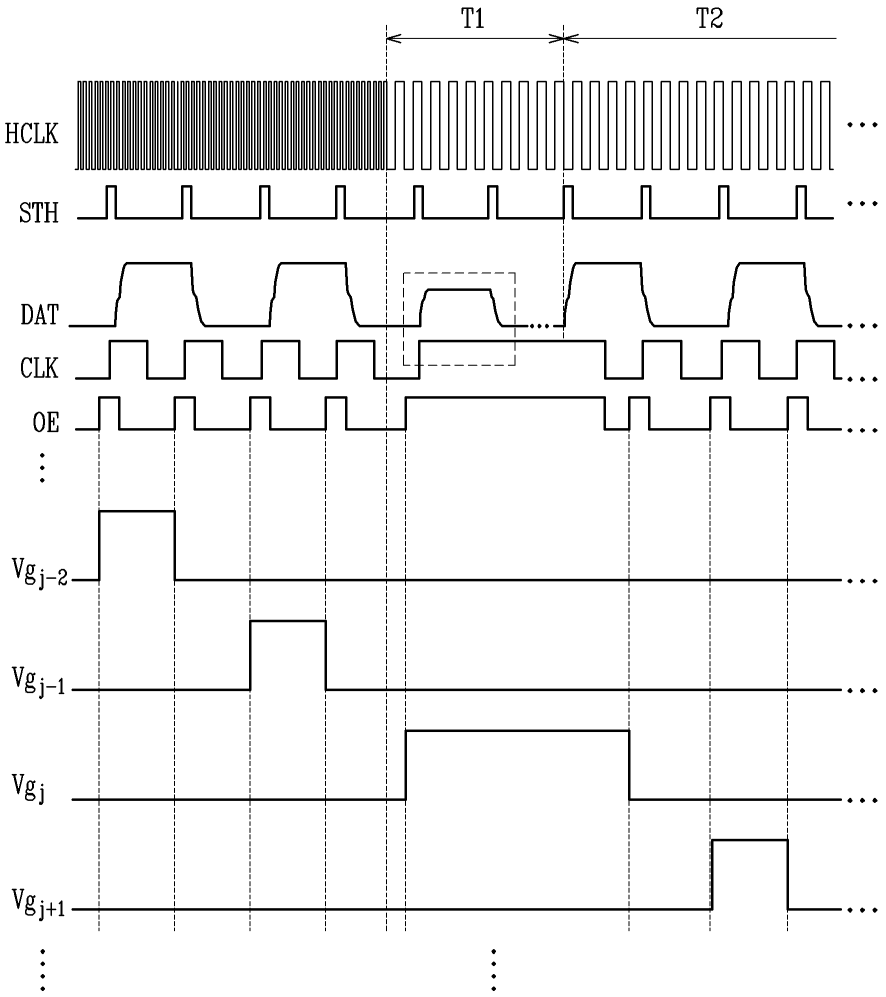
도면3


600
DT1
DT2
DT3
DTk
DAT1
DAT2
DAT3
DATk
IC1
IC2
IC3
ICk
500
540

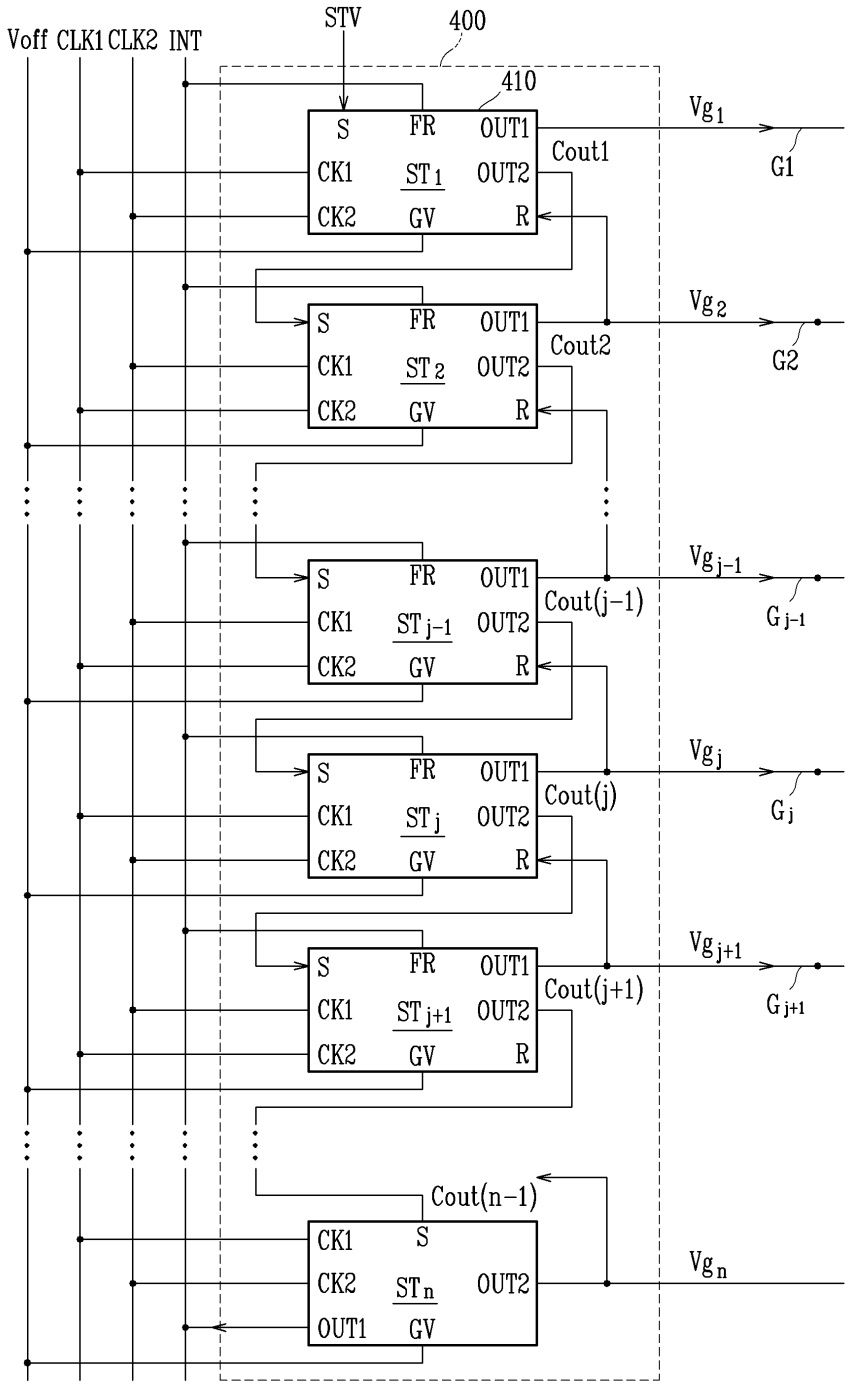
도면4


540
LOAD HCLK
541
542
543
544
545
546
DAT1
DAT2
DAT3
DATk
Y1 Y2
Yr

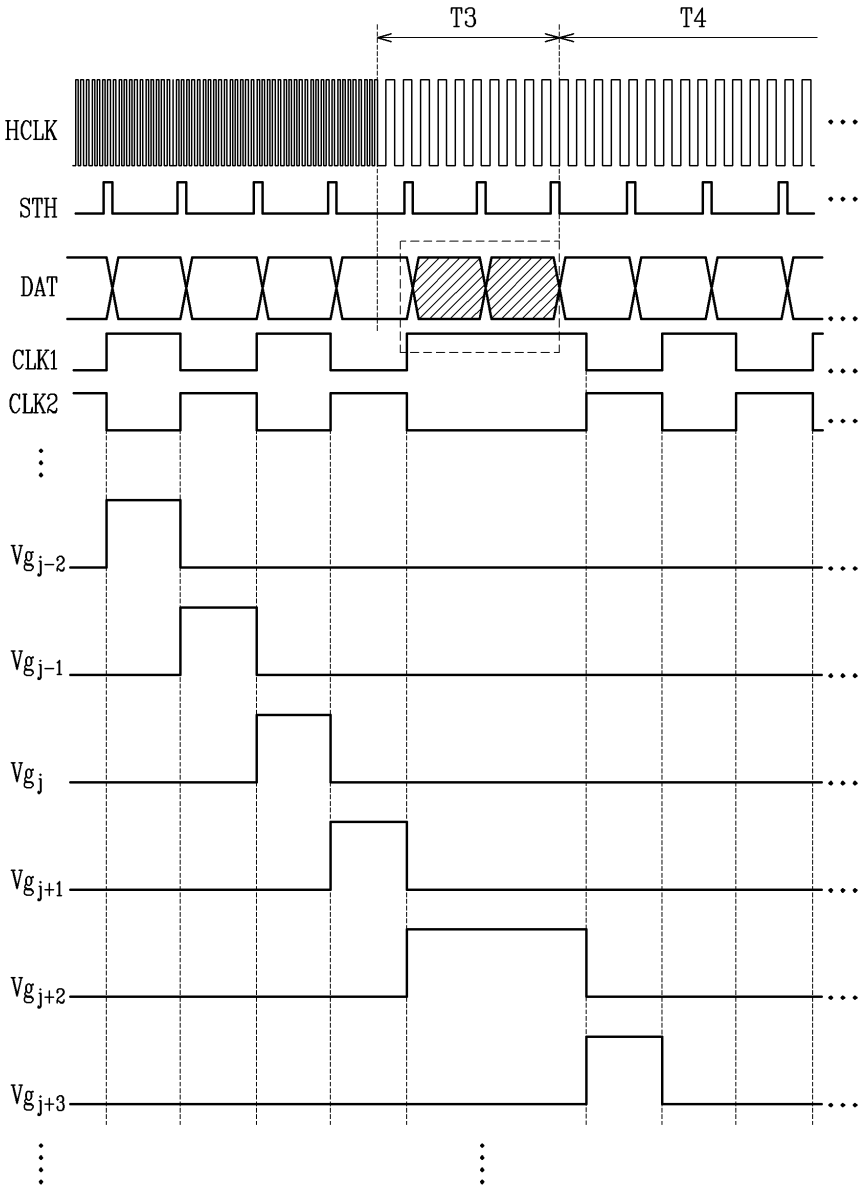
도면5



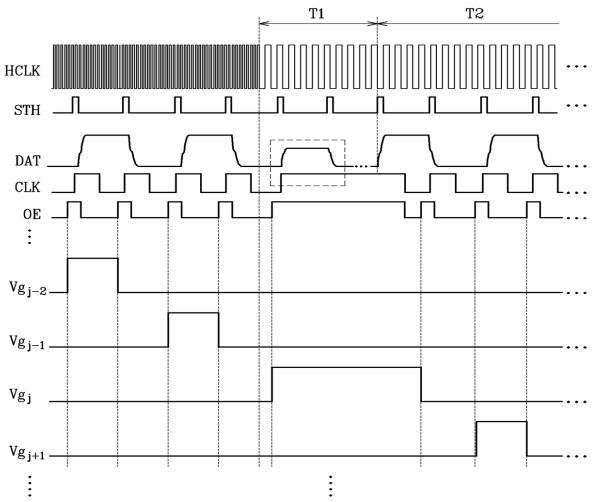
도면6


Voff
CLK1
CLK2
INT
STV
400
410
S
FR
OUT1
CK1
ST1
OUT2
CK2
GV
R
Cout1
Vg1
G1
ST2
Cout2
Vg2
G2
STj-1
Cout(j-1)
Vgj-1
Gj-1
STj
Cout(j)
Vgj
Gj
STj+1
Cout(j+1)
Vgj+1
Gj+1
Cout(n-1)
STn
Vgn

도면7



专利名称(译)	显示设备		
公开(公告)号	KR1020070080929A	公开(公告)日	2007-08-14
申请号	KR1020060012464	申请日	2006-02-09
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM MYEONG SU		
发明人	KIM, MYEONG SU		
IPC分类号	G09G3/20 G09G3/36 G02F1/133		
CPC分类号	G09G3/3677 G09G3/3688 G09G5/008 G09G2330/04 G09G2330/12		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器。并且该装置包括根据栅极驱动单元传输数据的数据驱动器和根据多个像素连续授权栅极信号的数据时钟，以及像素中的门控时钟信号，并将数据转换为模拟数据电压并在像素。并且直到发送正常数据，因为根据数据时钟的变化发送异常数据，门控时钟信号的状态是固定的。因此，通过根据像素中的突发数据时钟的频移来授权异常数据电压，可以防止指示异常图像。液晶显示器，栅极驱动单元，数据驱动器，级联电气传输。