



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/20 (2006.01)

G09G 3/36 (2006.01)

(11) 공개번호

10-2007-0078166

(43) 공개일자

2007년07월31일

(21) 출원번호 10-2006-0008148

(22) 출원일자 2006년01월26일

심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 전진
경기도 수원시 장안구 천천동 삼성래미안아파트 107동 204호

(74) 대리인 팬코리아특허법인

전체 청구항 수 : 총 42 항

(54) 표시 장치 및 그 구동 장치

(57) 요약

본 발명은 복수의 화소를 포함하는 표시 장치를 구동하는 장치에 관한 것으로, 상기 구동 장치는 상기 화소에 연결되어 있고 게이트 신호를 상기 화소에 전달하는 복수의 게이트선, 상기 화소에 유지 전압을 전달하는 복수의 유지 전극선, 그리고 상기 유지 전압을 생성하는 복수의 유지 전극선 구동 회로를 포함한다. k번째 유지 전극선에 연결된 유지 전극선 구동 회로는 제1 제어 신호가 인가되고, (k+1)번째 게이트선에 인가되는 (k+1)번째 게이트 신호에 의해 동작 상태가 변하여, 해당 화소에 인가되는 데이터 전압의 극성에 따라 제1 레벨과 제2 레벨을 갖는 유지 전압을 상기 k번째 유지 전극선에 인가하는 유지 전압 인가부, 제2 및 제3 제어 신호가 인가되고, 상기 (k+1)번째 게이트 신호에 의해 동작 상태가 바뀌는 제어부, 그리고 상기 제어부의 동작에 따라 상기 상기 유지 전압 인가부에서 출력되는 상기 유지 전압을 소정 시간 유지하는 전압 유지부를 포함한다(여기서 k는 자연수이다).

대표도

도 3

특허청구의 범위

청구항 1.

복수의 화소를 포함하는 표시 장치를 구동하는 장치로서,

상기 화소에 연결되어 있고 게이트 신호를 상기 화소에 전달하는 복수의 게이트선,

상기 화소에 유지 전압을 전달하는 복수의 유지 전극선, 그리고

상기 유지 전압을 생성하는 복수의 유지 전극선 구동 회로

를 포함하고,

k번째 유지 전극선에 연결된 유지 전극선 구동 회로는, 제1 제어 신호가 인가되고, (k+1)번째 게이트선에 인가되는 (k+1) 번째 게이트 신호에 의해 동작 상태가 변하여, 해당 화소에 인가되는 데이터 전압의 극성에 따라 제1 레벨과 제2 레벨을 갖는 유지 전압을 상기 k번째 유지 전극선에 인가하는 유지 전압 인가부,

제2 및 제3 제어 신호가 인가되고, 상기 (k+1)번째 게이트 신호에 의해 동작 상태가 바뀌는 제어부, 그리고

상기 제어부의 동작에 따라 상기 유지 전압 인가부에서 출력되는 상기 유지 전압을 소정 시간 유지하는 전압 유지부를 포함하는 표시 장치의 구동 장치(여기서 k는 자연수이다).

청구항 2.

복수의 화소를 포함하는 표시 장치를 구동하는 장치로서,

상기 화소에 연결되어 있고 게이트 신호를 상기 화소에 전달하는 복수의 게이트선,

상기 화소에 유지 전압을 전달하는 복수의 유지 전극선, 그리고

상기 유지 전압을 생성하는 복수의 유지 전극선 구동 회로

를 포함하고,

k번째 유지 전극선에 연결된 유지 전극선 구동 회로는,

제1 제어 신호가 인가되고, k번째 게이트선에 인가되는 k번째 게이트 신호에 의해 동작 상태가 변하여, 상기 k번째 게이트 신호에 게이트 온 전압이 인가되는 동안, 해당 화소에 인가되는 데이터 전압의 극성에 따라 제1 또는 제2 레벨의 유지 전압을 상기 k번째 유지 전극선에 인가하는 제1 유지 전압 인가부,

상기 제1 제어 신호가 인가되고, (k+1)번째 게이트선에 인가되는 (k+1)번째 게이트 신호에 의해 동작 상태가 변하여, 해당 화소에 인가되는 데이터 전압의 극성에 따라 제2 또는 제1 레벨의 유지 전압을 상기 k번째 유지 전극선에 인가하는 제2 유지 전압 인가부,

제2 및 제3 제어 신호가 인가되고, 상기 (k+1)번째 게이트 신호에 의해 동작 상태가 바뀌는 제어부, 그리고

상기 제어부의 동작에 따라 상기 유지 전압 인가부에서 출력되는 상기 유지 전압을 소정 시간 유지하는 전압 유지부를 포함하는 표시 장치의 구동 장치(여기서 k는 자연수이다).

청구항 3.

제1항 또는 제2항에서,

상기 제1 제어 신호는 상기 제3 제어 신호의 동일한 위상을 갖는 표시 장치의 구동 장치.

청구항 4.

제3항에서,

상기 2 제어 신호는 상기 제3 제어 신호와 반대의 위상을 갖는 표시 장치의 구동 장치.

청구항 5.

제4항에서,

상기 제1 내지 제3 제어 신호는 동일한 주기를 갖는 표시 장치의 구동 장치.

청구항 6.

제5항에서,

상기 제1 내지 제3 제어 신호의 주기는 1H인 표시 장치의 구동 장치.

청구항 7.

제5항에서,

상기 제1 내지 제3 제어 신호의 듀티비는 동일한 표시 장치의 구동 장치.

청구항 8.

제7항에서,

상기 제1 내지 제3 제어 신호의 듀티비는 50%인 표시 장치의 구동 장치.

청구항 9.

제1항 또는 제2항에서,

상기 복수의 유지 전극선 구동 회로 중 하나에 게이트 신호를 전달하는 더미선을 더 포함하는 표시 장치의 구동 장치.

청구항 10.

제9항에서,

상기 더미선은 마지막 유지 전극선 구동 회로에 연결되어 있는 표시 장치의 구동 장치.

청구항 11.

제2항에서,

상기 게이트 신호는 게이트 온 전압과 게이트 오프 전압을 구비하고,

인접한 두 게이트 신호의 게이트 온 전압은 소정 기간 동안 중첩하는

표시 장치의 구동 장치.

청구항 12.

제11항에서,

인접한 두 게이트 신호의 게이트 온 전압은 1H 동안 중첩하는 표시 장치의 구동 장치.

청구항 13.

제1항 또는 제2항에서,

상기 유지 전압 인가부 또는 제2 유지 전압 인가부는 $(k+1)$ 번째 게이트선에 인가되는 $(k+1)$ 번째 게이트 신호에 제어 단자가 연결되어 있고, 상기 제1 제어 신호에 입력 단자가 연결되어 있으며, 상기 k 번째 유지 전극선에 출력 단자가 연결된 제1 트랜지스터를 포함하는 표시 장치의 구동 장치.

청구항 14.

제13항에서,

상기 제어부는 상기 $(k+1)$ 번째 게이트 신호에 제어 단자가 연결되어 있고, 상기 제2 제어 신호에 입력 단자가 연결되어 있는 제2 트랜지스터, 그리고 상기 $(k+1)$ 번째 게이트 신호에 제어 단자가 연결되어 있고, 상기 제3 제어 신호에 입력 단자가 연결되어 있는 제3 트랜지스터를 포함하는 표시 장치의 구동 장치.

청구항 15.

제14항에서,

상기 전압 유지부는,

상기 제3 트랜지스터의 출력 단자에 제어 단자가 연결되어 있고, 제1 구동 전압에 입력 단자가 연결되어 있으며, 상기 k 번째 유지 전극선에 출력 단자가 연결되어 있는 제4 트랜지스터,

상기 제2 트랜지스터의 출력 단자에 제어 단자가 연결되어 있고, 상기 k 번째 유지 전극선에 입력 단자가 연결되어 있으며, 제2 구동 전압에 출력 단자가 연결되어 있는 제5 트랜지스터,

상기 제4 트랜지스터의 입력 단자와 제어 단자 사이에 연결된 제1 축전기, 그리고

상기 제5 트랜지스터의 제어 단자와 출력 단자 사이에 연결된 제2 축전기

를 포함하는 표시 장치의 구동 장치.

청구항 16.

제2항에서,

상기 제1 유지 전압 인가부는 상기 제1 제어 신호에 입력 단자가 연결되어 있고 k번째 게이트 신호에 제어 단자가 연결되어 있고, 상기 k번째 유지 전극선에 출력 단자가 연결되어 있는 트랜지스터를 포함하는 표시 장치의 구동 장치.

청구항 17.

제1항 또는 제2항에서,

상기 유지 전압은 제1 레벨과 상기 제1 레벨보다 낮은 제2 레벨을 갖고, 인접한 유지 전극선에 인가되는 유지 전압의 레벨은 서로 다른 표시 장치의 구동 장치.

청구항 18.

제17항에서,

동일한 유지 전극선에 인가되는 유지 전압의 레벨은 프레임마다 반전되는 표시 장치의 구동 장치.

청구항 19.

각각 스위칭 소자를 구비한 복수의 화소,

상기 스위칭 소자에 연결되어 있고 게이트 신호를 상기 스위칭 소자에 전달하는 복수의 게이트선,

상기 게이트선 중 제1 그룹에 게이트 신호를 전달하는 제1 게이트 구동부,

상기 게이트선 중 제2 그룹에 게이트 신호를 전달하는 제2 게이트 구동부,

상기 화소에 유지 전압을 전달하는 복수의 유지 전극선,

상기 유지 전압을 생성하여 상기 유지 전극선 중 제1 그룹 각각에 유지 전압을 전달하는 복수의 제1 유지 전극선 구동 회로, 그리고

상기 유지 전압을 생성하여 상기 유지 전극선 중 제2 그룹 각각에 유지 전압을 전달하는 복수의 제2 유지 전극선 구동 회로를 포함하고,

k번째 유지 전극선에 연결된 유지 전극선 구동 회로는,

제1 제어 신호가 인가되고, (k+1)번째 게이트선에 인가되는 (k+1)번째 게이트 신호에 의해 동작 상태가 변하여, 해당 화소에 인가되는 데이터 전압의 극성에 따라 제1 레벨과 제2 레벨을 갖는 유지 전압을 상기 k번째 유지 전극선에 인가하는 유지 전압 인가부,

제2 및 제3 제어 신호가 인가되고, 상기 (k+1)번째 게이트 신호에 의해 동작 상태가 바뀌는 제어부, 그리고

상기 제어부의 동작에 따라 상기 유지 전압 인가부에서 출력되는 상기 유지 전압을 소정 시간 유지하는 전압 유지부

를 포함하는 표시 장치(여기서 k 는 자연수이다).

청구항 20.

각각 스위칭 소자를 구비한 복수의 화소,

상기 스위칭 소자에 연결되어 있고 게이트 신호를 상기 스위칭 소자에 전달하는 복수의 게이트선,

상기 게이트선에 상기 게이트 신호를 전달하는 게이트 구동부,

상기 화소에 유지 전압을 전달하는 복수의 유지 전극선, 그리고

상기 유지 전압을 생성하는 복수의 유지 전극선 구동 회로

를 포함하고,

k 번째 유지 전극선에 연결된 유지 전극선 구동 회로는,

제1 제어 신호가 인가되고, k 번째 게이트선에 인가되는 k 번째 게이트 신호에 의해 동작 상태가 변하여, 상기 k 번째 게이트 신호에 게이트 온 전압이 인가되는 동안, 해당 화소에 인가되는 데이터 전압의 극성에 따라 제1 또는 제2 레벨의 유지 전압을 상기 k 번째 유지 전극선에 인가하는 제1 유지 전압 인가부,

상기 제1 제어 신호가 인가되고, $(k+1)$ 번째 게이트선에 인가되는 $(k+1)$ 번째 게이트 신호에 의해 동작 상태가 변하여, 해당 화소에 인가되는 데이터 전압의 극성에 따라 제2 또는 제1 레벨의 유지 전압을 상기 k 번째 유지 전극선에 인가하는 제2 유지 전압 인가부,

제2 및 제3 제어 신호가 인가되고, 상기 $(k+1)$ 번째 게이트 신호에 의해 동작 상태가 바뀌는 제어부, 그리고

상기 제어부의 동작에 따라 상기 유지 전압 인가부에서 출력되는 상기 유지 전압을 소정 시간 유지하는 전압 유지부를 포함하는 표시 장치 (여기서 k 는 자연수이다).

청구항 21.

제19항 또는 제20항에서,

상기 제1 제어 신호는 상기 제3 제어 신호의 동일한 위상을 갖는 표시 장치.

청구항 22.

제21항에서,

상기 제2 제어 신호는 상기 제3 제어 신호와 반대의 위상을 갖는 표시 장치.

청구항 23.

제22항에서,

상기 제1 내지 제3 제어 신호는 동일한 주기를 갖는 표시 장치.

청구항 24.

제23항에서,

상기 제1 내지 제3 제어 신호의 주기는 1H인 표시 장치.

청구항 25.

제22항에서,

상기 제1 내지 제3 제어 신호의 듀티비는 동일한 표시 장치.

청구항 26.

제25항에서,

상기 제1 내지 제3 제어 신호의 듀티비는 50%인 표시 장치.

청구항 27.

제19항에서,

상기 제1 또는 제2 유지 전극선 구동 회로 중 하나에 게이트 신호를 전달하는 더미선을 더 포함하는 표시 장치.

청구항 28.

제19항에서,

상기 게이트 신호는 게이트 온 전압과 게이트 오프 전압을 구비하고,

상기 제1 게이트 구동부에서 임의의 한 제1 게이트선에 인가되는 게이트 온 전압과 상기 제2 게이트 구동부에서 임의의 한 제2 게이트선에 인가되는 게이트 온 전압은 소정 기간 동안 중첩하고,

상기 제1 게이트선과 상기 제2 게이트선은 인접해 있는 표시 장치.

청구항 29.

제28항에서,

인접한 두 게이트 신호의 게이트 온 전압은 1H 동안 중첩하는 표시 장치.

청구항 30.

제20항에서,

상기 유지 전극선 구동 회로 중 하나에 게이트 신호를 전달하는 더미선을 더 포함하는 표시 장치.

청구항 31.

제19항에서,

상기 제1 및 제2 유지 전극선 구동 회로는 상기 스위칭 소자와 동일한 공정으로 형성되는 표시 장치.

청구항 32.

제19항에서,

상기 제1 및 제2 게이트 구동부는 상기 스위칭 소자와 동일한 공정으로 형성되는 표시 장치.

청구항 33.

제20항에서,

상기 유지 전극선 구동 회로는 상기 스위칭 소자와 동일한 공정으로 형성되는 표시 장치.

청구항 34.

제20항에서,

상기 게이트 구동부는 상기 스위칭 소자와 동일한 공정으로 형성되는 표시 장치.

청구항 35.

제19항 또는 제20항에서,

상기 표시 장치는 상기 스위칭 소자에 연결되어 상기 화소에 데이터 전압을 인가하는 데이터 구동부를 더 포함하는 표시 장치.

청구항 36.

제35항에서,

상기 데이터 전압의 극성은 행 반전인 표시 장치.

청구항 37.

제19항 또는 제20항에서,

상기 유지 전압 인가부 또는 제2 유지 전압 인가부는 (k+1)번째 게이트선에 인가되는 (k+1)번째 게이트 신호에 제어 단자가 연결되어 있고, 상기 제1 제어 신호에 입력 단자가 연결되어 있으며, 상기 k번째 유지 전극선에 출력 단자가 연결된 제1 트랜지스터를 포함하는 표시 장치.

청구항 38.

제37항에서,

상기 제어부는 상기 (k+1)번째 게이트 신호에 제어 단자가 연결되어 있고, 상기 제2 제어 신호에 입력 단자가 연결되어 있는 제2 트랜지스터, 그리고 상기 (k+1)번째 게이트 신호에 제어 단자가 연결되어 있고, 상기 제3 제어 신호에 입력 단자가 연결되어 있는 제3 트랜지스터를 포함하는 표시 장치.

청구항 39.

제38항에서,

상기 전압 유지부는,

상기 제3 트랜지스터의 출력 단자에 제어 단자가 연결되어 있고, 제1 구동 전압에 입력 단자가 연결되어 있으며, 상기 k번째 유지 전극선에 출력 단자가 연결되어 있는 제4 트랜지스터,

상기 제2 트랜지스터의 출력 단자에 제어 단자가 연결되어 있고, 상기 k번째 유지 전극선에 입력 단자가 연결되어 있으며, 제2 구동 전압에 출력 단자가 연결되어 있는 제5 트랜지스터,

상기 제4 트랜지스터의 입력 단자와 제어 단자 사이에 연결된 제1 축전기, 그리고

상기 제5 트랜지스터의 제어 단자와 출력 단자 사이에 연결된 제2 축전기

를 포함하는 표시 장치.

청구항 40.

제20항에서,

상기 제1 유지 전압 인가부는 상기 제1 제어 신호에 입력 단자가 연결되어 있고 k번째 게이트 신호에 제어 단자가 연결되어 있고, 상기 k번째 유지 전극선에 출력 단자가 연결되어 있는 트랜지스터를 포함하는 표시 장치.

청구항 41.

제19항 또는 제20항에서,

상기 유지 전압은 제1 레벨과 상기 제1 레벨보다 낮은 제2 레벨을 갖고, 인접한 유지 전극선에 인가되는 유지 전압의 레벨은 서로 다른 표시 장치.

청구항 42.

제41항에서,

동일한 유지 전극선에 인가되는 유지 전압의 레벨은 프레임마다 반전되는 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시 장치 및 그 구동 장치에 관한 것이다.

일반적인 액정 표시 장치(liquid crystal display, LCD)는 화소 전극 및 공통 전극이 구비된 두 표시판과 그 사이에 들어 있는 유전율 이방성(dielectric anisotropy)을 갖는 액정층을 포함한다. 화소 전극은 행렬의 형태로 배열되어 있고 박막 트랜지스터(TFT) 등 스위칭 소자에 연결되어 한 행씩 차례로 데이터 전압을 인가 받는다. 공통 전극은 표시판의 전면에 걸쳐 형성되어 있으며 공통 전압을 인가 받는다. 화소 전극과 공통 전극 및 그 사이의 액정층은 회로적으로 볼 때 액정 축전기를 이루며, 액정 축전기는 이에 연결된 스위칭 소자와 함께 화소를 이루는 기본 단위가 된다.

이러한 액정 표시 장치에서는 두 전극에 전압을 인가하여 액정층에 전계를 생성하고, 이 전계의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다. 이때, 액정층에 한 방향의 전계가 오랫동안 인가됨으로써 발생하는 열화 현상을 방지하기 위하여 프레임별로, 행별로, 또는 화소별로 공통 전압에 대한 데이터 전압의 극성을 반전시킨다.

그러나 액정 분자의 응답 속도가 느리기 때문에 액정 축전기에 충전되는 전압(이하 "화소 전압"이라 함)이 목표 전압, 즉 원하는 휘도를 얻을 수 있는 전압까지 도달하는 데는 어느 정도의 시간이 소요되며, 이 시간은 액정 축전기에 이전에 충전되어 있던 전압과의 차에 따라 달라진다. 따라서 예를 들어 목표 전압과 이전 전압의 차가 큰 경우 처음부터 목표 전압만을 인가하면 스위칭 소자가 턴온되어 있는 시간 동안 목표 전압에 도달하지 못할 수 있다.

이에 따라 이를 보상하기 위한 DCC(dynamic capacitance compensation) 방식이 제안되었다. 즉, DCC 방식은 액정 축전기 양단에 걸린 전압이 클수록 충전 속도가 빨라진다는 점을 이용한 것으로서 해당 화소에 인가하는 데이터 전압(실제로는 데이터 전압과 공통 전압의 차이지만 편의상 공통 전압을 0으로 가정한다)을 목표 전압보다 높게 하여 화소 전압이 목표 전압까지 도달하는 데 걸리는 시간을 단축한다.

발명이 이루고자 하는 기술적 과제

하지만 이러한 DCC 방식을 실시할 경우 프레임 메모리(frame memory)와 DCC 연산을 위한 구동 회로 등이 필요하므로 회로 설계의 어려움과 제조 비용이 증가한다.

또한 액정 표시 장치 중, 핸드폰 등에 사용되는 중소형 표시 장치일 경우, 소비 전력 등을 절약하기 위해, 행별로 공통 전압에 대한 데이터 전압의 극성을 반전시키는 행 반전(row inversion)을 실시하고 있지만, 중소형 표시 장치에서도 해상도가 점점 증가하여 소비 전력이 문제가 된다. 특히, DCC 연산을 실시할 경우, 추가된 연산이나 회로 등을 위한 전력 소비는 더욱 커진다.

더욱이, 행 반전일 경우, 화소별로 공통 전압에 대한 데이터 전압의 극성을 반전시키는 점 반전(dot inversion)일 경우보다 화상 표시를 위한 데이터 전압의 범위가 작다. 따라서, VA(vertical alignment) 모드 액정 표시 장치 등과 같이 액정 구동을 위한 문턱 전압(threshold voltage)이 높을 경우, 실제 화상 표시를 위한 계조를 표현하는데 이용되는 데이터 전압의 범위가 문턱 전압만큼 작아지고, 이로 인해, 휘도 표시에 어려움이 발생한다.

본 발명이 이루고자 하는 기술적 과제는 표시 장치의 소비 전력을 감소시키는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 표시 장치의 액정의 응답 속도를 향상시키는 것이다.

본 발명이 이루고자 하는 기술적 과제는 표시 장치의 소비 전력을 초래하지 않고, 화질을 향상시키는 것이다.

발명의 구성

본 발명의 한 특징에 따른 구동 장치는 복수의 화소를 포함하는 표시 장치를 구동하는 장치로서, 상기 화소에 연결되어 있고 게이트 신호를 상기 화소에 전달하는 복수의 게이트선, 상기 화소에 유지 전압을 전달하는 복수의 유지 전극선, 그리고 상기 유지 전압을 생성하는 복수의 유지 전극선 구동 회로를 포함하고, 제1 제어 신호가 인가되고, $(k+1)$ 번째 게이트선에 인가되는 $(k+1)$ 번째 게이트 신호에 의해 동작 상태가 변하여, 해당 화소에 인가되는 데이터 전압의 극성에 따라 제1 레벨과 제2 레벨을 갖는 유지 전압을 상기 k 번째 유지 전극선에 인가하는 유지 전압 인가부, 제2 및 제3 제어 신호가 인가되고, 상기 $(k+1)$ 번째 게이트 신호에 의해 동작 상태가 바뀌는 제어부, 그리고 상기 제어부의 동작에 따라 상기 유지 전압 인가부에서 출력되는 상기 유지 전압을 소정 시간 유지하는 전압 유지부를 포함한다 (여기서 k 는 자연수이다).

본 발명의 다른 특징에 따른 구동 장치는 복수의 화소를 포함하는 표시 장치를 구동하는 장치로서, 상기 화소에 연결되어 있고 게이트 신호를 상기 화소에 전달하는 복수의 게이트선, 상기 화소에 유지 전압을 전달하는 복수의 유지 전극선, 그리고 상기 유지 전압을 생성하는 복수의 유지 전극선 구동 회로를 포함하고, k 번째 유지 전극선에 연결된 유지 전극선 구동 회로는, 제1 제어 신호가 인가되고, k 번째 게이트선에 인가되는 k 번째 게이트 신호에 의해 동작 상태가 변하여, 상기 k 번째 게이트 신호에 게이트 온 전압이 인가되는 동안, 해당 화소에 인가되는 데이터 전압의 극성에 따라 제1 또는 제2 레벨의 유지 전압을 상기 k 번째 유지 전극선에 인가하는 제1 유지 전압 인가부, 상기 제1 제어 신호가 인가되고, $(k+1)$ 번째 게이트선에 인가되는 $(k+1)$ 번째 게이트 신호에 의해 동작 상태가 변하여, 해당 화소에 인가되는 데이터 전압의 극성에 따라 제2 또는 제1 레벨의 유지 전압을 상기 k 번째 유지 전극선에 인가하는 제2 유지 전압 인가부, 제2 및 제3 제어 신호가 인가되고, 상기 $(k+1)$ 번째 게이트 신호에 의해 동작 상태가 바뀌는 제어부, 그리고 상기 제어부의 동작에 따라 상기 유지 전압 인가부에서 출력되는 상기 유지 전압을 소정 시간 유지하는 전압 유지부를 포함한다 (여기서 k 는 자연수이다).

상기 제1 제어 신호는 상기 제3 제어 신호의 동일한 위상을 갖는 것이 좋고, 상기 제2 제어 신호는 상기 제3 제어 신호와 반대의 위상을 갖는 것이 바람직하다. 또한 상기 제1 내지 제3 제어 신호는 동일한 주기를 갖는 것이 바람직하다.

상기 제1 내지 제3 제어 신호의 주기는 1H일 수 있다.

상기 제1 내지 제3 제어 신호의 듀티비는 동일한 것이 좋고, 상기 제1 내지 제3 제어 신호의 듀티비는 50%일 수 있다.

상기 복수의 유지 전극선 구동 회로 중 하나에 게이트 신호를 전달하는 더미선을 더 포함할 수 있고, 상기 더미선은 마지막 유지 전극선 구동 회로에 연결되어 있는 것이 바람직하다.

상기 게이트 신호는 게이트 온 전압과 게이트 오프 전압을 구비하고, 인접한 두 게이트 신호의 게이트 온 전압은 소정 기간 동안 중첩할 수 있고, 이 경우 인접한 두 게이트 신호의 게이트 온 전압은 1H 동안 중첩할 수 있다.

본 발명의 다른 특징에 따른 표시 장치는, 각각 스위칭 소자를 구비한 복수의 화소, 상기 스위칭 소자에 연결되어 있고 게이트 신호를 상기 스위칭 소자에 전달하는 복수의 게이트선, 상기 게이트선 중 제1 그룹에 게이트 신호를 전달하는 제1 게이트 구동부, 상기 게이트선 중 제2 그룹에 게이트 신호를 전달하는 제2 게이트 구동부, 상기 화소에 유지 전압을 전달하는 복수의 유지 전극선, 그리고 상기 유지 전압을 생성하여 상기 유지 전극선 중 제1 그룹 각각에 유지 전압을 전달하는 복수의 제1 유지 전극선 구동 회로, 그리고 상기 유지 전압을 생성하여 상기 유지 전극선 중 제2 그룹 각각에 유지 전압을 전달하는 복수의 제2 유지 전극선 구동 회로를 포함하고, k 번째 유지 전극선에 연결된 유지 전극선 구동 회로는, 제1 제어 신호가 인가되고, $(k+1)$ 번째 게이트선에 인가되는 $(k+1)$ 번째 게이트 신호에 의해 동작 상태가 변하여, 해당 화소에 인가되는 데이터 전압의 극성에 따라 제1 레벨과 제2 레벨을 갖는 유지 전압을 상기 k 번째 유지 전극선에 인가하는 유지 전압 인가부, 제2 및 제3 제어 신호가 인가되고, 상기 $(k+1)$ 번째 게이트 신호에 의해 동작 상태가 바뀌는 제어부, 그리고 상기 제어부의 동작에 따라 상기 유지 전압 인가부에서 출력되는 상기 유지 전압을 소정 시간 유지하는 전압 유지부를 포함한다 (여기서 k 는 자연수이다).

본 발명의 또 다른 특징에 따른 표시 장치는, 각각 스위칭 소자를 구비한 복수의 화소, 상기 스위칭 소자에 연결되어 있고 게이트 신호를 상기 스위칭 소자에 전달하는 복수의 게이트선, 상기 게이트선에 상기 게이트 신호를 전달하는 게이트 구동부, 상기 화소에 유지 전압을 전달하는 복수의 유지 전극선, 그리고 상기 유지 전압을 생성하는 복수의 유지 전극선 구동 회로를 포함하고, 제1 제어 신호가 인가되고, k 번째 게이트선에 인가되는 k 번째 게이트 신호에 의해 동작 상태가 변하여, 상기 k 번째 게이트 신호에 게이트 온 전압이 인가되는 동안, 해당 화소에 인가되는 데이터 전압의 극성에 따라 제1 또는 제

2 레벨의 유지 전압을 상기 k번째 유지 전극선에 인가하는 제1 유지 전압 인가부, 상기 제1 제어 신호가 인가되고, (k+1) 번째 게이트선에 인가되는 (k+1)번째 게이트 신호에 의해 동작 상태가 변하여, 해당 화소에 인가되는 데이터 전압의 극성에 따라 제2 또는 제1 레벨의 유지 전압을 상기 k번째 유지 전극선에 인가하는 제2 유지 전압 인가부, 제2 및 제3 제어 신호가 인가되고, 상기 (k+1)번째 게이트 신호에 의해 동작 상태가 바뀌는 제어부, 그리고 상기 제어부의 동작에 따라 상기 유지 전압 인가부에서 출력되는 상기 유지 전압을 소정 시간 유지하는 전압 유지부를 포함한다 (여기서 k는 자연수이다).

상기 제1 제어 신호는 상기 제3 제어 신호의 동일한 위상을 가지는 것이 좋고, 상기 2 제어 신호는 상기 제3 제어 신호와 반대의 위상을 갖는 것이 바람직하다.

상기 제1 내지 제3 제어 신호는 동일한 주기를 가지는 것이 좋고, 상기 제1 내지 제3 제어 신호의 주기는 1H일 수 있다.

상기 제1 내지 제3 제어 신호의 듀티비는 동일할 수 있고, 상기 제1 내지 제3 제어 신호의 듀티비는 50%일 수 있다.

상기 제1 또는 제2 유지 전극선 구동 회로 중 하나에 게이트 신호를 전달하는 더미선을 더 포함할 수 있다.

상기 게이트 신호는 게이트 온 전압과 게이트 오프 전압을 구비하고, 상기 제1 게이트 구동부에서 임의의 한 제1 게이트선에 인가되는 게이트 온 전압과 상기 제2 게이트 구동부에서 임의의 한 제2 게이트선에 인가되는 게이트 온 전압은 소정 기간 동안 중첩하고, 상기 제1 게이트선과 상기 제2 게이트선은 인접해 있는 것이 바람직하다.

인접한 두 게이트 신호의 게이트 온 전압은 1H 동안 중첩할 수 있다.

상기 유지 전극선 구동 회로 중 하나에 게이트 신호를 전달하는 더미선을 더 포함할 수 있다.

상기 제1 및 제2 유지 전극선 구동 회로는 상기 스위칭 소자와 동일한 공정으로 형성될 수 있고, 상기 제1 및 제2 게이트 구동부는 상기 스위칭 소자와 동일한 공정으로 형성될 수 있다.

상기 유지 전극선 구동 회로는 상기 스위칭 소자와 동일한 공정으로 형성될 수 있고, 상기 게이트 구동부는 상기 스위칭 소자와 동일한 공정으로 형성될 수 있다.

상기 특징에 따른 상기 표시 장치는 상기 스위칭 소자에 연결되어 상기 화소에 데이터 전압을 인가하는 데이터 구동부를 더 포함할 수 있고, 상기 데이터 전압의 극성은 행 반전인 것이 좋다.

상기 유지 전압 인가부 또는 제2 유지 전압 인가부는 (k+1)번째 게이트선에 인가되는 (k+1)번째 게이트 신호에 제어 단자가 연결되어 있고, 상기 제1 제어 신호에 입력 단자가 연결되어 있으며, 상기 k번째 유지 전극선에 출력 단자가 연결된 제1 트랜지스터를 포함할 수 있다.

상기 제어부는 상기 (k+1)번째 게이트 신호에 제어 단자가 연결되어 있고, 상기 제2 제어 신호에 입력 단자가 연결되어 있는 제2 트랜지스터, 그리고 상기 (k+1)번째 게이트 신호에 제어 단자가 연결되어 있고, 상기 제3 제어 신호에 입력 단자가 연결되어 있는 제3 트랜지스터를 포함할 수 있다.

상기 전압 유지부는, 상기 제3 트랜지스터의 출력 단자에 제어 단자가 연결되어 있고, 제1 구동 전압에 입력 단자가 연결되어 있으며, 상기 k번째 유지 전극선에 출력 단자가 연결되어 있는 제4 트랜지스터, 상기 제2 트랜지스터의 출력 단자에 제어 단자가 연결되어 있고, 상기 k번째 유지 전극선에 입력 단자가 연결되어 있으며, 제2 구동 전압에 출력 단자가 연결되어 있는 제5 트랜지스터, 상기 제4 트랜지스터의 입력 단자와 제어 단자 사이에 연결된 제1 축전기, 그리고 상기 제5 트랜지스터의 제어 단자와 출력 단자 사이에 연결된 제2 축전기를 포함할 수 있다.

상기 제1 유지 전압 인가부는 상기 제1 제어 신호에 입력 단자가 연결되어 있고 k번째 게이트 신호에 제어 단자가 연결되어 있고, 상기 k번째 유지 전극선에 출력 단자가 연결되어 있는 트랜지스터를 포함할 수 있다.

상기 유지 전압은 제1 레벨과 상기 제1 레벨보다 낮은 제2 레벨을 갖고, 인접한 유지 전극선에 인가되는 유지 전압의 레벨은 서로 다른 것이 좋다.

동일한 유지 전극선에 인가되는 유지 전압의 레벨은 프레임마다 반전되는 것이 바람직하다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

이제 본 발명의 표시 장치 및 그 구동 장치의 한 실시예인 액정 표시 장치 및 그 구동 장치에 대하여 첨부한 도면을 참고로 하여 상세하게 설명한다.

먼저, 도 1 및 도 2를 참고하여 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 상세하게 설명한다.

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300), 이에 연결된 데이터 구동부(500), 데이터 구동부(500)에 연결된 게조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.

액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 게이트선(G_1-G_{2n}) 및 더미선(Gd), 복수의 데이터선(D_1-D_m), 그리고 복수의 유지 전극선(S_1-S_{2n})을 포함하는 복수의 신호선과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX), 게이트선(G_1-G_{2n}) 및 더미선(Gd)에 신호를 공급하는 게이트 구동부(400a, 400b), 그리고 유지 전극선(S_1-S_{2n})에 신호를 공급하는 유지 전극선 구동부(700a, 700b)를 포함한다.

반면, 도 2에 도시한 구조로 볼 때 액정 표시판 조립체(300)는 서로 마주하는 하부 및 상부 표시판(100, 200)과 그 사이에 들어 있는 액정층(3)을 포함한다.

게이트선(G_1-G_{2n})과 더미선(Gd)은 대략 행 방향으로 뻗으며 서로가 거의 평행하고, 데이터선(D_1-D_m)은 대략 열 방향으로 뻗으며 서로가 거의 평행하다. 유지 전극선(S_1-S_{2n})은 게이트선(G_1-G_{2n}) 및 더미선(Gd)과 거의 나란하게 뻗어 있으며 서로가 거의 평행하고 해당 화소행에 각각 중첩되어 있다.

각 화소(PX), 예를 들면 i 번째($i=1, 2, \dots, 2n$) 게이트선(G_i)과 j 번째($j=1, 2, \dots, m$) 데이터선(D_j)에 연결된 화소(PX)는 신호선(G_i, D_j)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)(Clc) 및 유지 축전기(storage capacitor)(Cst)를 포함한다.

스위칭 소자(Q)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 게이트선(G_i)과 연결되어 있고, 입력 단자는 데이터선(D_j)과 연결되어 있으며, 출력 단자는 액정 축전기(Clac) 및 유지 축전기(Cst)와 연결되어 있다.

액정 축전기(Clac)는 하부 표시판(100)의 화소 전극(191)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(191, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(191)은 스위칭 소자(Q)와 연결되며 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가받는다. 공통 전압은 일정 크기를 갖는 직류(DC) 전압일 수 있다.

도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(191, 270) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.

액정 축전기(Clc)의 보조적인 역할을 하는 유지 축전기(Cst)는 하부 표시판(100)에 구비된 유지 전극선(S_1-S_{2n})과 화소 전극(191)이 절연체를 사이에 두고 중첩되어 이루어지며 각 유지 전극선(S_1-S_{2n})에는 저레벨과 고레벨을 갖고, 소정 주기에 따라 레벨이 바뀌는 유지 전압이 인가된다. 저레벨 값의 한 예로서는 0V이고 고레벨 전압의 한 예로는 5V일 수 있고, 소정 주기는 1 프레임일 수 있다.

한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 화소 전극(191)에 대응하는 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(230)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(230)는 하부 표시판(100)의 화소 전극(191) 위 또는 아래에 형성할 수도 있다.

액정 표시판 조립체(300)의 바깥 면에는 빛을 편광시키는 적어도 하나의 편광자(도시하지 않음)가 부착되어 있다.

다시 도 1을 참고하면, 계조 전압 생성부(800)는 화소(PX)의 투과율과 관련된 두 별의 계조 전압 집합(또는 기준 계조 전압 집합)을 생성한다. 두 별 중 한 별은 공통 전압(Vcom)에 대하여 양의 값을 가지고 다른 한 별은 음의 값을 가진다.

게이트 구동부(400a, 400b)는 액정 표시판 조립체(300)의 게이트선(G_1-G_{2n}) 및 더미선(Gd)에 연결되어 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선(G_1-G_{2n})과 더미선(Gd)에 인가한다. 도 1에서 게이트 구동부(400a)는 홀수 번째 게이트선($G_1, G_3, \dots, G_{2n-1}$)에 연결되어 있고, 게이트 구동부(400b)는 짝수 번째 게이트선($G_2, G_4, \dots, G_{2n}$)에 연결되어 있으나, 이러한 게이트선(G_1-G_{2n})과 게이트 구동부(400a, 400b)와의 연결 관계는 반대일 수 있다. 더미선(Gd)은 게이트 구동부(400a)에 연결되어 있으나 게이트 구동부(400b)에 연결되어 있을 수 있다. 여기서 게이트 구동부(400a, 400b)는 화소의 스위칭 소자(Q)와 동일한 공정으로 형성되어 집적되어 있다. 하지만, 각 게이트 구동부(400a, 400b)는 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다.

데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(D_1-D_m)에 연결되어 있으며, 계조 전압 생성부(800)로부터의 계조 전압을 선택하고 이를 데이터 신호로서 데이터선(D_1-D_m)에 인가한다. 그러나 계조 전압 생성부(800)가 모든 계조에 대한 전압을 모두 제공하는 것이 아니라 정해진 수의 기준 계조 전압만을 제공하는 경우에, 데이터 구동부(500)는 기준 계조 전압을 분압하여 전체 계조에 대한 계조 전압을 생성하고 이 중에서 데이터 신호를 선택한다.

유지 전극선 구동부(700a, 700b)는 액정 표시판 조립체(300)의 유지 전극선(S_1-S_{2n})과 연결되어, 유지 전압을 각 유지 전극선(S_1-S_{2n})에 인가한다. 도 1에서 유지 전극선 구동부(700a)는 홀수 번째 유지 전극선($S_1, S_3, \dots, S_{2n-1}$)에 연결되어 있고, 유지 전극선 구동부(700b)는 짝수 번째 게이트선($S_2, S_4, \dots, S_{2n}$)에 연결되어 있으나, 이러한 유지 전극선(S_1-S_{2n})과 유지 전극선 구동부(700a, 700b)와의 연결 관계는 반대일 수 있다. 이러한 유지 전극선 구동부(700a, 700b)는 화소의 스위칭 소자(Q)와 동일한 공정으로 형성되어 집적되어 있지만, 이와는 달리 각 유지 전극선 구동부(700a, 700b)는 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 이러한 유지 전극선 구동부(700a, 700b)의 구조에 대해서는 다음에 좀더 상세하게 설명한다.

신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등을 제어한다.

이러한 구동 장치(500, 600, 800) 각각은 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 이와는 달리, 이들 구동 장치(500, 600, 800)가 신호선($G_1-G_{2n}, D_1-D_m, S_1-S_{2n}$) 및 박막 트랜지스터 스위칭 소자(Q) 따위와 함께 액정 표시판 조립체(300)에 집적될 수도 있다. 또한, 구동 장치(500, 600, 800)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.

그러면 이러한 액정 표시 장치의 동작에 대하여 상세하게 설명한다.

신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 입력 제어 신호의 예로는 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등이 있다.

신호 제어부(600)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 입력 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다.

게이트 제어 신호(CONT1)는 주사 시작을 지시하는 주사 시작 신호(STV)와 게이트 온 전압(Von)의 출력 주기를 제어하는 적어도 하나의 클럭 신호를 포함한다. 게이트 제어 신호(CONT1)는 또한 게이트 온 전압(Von)의 지속 시간을 한정하는 출력 인에이블 신호(OE)를 더 포함할 수 있다.

데이터 제어 신호(CONT2)는 한 행의 화소(PX)에 대한 영상 신호의 전송 시작을 알리는 수평 동기 시작 신호(STH)와 데이터선(D₁-D_m)에 데이터 신호를 인가하라는 로드 신호(LOAD) 및 데이터 클럭 신호(HCLK)를 포함한다. 데이터 제어 신호(CONT2)는 또한 공통 전압(Vcom)에 대한 데이터 신호의 전압 극성(이하 "공통 전압에 대한 데이터 신호의 전압 극성"을 줄여 "데이터 신호의 극성"이라 함)을 반전시키는 반전 신호(RVS)를 더 포함할 수 있다.

신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 행의 화소(PX)에 대한 디지털 영상 신호(DAT)를 수신하고, 각 디지털 영상 신호(DAT)에 대응하는 계조 전압을 선택함으로써 디지털 영상 신호(DAT)를 아날로그 데이터 신호로 변환한 다음, 이를 해당 데이터선(D₁-D_m)에 인가한다.

게이트 구동부(400a, 400b)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 해당 게이트선(G₁-G_{2n})에 인가하여 게이트선(G₁-G_{2n})에 연결된 스위칭 소자(Q)를 턴온시킨다. 그러면, 데이터선(D₁-D_m)에 인가된 데이터 신호가 턴온된 스위칭 소자(Q)를 통하여 해당 화소(PX)에 인가된다. 이때, 게이트 구동부(400a)에서 터미선(Gd)에 인가되는 게이트 신호는 유지 전극선 구동부(700b)에 인가되어 마지막 유지 전극선(S_{2n})에 인가되는 유지 전압의 출력 상태를 제어한다.

유지 전극선 구동부(700a, 700b)는 외부로부터의 제어 신호(VB, VA1, VA2)에 기초하여, 해당 크기의 레벨을 갖는 유지 전압을 유지 전극선(S₁-S_{2n})에 차례로 인가하여, 화소 전극(191)에 인가된 전압, 즉 화소 전극 전압을 변화시킨다. 이때, 유지 전압의 인가 시기는 화소의 충전 동작이 완료된 후, 즉 해당 게이트선(G₁-G_{2n})에 인가되는 게이트 신호가 게이트 온 전압(Von)에서 게이트 오프 전압(Voff)으로 바뀔 때이다. 또한, 인접한 유지 전극선에 인가되는 유지 전압의 레벨은 반대이다. 즉, 어느 하나의 유지 전극선에 인가되는 유지 전압이 고레벨의 전압을 가지면 바로 인접한 유지 전극선에 인가되는 유지 전압은 저레벨의 전압을 갖는다. 이러한 유지 전극선 구동부(700a, 700b)의 동작에 대해서는 다음에 좀더 상세하게 설명한다.

이미 설명한 것처럼, 화소(PX)에 인가된 화소 전극 전압과 공통 전압(Vcom)의 차이는 액정 축전기(Clc)의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자들은 화소 전압의 크기에 따라 그 배열을 달리하며 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판 조립체(300)에 부착된 편광자에 의하여 빛의 투과율 변화로 나타난다.

1 수평 주기["1H"라고도 쓰며, 수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기와 동일함]를 단위로 하여 이러한 과정을 되풀이함으로써, 모든 게이트선(G₁-G_{2n})에 대하여 차례로 게이트 온 전압(Von)을 인가하여 모든 화소(PX)에 데이터 신호를 인가하여 한 프레임(frame)의 영상을 표시한다.

한 프레임이 끝나면 다음 프레임이 시작되고 각 화소(PX)에 인가되는 데이터 신호의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 신호의 극성이 바뀌고 한 화소행에 인가되는 데이터 신호의 극성은 동일하다(행 반전).

다음, 도 3을 참고로 하여 유지 전극선 구동부(700a, 700b)에 대하여 설명한다.

도 3은 본 발명의 한 실시예에 따른 유지 전극선 구동부의 회로도이고, 도 4는 도 3에 도시한 유지 전극선 구동부의 구동 타이밍도이다.

본 발명의 한 실시예에서, 이미 설명한 것처럼, 액정 표시 장치는 1행 반전과 프레임 반전을 실시한다. 데이터 구동부(500)로부터 각 데이터선(D_1-D_m)에 인가되는 데이터 전압의 범위를 0V 내지 AVDD이고, AVDD는 약 5V일 수 있다. 또한 공통 전압(Vcom)은 $1/2AVDD - V_{kb}$ [여기서, V_{kb} 는 킥백(kick back) 전압이다.]으로 고정되어 있다.

각 유지 전극선 구동부(700a, 700b)는 유지 전극선(S_1-S_{2n})에 각각 연결된 복수의 유지 전극선 구동 회로를 포함하고, 각 유지 전극선 구동 회로는 입력되는 게이트 신호를 제외하면 모두 동일한 구조로 이루어져 같은 동작을 수행하므로, i 번째 유지 전극선(S_i)에 유지 전압(V_{si})을 인가하는 i 번째 유지 전극선 구동 회로의 구조와 동작에 대해서만 설명한다.

도 3에 도시한 바와 같이, i 번째 유지 전극선 구동 회로는 삼단자 소자인 다섯 개의 트랜지스터($Tr1-Tr5$)와 두 개의 축전기($C1, C2$)를 포함한다.

제1 트랜지스터($Tr1$)의 제어 단자는 (i+1)번째 게이트 신호(g_{i+1})에 연결되어 있고, 입력 단자는 제1 제어 신호(VB)에 연결되어 있으며, 출력 단자는 i 번째 유지 전극선(S_i)에 연결되어 유지 전압(V_{si})을 출력한다.

제2 트랜지스터($Tr2$)의 제어 단자는 (i+1)번째 게이트 신호(g_{i+1})에 연결되어 있고, 입력 단자는 제2 제어 신호(VA1)에 연결되어 있으며 출력 단자는 제5 트랜지스터($Tr5$)의 제어 단자에 연결되어 있다.

제3 트랜지스터($Tr3$)의 제어 단자는 (i+1)번째 게이트 신호(g_{i+1})에 연결되어 있고, 입력 단자는 제3 제어 신호(VA2)에 연결되어 있으며 출력 단자는 제4 트랜지스터($Tr4$)의 제어 단자에 연결되어 있다.

제4 트랜지스터($Tr4$)의 입력 단자는 소정 DC 레벨의 구동 전압(AVDD)에 연결되어 있고, 출력 단자는 i 번째 유지 전극선(S_i)에 연결되어 있고, 제5 트랜지스터($Tr5$)의 입력 단자는 제4 트랜지스터($Tr4$)의 출력 단자에 연결되어 있고, 출력 단자는 접지 전압과 같은 소정 DC 레벨의 구동 전압(AVSS)에 연결되어 있다.

또한 축전기($C1$)는 제4 트랜지스터($Tr4$)의 제어 단자와 구동 전압(AVDD) 사이에 연결되어 있고, 축전기($C2$)는 제5 트랜지스터($Tr5$)의 제어 단자와 구동 전압(AVSS) 사이에 연결되어 있다.

제1 내지 제5 트랜지스터는 비정질 규소(amorphous silicon) 또는 다결정 규소(poly crystalline silicon) 박막 트랜지스터로 이루어질 수 있고, 스위칭 소자(Q)와 함께 형성된다.

이처럼, 임의의 한 화소행에 형성된 유지 전극선에 연결된 유지 전극선 구동 회로는 바로 이전 화소행에 인가되는 게이트 신호를 인가 받으므로, 이미 설명한 것처럼 마지막 유지 전극선(S_{2n})에 연결된 유지 전극선 구동 회로는 더미선(Gd)에 연결되어 게이트 신호를 인가 받는다. 하지만, 이와는 달리, 마지막 유지 전극선(S_{2n})에 연결된 유지 전극선 구동 회로는 신호 제어부(600) 등과 같이 게이트 구동부(400a)가 아닌 다른 장치나 외부로부터 제어 신호를 인가받을 수 있다.

이러한 유지 전극선 구동 회로의 동작에 대하여 도 4를 참고로 하여 설명한다.

도 4에 도시한 것처럼, 제1 내지 제3 제어 신호(VB, VA1, VA2)의 레벨은 고레벨과 저레벨을 구비하고 있고, 제1 내지 제3 제어 신호(VB, VA1, VA2)는 1H 주기로 고레벨과 저레벨을 번갈아 갖는다. 이때 제1 내지 제3 제어 신호(VB, VA1, VA2)의 주기는 예를 들어 2H일 수 있고, 듀티비는 약 50%일 수 있다. 제1 제어 신호(VB)의 고레벨 값은 예를 들어 약 5V이고 저레벨 값은 예를 들어 약 0V이다. 제2 및 제3 제어 신호(VA1, VA2)의 고레벨 값은 약 15V이고 저레벨 값은 약 0V이다.

제1 및 제3 제어 신호(VB, VA2)의 위상은 서로 동일하며, 제2 및 제3 제어 신호(VA1, VA2)의 위상은 서로 반대이다. 또한 제1 내지 제3 제어 신호(VB, VA1, VA2)의 형태는 프레임 단위로 반전된다.

현재 프레임에서, i 번째 화소행에 인가되는 데이터 전압의 극성은 (+)이고, $(i+1)$ 번째 화소행에 인가되는 데이터 전압의 극성은 (-)이다. 또한 도 4에 도시한 것처럼, 인접한 두 게이트선에 게이트 온 전압(V_{on})을 인가하는 시간을 일부 중첩시켜, 해당 화소행의 화소는 바로 이전의 화소행에 인가되는 데이터 전압으로 예비 충전이 이루어져 화소의 충전 전압이 목표 전압으로 도달하는 시간이 단축될 수 있도록 한다. 이때, 인접한 두 게이트선에 인가되는 게이트 온 전압(V_{on})의 중첩 시간은 약 1H일 수 있다.

해당 게이트 구동부(400a, 400b)로부터 $(i+1)$ 번째 게이트선(G_{i+1})에 인가되는 게이트 신호(g_{i+1})에 게이트 온 전압(V_{on})이 인가되면, $(i+1)$ 번째 게이트선(G_{i+1})에 연결된 화소행의 충전 동작이 이루어지고, 제1 내지 제3 트랜지스터($Tr1-Tr3$)가 턴온된다.

따라서 도 4에 도시한 것처럼, 제1 트랜지스터($Tr1$)가 턴온되는 동안 제1 제어 신호(VB)가 유지 전압선(S_i)을 통해 초기 유지 전압(V_{Si})으로서 출력되어, 게이트 온 전압(V_{on})의 전반 1H 동안 유지 전압(V_{Si})은 저레벨 상태인 이전 프레임의 전압 상태를 유지한다.

이때, 게이트 온 전압(V_{on})의 전반 1H 동안, 제2 제어 신호(VA1)는 고레벨을 유지하고 제3 제어 신호(VA2)는 저레벨을 유지하므로, 턴온된 트랜지스터($Tr2, Tr3$)를 통해 각각 제5 및 제4 트랜지스터($Tr5, Tr4$)의 제어 단자에 고레벨의 신호와 저레벨의 신호가 인가되어 제5 트랜지스터($Tr5$)는 턴온되고 제4 트랜지스터($Tr4$)는 턴오프된다. 이로 인해, 게이트 온 전압(V_{on})의 전반 1H 동안, 유지 전압선(S_i)에는 제1 트랜지스터($Tr1$)와 턴온된 트랜지스터($Tr5$)를 통해 인가되는 저레벨의 전압(AVSS)가 중첩되어 저레벨의 유지 전압(V_{Si})이 인가된다. 게이트 온 전압(V_{on})의 전반 1H 동안, 축전기($C1$)는 제2 제어 신호(VA1)에 의해 충전 동작이 이루어지고 축전기($C2$)는 구동 전압(AVDD)에 의해 충전 동작이 이루어진다.

다음, 게이트 온 전압(V_{on})의 후반 1H 동안, 제2 제어 신호(VA1)는 저레벨을 유지하고 제3 제어 신호(VA2)는 고레벨을 유지하므로, 전반 1H 동안과는 반대로 제4 트랜지스터($Tr4$)는 턴온되고 제5 트랜지스터($Tr5$)는 턴오프된다. 이로 인해, 게이트 온 전압(V_{on})의 후반 1H 동안, 유지 전압선(S_i)에는 제1 트랜지스터($Tr1$)와 턴온된 트랜지스터($Tr5$)를 통해 인가되는 저레벨의 전압(AVSS)가 중첩되어 저레벨의 유지 전압(V_{Si})이 인가된다. 이때, 축전기($C1$)의 충전 전압은 제5 트랜지스터($Tr5$)의 제어 단자쪽으로 방전되고, 축전기($C2$)의 양단에는 구동 전압(AVDD)이 인가된다.

2H 경과 후 게이트 신호(g_{i+1})가 게이트 오프 전압(V_{off})으로 바뀌면, 제1 내지 제3 트랜지스터($Tr1-Tr3$)는 턴오프 상태로 바뀐다. 하지만, 제4 트랜지스터($Tr4$)의 제어 단자에 연결된 축전기($C2$)의 전압에 의해 제4 트랜지스터($Tr4$)가 턴온되어 다음 프레임의 게이트 온 전압(V_{on})인가될 때까지 구동 전압(AVDD)이 유지 전극선(S_i)의 유지 전압(V_{Si})으로서 출력되어 고레벨 상태가 유지된다.

이와 같이, 게이트 온 전압(V_{on})의 인가로 i 번째 게이트선(G_i)에 연결된 화소행의 충전 동작이 완료된 후 유지 전압(V_{Si})은 저레벨 상태에서 고레벨 상태로 바뀐다. 이러한 i 번째 유지 전극선 구동 회로의 동작과 동일하게, 도 4에 도시한 것처럼 $(i+1)$ 번째 유지 전극선 구동 회로(도시하지 않음)에 $(i+2)$ 번째 게이트 신호(g_{i+2})에 인가되면, 제1 내지 제3 트랜지스터($Tr1-Tr3$)가 턴온되어, 제1 트랜지스터($Tr1$)를 통해 게이트 온 전압(V_{on})이 인가되는 동안 제1 제어 신호(VB)가 $(i+1)$ 번째 유지 전압선(S_{i+1})을 통해 초기 유지 전압(V_{Si+1})으로서 출력된다.

이때, 게이트 온 전압(V_{on})의 전반 1H 동안 제2 제어 신호(VA1)는 저레벨을 유지하고 제3 제어 신호(VA2)는 고레벨을 유지하므로, 제4 트랜지스터($Tr4$)는 턴온되고 제5 트랜지스터($Tr5$)는 턴 오프되어 게이트 온 전압(V_{on})의 전반 1H 동안, 유지 전압선(S_{i+1})에는 제1 트랜지스터($Tr1$)와 턴온된 트랜지스터($Tr5$)를 통해 인가되는 저레벨의 전압(AVSS)가 중첩되어 저레벨의 유지 전압(V_{Si+1})이 인가된다.

게이트 온 전압(Von)의 후반 1H 동안 제2 제어 신호(VA1)는 고레벨을 유지하고 제3 제어 신호(VA2)는 저레벨을 유지하므로, 제5 트랜지스터(Tr5)는 턴온되고 제4 트랜지스터(Tr4)는 턴 오프되어 게이트 온 전압(Von)의 후반 1H 동안, 유지 전압선(S_{i+1})에는 제1 트랜지스터(Tr1)와 턴온된 트랜지스터(Tr5)를 통해 인가되는 저레벨의 전압(AVSS)가 중첩되어 저레벨의 유지 전압(V_{S_{i+1}})이 인가된다.

2H 경과 후 게이트 신호(g_{i+2})가 게이트 오프 전압(Voff)으로 바뀌면, 축전기(C2)의 전압에 의해 제4 트랜지스터(Tr4)가 턴온되어, 다음 프레임의 게이트 온전압(Von)인가될 때까지 구동 전압(AVDD)이 유지 전극선(S_{i+1})의 유지 전압(V_{S_{i+1}})으로서 출력되어 고레벨 상태가 유지된다.

이와 같은 각 유지 전극선 구동 회로의 동작에 의해, 첫 번째 유지 전극선(S₁)에서부터 마지막 유지 전극선(S_{2n})까지 차례로 유지 전압(V_s)이 인가된다.

이때, 제1 트랜지스터(Tr1)는 해당 유지 전극선에 초기 유지 전압을 인가하기 위한 트랜지스터이고, 나머지 트랜지스터(Tr2-Tr5)는 해당 유지 전극선에 인가되는 유지 전압을 다음 프레임까지 유지하기 위한 트랜지스터이므로, 이들 트랜지스터(Tr2-Tr5)의 크기는 제1 트랜지스터(Tr1)의 크기보다 훨씬 작은 것이 좋다. 한 예로 제1 트랜지스터(Tr1)의 크기(W/L)는 2000 μ m/3.5 μ m이고, 제2 및 제3 트랜지스터(Tr2, Tr3)의 크기는 100 μ m/3.5 μ m이며, 제4 및 제5 트랜지스터(Tr4, Tr5)의 크기는 500 μ m/3.5 μ m이다.

게이트 온 전압(Von)의 인가로 해당 화소행에 데이터 전압(V_D)이 인가되는 동안, 화소 전극 전압(V_p)은 데이터 전압(V_D)에만 영향을 받게 된다. 하지만, 게이트 온 전압(Von)이 인가된 후 유지 전압(V_s)을 변화시키면, 유지 축전기(Cst)의 정전 용량이 변하고, 이에 따라 화소 전극 전압(V_p)이 변화한다.

다음, 이러한 유지 전압(V_s)의 변화로 인한 화소 전극 전압(V_p)의 변화에 대하여 살펴본다.

먼저, 화소 전극 전압(V_p)은 [수학식 1]처럼 구해진다. [수학식 1]에서 Clc와 Cst는 각각 액정 축전기와 유지 축전기의 정전 용량을 나타내고, V_H는 고레벨의 유지 전압(V_s)이고 V_L는 저레벨의 유지 전압(V_s)이다. [수학식 1]에서 알 수 있듯이, 화소 전극 전압(V_p)은 데이터 전압(V_D)과 축전기(Cst, Cst)의 정전 용량과 유지 전압(V_s)의 변화에 가감되는 변화량(Δ)의 합이다.

$$V_p = V_D + \Delta = V_D + \frac{C_{st}}{C_{st} + C_{lc}} (V_H - V_L)$$

데이터 전압(V_D)의 범위는 약 0V 내지 5V이고, Cst와 Clc의 값이 서로 동일하도록 화소를 설계하며, V_H-V_L = 5V일 경우, [수학식 1]은 V_p=V_D±2.5가 된다.

결국, 유지 전압(V_s)이 변할 때, 화소 전극 전압(V_p)은, 데이터 전압(V_D)의 극성에 따라, 해당 데이터선(D₁-D_m)을 통해 인가되는 데이터 전압(V_D)보다 약 ±2.5V만큼 증감된다. 즉, (+) 극성일 때, +2.5V 증가하고 (-)극성일 때 -2.5V 감소한다. 이러한 화소 전극 전압(V_p)의 변화로 인해, 화소 전압의 범위 역시 증가한다. 예를 들어, 공통 전압(Vcom)이 약 2.5V일 때, 화소에 인가되는 약 0 내지 5V의 데이터 전압(V_D)에 의한 화소 전압의 범위는 약 -2.5V 내지 +2.5V이지만, 유지 전압(V_s)이 고레벨 전압(V_H)과 저레벨 전압(V_L)으로 변할 때 화소 전압의 범위는 약 -5V 내지 +5V로 넓어진다.

이와 같이, 유지 전압의 변화(V_H-V_L)로 인해 증가한 화소 전극 전압(V_p)의 변화량(Δ)만큼 화소 전압의 범위가 넓어지므로, 계조 표현을 위한 전압 범위가 증가하여 휘도가 향상된다.

또한 공통 전압이 일정한 전압으로 고정되어 있으므로, 낮은 전압과 높은 전압을 번갈아 인가할 때보다 소비 전력이 줄어든다. 즉, 데이터선과 공통 전극 사이에 발생하는 기생 축전기에서, 공통 전극에 인가되는 공통 전압이 약 0 또는 5V일 경

우, 이 기생 축전기에 인가되는 전압은 최대 약 $\pm 5V$ 이다. 하지만, 공통 전압이 약 $2.5V$ 로 고정될 경우, 데이터선과 공통 전극 사이에 발생하는 기생 축전기에 인가되는 전압은 최대 약 $\pm 2.5V$ 로 줄어든다. 따라서 데이터선과 공통 전극 사이에서 발생하는 기생 축전기에서 소비되는 전력이 감소하여 액정 표시 장치의 총 소비 전력이 줄어든다.

하지만, 액정의 응답속도가 느리기 때문에, 화소 전압에 따라 액정 분자가 신속하게 반응하지 않는다. 따라서 액정 축전기(Clc)의 정전 용량은 액정 축전기(Clc) 양단에 인가되는 화소 전압에 반응하여 액정 분자의 재정렬이 완료된 안정화 상태에 도달했는지의 여부에 따라 달라진다. 이로 인해 액정 분자가 안정화 상태에 도달했는지의 여부에 따라 화소 전극 전압(V_p)이 달라진다.

다음, 화소 전압에 반응하여 액정 분자가 안정화 상태에 도달했을 경우와 그렇지 않을 경우, 화소 전극 전압(V_p)의 변화를 살펴본다.

최대값의 화소 전압, 즉 최대 계조(노멀리 블랙일 경우, 화이트 계조)의 화소 전압이 액정 축전기(Clc)에 인가된 후 액정 분자가 안정화 상태에 도달할 때 액정 축전기(Clc)의 정전 용량이 최소값의 화소 전압, 최소 계조(노멀리 블랙일 경우, 블랙 계조)의 화소 전압이 액정 축전기(Clc)에 인가된 후 액정 분자가 안정화 상태에 도달할 때 액정 축전기(Clc)의 정전 용량의 약 3배라고 가정하자. 또한, $V_H - V_L = 5V$ 이고 $Clc = Cst$ 이라 하자.

따라서 최대 계조의 화소 전압이 액정 축전기(Clc)에 인가된 후 액정 분자가 안정화 상태에 도달할 때 화소 전극 전압(V_p)은 [수학식 1]과 같고, 이미 기술한 것처럼, $V_H - V_L = 5V$ 이고 $Clc = Cst$ 이므로, 화소 전극 전압(V_p)은 $V_p = V_D \pm 2.5$ 가 된다.

하지만, 최대 계조의 화소 전압이 액정 축전기(Clc)에 인가된 후 액정 분자가 안정화 상태에 도달하지 못할 경우에는, 화소 전극 전압(V_p)은 [수학식 2]와 같다.

$$\begin{aligned} V_p &= V_D q \Delta = V_D q \frac{Cst}{Cst + Clc} (V_H - V_L) \\ &= V_D q \frac{Cst}{Cst + \frac{1}{3} Cst} s(V_H - V_L) = V_D q \frac{3}{4} s(V_H - V_L) \end{aligned}$$

이때, $V_H - V_L = 5V$ 이므로, $V_p = V_D q 3.75$ 이다.

이와 같이, 최대 계조의 화소 전압이 액정 축전기(Clc)에 인가된 후 액정 분자가 안정화 상태에 도달하지 못할 경우, 화소 전극 전압(V_p)은 최소 계조의 화소 전압이 액정 축전기(Clc)에 인가된 후 액정 분자가 안정화 상태에 도달했을 때의 화소 전극 전압을 유지한다, 즉 이전 프레임의 상태를 유지한다. 따라서, 유지 전압의 변화($V_H - V_L$)로 인한 화소 전극 전압(V_p)의 변화량(Δ)은 $\pm 2.5V$ 에서 $\pm 3.75V$ 로 증가한다.

따라서, 최소 계조의 화소 전극 전압에서 다른 계조의 화소 전극 전압으로 변할 경우, 액정 분자가 안정화 상태에 도달하기 전까지는 [수학식 2]에 따라 유지 전압의 변화($V_H - V_L$)로 인한 화소 전극 전압(V_p)의 변화량(Δ)은 더욱 증가하고, $V_H - V_L = 5V$ 일 경우 최대 $\pm 3.75V$ 까지 증가한다.

이로 인해, 종래 기술에서는, 도 6에 도시한 것처럼, 매 프레임마다 목표 화소 전극 전압(V_T)에 해당하는 화소 전극 전압(V_p)을 해당 화소 전극에 인가하여도, 화소 전극에 충전된 화소 전극 전압은 충전 동작이 완료된 후 인접한 데이터 전압 등의 영향으로 감소하여, 결국 한 프레임 내에 목표 화소 전극 전압(V_T)으로 도달하지 못하고 여러 프레임을 거쳐 목표 화소 전극 전압(V_T)에 도달하지만, 본 실시예에서는, 도 5에 도시한 것처럼, 해당 화소 전극에 인가되는 화소 전극 전압(V_p)이 목표 화소 전극 전압(V_T)보다 훨씬 높은 전압이 인가되므로, 한 프레임 내에 해당 화소 전극이 목표 화소 전극 전압(V_T)에 도달하여 종래 기술보다 액정의 응답 속도(RC)가 향상된다.

다음 번 프레임에서는, i 번째 화소행에 인가되는 데이터 전압의 극성은 (-)이로 바뀌고, 제1 내지 제3 제어 신호(VB , $VA1$, $VA2$)의 레벨 상태가 반전되므로, 도 4에 도시한 것처럼, i 번째 유지 전극선(S_i)에 인가되는 전압은 i 번째 게이트선(G_i)에 인가되는 게이트 신호가 고레벨 상태에서 저레벨 상태로 바뀔 때, 고레벨에서 저레벨 상태로 바뀌게 된다. 즉, 게이

트 온 전압(V_{on})의 전반 1H동안, 유지 전압선(S_i)에는 턴온된 제1 트랜지스터($Tr1$)와 트랜지스터($Tr4$)를 통해 인가되는 고레벨의 전압($AVDD$)가 중첩되어 고레벨의 유지 전압(V_{S_i})이 인가되고, 게이트 온 전압(V_{on})의 후반 1H동안, 유지 전압선(S_i)에는 턴온된 제1 트랜지스터($Tr1$)와 트랜지스터($Tr5$)를 통해 인가되는 저레벨의 전압($AVSS$)가 중첩되어 저레벨의 유지 전압(V_{S_i})이 인가된다.

2H 경과 후 게이트 신호(g_{i+1})가 게이트 오프 전압(V_{off})으로 바뀌면, 게이트 온 전압(V_{on})의 후반 1H 동안 충전된 축전기($C1$)의 충전 전압에 의해, 제5 트랜지스터($Tr5$)가 턴온되어 다음 프레임의 게이트 온 전압(V_{on})인가될 때까지 구동 전압($AVSS$)이 유지 전극선(S_i)의 유지 전압(V_{S_i})으로서 출력되어 저레벨 상태가 유지된다.

이로 인해, i 번째 게이트선(G_i)에 연결된 화소행의 충전 동작이 완료된 후, i 번째 유지 전극선(S_i)에 인가되는 유지 전압(V_{S_i})이 고레벨 상태(V_H)에서 저레벨 상태(V_L)로 변화하여 화소 전극 전압(V_p)은 [수학식 1] 또는 [수학식 2]에 따라 정해진 변화량만큼 감소한다.

다음, 도 7 내지 도 9를 참고로 하여 본 발명의 다른 실시예에 따른 액정 표시 장치에 대하여 설명한다.

도 7은 본 발명의 다른 실시예에 따른 액정 표시 장치의 블록도이다. 도 8은 본 발명의 다른 실시예에 따른 유지 전극 구동부의 회로도이고, 도 9는 도 8의 유지 전극 구동부를 구동하기 위한 동작 타이밍도이다.

도 7에 도시한 바와 같이, 본 발명의 다른 실시예에 따른 액정 표시 장치는 모든 게이트선(G_1-G_2)과 더미선(Gd')에 연결된 하나의 게이트 구동부(400)와 모든 유지 전극선(S_1-S_{2n})에 연결된 하나의 유지 전극선 구동부(700)를 제외하면, 도 1에 도시한 액정 표시 장치의 구조와 동일하므로, 같은 도면 부호를 부여하였고 이들에 대한 자세한 설명은 생략한다.

게이트 구동부(400)와 유지 전극선 구동부(700)는 화소의 스위칭 소자(Q)와 동일한 공정으로 형성되어 집적되어 있지만, 이들은 각각 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다.

게이트 구동부(400)는 첫 번째 게이트선(G_1)에서부터 더미선(Gd')에 차례로 게이트 온 전압(V_{on})을 인가하여 각 게이트선(G_1-G_{2n})에 연결된 해당 화소행의 충전 동작을 제어한다.

또한 유지 전극선 구동부(700)는 각 유지 전극선(S_1-S_2)에 연결된 복수의 유지 전극선 구동 회로를 포함하고 있고, 각 유지 전극선 구동 회로는 입력되는 게이트 신호를 제외하면 모두 동일한 구조로 이루어져 같은 동작을 수행하므로, 도 6을 참고로 하여, i 번째와 $(i+1)$ 번째 유지 전극선(S_i, S_{i+1})에 유지 전압($V_{S_i}, V_{S_{i+1}}$)을 각각 인가하는 i 번째와 $(i+1)$ 번째 유지 전극선 구동 회로($71_i, 71_{i+1}$)의 구조와 동작에 대해서만 설명한다.

도 8에 도시한 바와 같이, 각 유지 전극선 구동 회로는 제6 트랜지스터($Tr6$)를 더 포함하고 있는 것을 제외하면 도 3에 도시한 유지 전극선 구동 회로와 동일하므로 이들($Tr1-Tr5$)에 대한 구조 설명은 생략한다.

i 번째 유지 전극선 구동 회로(71_i)의 제6 트랜지스터($Tr6$)는 제1 제어 신호(VB)에 입력 단자가 연결되어 있고, 이전 화소행에 인가되는 게이트 신호(g_i)에 제어 단자가 연결되어 있으며, i 번째 유지 전압(V_{S_i})이 출력되는 i 번째 유지 전극선(S_i)에 출력 단자가 연결되어 있다.

제6 트랜지스터는 제1 내지 제5 트랜지스터와 같이 비정질 규소(amorphous silicon) 또는 다결정 규소(poly crystalline silicon) 박막 트랜지스터로 이루어질 수 있고 스위칭 소자(Q)와 함께 형성된다.

이처럼, 임의의 한 화소행에 형성된 유지 전극선에 연결된 유지 전극선 구동 회로는 해당 화소행에 인가되는 게이트 신호 뿐만 아니라 바로 이전 화소행에 인가되는 게이트 신호를 인가 받으므로, 마지막 유지 전극선(S_{2n})에 연결된 유지 전극선

구동 회로는 더미선(Gd')에 연결되어 게이트 신호를 인가 받는다. 이와는 달리, 마지막 유지 전극선(S_{2n})에 연결된 유지 전극선 구동 회로는 신호 제어부(600) 등과 같이 게이트 구동부(400)가 아닌 다른 장치나 외부로부터 제어 신호를 인가 받을 수 있다.

이러한 유지 전극선 구동부(700)의 유지 전극 구동 회로(71_i , 71_{i+1})의 동작에 대하여 도 9를 참고로 하여 설명한다.

이미 설명한 것처럼, 액정 표시 장치는 1행 반전과 프레임 반전을 실시한다. 또한, 도 9에 도시한 것처럼, 제1 내지 제3 제어 신호(VB, VA1, VA2)는 도 4를 참고로 하여 이미 설명한 바와 같이, 고레벨과 저레벨을 구비하고 있고, 제1 내지 제3 제어 신호(VB, VA1, VA2)는 1H 주기로 고레벨과 저레벨을 번갈아 갖는다. 또한 제1 내지 제3 제어 신호(VB, VA1, VA2)의 주기는 예를 들어 2H일 수 있고, 듀티비는 약 50%일 수 있다. 제1 제어 신호(VB)의 고레벨 값은 예를 들어 약 5V이고 저레벨 값은 예를 들어 약 0V이다. 제2 및 제3 제어 신호(VA1, VA2)의 고레벨 값은 약 15V이고 저레벨 값은 약 0V이다.

역시, 도 3에 도시한 것과 같이, 제1 및 제3 제어 신호(VB, VA2)의 위상은 서로 동일하며, 제2 및 제3 제어 신호(VA1, VA2)의 위상은 서로 반대이고, 제1 내지 제3 제어 신호(VB, VA1, VA2)의 형태는 프레임 단위로 반전된다.

현재 프레임에서, i 번째 화소행에 인가되는 데이터 전압의 극성은 (+)이고, (i+1) 번째 화소행에 인가되는 데이터 전압의 극성은 (-)이다. 도 9에 도시한 바와 같이, 각 게이트선(G_1 - G_{2n})에 차례로 인가되는 게이트 신호(g_1 - g_{2n})의 게이트 온 전압(V_{on})은 인접한 게이트 신호와 중첩되지 않고, 첫 번째 게이트선(G_1)에서부터 차례로 마지막 더미선(Gd)에 인가되므로, 예비 충전 동작은 이루어지지 않는다.

i 번째 게이트선(G_i)에 인가되는 게이트 신호(g_i)에 게이트 온 전압(V_{on})이 인가되면, (i+1)번째 유지 전극선 구동 회로(71_i)의 제6 트랜지스터($Tr6$)가 턴온되어 저레벨 상태의 제1 제어 신호(VB)를 유지 전압(V_{S_i})으로서 i 번째 유지 전극선(S_i)에 출력하여, 이전 프레임의 전압 상태를 유지한다.

다음, 1H 경과 후 (i+1)번째 게이트선(G_{i+1})에 게이트 온 전압(V_{on})이 인가되면, (i+1) 번째 게이트선(G_{i+1})에 연결된 화소행의 충전 동작이 이루어지고, 제1 내지 제3 트랜지스터($Tr1$ - $Tr3$)가 턴온된다.

따라서 도 9에 도시한 것처럼, 제1 트랜지스터($Tr1$)가 턴온되는 동안 제1 제어 신호(VB)가 유지 전압선(S_i)을 통해 유지 전압(V_{S_i})으로서 출력되어, 유지 전압(V_{S_i})은 저레벨에서 고레벨 상태로 바뀐다.

(i+1)번째 게이트 온 전압(V_{on})이 인가될 때, 제2 제어 신호(VA1)는 고레벨을 유지하고 제3 제어 신호(VA2)는 저레벨을 유지하므로, 턴온된 트랜지스터($Tr2$, $Tr3$)를 통해 각각 제5 및 제4 트랜지스터($Tr5$, $Tr4$)의 제어 단자에 고레벨의 신호와 저레벨의 신호가 인가되어 제5 트랜지스터($Tr5$)는 턴온되고 제4 트랜지스터($Tr4$)는 턴오프된다. 이로 인해, (i+1)번째 게이트 온 전압(V_{on})이 인가되는 동안 턴온된 트랜지스터($Tr1$, $Tr4$)에 의해 고레벨의 유지 전압(V_{S_i})이 인가될 수 있도록 하고, 또한 축전기(C2)의 전압에 의해 (i+1)번째 게이트선(G_{i+1})에 인가되는 게이트 신호(g_{i+1})가 게이트 오프 신호(V_{off})를 인가하는 동안 유지 전극선(S_i)을 통해 출력되는 유지 전압(V_{S_i})은 고레벨 상태를 유지한다.

즉, 게이트 온 전압(V_{on})의 인가로 게이트선(G_i)에 연결된 화소행의 충전 동작이 완료된 후 유지 전압(V_{S_i})이 저레벨 상태에서 고레벨 상태로 변환하여, 화소 전극 전압(V_p)은 [수학식 1] 또는 [수학식 2]에 따라 정해진 변화량만큼 증가한다.

이러한 i 번째 유지 전극선 구동 회로(71_i)의 동작과 유사하게, 도 9에 도시한 것처럼 (i+1)번째 유지 전극선(S_{i+1})에서 출력되는 유지 전압($V_{S_{i+1}}$)은 i 번째 게이트 신호(g_i)에 게이트 온 전압(V_{on})이 인가되는 동안 이전 프레임에서의 전압 상태인 고레벨 상태를 유지한 후, (i+1)번째 게이트 신호(g_{i+1})에 게이트 온 전압(V_{on})이 인가되면 유지 전압($V_{S_{i+1}}$)은 저레벨에서 고레벨 상태로 바뀐다.

또한 $(i+1)$ 번째 게이트 신호(g_{i+1})에 게이트 온 전압(V_{on})이 인가되는 동안 제4 트랜지스터(Tr_4)는 턴온 상태에서 턴오프 상태로 바뀌고 반대로 제5 트랜지스터(Tr_5)는 턴오프 상태에서 턴온 상태로 바뀌어, 안정적으로 저레벨의 유지 전압($V_{S_{i+1}}$)이 인가될 수 있도록 하고, 축전기(C_1)의 전압에 의해 $(i+2)$ 번째 게이트선(G_{i+2})에 인가되는 게이트 신호(g_{i+2})가 게이트 오프 신호(V_{off})를 인가하는 동안 유지 전극선(S_{i+1})을 통해 출력되는 유지 전압(V_{S_i})은 저레벨 상태를 유지한다.

이때, 제6 트랜지스터(Tr_6)는 해당 유지 전극선에 인가되는 유지 전압을 유지하기 위한 트랜지스터이므로, 트랜지스터(Tr_6)의 크기는 제1 트랜지스터(Tr_1)의 크기보다 훨씬 작고, 한 예로 제6 트랜지스터(Tr_6)의 크기는 $500\mu m/3.5\mu m$ 이다.

다음 번 프레임에서는, i 번째 화소행에 인가되는 데이터 전압의 극성은 $(-)$ 이로 바뀌고, 제1 내지 제3 제어 신호(V_B , VA_1 , VA_2)의 레벨 상태가 반전되므로, 도 7에 도시한 것처럼, i 번째 유지 전극선(S_i)에 인가되는 전압은 i 번째 게이트선(G_i)에 인가되는 게이트 신호가 고레벨 상태에서 저레벨 상태로 바뀔 때, 고레벨에서 저레벨 상태로 바뀌게 된다. 이로 인해, i 번째 게이트선(G_i)에 연결된 화소행의 충전 동작이 완료된 후, i 번째 유지 전극선(S_i)에 인가되는 유지 전압(V_{S_i})이 고레벨 상태에서 저레벨 상태로 변화하여 화소 전극 전압(V_p)은 [수학식 1] 또는 [수학식 2]에 따라 정해진 변화량만큼 감소한다.

다음, 이러한 본 발명의 한 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 상세 구조에 대하여 첨부한 도면을 참고로 하여 상세하게 설명한다.

먼저 도 10 내지 도 11b를 참고로 하여 본 발명의 한 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 첫 번째 예에 대하여 설명한다.

도 10은 본 발명의 한 실시예에 따른 액정 표시 장치의 박막 트랜지스터에 대한 한 예의 배치도이고, 도 11a 및 도 11b는 각각 도 10의 박막 트랜지스터 표시판을 $XIa-XIa$ 선 및 $XIb-XIb$ 선을 따라 잘라 도시한 단면도이다.

투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 복수의 게이트선(gate line)(121) 및 복수의 유지 전극선(storage electrode line)(131)이 형성되어 있다.

게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 각 게이트선(121)은 아래로 돌출한 복수의 게이트 전극(gate electrode)(124)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(129)을 포함한다.

게이트 신호를 생성하는 게이트 구동 회로(도시하지 않음)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 집적될 수 있다. 게이트 구동 회로가 기판(110) 위에 집적되어 있는 경우 게이트선(121)이 연장되어 이와 직접 연결될 수 있다.

각각의 유지 전극선(131)은 주로 가로 방향으로 뻗어 있으며, 폭이 아래로 확장한 복수의 확장부(137)를 포함한다. 유지 전극선(131)은 또한 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분을 포함할 수 있다. 그러나 유지 전극선(131)의 모양 및 배치는 여러 가지로 변형될 수 있다.

각 유지 전극선(131)에는 약 5V의 고레벨 전압(V_H)과 약 0V의 저레벨 전압(V_L)과 같은 소정의 전압이 프레임 단위로 번갈아 인가된다.

유지 전압을 생성하는 유지 전극선 구동 회로(도시하지 않음)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 집적될 수 있다. 유지 전극선 구동 회로가 기판(110) 위에 집적되어 있는 경우, 유지 전극선(131)이 연장되어 유지 전극선 구동 회로와 직접 연결될 수 있다.

게이트선(121)과 유지 전극선(131)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다층막 구조를 가질 수도 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 비저항(resistivity)이 낮은 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진다. 이와는 달리, 다른 도전막

은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 탄탈륨, 티타늄 등으로 만들어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄(합금) 상부막 및 알루미늄(합금) 하부막과 몰리브덴(합금) 상부막을 들 수 있다. 그러나 게이트선(121) 및 유지 전극선(131)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

게이트선(121) 및 유지 전극선(131)의 측면은 기판(110) 면에 대하여 경사져 있으며 그 경사각은 약 30° 내지 약 80°인 것이 바람직하다.

게이트선(121) 및 유지 전극선(131) 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소(polysilicon) 등으로 만들어진 복수의 선형 반도체(151)가 형성되어 있다. 선형 반도체(151)는 주로 세로 방향으로 뻗어 있으며, 게이트 전극(124)을 향하여 뻗어 나온 복수의 돌출부(projection)(154)를 포함한다. 선형 반도체(151)는 게이트선(121) 및 유지 전극선(131) 부근에서 너비가 넓어져 이들을 폭넓게 덮고 있다.

반도체(151) 위에는 복수의 선형 및 섬형 저항성 접촉 부재(ohmic contact)(161, 165)가 형성되어 있다. 저항성 접촉 부재(161, 165)는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 선형 저항성 접촉 부재(161)는 복수의 돌출부(163)를 가지고 있으며, 이 돌출부(163)와 섬형 저항성 접촉 부재(165)는 쌍을 이루어 반도체(151)의 돌출부(154) 위에 배치되어 있다.

반도체(151)와 저항성 접촉 부재(161, 165)의 측면 역시 기판(110) 면에 대하여 경사져 있으며 그 경사각은 30° 내지 80° 정도이다.

저항 접촉 부재(161, 165) 및 게이트 절연막(140) 위에는 복수의 데이터선(data line)(171)과 복수의 드레인 전극(drain electrode)(175)이 형성되어 있다.

데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121) 및 유지 전극선(131)과 교차한다. 각 데이터선(171)은 게이트 전극(124)을 향하여 뻗은 복수의 소스 전극(source electrode)(173)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(179)을 포함한다. 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 집적될 수 있다. 데이터 구동 회로가 기판(110) 위에 집적되어 있는 경우, 데이터선(171)이 연장되어 이와 직접 연결될 수 있다.

드레인 전극(175)은 데이터선(171)과 분리되어 있으며 게이트 전극(124)을 중심으로 소스 전극(173)과 마주한다. 각 드레인 전극(175)은 넓은 한 쪽 끝 부분과 막대형인 다른 쪽 끝 부분을 포함한다. 넓은 끝 부분은 유지 전극선(131)의 확장부(137)와 중첩하며, 막대형 끝 부분은 구부러진 소스 전극(173)으로 일부 둘러싸여 있다.

하나의 게이트 전극(124), 하나의 소스 전극(173) 및 하나의 드레인 전극(175)은 반도체(151)의 돌출부(154)와 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 돌출부(154)에 형성된다.

데이터선(171) 및 드레인 전극(175)은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 다중막 구조의 예로는 크롬 또는 몰리브덴(합금) 하부막과 알루미늄(합금) 상부막의 이중막, 몰리브덴(합금) 하부막과 알루미늄(합금) 중간막과 몰리브덴(합금) 상부막의 삼중막을 들 수 있다. 그러나 데이터선(171) 및 드레인 전극(175)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

데이터선(171) 및 드레인 전극(175) 또한 그 측면이 기판(110) 면에 대하여 30° 내지 80° 정도의 경사각으로 기울어진 것이 바람직하다.

저항성 접촉 부재(161, 165)는 그 아래의 반도체(151)와 그 위의 데이터선(171) 및 드레인 전극(175) 사이에만 존재하며 이들 사이의 접촉 저항을 낮추어 준다. 대부분의 곳에서는 선형 반도체(151)가 데이터선(171)보다 좁지만, 앞서 설명하였

듯이 게이트선(121)과 만나는 부분에서 너비가 넓어져 표면의 프로파일을 부드럽게 함으로써 데이터선(171)이 단선되는 것을 방지한다. 반도체(151)에는 소스 전극(173)과 드레인 전극(175) 사이를 비롯하여 데이터선(171) 및 드레인 전극(175)으로 가리지 않고 노출된 부분이 있다.

데이터선(171) 및 드레인 전극(175)과 노출된 반도체(151) 부분 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 무기 절연물 또는 유기 절연물 따위로 만들어지며 표면이 평탄할 수 있다. 무기 절연물의 예로는 질화규소와 산화규소를 들 수 있다. 유기 절연물은 감광성(photosensitivity)을 가질 수 있으며 그 유전 상수(dielectric constant)는 약 4.0 이하인 것이 바람직하다. 그러나 보호막(180)은 유기막의 우수한 절연 특성을 살리면서도 노출된 반도체(151) 부분에 해가 가지 않도록 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다.

보호막(180)에는 데이터선(171)의 끝 부분(179)과 드레인 전극(175)을 각각 드러내는 복수의 접촉 구멍(contact hole)(182, 185)이 형성되어 있으며, 보호막(180)과 게이트 절연막(140)에는 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(181)이 형성되어 있다.

보호막(180) 위에는 복수의 화소 전극(pixel electrode)(191) 및 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질이나 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.

화소 전극(191)은 접촉 구멍(185)을 통하여 드레인 전극(175)과 물리적·전기적으로 연결되어 있으며, 드레인 전극(175)으로부터 데이터 전압을 인가 받는다. 데이터 전압이 인가된 화소 전극(191)은 공통 전압(common voltage)을 인가 받는 다른 표시판(도시하지 않음)의 공통 전극(common electrode)(도시하지 않음)과 함께 전기장을 생성함으로써 두 전극 사이의 액정층(도시하지 않음)의 액정 분자의 방향을 결정한다. 이와 같이 결정된 액정 분자의 방향에 따라 액정층을 통과하는 빛의 편광이 달라진다. 화소 전극(191)과 공통 전극은 축전기[이하 “액정 축전기(liquid crystal capacitor)”라 함]를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지한다.

화소 전극(191) 및 이와 전기적으로 연결된 드레인 전극(175)이 유지 전극선(131)과 중첩하여 이루는 축전기를 유지 축전기(storage capacitor)라 하며, 유지 축전기는 액정 축전기의 전압 유지 능력을 강화한다. 유지 전극선(131)의 확장부(137)로 인해, 중첩 면적이 증가하여 유지 축전기의 정전 용량이 증가한다.

접촉 보조 부재(81, 82)는 각각 접촉 구멍(181, 182)을 통하여 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 연결된다. 접촉 보조 부재(81, 82)는 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 외부 장치와의 접착성을 보완하고 이들을 보호한다.

다음, 도 12 내지 도 13b를 참고로 하여 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 다른 예에 대하여 상세하게 설명한다.

도 12는 본 발명의 한 실시예에 따른 액정 표시 장치에 대한 박막 트랜지스터에 대한 다른 예의 배치도이고, 도 13a 및 도 13b는 각각 도 12의 박막 트랜지스터 표시판을 XIIa-XIIIa 선 및 XIIIb-XIIIb 선을 따라 잘라 도시한 단면도이다.

본 실시예에 따른 박막 트랜지스터 표시판의 다른 예에 대한 구조는 도 10 내지 도 11b에 도시한 것과 거의 동일하다.

기관(110) 위에 게이트 전극(124) 및 끝 부분(129)을 가지는 복수의 게이트선(121) 및 복수의 확장부(137)를 구비한 복수의 유지 전극선(131)이 형성되어 있고, 그 위에 게이트 절연막(140), 돌출부(154)를 포함하는 복수의 선형 반도체(151), 돌출부(163)를 가지는 복수의 선형 저항성 접촉 부재(161) 및 복수의 섬형 저항성 접촉 부재(165)가 차례로 형성되어 있다. 저항성 접촉 부재(161, 165) 위에는 소스 전극(173) 및 끝 부분(179)을 포함하는 복수의 데이터선(171), 복수의 드레인 전극(175)이 형성되어 있고 그 위에 보호막(180)이 형성되어 있다. 보호막(180) 및 게이트 절연막(140)에는 복수의 접촉 구멍(181, 182, 185)이 형성되어 있으며 그 위에는 복수의 화소 전극(191), 복수의 접촉 보조 부재(81, 82)가 형성되어 있다.

그러나 본 예에 따른 박막 트랜지스터 표시판은, 도 10 내지 도 11b에 도시한 박막 트랜지스터 표시판과 달리, 반도체층(151)이 박막 트랜지스터가 위치하는 돌출부(154)를 제외하면 데이터선(171), 드레인 전극(175) 및 그 하부의 저항성 접촉층(161, 165)과 실질적으로 동일한 평면 형태를 가지고 있다. 즉, 선형 반도체층(151)은 데이터선(171) 및 드레인 전극(175)과 그 하부의 저항성 접촉층(161, 165)의 아래에 노출되지 않은 부분과 소스 전극(173)과 드레인 전극(175) 사이에 이들에 가리지 않고 노출된 부분을 가지고 있다.

발명의 효과

이러한 본 발명에 따르면, 공통 전압을 소정 전압으로 고정시킨 후, 소정 주기로 레벨이 바뀌는 유지 전압을 유지 전극선에 인가한다. 이때, 인접한 유지 전극선에 인가되는 유지 전압을 서로 다르게 인가한다. 이로 인해, 화소 전극 전압의 범위가 증가하여 화소 전압의 범위 또한 넓어지므로 계조를 표현하기 위한 전압의 범위가 넓어지므로 화질이 향상된다.

동일한 범위의 데이터 전압이 인가될 경우, 일정한 전압의 유지 전압이 인가될 때보다 넓은 범위의 화소 전압이 생성되므로, 소비 전력이 감소하고, 이에 더하여 공통 전압이 일정한 값으로 고정되므로 소비 전력은 더욱 줄어든다.

또한, 액정의 충전 동작이 완료되기 전의 화소 전극 전압의 범위가 액정의 충전 동작이 완료된 후의 화소 전극 전압의 범위보다 넓으므로, 목표 전압보다 높거나 낮은 전압이 액정 구동 초기에 인가되어 액정의 응답 속도가 향상된다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.

도 2는 본 발명의 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

도 3은 본 발명의 한 실시예에 따른 유지 전극 구동부의 회로도이다.

도 4는 도 3의 유지 전극 구동부를 구동하기 위한 동작 타이밍도이다.

도 5는 본 발명의 실시예에 따른 유지 전극 구동부의 동작에 따른 화소 전극 전압과 액정의 응답 속도의 변화를 나타낸 그래프이다.

도 6은 종래의 화소 전극 전압과 액정의 응답 속도의 변화를 나타낸 그래프이다.

도 7은 본 발명의 다른 실시예에 따른 액정 표시 장치의 블록도이다.

도 8은 본 발명의 다른 실시예에 따른 유지 전극 구동부의 회로도이다.

도 9는 도 8의 유지 전극 구동부를 구동하기 위한 동작 타이밍도이다.

도 10은 본 발명의 실시예에 따른 액정 표시 장치의 박막 트랜지스터에 대한 한 예의 배치도이다.

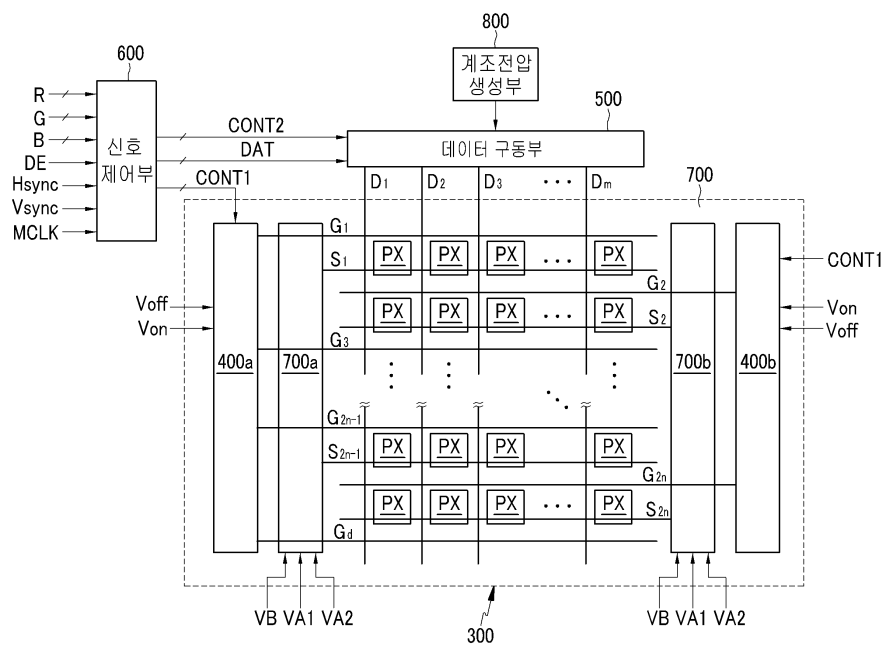
도 11a 및 도 11b는 각각 도 10의 박막 트랜지스터 표시판을 XIa-XIa 선 및 XIb-XIb 선을 따라 잘라 도시한 단면도이다.

도 12는 본 발명의 실시예에 따른 액정 표시 장치에 대한 박막 트랜지스터에 대한 다른 예의 배치도이다.

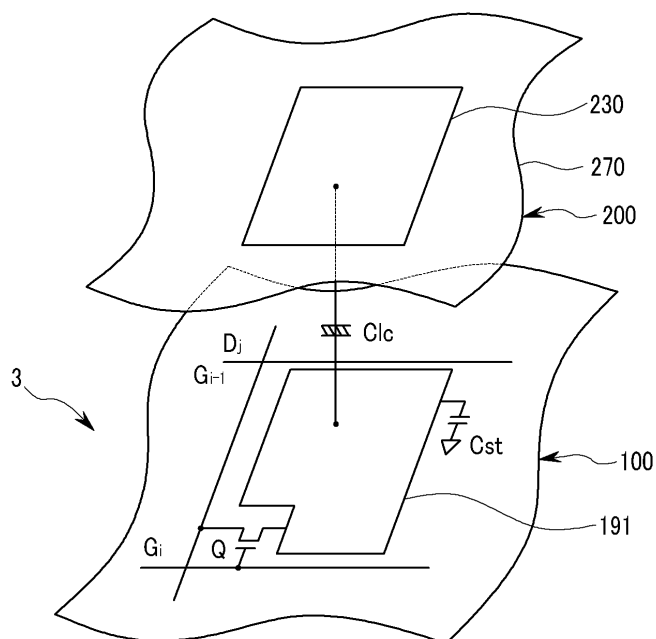
도 13a 및 도 13b는 각각 도 12의 박막 트랜지스터 표시판을 XIIIa-XIIIa 선 및 XIIIb-XIIIb 선을 따라 잘라 도시한 단면도이다.

도면

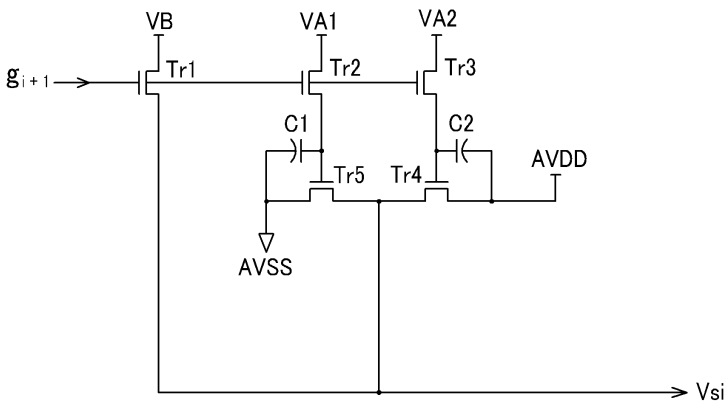
도면1



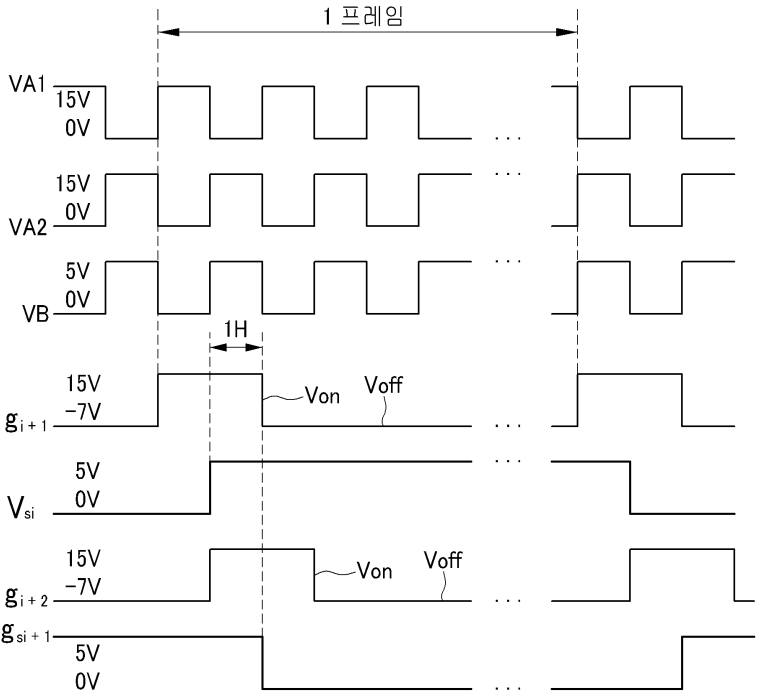
도면2



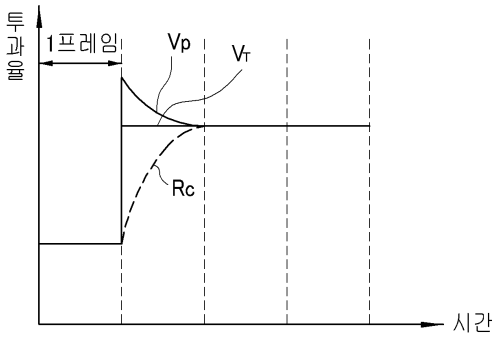
도면3



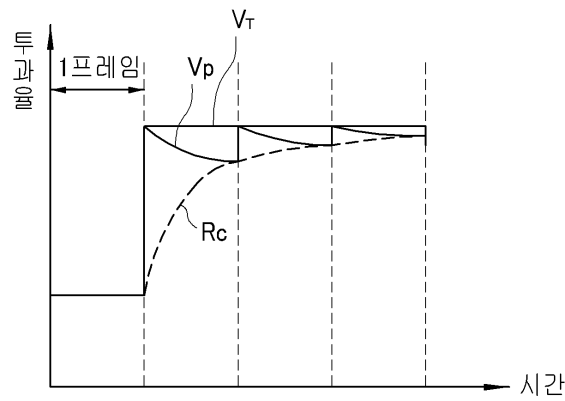
도면4



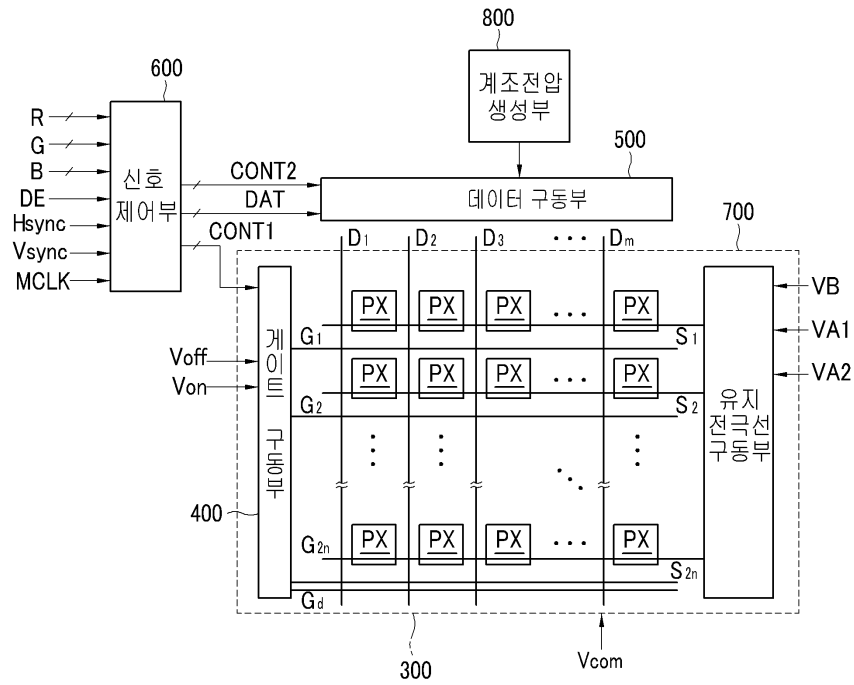
도면5



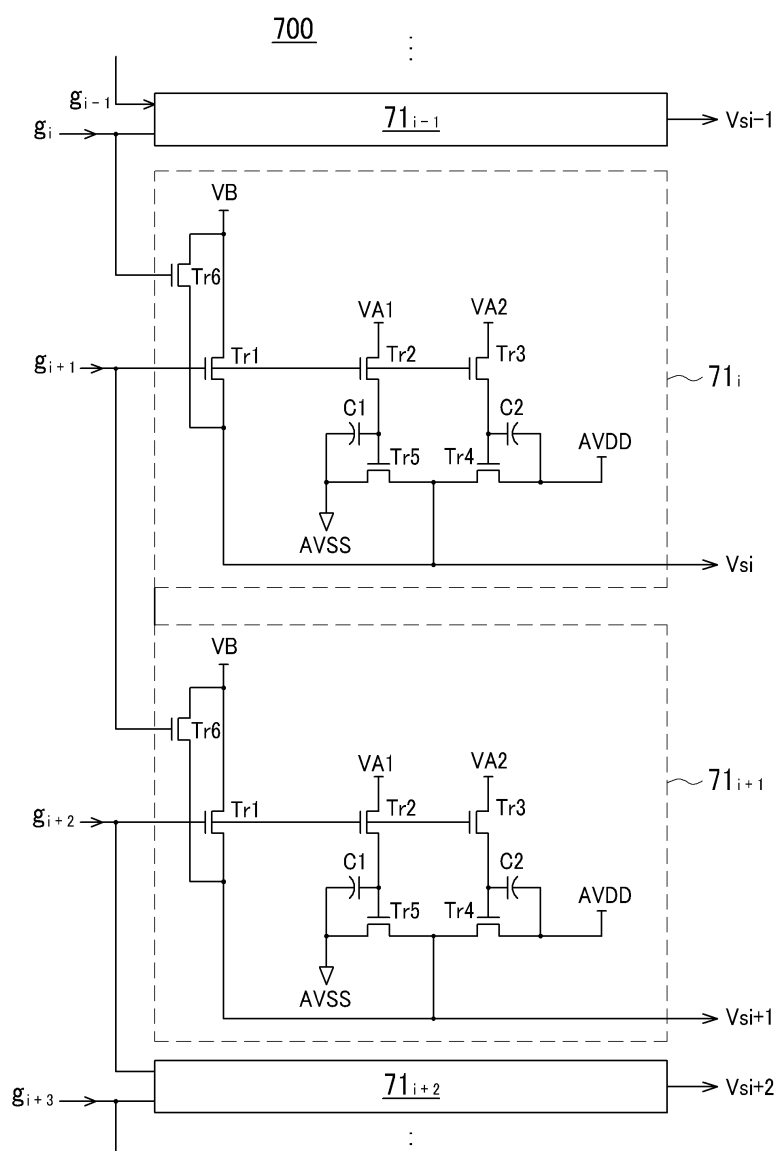
도면6



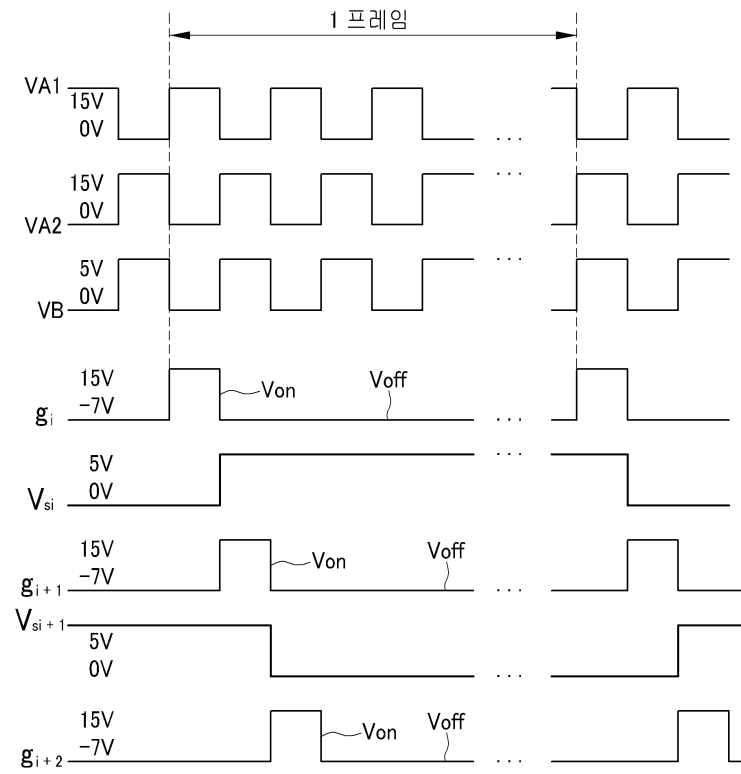
도면7



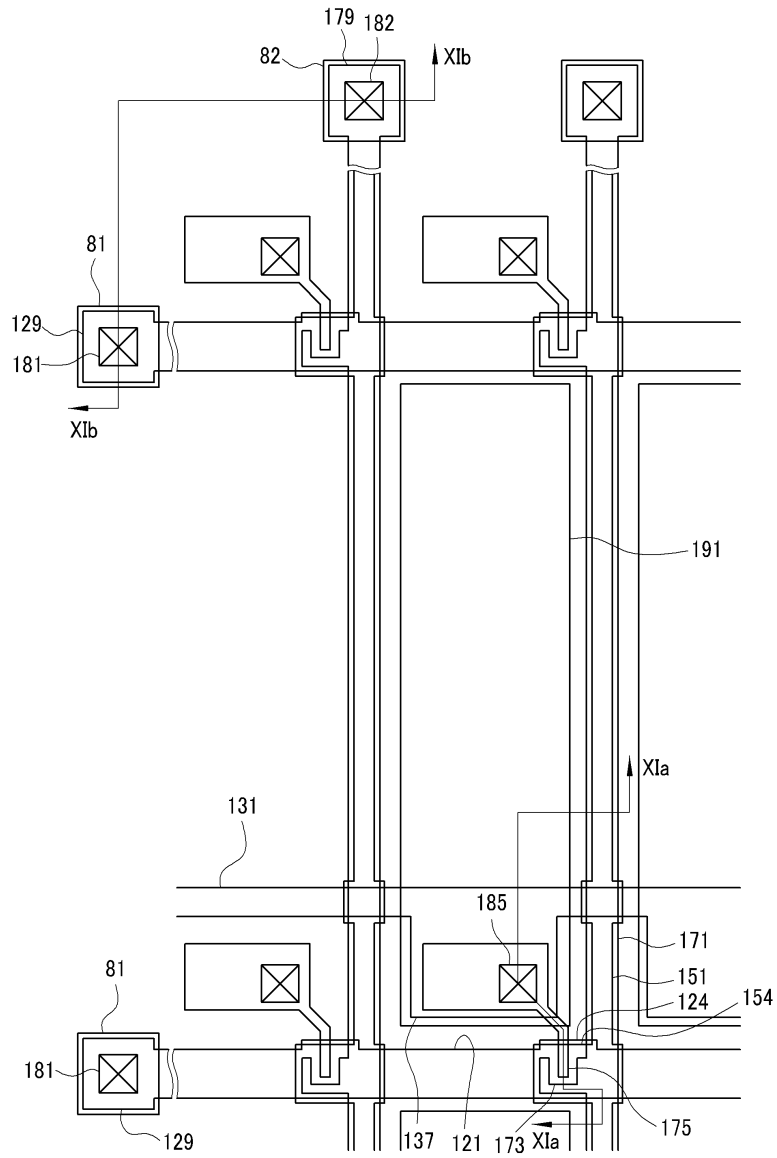
도면8



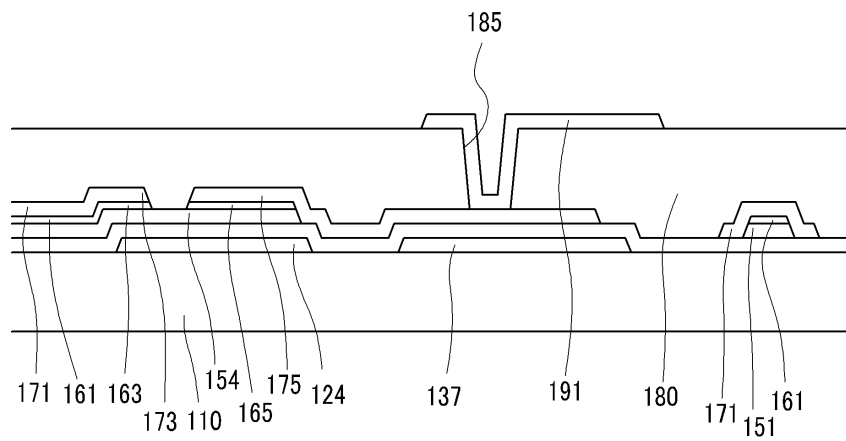
도면9



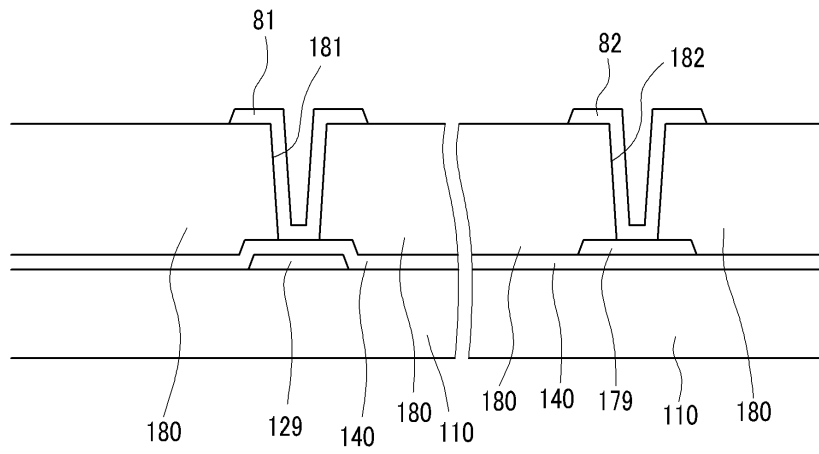
도면10



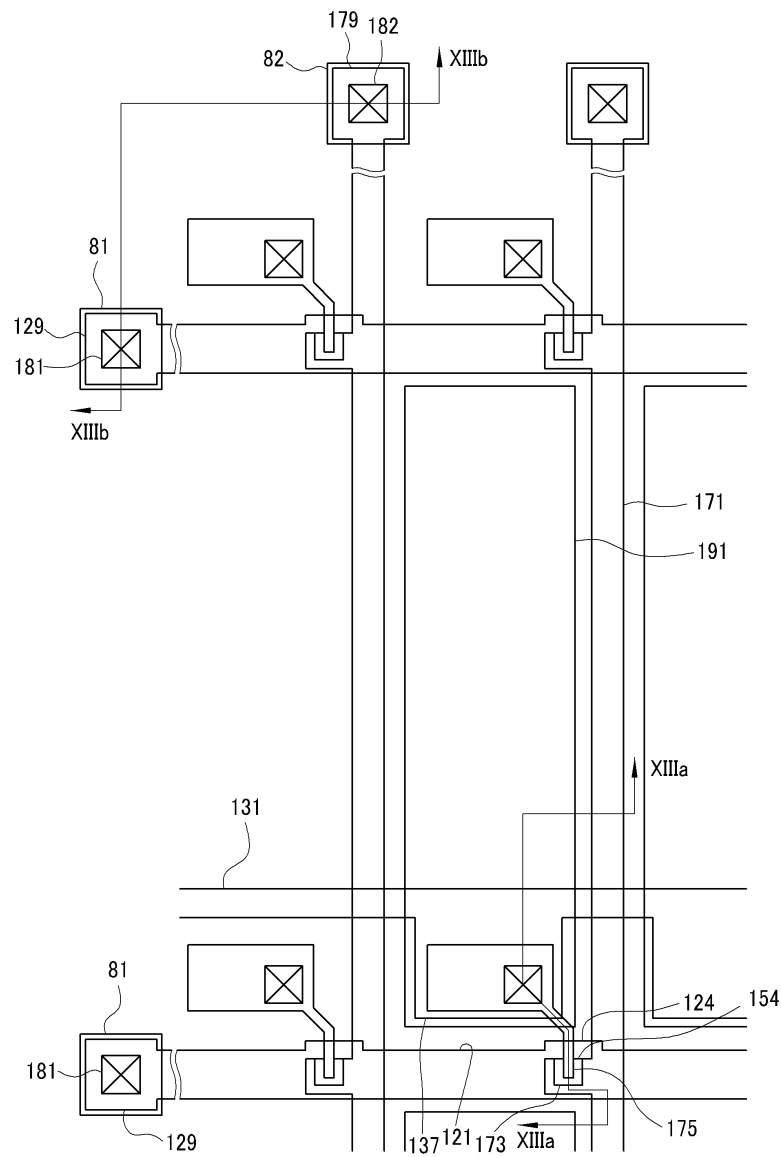
도면11a



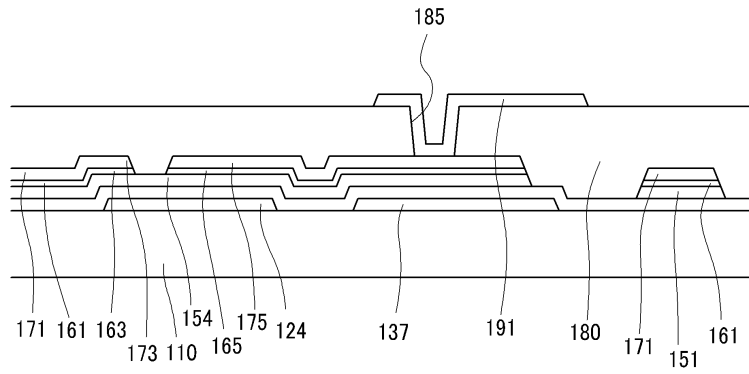
도면11b



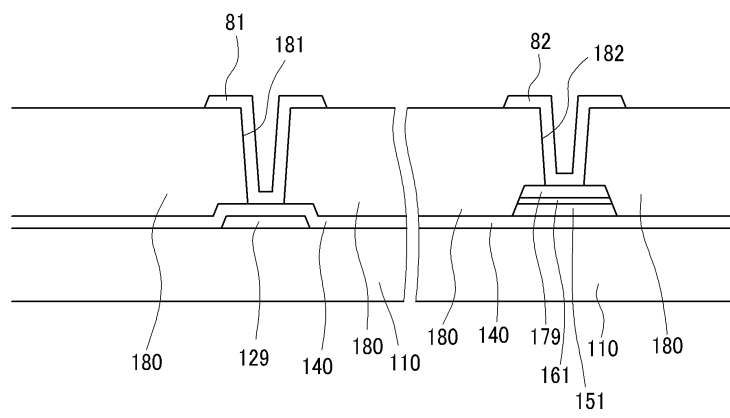
도면12



도면13a



도면13b



专利名称(译)	显示装置及其驱动装置		
公开(公告)号	KR1020070078166A	公开(公告)日	2007-07-31
申请号	KR1020060008148	申请日	2006-01-26
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JEON JIN		
发明人	JEON, JIN		
IPC分类号	G09G3/20 G09G3/36		
CPC分类号	G02F1/136213 G09G2320/0252 G09G2330/021 G09G3/3614 G09G2310/08 G09G3/3677 G09G2300/0426		
其他公开文献	KR101219043B1		
外部链接	Espacenet		

摘要(译)

本发明涉及用于驱动包括多个像素的显示装置的装置，并且驱动装置包括多个维持电极线驱动电路，用于产生维持电极线并保持多个电压，该电压将维持电压传送到多个栅极线。连接将门信号传递给像素和像素。连接到k个维持电极线的维持电极线驱动电路包括第一控制信号，该第一控制信号是根据其中维持电压的控制单元的操作保持从所述维持电压施加部分输出的维持电压的电压维持部分。在k数维持电极线中授权的加压部分，施加第二和第三控制信号 ($k+1$)，并且用 ($k+1$) 数门信号改变操作状态。并且控制单元施加的预定数据电压，其中操作状态随着在 ($k+1$) 数栅极线处施加的数字栅极信号而改变并且施加在目标像素中 (这里，k可以是自然数)。显示装置，LCD，行反转，响应速度，单独的导线类型，维持电容器，液晶电容器。

