



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

G02F 1/1368 (2006.01)

H01L 29/786 (2006.01)

(11) 공개번호

10-2007-0075316

(43) 공개일자

2007년07월18일

(21) 출원번호 10-2007-0002826

(22) 출원일자 2007년01월10일

심사청구일자 2007년01월10일

(30) 우선권주장 JP-P-2006-00003484 2006년01월11일 일본(JP)

(71) 출원인 앱슨 이미징 디바이스 가부시키가이샤
일본국 나가노케 아즈미노시 도요시나 다자와 6925(72) 발명자 세가와 야스오
일본 나가노케 아즈미노시 도요시나 다자와 6925 산요 앱슨이미징 디바
이스 가부시키가이샤 내
오노기 도모히데
일본 나가노케 아즈미노시 도요시나 다자와 6925 산요 앱슨이미징 디바
이스 가부시키가이샤 내(74) 대리인 구영창
장수길
이중희

전체 청구항 수 : 총 15 항

(54) 표시 장치

(57) 요약

백라이트나 외광에 의한 화소의 TFT의 리크 전류를 저감하여, 액정 표시 장치의 표시 화질을 향상시키는 것이다. 제1 기판(100) 상에 복수의 화소를 구비하고, 각 화소는, 게이트 절연막(11)을 개재하여 반도체층(10)과 교차한 게이트 라인(20)과, 드레인 영역(10d)에 제1 컨택트홀(C1)을 통해서 접속되며, 교차부로부터 연장된 반도체층(10)의 상방을 괴복하는 드레인 라인(17)과, 소스 영역(10s)에 제2 컨택트홀(C2)을 통해서 접속되며, 교차부로부터 연장된 반도체층(10)의 상방을 괴복하여 형성된 소스 전극(10s)을 구비한다. 또한, 반도체층(10)의 하방에 버퍼막(13)을 개재하여 형성되며, 반도체층(10)에의 광의 입사를 차단하는 차광층(12)을 구비한다.

내표도

도 1

특허청구의 범위

청구항 1.

제1 기판 상에 화소를 구비하고, 상기 화소는, U자형으로 굴곡된 반도체층과, 게이트 절연막을 개재하여 상기 반도체층과 제1 및 제2 교차부에서 교차한 게이트 라인과, 상기 반도체층의 드레인 영역에 제1 컨택트홀을 통하여 접속되며, 상기 제1 교차부로부터 연장된 반도체층의 상방을 피복하여 형성된 드레인 라인과, 상기 반도체층의 소스 영역에 제2 컨택트홀을 통하여 접속되며, 상기 제2 교차부로부터 연장된 반도체층의 상방을 피복하여 형성된 소스 전극과, 상기 제1 및 제2 교차부의 반도체층의 하방에 버퍼막을 개재하여 형성되며, 상기 반도체층에의 광의 입사를 차단하는 차광층과, 상기 반도체층 상에 상기 게이트 절연막을 개재하여 형성된 용량 라인과, 상기 소스 전극에 접속된 화소 전극을 구비하는 것을 특징으로 하는 표시 장치.

청구항 2.

제1 기판 상에 화소를 구비하고, 상기 화소는, 반도체층과, 게이트 절연막을 개재하여 상기 반도체층과 제1 및 제2 교차부에서 교차한 게이트 라인과, 상기 반도체층의 드레인 영역에 제1 컨택트홀을 통하여 접속되며, 상기 제1 및 제2 교차부로부터 연장된 반도체층의 상방을 피복하여 형성된 드레인 라인과, 상기 반도체층의 소스 영역에 제2 컨택트홀을 통하여 접속된 소스 전극과, 상기 제1 및 제2 교차부의 반도체층의 하방에 버퍼막을 개재하여 형성되며, 상기 반도체층에의 광의 입사를 차단하는 차광층과, 상기 반도체층 상에 상기 게이트 절연막을 개재하여 형성된 용량 라인과, 상기 소스 전극에 접속된 화소 전극을 구비하는 것을 특징으로 하는 표시 장치.

청구항 3.

제1 기판 상에 화소를 구비하고, 상기 화소는, 반도체층과, 게이트 절연막을 개재하여 상기 반도체층과 1개의 교차부에서 교차한 게이트 라인과, 상기 반도체층의 드레인 영역에 제1 컨택트홀을 통하여 접속되며, 상기 교차부로부터 연장된 반도체층의 상방을 피복하여 형성된 드레인 라인과, 상기 반도체층의 소스 영역에 제2 컨택트홀을 통하여 접속된 소스 전극과, 상기 교차부의 반도체층의 하방에 버퍼막을 개재하여 형성되며, 상기 반도체층에의 광의 입사를 차단하는 차광층과, 상기 반도체층 상에 상기 게이트 절연막을 개재하여 형성된 용량 라인과, 상기 소스 전극에 접속된 화소 전극을 구비하는 것을 특징으로 하는 표시 장치.

청구항 4.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 제1 기판에 대향하여 배치된 제2 기판과, 상기 제1 기판과 상기 제2 기판 사이에 봉입된 액정을 구비하는 것을 특징으로 하는 표시 장치.

청구항 5.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 차광층의 전위와 상기 게이트 라인의 전위가 동일하게 설정되어 있는 것을 특징으로 하는 표시 장치.

청구항 6.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 차광층과 상기 게이트 라인과는 상기 화소의 형성 영역을 제외한 상기 제1 기판 상에서 컨택트로 접속되어 있는 것을 특징으로 하는 표시 장치.

청구항 7.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 차광층의 전위와 상기 용량 라인의 전위가 동일하게 설정되어 있는 것을 특징으로 하는 표시 장치.

청구항 8.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 벼파막의 막 두께는 300nm 이상인 것을 특징으로 하는 표시 장치.

청구항 9.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 소스 전극 및 드레인 라인의 끝이 상기 차광층의 단부보다 외측으로 확장되어 있는 것을 특징으로 하는 표시 장치.

청구항 10.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 차광층의 단부가 상기 소스 전극 및 드레인 라인의 끝보다 외측으로 확장되어 있는 것을 특징으로 하는 표시 장치.

청구항 11.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 소스 영역 및 드레인 영역은 각각 저농도 영역과 고농도 영역으로 구성되고, 상기 차광층은 상기 저농도 영역 전체를
피복하고, 또한 상기 저농도 영역의 끝으로부터 상기 고농도 영역을 $2\mu\text{m}$ 이상 피복하여 형성되어 있는 것을 특징으로 하는
표시 장치.

청구항 12.

제10항에 있어서,

상기 차광층은 상기 반도체층의 끝으로부터 $2\mu\text{m}$ 이상 외측으로 확장되어 있는 것을 특징으로 하는 표시 장치.

청구항 13.

제1항에 있어서,

상기 소스 영역 및 상기 드레인 영역은 각각 저농도 영역과 고농도 영역으로 구성되고, 상기 소스 전극 및 상기 드레인 라인은 상기 저농도 영역 전체를 피복하고, 또한 상기 저농도 영역의 끝으로부터 상기 고농도 영역을 $2\mu\text{m}$ 이상 피복하여 형성되어 있는 것을 특징으로 하는 표시 장치.

청구항 14.

제12항에 있어서,

상기 소스 전극 및 상기 드레인 라인은, 상기 반도체층의 끝으로부터 $2\mu\text{m}$ 이상 외측으로 확장되어 있는 것을 특징으로 하는 표시 장치.

청구항 15.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 차광층은, 상기 제1 및 상기 제2 컨택트홀의 하방을 제외한 영역에 형성되어 있는 것을 특징으로 하는 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 박막 트랜지스터를 구비한 표시 장치에 관한 것이다.

종래의 액정 표시 장치(이하, LCD라고 함)는, 도 14에 도시한 바와 같이, n행 m열 매트릭스로 배치된 복수의 화소를 구비하고, 각 화소는, 화소 선택용 박막 트랜지스터(10)(이하, TFT(110)라고 함), 액정(LC) 및 축적 용량(Csc)으로 이루어져 있다. 또한, 도 14는 도시를 간단하게 하기 위하여, 2행 2열의 화소만을 도시하고 있다.

TFT(110)의 게이트에는, 행 방향으로 연장된 게이트 라인(120)이 접속되고, 그 드레인에는, 열 방향으로 연장된 드레인 라인(121)이 접속되어 있다. 각 행의 게이트 라인(120)에는 수직 드라이브 회로(V 드라이브 회로)(130)로부터 게이트 주사 신호가 순차적으로 공급되고, 이에 따라 TFT(110)가 선택된다. 또한, 드레인 라인(121)에는 수평 드라이브 회로(H 드라이브 회로)(140)로부터의 수평 주사 신호에 따라, 비디오 신호가 공급되고, TFT(110)를 통하여 액정(LC)에 인가된다. 이에 의해 액정 문자의 배열 상태가 변화됨으로써 표시가 행해진다. 축적 용량(Csc)은 TFT(110)를 통하여 공급되는 비디오 신호를 유지하기 위해서 이용된다.

또한, TFT(110), 게이트 라인(120), 드레인 라인(121), 수직 드라이브 회로(V 드라이브 회로)(130), 수평 드라이브 회로(H 드라이브 회로)(140)는 TFT 기판 상에 형성되고, 이 TFT 기판과 대향 기판 사이에 액정(LC)이 봉입되어 있다.

그리고, TFT 기판측으로부터 LCD에 백라이트 광이 입사된다.

발명이 이루고자 하는 기술적 과제

최근, LCD의 고화질화, 고연색화에 수반하여, 사용하는 백라이트의 휘도가 상승하고 있다. 직시형의 LCD에서는 일반적으로 TFT 기판측으로부터 백라이트 광이 입사되기 때문에, 백라이트 광이 조사되는 TFT(110)의 리크 전류가 증가하므로, 축적 용량(Csc)에 축적되어 있는 전하가 리크되어, 콘트라스트의 열화, 플리커, 크로스토크의 발생 등을 초래하여, 표시 화질이 열화된다고 하는 문제가 있었다. 또한, 액정 프로젝터, 차재의 헤드마운트 디스플레이와 같이 입사광의 강도가 극단

적으로 높은 경우나, 액정 패널의 양면으로부터의 광 입사를 상정할 필요가 있는 경우에는, 입사광뿐만 아니라, TFT 기판(글래스 기판)의 표면에서의 반사광이 TFT(110)에 입사되므로, TFT(110)의 리크 전류가 증가하여, 마찬가지로 표시 화질이 열화된다고 하는 문제가 있었다.

발명의 구성

따라서, 본원의 청구항 1의 액정 표시 장치는, 제1 기판 상에 화소를 구비하고, 상기 화소는, U자형으로 굴곡된 반도체층과, 게이트 절연막을 개재하여 상기 반도체층과 제1 및 제2 교차부에서 교차한 게이트 라인과, 상기 반도체층의 드레인 영역에 제1 컨택트홀을 통하여 접속되며, 상기 제1 교차부로부터 연장된 반도체층의 상방을 피복하여 형성된 드레인 라인과, 상기 반도체층의 소스 영역에 제2 컨택트홀을 통하여 접속되며, 상기 제2 교차부로부터 연장된 반도체층의 상방을 피복하여 형성된 소스 전극과, 상기 제1 및 제2 교차부의 반도체층의 하방에 버퍼막을 개재하여 형성되며, 상기 반도체층에의 광의 입사를 차단하는 차광층과, 상기 반도체층 상에 상기 게이트 절연막을 개재하여 형성된 용량 라인과, 상기 소스 전극에 접속된 화소 전극을 구비하는 것을 특징으로 하는 것이다.

본원의 청구항 2의 액정 표시 장치는, 제1 기판 상에 화소를 구비하고, 상기 화소는, 반도체층과, 게이트 절연막을 개재하여 상기 반도체층과 제1 및 제2 교차부에서 교차한 게이트 라인과, 상기 반도체층의 드레인 영역에 제1 컨택트홀을 통하여 접속되며, 상기 제1 및 제2 교차부로부터 연장된 반도체층의 상방을 피복하여 형성된 드레인 라인과, 상기 반도체층의 소스 영역에 제2 컨택트홀을 통하여 접속된 소스 전극과, 상기 반도체층의 하방에 버퍼막을 개재하여 형성되며, 상기 제1 및 제2 교차부의 반도체층에의 광의 입사를 차단하는 차광층과, 상기 반도체층 상에 상기 게이트 절연막을 개재하여 형성된 용량 라인과, 상기 소스 전극에 접속된 화소 전극을 구비하는 것을 특징으로 하는 것이다.

본원의 청구항 3의 액정 표시 장치는, 제1 기판 상에 화소를 구비하고, 상기 화소는, 반도체층과, 게이트 절연막을 개재하여 상기 반도체층과 하나의 교차부에서 교차한 게이트 라인과, 상기 반도체층의 드레인 영역에 제1 컨택트홀을 통하여 접속되며, 상기 교차부로부터 연장된 반도체층의 상방을 피복하여 형성된 드레인 라인과, 상기 반도체층의 소스 영역에 제2 컨택트홀을 통하여 접속된 소스 전극과, 상기 반도체층의 하방에 버퍼막을 개재하여 형성되며, 상기 반도체층에의 광의 입사를 차단하는 차광층과, 상기 반도체층 상에 상기 게이트 절연막을 개재하여 형성된 용량 라인과, 상기 소스 전극에 접속된 화소 전극을 구비하는 것을 특징으로 하는 것이다.

(제1 실시예)

다음으로, 본 발명의 제1 실시예에 따른 액정 표시 장치에 대해서 도면을 참조하면서 설명한다. 이 액정 표시 장치는, 도 14에 도시한 것과 마찬가지로, n형 m열 매트릭스로 배치된 복수의 화소를 구비한다. 그리고, 각 화소의 TFT의 상방을 드레인 라인 및 소스 전극으로 차광함과 함께, 그 하방에 차광층을 형성하여 차광함으로써, 액정 표시 장치의 상방 및 하방으로부터의 입사광이나, 그들의 반사광이 리크 전류의 발생원으로 되는 TFT의 반도체층의 공핍층에 입사되는 것을 억지한 것이다.

도 1은 이 액정 표시 장치의 1화소의 평면도, 도 2는 도 1의 A-A선을 따라 취한 단면도이다. TFT(50)(도 14의 TFT(110)에 대응함)의 반도체층(10)(예를 들면, 폴리실리콘층으로 이루어짐)은, 제1 기판(100)(예를 들면, 글래스 기판) 상에, U자형으로 굴곡된 패턴을 갖고 형성되어 있고, 행 방향으로 직선적으로 연장되는 게이트 라인(20)과 2개소에서 교차하고 있다. 반도체층(10)은, 제1 기판(100) 상에 CVD법으로 퇴적된 아몰퍼스 실리콘층에 레이저 어닐링을 실시하여, 이것을 결정화시켜 폴리실리콘층으로 하고, 그 후 이 폴리실리콘층을 패터닝함으로써 형성된다.

이들 2개의 교차부의 반도체층(10) 내에, 2개의 채널 영역(10c, 10c)이 형성된다. 채널 영역(10c, 10c)은 통상은 인트린식 반도체층으로 형성되어 있지만, 임계값 제어에 의해 p형 반도체층으로 하여도 된다.

게이트 라인(20)과 채널 영역(10c, 10c) 사이에는 게이트 절연막(11)이 형성되어 있다. 즉, TFT(50)는, 게이트를 공통으로 한, 2개의 TFT가 직렬 접속된 구조를 갖고 있다. 이와 같은 TFT 구조를 이하, 더블 게이트 구조라고 부른다.

1개의 교차부로부터 연장된 반도체층(10) 내에는, 게이트 라인(20)에 가까운 측에 형성된 n-형 영역(저농도 영역)과, 이것에 인접하여 형성된 n+형 영역(고농도 영역)으로 이루어지는 드레인 영역(10d)이 형성되고, 마찬가지로, 드레인 영역(10d)의 반대측에는, 또 하나의 교차부로부터 반도체층(10)이 연장되어 있고, 이 반도체층(10) 내에, 게이트 라인(20)에 가까운 측에 형성된 n-형 영역과 이것에 인접하여 형성된 n+형 영역으로 이루어지는 소스 영역(10s)이 형성되어 있다. 2개의 채널 영역(10c, 10c) 사이에도 n-형 영역/n+형 영역/n-형 영역이 형성된다.

또한, 상기 2개의 교차부의 반도체층(10)의 하방에는, 크롬 또는 몰리브덴으로 이루어지는 차광층(12)이 형성되고, 차광층(12)과 반도체층(10) 사이에는 SiO_2 등으로 이루어지는 베퍼막(13)이 형성되어 있다. 베퍼막(13)의 막 두께는, 300nm 이상인 것이 바람직하다. 그 이유는, 베퍼막(13)의 막 두께가 얕아지면, 상기 레이저 어닐링 시에 발생한 열이 베퍼막(13)을 통하여 차광층(12)으로 빠져나감으로써, 아몰페스 실리콘층에 원하는 열량이 공급되지 않고, 그 결과, 폴리실리콘층의 결정 입경이 작아져, 캐리어 이동도의 저하에 의해, 전류 구동 능력이 저하되기 때문이다. 베퍼막(13)의 막 두께가, 300nm 이상이면, 아몰페스 실리콘층에 원하는 열량이 공급되어, 폴리실리콘층의 결정 입경은 크게 확보된다.

또한, 차광층(12)은, 채널 영역(10c) 및 n- 영역 전체를 피복하고, 또한, n- 영역의 끝으로부터 n+ 영역을 $2\mu\text{m}$ 이상, 더욱 바람직하게는 $3.5\mu\text{m}$ 이상, 피복하여 형성되어 있는 것이 바람직하다. TFT(50)의 리크 전류는, n- 영역과 채널 영역(10c)의 접합 부분이 역바이어스됨으로써 공핍화되고, 그것에 의한 공핍층에 광이 입사하면, 정공·전자쌍이 생성됨으로써 발생하기 때문에, 채널 영역(10c) 및 n- 영역 전체를 차광층(12)으로 피복함으로써, 그와 같은 리크 전류의 발생을 억지할 수 있기 때문이다. 차광층(12)이 n- 영역의 끝으로부터 n+ 영역을 $2\mu\text{m}$ 이상 피복하도록 함으로써, 도 2의 지면 상에서 보아, 비스듬히 하방으로부터 상기 공핍층에 입사되는 광을 차단하는 것이 가능하게 된다. 즉, 도 2에서, $L1, L2 > 2\mu\text{m}$ 이다.

또한, 차광층(12)은, 반도체층(10)의 끝으로부터 $2\mu\text{m}$ 이상, 더욱 바람직하게는 $3.5\mu\text{m}$ 이상, TFT(50)의 채널 폭의 외측으로 확장되어 있는 것이 바람직하다. 즉, 도 1에서, $L3, L4 > 2\mu\text{m}$ 이다. 이렇게 함으로써, TFT(50)의 채널 폭 방향(도 1의 지면의 좌우 방향)의 하방으로부터 상기 공핍층에 입사하는 광을 차단하는 것이 가능하게 된다.

도 1 및 도 2에 도시하는 바와 같이, TFT(50)에 인접하는 영역에는 축적 용량(Csc)이 형성되어 있다. 이 축적 용량(Csc)은, 소스 영역(10c)과 연속한 하부 전극층(14)과, 게이트 절연막(11)과, 이 게이트 절연막(11)을 개재하여, 그 상방에 형성된 축적 용량 라인(15)으로 형성되어 있다. 또한, 게이트 라인(20) 및 축적 용량 라인(15)을 피복하여, 충간 절연막(16)이 형성되어 있다. 또한, 축적 용량(Csc)의 하부 전극층(14)의 하층에 베퍼막(13)을 개재하여, 차광층(12)의 형성과 동일한 공정에서, 차광층(12)과 동일 재료로 배선층을 형성하고, 이 배선층에 축적 용량 라인(15)과 동일한 신호를 인가함으로써, 축적 용량(Csc)의 값을 증가시킬 수 있다.

드레인 영역(10d)의 n+ 영역 상에는 제1 컨택트홀(C1)이 개구되고, 이 제1 컨택트홀(C1)을 통하여, 알루미늄이나 알루미늄 합금으로 이루어지는 드레인 라인(17)이 드레인 영역(10d)에 접속되어 있다. 이 드레인 라인(17)은, 매트릭스의 열 방향으로, 직선 형상으로 연장되어 있고, 게이트 라인(20)과 반도체층(10)의 교차부로부터 상하 방향으로 연장된 반도체층(10)의 부분을 피복하도록 형성되어 있다. 또한, 소스 영역(10s)의 n+ 영역 상에는 제2 컨택트홀(C2)이 개구되고, 이 제2 컨택트홀(C2)을 통하여, 알루미늄이나 알루미늄 합금으로 이루어지는 소스 전극(18)이 소스 영역(10s)에 접속되어 있다.

이 드레인 라인(17)은, 제1 컨택트홀(C1)로부터 충간 절연막(16) 상으로 연장되어, TFT(50)의 드레인 영역(10d)을 피복하고, 또한 게이트 라인(20) 상을 통과하여 횡단하여, 반대측의 n- 영역의 끝으로부터 n+ 영역을 $2\mu\text{m}$ 이상 피복하는 것이 바람직하다. 즉, 도 2에서, $L5 > 2\mu\text{m}$ 이다. 이렇게 함으로써, n- 영역의 공핍층에의 상방으로부터의 광의 입사를 억지할 수 있기 때문이다. 드레인 라인(17)에서 n- 영역의 끝으로부터 n+ 영역을 $2\mu\text{m}$ 이상 피복하는 것은, 경사진 상방으로부터의 광의 입사를 억지하기 위해서이다. 마찬가지의 이유로부터, 소스 전극(18)은, 제2 컨택트홀(C2)로부터 충간 절연막(16) 상으로 연장되어, TFT(50)의 소스 영역(10s)을 피복하고, 또한 게이트 라인(20) 상을 통과하여 횡단하여, 반대측의 n- 영역의 끝으로부터 n+ 영역을 $2\mu\text{m}$ 이상 피복하는 것이 바람직하다. 도 2에서, $L6 > 2\mu\text{m}$ 이다.

또한, 드레인 라인(17) 및 소스 전극(18)은, 반도체층(10)의 끝으로부터 $2\mu\text{m}$ 이상, TFT(50)의 채널 폭의 외측으로 확장되어 있는 것이 바람직하다. 즉, 도 1에서, $L7, L8 > 2\mu\text{m}$ 이다. 이렇게 함으로써, TFT(50)의 채널 폭 방향(도 1의 지면의 좌우 방향)의 상방으로부터 공핍층에 입사하는 광을 차단하는 것이 가능하게 된다.

또한, 차광층(12)은, 제1 및 제2 컨택트홀(C1, C2)의 하방을 제외한 영역에 형성되어 있는 것이 바람직하다. 차광층(12)이, 제1 및 제2 컨택트홀(C1, C2)의 하방에 형성된 경우에는, 컨택트홀 형성 시의 오버 에칭에 의해, 제1 및 제2 컨택트홀(C1, C2)이 반도체층(10) 및 베퍼막(13)을 관통하여, 드레인 라인(17) 및 소스 전극(18)과 차광층(12)이 쇼트될 우려가 있기 때문이다.

또한, 드레인 라인(17) 및 소스 전극(18)을 피복하여, 예를 들면 실리콘 질화막으로 이루어지는 패시베이션막(19), 감광성 유기 재료로 이루어지는 평탄화막(21)이 형성되어 있다. 소스 전극(18) 상의 패시베이션막(19) 및 평탄화막(21)에는 제3 컨택트홀(C3)이 개구되고, 이 제3 컨택트홀(C3)을 통하여, ITO 등으로 이루어지는 화소 전극(22)이 소스 전극(18)에 접속

되어 있다. 그리고, TFT(50)와 축적 용량(Csc)이 형성된 제1 기판(100)과 대향하여 대향면에 ITO 등으로 이루어지는 대향 전극(210)이 형성된 제2 기판(200)이 배치된다. 그리고, 제1 기판(100)과 제2 기판(200) 사이에 액정(250)이 봉입되어 있다. 또한, 화소 전극(22), 대향 전극(210)을 각각 피복하는 배향막이 형성되지만, 도면에서는 생략되어 있다.

다음으로, 드레인 라인(17), 소스 전극(18), 차광층(12)의 패턴의 상호 관계에 대해서 설명한다. 도 1에 도시하는 바와 같이, 반도체층(10)과 게이트 라인(12)의 2개의 교차부에서, 드레인 라인(17)의 끝과 차광층(12)의 끝은 일치하고 있고(도 1에서의 P1로 나타낸 개소), 소스 전극(18)의 끝과 차광층(12)의 끝은 일치하고 있다(도 1에서의 P2로 나타낸 개소). 그러나, 제1 기판(100)측으로부터 LCD에의 광의 입사가 지배적인 경우(예를 들면, 강한 백라이트 광의 입사가 있는 경우)에는, 도 3의 (a)에 도시하는 바와 같이, 차광층(12)의 단부가 소스 전극(18) 및 드레인 라인(17)의 끝보다 외측으로 확장되어 있는 것이 바람직하다. 이것은, 제1 기판(100)측으로부터 LCD에 입사된 광이 소스 전극(18) 및 드레인 라인(17)에 의해 반사되어 반도체층(10)에 입사되는 것을 방지하기 위해서이다.

반대로, 제2 기판(200)측으로부터 LCD에의 광의 입사가 지배적인 경우에는, 도 3의 (b)에 도시하는 바와 같이, 소스 전극(18) 및 드레인 라인(17)의 끝이 차광층(12)의 단부보다 외측으로 확장되어 있는 것이 바람직하다. 이것은, 제2 기판(200)측으로부터 LCD에 입사된 광이 차광층(12) 등에 의해 반사되어 반도체층(10)에 입사되는 것을 방지하기 위해서이다.

또한, 차광층(12)은 부유 상태가 아니라, 소정의 전위로 설정되는 것이 TFT(50)의 특성 변동(예를 들면, 임계값 전압의 변동)을 방지하는 데에 바람직하다. 소정의 전위로서는, 게이트 라인(20)의 전위, 축적 용량 라인(15)의 전위를 이용하는 것이 적당하다. 그 때문에, 차광층(12)과 게이트 라인(20)은 컨택트로 접속하는 것이 필요하지만, 그와 같은 컨택트는 화소의 형성 영역을 제외한 제1 기판(100) 상에 배치되는 것이 바람직하다. 그것은, 화소의 개구율의 저하를 방지하기 위해서이다. 마찬가지의 이유로부터, 차광층(12)과 축적 용량 라인(15)을 컨택트를 통하여 접속하는 경우에도, 그와 같은 컨택트는 화소의 형성 영역을 제외한 제1 기판(100) 상에 배치되는 것이 바람직하다.

(제2 실시예)

다음으로, 본 발명의 제2 실시예에 따른 액정 표시 장치에 대해서 도면을 참조하면서 설명한다. 이 액정 표시 장치는, 도 14에 도시한 것과 마찬가지로, n행 m열 매트릭스로 배치된 복수의 화소를 구비하고, 각 화소의 TFT는 더블 게이트 구조를 갖는다. 제1 실시예와 상이한 점은, TFT의 능동층이 U자형이 아니라 L자형의 패턴으로 형성되어 있는 점과, TFT의 상방을 드레인 라인만으로 차광하고 있는 점이다. 그 밖의 특징은 제1 실시예와 모두 동일하다.

도 4는 이 액정 표시 장치의 1화소의 평면도, 도 5는 도 4의 B-B선을 따라 취한 단면도이다. TFT(50A)(도 14의 TFT(110)에 대응함)의 반도체층(10A)(예를 들면, 폴리실리콘층으로 이루어짐)은, 제1 기판(100)(예를 들면, 글래스 기판) 상에, L자형의 패턴을 갖고 형성되어 있다. 행 방향으로 직선적으로 연장되는 게이트 라인(20A)은 도중에서 분기되어 있어, 반도체층(10A)의 직선 부분과 2개소에서 게이트 절연막(11)을 개재하여 교차하고 있다.

이들 2개의 교차부의 반도체층(10) 내에, 2개의 채널 영역(10Ac, 10Ac)이 형성된다. 게이트 라인(20A)과 채널 영역(10Ac, 10Ac) 사이에는 게이트 절연막(11)이 형성되어 있다. 즉, TFT(50A)는, 패턴 형상은 제1 실시예의 TFT(50)와 상이하지만, 마찬가지로 더블 게이트 구조를 갖고 있다.

1개의 교차부로부터 연장된 반도체층(10A) 내에는, 게이트 라인(20A)에 가까운 측에 형성된 n-형 영역(저농도 영역)과, 이것에 인접하여 형성된 n+ 영역(고농도 영역)으로 이루어지는 드레인 영역(10Ad)이 형성되고, 마찬가지로, 드레인 영역(10Ad)의 반대측에는, 또 하나의 교차부로부터 반도체층(10)이 연장되어 있고, 이 반도체층(10A) 내에, 게이트 라인(20A)에 가까운 측에 형성된 n- 영역과 이것에 인접하여 형성된 n+ 영역으로 이루어지는 소스 영역(10As)이 형성되어 있다.

또한, 상기 2개의 교차부의 반도체층(10A)의 하방에는, 크롬 또는 몰리브덴으로 이루어지는 차광층(12A)이 형성되고, 차광층(12A)과 반도체층(10A) 사이에는 SiO₂나 SiN_x로 이루어지는 베퍼막(13)이 형성되어 있다. 차광층(12A)은, 채널 영역(10Ac) 및 n- 영역 전체를 피복하고, 또한, n- 영역의 끝으로부터 n+ 영역을 2μm 이상, 더욱 바람직하게는 3.5μm 이상, 피복하여 형성되어 있는 것이 바람직하다. 차광층(12A)이 n- 영역의 끝으로부터 n+ 영역을 2μm 이상 피복하도록 함으로써, 도 5의 지면 상에서 보아, 비스듬히 하방으로부터 상기 공핍층에 입사하는 광을 차단하는 것이 가능하게 된다. 또한, 차광층(12A)은, 반도체층(10A)의 끝으로부터 2μm 이상, 더욱 바람직하게는 3.5μm 이상, TFT(50A)의 채널 폭의 외측으로 확장되어 있는 것이 바람직하다.

도 4 및 도 5에 도시하는 바와 같이, TFT(50A)에 인접하는 영역에는 축적 용량(Csc)이 형성되어 있다. 이 축적 용량(Csc)은, 소스 영역(10Ac)과 연속한 하부 전극층(14A)과, 게이트 절연막(11)을 개재하여, 그 상방에 형성된 축적 용량 라인(15A)으로 형성되어 있다. 또한, 게이트 라인(20A) 및 축적 용량 라인(15A)을 피복하여, 층간 절연막(16)이 형성되어 있다.

드레인 영역(10Ad)의 n+ 영역 상에는 제1 컨택트홀(C1A)이 개구되고, 이 제1 컨택트홀(C1A)을 통하여, 알루미늄이나 알루미늄 합금으로 이루어지는 드레인 라인(17A)이 드레인 영역(10Ad)에 접속되어 있다.

이 드레인 라인(17A)은, 매트릭스의 열 방향으로 직선 형상으로 연장되어 있고, 게이트 라인(20A)과 반도체층(10A)을 피복하도록 형성되어 있다. 또한, 소스 영역(10As)의 n+ 영역 상에는 제2 컨택트홀(C2A)이 개구되고, 이 제2 컨택트홀(C2A)을 통하여, 알루미늄이나 알루미늄 합금으로 이루어지는 소스 전극(18A)이 소스 영역(10As)에 접속되어 있다. 또한, 제3 컨택트홀(C3A)을 통하여, ITO 등으로 이루어지는 화소 전극(22)이 소스 전극(18A)에 접속되어 있다. 다른 구조에 대해서는, 제1 실시예와 동일하므로, 설명을 생략한다.

(제3 실시예)

다음으로, 본 발명의 제3 실시예에 따른 액정 표시 장치에 대해서 도면을 참조하면서 설명한다. 이 액정 표시 장치는, 도 14에 도시한 것과 마찬가지로, n행 m열 매트릭스로 배치된 복수의 화소를 구비하고, 각 화소의 TFT는 싱글 게이트 구조를 갖는다. 제1 실시예와 상이한 점은, TFT가 단일의 게이트를 가진 싱글 게이트 구조인 점과, TFT의 상방을 드레인 라인만으로 차광하고 있는 점이다. 그 밖의 특징은 제1 실시예와 완전히 동일하다.

도 6은 이 액정 표시 장치의 1화소의 평면도, 도 7은 도 6의 C-C선을 따라 취한 단면도이다. TFT(50B)(도 14의 TFT(110)에 대응함)의 반도체층(10B)(예를 들면, 폴리실리콘층으로 이루어짐)은, 제1 기판(100)(예를 들면, 클래스 기판) 상에, L자형의 패턴을 갖고 형성되어 있다. 행 방향으로 직선적으로 연장되는 게이트 라인(20B)은 반도체층(10B)과 1개소에서 게이트 절연막(11)을 개재하여 교차하고 있다.

이 교차부의 반도체층(10B) 내에, 채널 영역(10Bc)이 형성된다. 게이트 라인(20B)과 채널 영역(10B) 사이에는 게이트 절연막(11)이 형성되어 있다. 즉, TFT(50B)는, 패턴 형상은 제1 실시예의 TFT(50)와 달리, 싱글 게이트 구조를 갖고 있다.

그리고, 이 교차부로부터 연장된 반도체층(10B) 내에는, 게이트 라인(20B)에 가까운 측에 형성된 n-형 영역(저농도 영역)과, 이것에 인접하여 형성된 n+ 영역(고농도 영역)으로 이루어지는 드레인 영역(10Bd)이 형성되고, 마찬가지로, 드레인 영역(10Bd)의 반대측에는, 반도체층(10B)이 연장되어 있고, 이 반도체층(10B) 내에, 게이트 라인(20B)에 가까운 측에 형성된 n- 영역과 이것에 인접하여 형성된 n+ 영역으로 이루어지는 소스 영역(10Bs)이 형성되어 있다.

또한, 교차부의 반도체층(10B)의 하방에는, 크롬 또는 몰리브덴으로 이루어지는 차광층(12B)이 형성되고, 차광층(12B)과 반도체층(10B) 사이에는 SiO_2 나 SiN_x 로 이루어지는 베퍼막(13)이 형성되어 있다. 차광층(12B)은, 채널 영역(10Bc) 및 n-영역 전체를 피복하고, 또한, n- 영역의 끝으로부터 n+ 영역을 $2\mu\text{m}$ 이상, 더욱 바람직하게는 $3.5\mu\text{m}$ 이상, 피복하여 형성되어 있는 것이 바람직하다. 차광층(12B)이 n- 영역의 끝으로부터 n+ 영역을 $2\mu\text{m}$ 이상 피복하도록 함으로써, 도 7의 지면 상에서 보아, 비스듬히 하방으로부터 상기 공핍층에 입사하는 광을 차단하는 것이 가능하게 된다. 또한, 차광층(12B)은, 반도체층(10B)의 끝으로부터 $2\mu\text{m}$ 이상, 더욱 바람직하게는 $3.5\mu\text{m}$ 이상, TFT(50B)의 채널 폭의 외측으로 확장되어 있는 것이 바람직하다.

도 6 및 도 7에 도시하는 바와 같이, TFT(50B)에 인접하는 영역에는 축적 용량(Csc)이 형성되어 있다. 이 축적 용량(Csc)은, 소스 영역(10Bc)과 연속한 하부 전극층(14B)과, 게이트 절연막(11)을 개재하여, 그 상방에 형성된 축적 용량 라인(15B)으로 형성되어 있다. 또한, 게이트 라인(20B) 및 축적 용량 라인(15B)을 피복하여, 층간 절연막(16)이 형성되어 있다.

드레인 영역(10Bd)의 n+ 영역 상에는 제1 컨택트홀(C1B)이 개구되고, 이 제1 컨택트홀(C1B)을 통하여, 알루미늄이나 알루미늄 합금으로 이루어지는 드레인 라인(17B)이 드레인 영역(10Bd)에 접속되어 있다.

이 드레인 라인(17B)은, 매트릭스의 열 방향으로 직선 형상으로 연장되어 있고, 게이트 라인(20B)과 반도체층(10B)을 피복하도록 형성되어 있다. 또한, 소스 영역(10Bs)의 n+ 영역 상에는 제2 컨택트홀(C2B)이 개구되고, 이 제2 컨택트홀

(C2B)을 통하여, 알루미늄이나 알루미늄 합금으로 이루어지는 소스 전극(18B)이 소스 영역(10Bs)에 접속되어 있다. 또한, 제3 컨택트홀(C3B)을 통하여, ITO 등으로 이루어지는 화소 전극(22)이 소스 전극(18B)에 접속되어 있다. 다른 구조에 대해서는, 제1 실시예와 동일하므로, 설명을 생략한다.

(제4 실시예)

제1, 제2, 제3 실시예에서는, 화소의 TFT를 차광하는 구조에 대해서 설명했지만, 본 실시예에서는, 수평 드라이브 회로의 수평 스위치를 구성하는 TFT의 차광 구조에 대해서 설명한다. 우선, 화소와 수평 드라이브 회로의 관계에 대해서도 8을 참조하여 설명한다.

이 액정 표시 장치는, 매트릭스로 배치된 복수의 화소(GS1, GS2, GS3, ...)를 구비하고 있다. 각 화소는, 제1, 제2, 제3 실시예에서 설명한 구조를 갖고 있다. 각 화소에는 행 방향으로 연장된 게이트 라인(20), 열 방향으로 연장된 드레인 라인(17)이 접속되어 있다. 각 행의 게이트 라인(20)에는 수직 드라이브 회로(130A)로부터 게이트 주사 신호가 순차적으로 공급되고, 이에 의해, 화소의 TFT가 온한다. 또한, 드레인 라인(17)에는 수평 드라이브 회로(140A)로부터, 비디오 신호(Vsig)가 공급되고, 화소의 TFT를 통하여 액정(LC)에 인가된다.

수평 드라이브 회로(140A)는, 각 드레인 라인(17)에 드레인이 접속되고, 소스에 비디오 신호(Vsig)가 공급된 수평 스위치(HSW1, HSW2, HSW3, ...)와, 수평 스위치(HSW1, HSW2, HSW3, ...)의 게이트에 각각 수평 주사 신호(SP1, SP2, SP3, ...)를 공급하는 시프트 레지스터(141)를 구비하고 있다. 수평 스위치(HSW1, HSW2, HSW3, ...)는 TFT로 이루어지고, 수평 주사 신호(SP1, SP2, SP3)가 하이 레벨로 되면 온하여, 비디오 신호(Vsig)를 대응하는 드레인 라인(17)에 출력한다.

이 수평 스위치(HSW1, HSW2, HSW3, ...)를 구성하고 있는 TFT에 대해서도, 백라이트 등의 외광이 입사하면 리크 전류가 발생하여, 크로스토크 등에 의해 표시 화질이 열화되게 된다. 이 크로스토크의 문제에 대해서도 9를 참조하여 설명한다.

이제, 화소(GS1)에 그레이의 표시, 이것에 인접하는 GS2에 흑의 표시를 행하는 경우에 대해서 생각한다. 수평 주사 신호(SP1)가 하이 레벨로 되면, 수평 스위치(HSW1)가 온하고, 그레이 레벨의 비디오 신호(Vsig)가 화소(GS1)에 기입되고, 다음으로, 수평 주사 신호(SP2)가 하이 레벨로 되면, 수평 스위치(HSW2)가 온하고, 흑 레벨의 비디오 신호(Vsig)가 화소(GS2)에 기입된다. 그런데, 수평 스위치(HSW2)가 온하고 있을 때에 수평 스위치(HSW1)에 리크 전류가 발생하면, 화소(GS1)에 흑 레벨이 리크하기 때문에, 화소(GS1)의 표시가 거무스름하게 된다. 이와 같은 크로스토크를 방지하기 위해서는 수평 스위치(HSW1, HSW2, HSW3, ...)에 대해서 차광 구조를 채용하는 것이 필요하다.

도 10은 수평 스위치를 구성하는 TFT의 평면도, 도 11은 도 10의 D-D선을 따라 취한 단면도이다. 제1 기판(100)(예를 들면, 클래스 기판) 상에 반도체층(60)(예를 들면, 폴리실리콘으로 이루어짐)이 형성되고, 반도체층(60) 상에 게이트 절연막(11)을 개재하여 게이트 전극(61)이 형성되어 있다. 게이트 전극(61)의 하방의 반도체층(60)에는, p형의 채널 영역(60c)이 형성된다. 반도체층(60)에는 채널 영역(60c)과 인접하여, n-형 영역(저농도 영역)과, 이것에 인접하여 형성된 n+ 영역(고농도 영역)으로 이루어지는 드레인 영역(60d)이 형성되고, 마찬가지로, 드레인 영역(60d)과 대향하여, 반도체층(60) 내에, n- 영역과 이것에 인접하여 형성된 n+ 영역으로 이루어지는 소스 영역(60s)이 형성되어 있다.

또한, 반도체층(60)의 하방에는, 크롬 또는 몰리브덴으로 이루어지는 차광층(62)이 형성되고, 차광층(62)과 반도체층(60) 사이에는 SiO_2 나 SiN_x 로 이루어지는 버퍼막(13)이 형성되어 있다. 버퍼막(13)의 막 두께는, 상술한 이유에 의해, 300nm 이상인 것이 바람직하다. 또한, 차광층(62)은, 채널 영역(60c) 및 n- 영역 전체를 피복하고, 또한, n- 영역의 끝으로부터 n+ 영역을 $2\mu\text{m}$ 이상, 더욱 바람직하게는 $3.5\mu\text{m}$ 이상, 피복하여 형성되어 있는 것이 바람직하다. 즉, 도 10에서, L10, L11 $> 2\mu\text{m}$ 이다. 차광층(62)이 n- 영역의 끝으로부터 n+ 영역을 $2\mu\text{m}$ 이상, 피복하도록 함으로써, 도 10의 지면 상에서 보아, 비스듬히 하방으로부터 상기 공핍층에 입사하는 광을 차단하는 것이 가능하게 된다. 또한, 차광층(62)은, 반도체층(60)의 끝으로부터 $2\mu\text{m}$ 이상, 더욱 바람직하게는 $3.5\mu\text{m}$ 이상, TFT의 채널 폭의 외측으로 확장되어 있는 것이 바람직하다. 또한, 차광층(62)은 부유 상태가 아니라, 소정의 전위로 설정되는 것이 TFT의 특성 변동(예를 들면, 임계값 전압의 변동)을 방지하는 데에 바람직하다. 그 때문에, 본 실시예에서는, 차광층(62)은 게이트 전극(61)과 컨택트홀(C6)에 의해 접속되어 있다.

드레인 영역(60d)의 n+ 영역 상의 게이트 절연막(11) 및 층간 절연막(16)에는 컨택트홀(C4)이 개구되고, 이 컨택트홀(C4)을 통하여, 알루미늄이나 알루미늄 합금으로 이루어지는 드레인 전극(63)이 드레인 영역(60d)에 접속되어 있다.

이 드레인 전극(63)은, 충간 절연막(16) 상으로 연장되어, 게이트 전극(61)과 오버랩하고 있다. 이에 의해, 드레인 영역(60d)의 n-층의 상방이 드레인 전극(63)에 의해 피복되므로, 이 부분에 상방으로부터의 외광이 입사되는 것이 방지된다.

마찬가지로, 소스 영역(60s)의 n+ 영역 상의 게이트 절연막(11) 및 충간 절연막(16)에는 컨택트홀(C5)이 개구되고, 이 컨택트홀(C5)을 통하여, 알루미늄이나 알루미늄 합금으로 이루어지는 소스 전극(64)이 소스 영역(60s)에 접속되어 있다. 이 소스 전극(64)은, 충간 절연막(16) 상으로 연장되어, 게이트 전극(61)과 오버랩하고 있다. 이에 의해, 소스 영역(60s)의 n-층의 상방이 소스 전극(64)에 의해 피복되므로, 이 부분에 상방으로부터의 외광이 입사되는 것이 방지된다. 드레인 전극(63) 및 소스 전극(64)을 피복하여, 예를 들면 실리콘 질화막으로 이루어지는 패시베이션막(19), 감광성 유기 재료로 이루어지는 평탄화막(21)이 형성되어 있다.

(제5 실시예)

제4 실시예에서는, 수평 드라이브 회로의 수평 스위치에 이용되는 TFT의 차광 구조에 대해서 설명했지만, 본 실시예에서는 수평 드라이브 회로(140A), 수직 드라이브 회로(130A)의 인버터에 이용되는 TFT의 차광 구조에 대해서 설명한다. 그 외 같은 TFT에 대해서도, 백라이트 등의 외광이 입사하면 리크 전류가 발생하여, 인버터의 오동작이나 소비 전류의 증가를 초래하기 때문에, 마찬가지의 차광 구조를 채용하는 의의가 있다.

도 12는 인버터를 구성하는 TFT의 평면도, 도 13은 도 12의 E-E선을 따라 취한 단면도이다. 인버터는 일반적으로 P채널형 TFT와 N채널형 TFT를 전원 전압 VDD와 접지 전압 VSS 사이에 직렬 접속하고, 게이트를 서로 공통 접속하여 이루어지는 회로이지만, 도 12, 도 13에서는 1개의 TFT만을 도시하고 있다.

제1 기판(100)(예를 들면, 글래스 기판) 상에 반도체층(70)(예를 들면, 폴리실리콘층으로 이루어짐)이 형성되고, 반도체층(70) 상에 게이트 절연막(11)을 개재하여 게이트 전극(71)이 형성되어 있다. 게이트 전극(71)의 하방의 반도체층(70)에는, 채널 영역(70c)이 형성된다. 반도체층(70)에는 채널 영역(70c)과 인접하여, n-형 영역(저농도 영역)과, 이것에 인접하여 형성된 n+ 영역(고농도 영역)으로 이루어지는 드레인 영역(70d)이 형성되고, 마찬가지로, 드레인 영역(70d)과 대향하여, 반도체층(70) 내에, n- 영역과 이것에 인접하여 형성된 n+ 영역으로 이루어지는 소스 영역(70s)이 형성되어 있다.

또한, 반도체층(70)의 하방에는, 크롬 또는 몰리브덴으로 이루어지는 차광층(72)이 형성되고, 차광층(72)과 반도체층(70) 사이에는 SiO_2 등으로 이루어지는 버퍼막(13)이 형성되어 있다. 버퍼막(13)의 막 두께는, 상술한 이유에 의해, 300nm 이상인 것이 바람직하다. 또한, 차광층(72)은, 채널 영역(70c) 및 n- 영역 전체를 피복하고, 또한, n- 영역의 끝으로부터 n+ 영역을 $2\mu\text{m}$ 이상, 더욱 바람직하게는 $3.5\mu\text{m}$ 이상, 피복하여 형성되어 있는 것이 바람직하다. 즉, 도 13에서, $L12 > 2\mu\text{m}$ 이다. 차광층(72)이 n- 영역의 끝으로부터 n+ 영역을 $2\mu\text{m}$ 이상, 피복하도록 함으로써, 도 13의 지면 상에서 보아, 비스듬히 하방으로부터 상기 공핍층에 입사하는 광을 차단하는 것이 가능하게 된다. 또한, 차광층(72)은, 반도체층(70)의 끝으로부터 $2\mu\text{m}$ 이상, 더욱 바람직하게는 $3.5\mu\text{m}$ 이상, TFT의 채널 폭의 외측으로 확장되어 있는 것이 바람직하다.

드레인 영역(70d)의 n+ 영역 상의 게이트 절연막(11) 및 충간 절연막(16)에는 컨택트홀(C7)이 개구되고, 이 컨택트홀(C7)을 통하여, 알루미늄이나 알루미늄 합금으로 이루어지는 드레인 전극(73)이 드레인 영역(70d)에 접속되어 있다.

이 드레인 전극(73)은, 충간 절연막(16) 상으로 연장되어, 게이트 전극(61)과 오버랩하고 있다. 이에 의해, 드레인 영역(70d)의 n-층의 상방이 드레인 전극(73)에 의해 피복되므로, 이 부분에 상방으로부터의 외광이 입사되는 것이 방지된다.

마찬가지로, 소스 영역(70s)의 n+ 영역 상의 게이트 절연막(11) 및 충간 절연막(16)에는 컨택트홀(C8)이 개구되고, 이 컨택트홀(C8)을 통하여, 알루미늄이나 알루미늄 합금으로 이루어지는 소스 전극(74)이 소스 영역(70s)에 접속되어 있다. 이 소스 전극(74)은, 충간 절연막(16) 상으로 연장되어, 게이트 전극(71)과 오버랩하고 있다. 이에 의해, 소스 영역(70s)의 n-층의 상방이 소스 전극(74)에 의해 피복되므로, 이 부분에 상방으로부터의 외광이 입사되는 것이 방지된다. 드레인 전극(73) 및 소스 전극(74)을 피복하여, 예를 들면 실리콘 질화막으로 이루어지는 패시베이션막(19), 감광성 유기 재료로 이루어지는 평탄화막(21)이 형성되어 있다.

차광층(72)은 부유 상태가 아니라, 소정의 전위로 설정되는 것이 TFT의 특성변동(예를 들면, 임계값 전압의 변동)을 방지하는 데에 바람직하다. 그 때문에, 본 실시예에서는, 차광층(72)은, 전원 전압 VDD 또는 접지 전압 VSS가 인가되는 소스 전극(74)과 컨택트홀(C9)에 의해 접속되어 있다.

제1, 제2, 제3 실시예에서는, 액정 표시 장치에 적용할 수 있는 화소의 TFT를 차광하는 구조에 대해서 설명했지만, 이것은 액정 표시 장치 이외의 표시 장치에도 적용할 수 있다. 예를 들면, 자발광형의 표시 장치인, OLED(Organic Light-Emitting Diode) 표시 장치의 경우에도, 자화소 또는 이웃 화소가 발광하는 광이 글래스 기판의 표면 또는 이면에서 반사되어, 화소 선택용 TFT에 입사되어, 리크 전류의 증가를 발생시켜, 화질이 열화된다. 이 경우, 화소 내에 화소 선택용 TFT, 발광 소자인 OLED에 직접 접속되는 구동용 TFT 등, 복수의 TFT가 배치되지만, 그들 복수의 TFT 중, 적어도, 화소 선택용 TFT를 제1, 제2, 제3 실시예와 마찬가지의 구조로 차광한다.

발명의 효과

본 발명의 액정 표시 장치에 따르면, 반도체층과 게이트 라인의 교차부로부터 연장된 반도체층의 상방을 드레인 라인 혹은 소스 전극으로 펴복하고, 또한 교차부의 반도체층의 하방에, 반도체층에의 광의 입사를 차단하는 차광층을 형성하고 있으므로, 액정 표시 장치의 상방 및 하방으로부터의 입사광이나, 그들 반사광이 리크 전류의 발생원으로 되는 반도체층 부분에 입사되는 것이 억지된다. 이에 의해, 반도체층, 게이트 절연막, 게이트 라인 등으로 구성되는 화소의 TFT의 리크 전류가 저감되어, 액정 표시 장치의 표시 화질을 향상시키는 것이 가능하게 된다.

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치의 화소의 평면도.

도 2는 도 1의 A-A선을 따라 취한 단면도.

도 3은 본 발명의 제1 실시예에 따른 액정 표시 장치의 화소의 다른 평면도.

도 4는 본 발명의 제2 실시예에 따른 액정 표시 장치의 화소의 평면도.

도 5는 도 4의 B-B선을 따라 취한 단면도.

도 6은 본 발명의 제3 실시예에 따른 액정 표시 장치의 화소의 평면도.

도 7은 도 6의 C-C선을 따라 취한 단면도.

도 8은 본 발명의 제4 실시예에 따른 액정 표시 장치의 회로도.

도 9는 액정 표시 장치의 크로스토크를 설명하는 동작 타이밍도.

도 10은 본 발명의 제4 실시예에 따른 액정 표시 장치의 화소의 평면도.

도 11은 도 10의 D-D선을 따라 취한 단면도.

도 12는 본 발명의 제5 실시예에 따른 액정 표시 장치의 화소의 평면도.

도 13은 도 12의 E-E선을 따라 취한 단면도.

도 14는 종래예에 따른 액정 표시 장치의 회로도.

<도면의 주요 부분에 대한 부호의 설명>

10, 10A, 10B, 60, 70: 반도체층

10c, 10Ac, 10Bc, 60c, 70c: 채널 영역

10d, 10Ad, 10Bd, 60d, 70d: 드레인 영역

10s, 10As, 10Bs, 60s, 70s: 소스 영역

11: 게이트 절연막

12, 12A, 12B, 62, 72: 차광층

13: 벼파막

14, 14A, 14B: 하부 전극층

15, 15A, 15B: 축적 용량 라인

16: 층간 절연막

17, 17A, 17B: 드레인 라인

18, 18A, 18B: 소스 전극

19: 패시베이션막

20, 20A, 20B: 게이트 라인

21: 평탄화막

22: 화소 전극

50, 50A, 50B: TFT

61, 71: 게이트 전극

63, 73: 드레인 전극

64, 74: 소스 전극

100: 제1 기판

110: 박막 트랜지스터(TFT)

120: 게이트 라인

121: 드레인 라인

130, 130A: 수직 드라이브 회로

140, 140A: 수평 드라이브 회로

141: 시프트 레지스터

200: 제2 기판

210: 대향 전극

250, LC: 액정

Csc: 축적 용량

C1, C1A, C1B: 제1 컨택트홀

C2, C2A, C2B: 제2 컨택트홀

C3, C3A, C3B: 제3 컨택트홀

C4, C5, C6, C7, C8: 컨택트홀

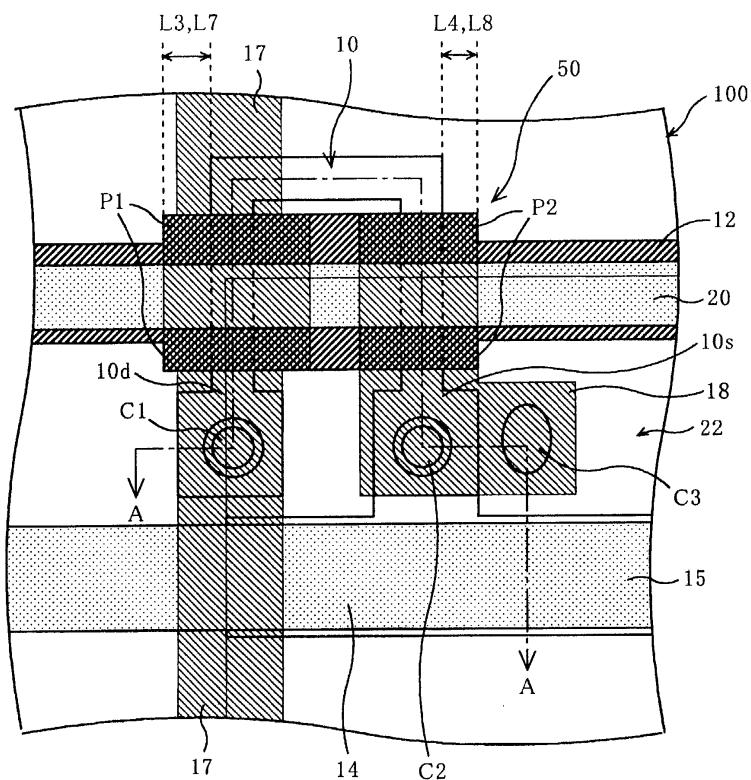
HSW1, HSW2, HSW3: 수평 스위치

SP1, SP2, SP3: 수평 주사 신호

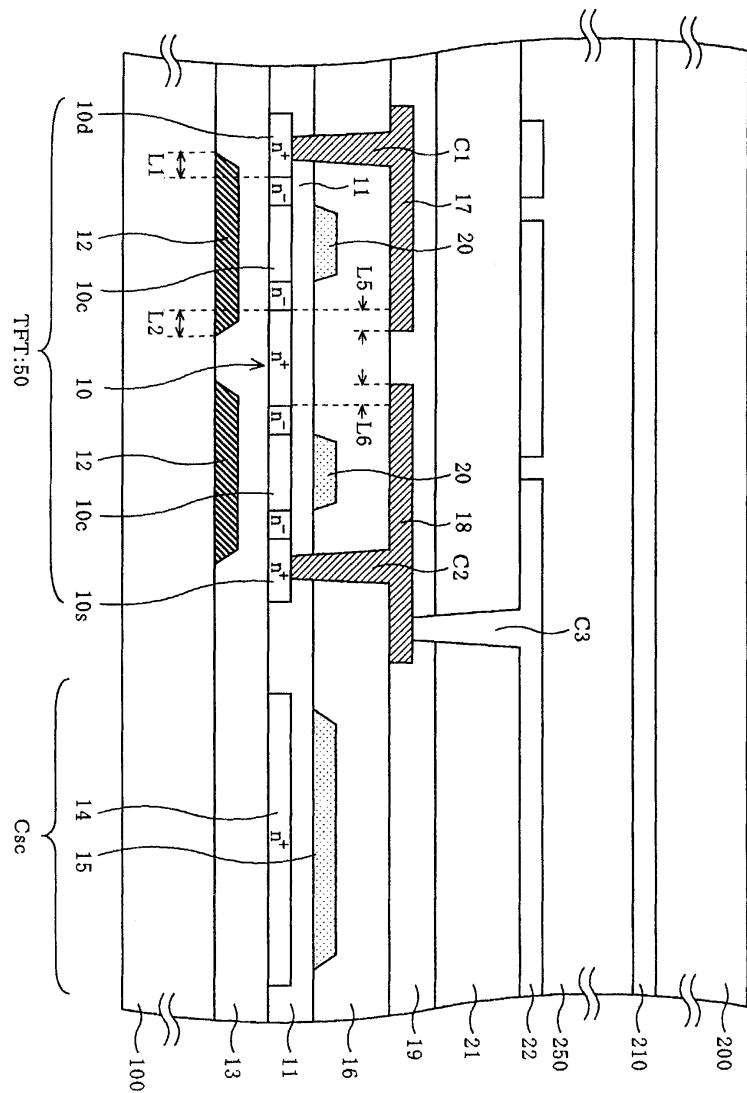
Vsig: 비디오 신호

도면

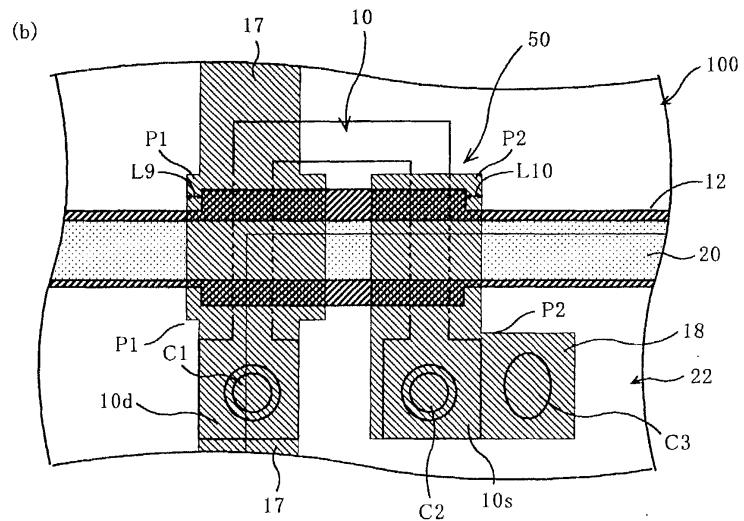
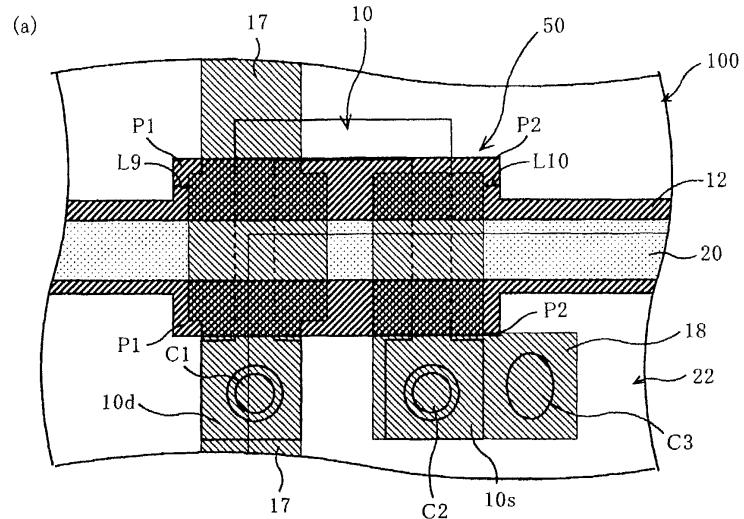
도면1



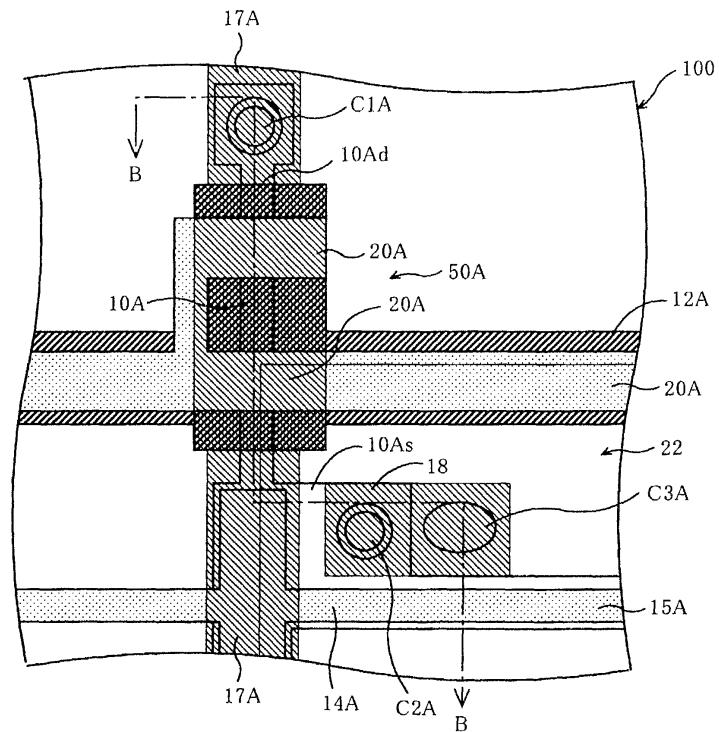
도면2



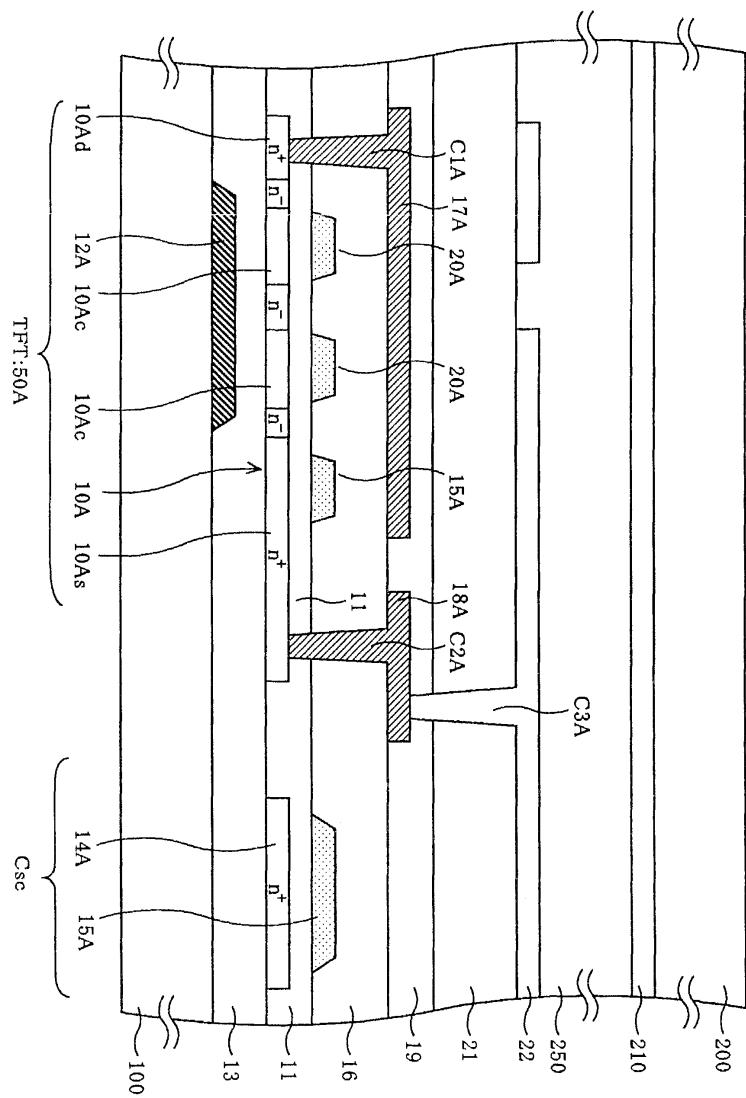
도면3



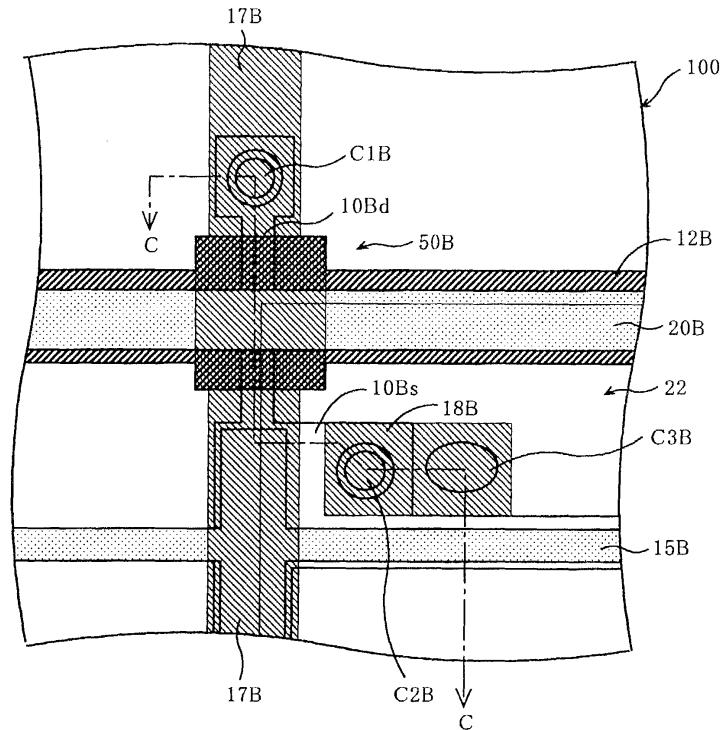
도면4



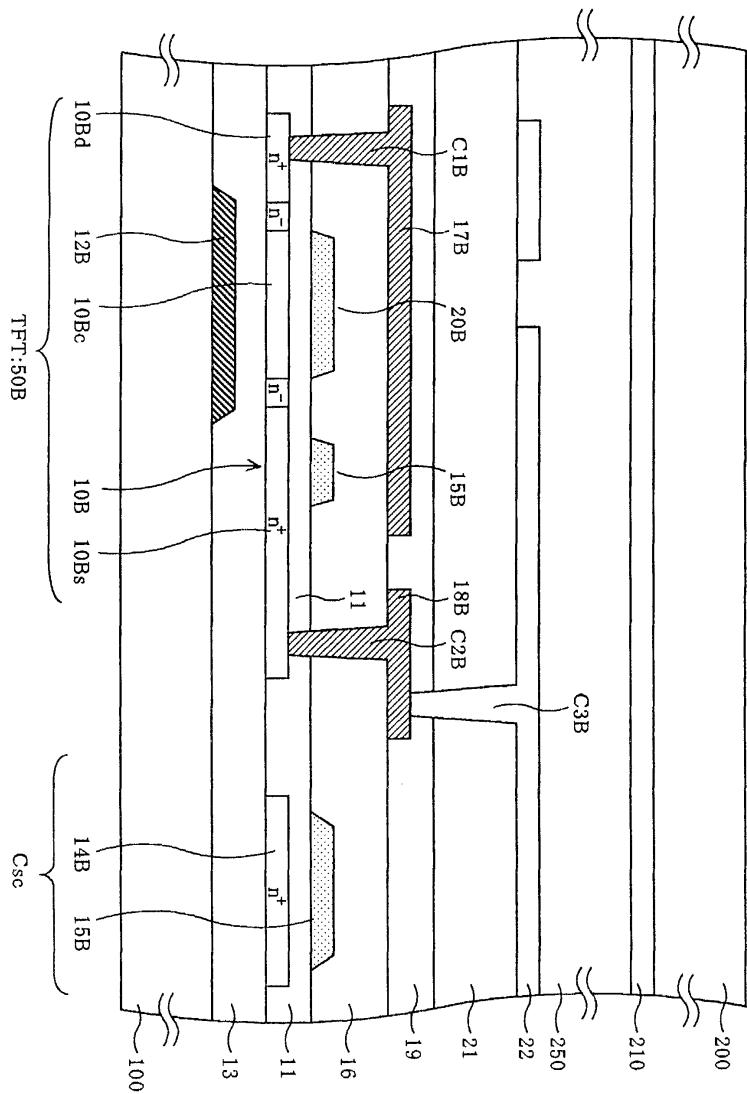
도면5



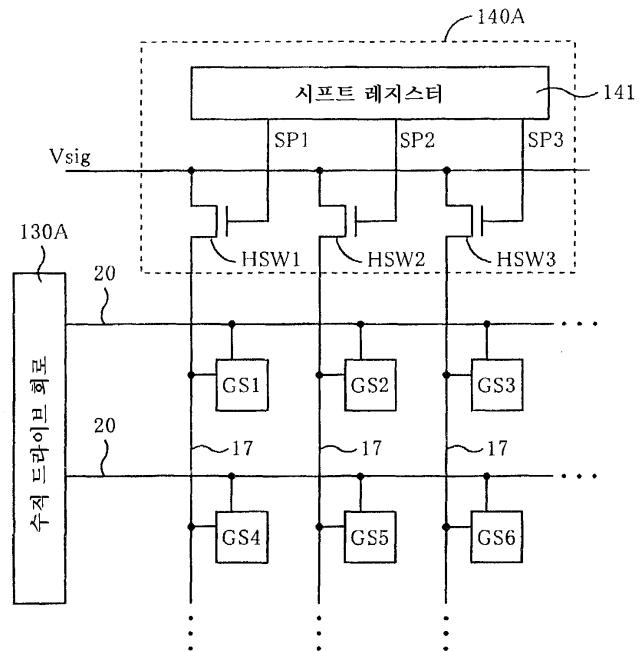
도면6



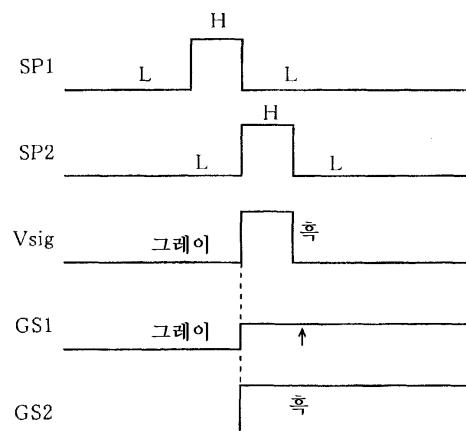
도면7



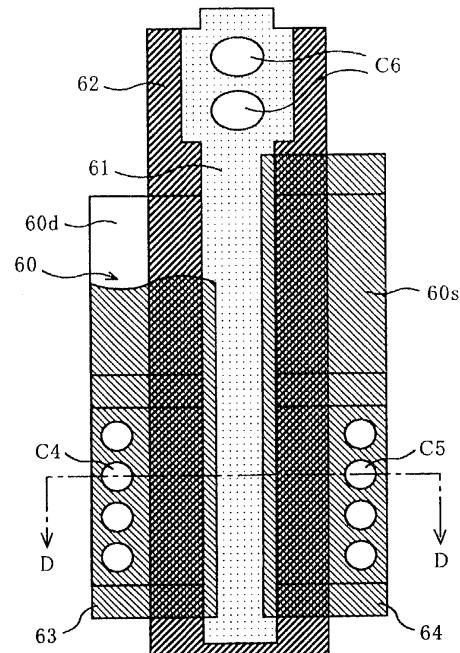
도면8



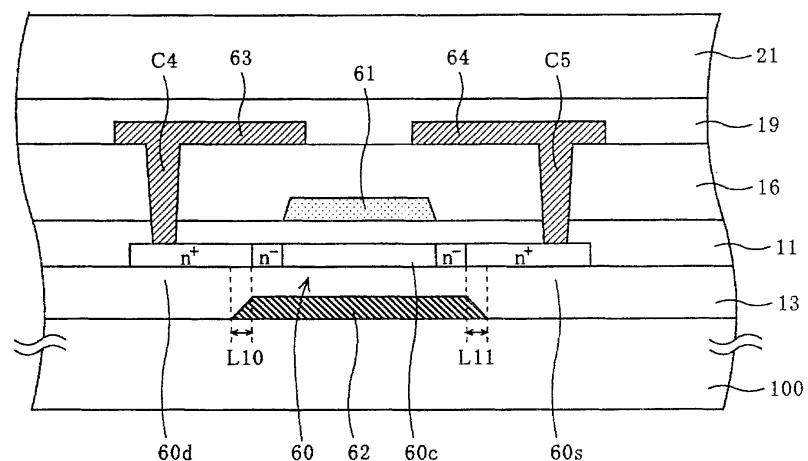
도면9



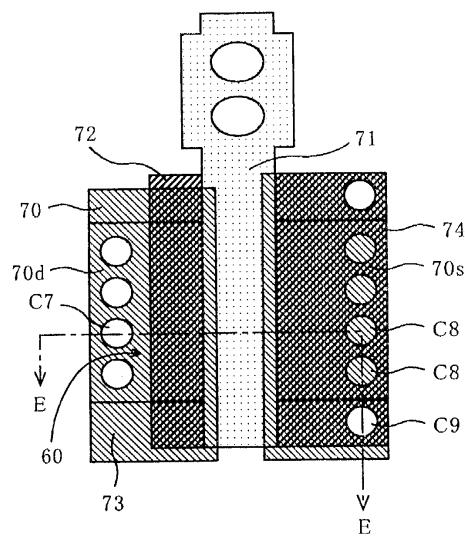
도면10



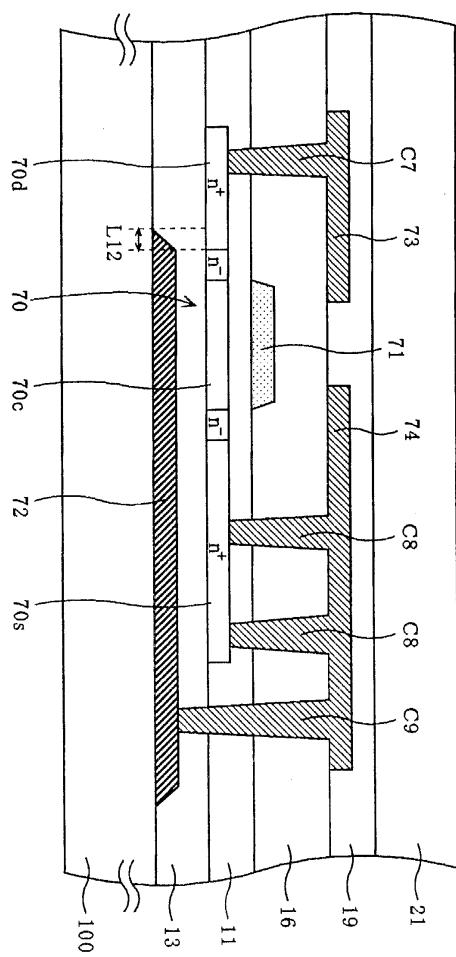
도면11



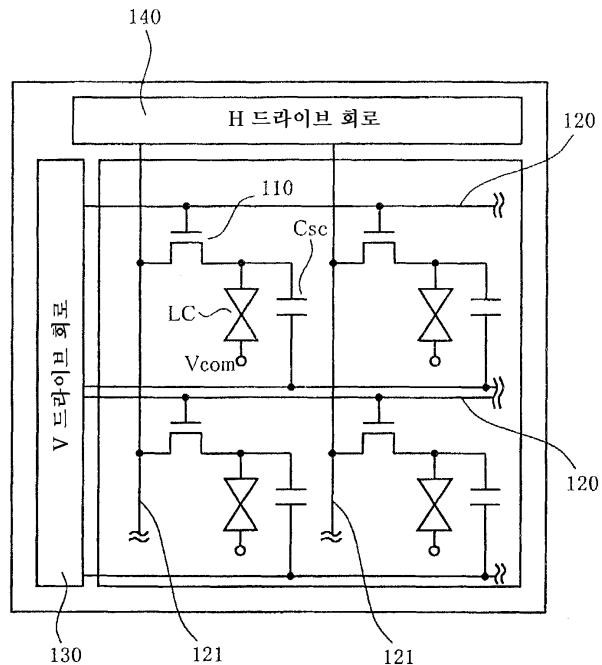
도면12



도면13



도면14



专利名称(译)	显示设备		
公开(公告)号	KR1020070075316A	公开(公告)日	2007-07-18
申请号	KR1020070002826	申请日	2007-01-10
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	猎户座森成像装置可否让这个夏		
当前申请(专利权)人(译)	猎户座森成像装置可否让这个夏		
[标]发明人	SEGAWA YASUO 세가와야스오 ONOJI TOMOHIDE 오노기도모히데		
发明人	세가와야스오 오노기도모히데		
IPC分类号	G02F1/1368 H01L29/786		
CPC分类号	H01L29/78696 H01L27/13 H01L29/78633 G02F1/136213 G02F1/136209 H01L29/78621 H01L27/12 H01L29/41733 G02F1/136227 H01L27/1255		
代理人(译)	CHANG, SOO KIL LEE, JUNG HEE		
优先权	2006003484 2006-01-11 JP		
其他公开文献	KR100846543B1		
外部链接	Espacenet		

摘要(译)

通过背光或外部光的像素的TFT的漏电流减小。改善了液晶显示器的显示清晰度。每个像素多个像素包括在第一基板(100)上，包括插入栅极绝缘层(11)的半导体层(10)和连接到交叉栅极线(20)的源电极(10s)和漏极区域(10d)穿过第一接触孔(C1)并连接到漏极线(17)，涂覆从交叉点延伸的半导体层(10)的上方和通过第二接触区域源(10s)孔(C2)覆盖从交叉处延伸的半导体层(10)的上方，并形成。此外，插入半导体层(10)的下缓冲层(13)并形成下缓冲层(13)。并且包括阻挡半导体层(10)的光入射的光学屏蔽层(12)。半导体层，栅极绝缘层，光学屏蔽层，缓冲层，接触孔，漏极线，栅极线，源极电极。

