

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.  
G09G 3/36 (2006.01)

(11) 공개번호 10-2006-0090419  
(43) 공개일자 2006년08월11일

(21) 출원번호 10-2005-0010928

(22) 출원일자 2005년02월05일

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 고성현  
경기 용인시 기흥읍 상갈리 금화마을주공아파트 5단지 507-1303

(74) 대리인 박영우

심사청구 : 없음

(54) 게이트 구동 방법 및 그 장치와 이를 갖는 표시장치

요약

구동 속도의 향상 및 면적 부담을 감소시킬 수 있는 게이트 구동 방법 및 그 장치와 이를 갖는 표시장치가 개시된다. 단위 화소 영역의 메인 스위칭 소자 및 서브 스위칭 소자 각각에 연결된 메인 게이트 라인 및 서브 게이트 라인을 액티브시키는 게이트 구동방법은 인가되는 클럭에 따라 제1 펄스신호를 순차적으로 쉬프트하여 제2 펄스신호를 출력하는 단계, 제1 제어신호를 근거로 제2 펄스신호를 변환시켜 메인 펄스신호를 메인 게이트 라인에 출력하는 단계 및 제1 제어신호와 제2 제어신호를 근거로 제2 펄스신호를 변환시켜 출력시간과 펄스 폭이 제어된 서브 펄스신호를 서브 게이트 라인에 출력하는 단계를 포함한다. 하나의 화소 영역에 포함된 메인 및 서브 픽셀의 구동 속도를 향상시킬 수 있고, 액정표시장치의 소형화를 도모할 수 있다.

대표도

도 5

명세서

도면의 간단한 설명

도 1은 일반적인 액정표시장치를 설명하는 블록도이다.

도 2는 도 1에 도시된 게이트 구동부를 설명하는 블록도이다.

도 3은 도 2에 도시된 게이트 구동부의 동작 상태를 설명하기 위한 파형도이다.

도 4는 본 발명의 일 실시예에 의한 액정표시장치를 개략적으로 도시한 블록도이다.

도 5는 도 4에 도시된 게이트 구동부를 설명하는 블록도이다.

도 6은 도 5에 도시된 게이트 구동부의 상세 블록도이다.

도 7은 본 발명의 일 실시예에 의한 출력 제어부를 도시한 회로도이다.

도 8은 본 발명의 일 실시예에 의한 게이트 구동부의 동작 상태를 설명하기 위한 파형도이다.

도 9는 게이트 라인들에 제공되는 펄스신호들과 액정 캐패시터의 전하량과의 관계에 관한 비교예를 도시한 도면이다.

도 10은 게이트 라인들 및 데이터 라인들에 제공되는 펄스신호들과 액정 캐패시터의 전하량과의 관계를 관한 비교예를 도시한 도면이다.

도 11은 본 발명의 일 실시예에 의한 게이트 라인들 및 데이터 라인들에 제공되는 펄스신호들과 액정 캐패시터의 전하량과의 관계를 도시한 도면이다.

도 12는 본 발명의 일 실시예에 의한 게이트 구동 방법을 도시한 흐름도이다.

도 13은 본 발명의 일 실시예에 의한 액정표시장치를 도시한 블록도이다.

\* 도면의 주요부분에 대한 부호의 설명 \*

100, 200, 310 : 액정표시패널 140, 240, 320 : 게이트 구동부

160, 260, 350 : 소오스 구동부 142, 242 : 쉬프트 레지스터부

144, 244 : 레벨 쉬프터부 146, 246 : 출력 버퍼부

244a : 메인 제어부 244b : 서브 제어부

330 : 타이밍 컨트롤러부 340 : 패널 전압 발생부

360 : 계조 전압 발생부

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 게이트 구동 방법 및 그 장치와 이를 갖는 표시장치에 관한 것으로서, 보다 상세하게는 구동 속도를 향상시키고, 면적 부담을 감소시킨 게이트 구동 방법 및 그 장치와 이를 갖는 표시장치에 관한 것이다.

일반적으로, 액정표시장치(Liquid Crystal Display)는 액정(Liquid Crystal)을 이용하여 영상을 표시하는 평판표시장치로서, 다른 표시장치에 비해 얇고 가벼우며, 낮은 소비전력 및 구동전압을 갖는 장점이 있어, 산업 전반에 걸쳐 광범위하게 사용되고 있다.

상기한 액정표시장치는 구동 방식의 차이로 액티브 매트릭스(Active matrix) 표시방식과 패시브 매트릭스(passive matrix)표시 방식으로 분류할 수 있다.

상기 액티브 매트릭스 표시 방식은 TFT-LCD에 사용되며, 이것은 TFT를 스위치로 이용하여 LCD를 구동하는 방식이다. 상기 TFT-LCD는 TFT 기관과 컬러필터 기관 사이에 액정을 개재한 형태의 액정표시패널을 사용한다.

상기 TFT 기관은 스위칭 소자인 TFT가 매트릭스 형태로 형성된 투명한 유리기관이다. 상기 TFT들의 소오스 및 게이트 단자에는 각각 데이터 및 게이트 라인이 연결되고, 드레인 단자에는 투명한 도전성 재료로 이루어진 화소전극이 연결된다.

컬러필터 기판은 색화소인 R, G, B 화소가 박막공정에 의해 형성된 기판이다. 컬러필터 기판에는 투명한 도전성 재질로 이루어진 공통전극이 형성된다.

이러한 구성을 갖는 액정표시패널은 상기 TFT의 게이트 단자에 전원이 인가되어 TFT가 턴-온(turn on)되면, 화소 전극과 공통 전극 사이에는 전계가 형성된다. 이러한 전계에 의해 TFT 기판과 컬러필터 기판과의 사이에 개재된 액정의 배열이 변화되고, 액정의 배열 변화에 따라서 공급되는 광의 투과도가 변경되어 원하는 계조의 영상을 얻게 된다.

이러한 TN액정을 이용한 액정표시패널은 시야각에 따라 대비비(contrast ratio)등에 의해 시인성이 떨어지는 문제점이 있다. 이러한 문제점들을 방지하기 위해 하나의 픽셀(pixel)을 메인(main) 픽셀과 서브(sub) 픽셀로 분할하여 액정의 배열 상태를 다르게 구성한 이중(dual)-TFT를 사용함으로써, 시인성을 향상시키는 방법이 사용되고 있다.

그러나, 상기 이중-TFT를 사용한 액정표시패널을 구동하기 위해서는 단일 TFT를 사용한 일반적인 액정표시패널에 비해 2배로 증가한 TFT들을 구동하기 위해 TFT의 게이트 단자에 연결되는 게이트 구동장치의 수가 2배로 증가하는 문제점이 있다.

또한, 단위 화소 내에 하나의 색을 표시하는 각각의 화소 영역을 메인 픽셀과 서브 픽셀로 구성하기 때문에 단일 TFT를 사용한 일반적인 액정표시패널에 비해 두 배로 증가한 동작 주파수를 필요로 하며, 액정 캐패시터(LC)의 충전시간이 충분하지 못한 문제점이 있다.

또한, 상기 메인 픽셀과 서브 픽셀에 서로 다른 영상 신호를 제공하기 위해 TFT의 소오스 단자에 상기 액정의 배열상태를 다르게 형성하기 위해서는 TFT의 소오스 단자에 연결된 데이터 라인들에 서로 다른 영상신호를 제공하는 데이터 구동 장치에 포함되는 감마 스트링(gamma string)을 추가적으로 구성해야 하는 문제점이 있다.

따라서, 상기한 바와 같은 이중-TFT를 사용한 액정표시패널은 게이트 구동 장치와 데이터 구동 장치의 크기 증가로 인하여 소형 표시장치에 적용하기 곤란한 문제점이 있고, TFT 전체의 구동 속도가 느려짐에 따라 표시 속도가 저하되는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위한 본 발명의 목적은 이중-TFT를 사용하여 영상을 표시하는 액정표시패널의 면적 부담을 줄이면서 표시 속도를 향상시키기 위한 게이트 구동 방법을 제공하는데 있다.

본 발명의 다른 목적은 상기한 게이트 구동 방법을 수행하기 위한 게이트 구동 장치를 제공하는데 있다.

본 발명의 또 다른 목적은 상기한 게이트 구동 장치를 갖는 표시장치를 제공하는데 있다.

### 발명의 구성 및 작용

상기한 본 발명의 목적을 달성하기 위하여 단위 화소 영역의 메인 스위칭 소자 및 서브 스위칭 소자 각각에 연결된 메인 게이트 라인 및 서브 게이트 라인을 액티브시키는 게이트 구동방법은, 인가되는 클럭에 따라 제1 펄스신호를 순차적으로 쉬프트하여 제2 펄스신호를 출력하는 단계, 상기 제1 제어신호를 근거로 상기 제2 펄스신호를 변환시켜 메인 펄스신호를 상기 메인 게이트 라인에 출력하는 단계 및 상기 제1 제어신호와 제2 제어신호를 근거로 상기 제2 펄스신호를 변환시켜 출력 시간과 펄스 폭이 제어된 서브 펄스신호를 상기 서브 게이트 라인에 출력하는 단계를 포함한다.

상기 서브 펄스신호의 출력시간과 펄스 폭은 상기 제2 제어신호에 의해 제어되고, 상기 서브 펄스신호의 출력시간과 펄스 폭은 상기 제2 제어신호의 반전 입력에 의해 형성된다.

또한, 상기 서브 펄스신호의 출력시간은 상기 메인 펄스신호를 출력 후 일정 시간이 경과한 후 출력되고, 상기 메인 펄스신호의 출력 종료 이전에 출력이 종료된다.

상기한 본 발명의 다른 목적을 달성하기 위하여 단위 화소 영역의 메인 스위칭 소자 및 서브 스위칭 소자 각각에 연결된 메인 게이트 라인 및 서브 게이트 라인을 액티브시키는 게이트 구동장치는, 인가되는 클럭에 따라 제1 펄스신호를 순차적으

로 쉬프트하여 제2 펄스신호를 출력하는 쉬프트 레지스터부 및 제1 제어신호를 근거로 상기 제2 펄스신호를 변환시켜 메인 펄스신호를 상기 메인 게이트 라인에 출력하고, 상기 제1 제어신호와 제2 제어신호를 근거로 상기 제2 펄스신호를 변환시켜 출력시간과 펄스 폭이 제어된 서브 펄스신호를 상기 서브 게이트 라인에 출력하는 출력 제어부를 포함한다.

상기 출력 제어부는 상기 제2 펄스신호를 제어하여 상기 메인 펄스신호를 생성하는 메인 제어부 및 상기 제2 펄스신호의 출력시간과 펄스 폭을 제어하여 상기 서브 펄스신호를 생성하는 서브 제어부를 포함한다.

상기한 본 발명의 또 목적을 달성하기 위하여 일실시예에 따른 표시 장치는, 단위 화소 영역에 메인 픽셀과 서브 픽셀을 구비하는 표시패널부, 상기 메인 픽셀을 구동하는 메인 펄스신호를 출력하고, 상기 메인 펄스신호가 출력되는 시간 중 일정 시간동안 상기 서브 픽셀을 구동하는 서브 펄스신호를 출력하는 게이트 구동부 및 상기 게이트 구동부의 구동을 제어하는 복수의 제어신호와 클럭을 제공하는 타이밍 컨트롤러부를 포함한다.

이러한 게이트 구동 방법 및 그 장치와 이를 갖는 표시장치에 의하면, 이중-TFT를 사용하는 액정표시패널의 표시 속도 및 표시 품질을 향상시킴과 동시에 이중-TFT를 사용하는 액정표시패널의 구동부의 면적 부담을 감소시켜 액정표시장치의 소형화를 도모할 수 있다.

이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면들을 참조하여 상세하게 설명한다.

도 1은 일반적인 액정표시장치를 설명하는 블록도이고, 도 2는 도 1에 도시된 게이트 구동부를 설명하는 블록도이며, 도 3은 도 2에 도시된 게이트 구동부의 동작 상태를 설명하기 위한 파형도이다. 특히, 이중-TFT를 사용한 액정표시장치를 도시한다.

도 1을 참고하면, 일반적인 액정표시장치(10)는 액정표시패널(100), 게이트 구동부(140) 및 소오스 구동부(160)를 포함한다.

상기 액정표시패널(100)은 단위 화소(120)에 R(Red), G(Green), B(Blue)의 색을 표시하는 각각의 화소 영역(122, 124, 126)에는 메인 픽셀(122a)과 서브 픽셀(122b)이 형성된다.

상기 메인 픽셀(122a)과 서브 픽셀(122b) 각각에 포함된 액정의 분자 배열을 다르게 형성함으로써, 시야각에 따라 변화하는 시인성을 향상시킬 수 있다.

상기 게이트 구동부(140)는 액정표시패널(100)에 형성된 메인 게이트 라인들(MGL)과 서브 게이트 라인들(SGL)에 연결되고, 상기 메인 및 서브 게이트 라인들(MGL, SGL) 각각의 메인 펄스신호와 서브 펄스신호를 제공하여 각각의 게이트 라인(GL)에 연결된 TFT를 순차적으로 활성화시킨다.

상기 소오스 구동부(160)는 상기 액정표시패널(100)에 형성된 데이터 라인들(DL)과 연결되고, 상기 게이트 구동부(140)에 의해 활성화된 TFT를 통해 각각의 데이터 라인들(DL)로부터 제공되는 영상 신호를 액정 캐패시터(LC)에 제공하여 소정의 영상을 표시한다.

도 2 및 도 3을 참고하면, 액정표시장치(10)를 구동하기 위한 게이트 구동부(140)는 쉬프트 레지스터부(142), 레벨 쉬프트부(144) 및 출력 버퍼부(146)를 포함한다.

상기 게이트 구동부(140)는 동작시, 수직 개시 신호(STV)가 상기 쉬프트 레지스터부(142)에 제공되면, 각각의 스테이지(142a)는 인가되는 게이트 클럭(CPV)에 따라 수직 개시 신호(STV)를 순차적으로 쉬프트함과 동시에, 순차적으로 원시 메인 및 원시 서브 펄스신호(OMPULSE, OSPULSE)를 출력한다.

이때, 수직 개시 신호(STV)가 입력된 후 게이트 클럭(CPV)이 "하이"의 논리값을 갖도록 천이된 후 다음 "하이"의 논리값으로 천이되는 1 클럭 주기(P1)동안 상기 쉬프트 레지스터부(142)의 출력인 원시 메인 및 서브 펄스신호(OMPULSE, OSPULSE)는 상기 레벨 쉬프트부(144)와 연결된 각각의 연결 라인에 순차적으로 "하이"의 논리값을 갖으며 출력된다.

상기 연결 라인들을 통해 상기 레벨 쉬프트부(144)로 제공되는 각각의 원시 메인 및 서브 펄스신호(OMPULSE, OSPULSE)는 상기 레벨 쉬프트부(144)에 포함된 각각의 상기 레벨 쉬프트부(144a)에 의해 순차적으로 시스템 동작 전압 레벨, 즉, TFT의 턴-온(turn-on) 전압 레벨을 갖는 메인 및 서브 펄스신호(MPULSE, SPULSE)로 변환되어 상기 출력 버퍼부(146)로 출력된다.

상기 메인 및 서브 펄스신호(MPULSE, SPULSE)는 상기 출력 버퍼부(146)에 연결된 각각의 메인 및 서브 게이트 라인들(MGL, SGL)에 순차적으로 출력된다. 일례로, 제1 서브 펄스신호(SPULSE1)는 제1 서브 게이트 라인(SGL1)에 출력되어 상기 서브 픽셀(122b)에 형성된 TFT를 턴-온 한다. 또한, 제1 메인 펄스신호(MPULSE1)는 제1 메인 게이트 라인(MGL1)에 출력되어 상기 메인 픽셀(122a)에 형성된 TFT를 턴-온 한다.

이후, 데이터 라인(DL1)을 통해 제공되는 영상 신호들에 의해 메인 픽셀과 서브 픽셀의 액정의 배열이 서로 다른 배열 상태를 갖도록 변화되어 소정의 영상을 표시한다.

도 4는 본 발명의 일 실시예에 의한 액정표시장치를 개략적으로 도시한 블록도이다.

도 4를 참고하면, 본 발명의 일 실시예에 의한 액정표시장치(20)는 액정표시패널(200), 게이트 구동부(240) 및 소오스 구동부(260)를 포함한다.

상기 액정표시패널(200)은 메인 및 서브 게이트 라인들(MGL, SGL)과 데이터 라인들(DL1 내지 DLn)이 교차로 정의되는 영역마다 형성된 화소들로 구성된 화소 매트릭스를 구비한다. 상기 화소들 각각은 화소 신호에 따라 광 투과량을 조절하는 액정 캐패시터(LC)와 상기 액정 캐패시터(LC)를 구동하기 위한 박막 트랜지스터(이하, TFT)들로 구성되는 스위칭 트랜지스터(ST)가 형성된다.

일례로, 스위칭 트랜지스터(ST1)의 제1 전극인 드레인은 데이터 라인(DL1)에 연결되고, 제2 전극인 게이트는 게이트 라인(GL1)에 연결되며, 제3 전극인 소오스는 투명화소전극에 연결된다. 또한, 상기 투명화소전극과 컬러필터 기판에 형성된 투명공통전극의 사이에 액정 캐패시터(LC)가 위치하게 된다.

그러므로, 상기 스위칭 트랜지스터(ST)가 선택적으로 활성화되고, 상기 투명화소전극과 투명공통전극 사이에 인가된 전압에 의해 액정배열이 제어되어 통과되는 광량을 제어하여 각 픽셀의 계조 표시를 하게 된다.

또한, 상기 액정표시패널(200)은 하나의 색을 표시하는 화소 영역에 2개의 TFT가 형성된다.

즉, 상기 단위 화소(220)에 포함되고, R(Red), G(Green), B(Blue)의 색을 표시하는 각각의 화소 영역(222, 224, 226)에는 액정표시장치 전면에서 표시된 영상을 관찰하기 위해 메인 스위칭 소자를 구비한 메인 픽셀(222a)과 변화된 시야각에서 표시된 영상을 관찰하기 위해 서브 스위칭 소자를 구비한 서브 픽셀(222b)이 형성된다. 여기서, 상기 메인 및 서브 스위칭 소자는 메인 및 서브 픽셀(222a, 222b) 각각에 포함되는 TFT를 의미한다.

일례로, 제1 화소 영역(222)의 메인 픽셀(222a)은 제1 메인 게이트 라인(MGL1)과 제1 데이터 라인(DL1)에 연결된다. 또한, 제1 메인 게이트 라인(MGL1)에 연결된 메인 스위칭 소자인 스위칭 트랜지스터(ST2)가 활성화됨에 따라 제1 데이터 라인(DL1)에서 제공되는 영상 신호에 의해 상기 제1 화소 영역(222)의 투명화소전극과 투명공통전극 사이에 인가된 전압에 의해 액정이 제1 배열을 가짐으로써, 통과되는 광량을 제어하여 메인 픽셀의 계조 표시를 하게 된다.

동일한 원리로, 상기 제1 화소 영역(222)의 서브 픽셀(222b)은 제1 서브 게이트 라인(SGL1)과 제1 데이터 라인(DL1)에 연결된다. 또한, 제1 서브 게이트 라인(SGL1)에 연결된 서브 스위칭 소자인 스위칭 트랜지스터(ST1)가 활성화됨에 따라 제1 데이터 라인(DL1)에서 제공되는 영상 신호에 의해 상기 제1 화소 영역(222)의 투명화소전극과 투명공통전극 사이에 인가된 전압에 의해 액정이 제2 배열을 가짐으로써, 통과되는 광량을 제어하여 서브 픽셀의 계조 표시를 하게 된다.

여기서, 상기 메인 게이트 라인(MGL)은 짝수 열의 게이트 라인들로 정의하고, 상기 서브 게이트 라인(SGL)은 홀수 번째 게이트 라인들로 정의하며, 그 역으로 정의하는 것도 가능하다.

이에 의해, 상기 메인 픽셀(222a) 및 서브 픽셀(222b) 각각에 포함된 액정의 분자 배열을 다르게 형성함으로써, 시야각의 변화에 따라 시인성이 저하되는 것을 방지할 수 있다.

상기 게이트 구동부(240)는 외부에서 인가되는 제1 펄스신호 즉, 수직 개시 신호(Start Vertical; STV)에 응답하여 구동되고, 외부에서 인가되는 게이트 클럭(Clock Pulse Vertical; CPV)에 따라 상기 수직 개시 신호(STV)를 쉬프트하고, 메인 및 서브 게이트 라인들(MGL, SGL)에 순차적으로 게이트 하이 전압(VGH)의 메인 및 서브 펄스신호(MPULSE, SPULSE)

를 출력한다. 또한, 상기 게이트 구동부(240)는 메인 및 서브 게이트 라인들(MGL, SGL)에 게이트 하이 전압(VGH)의 메인 및 서브 펄스신호(MPULSE, SPULSE)를 출력하지 않는 경우, 게이트 로우 전압(VGL)을 메인 및 서브 게이트 라인들(MGL, SGL)로 출력한다.

상기 소오스 구동부(260)는 외부에서 인가되는 소오스 개시 신호에 응답하여 소오스 클록을 쉬프트하여 샘플링 신호를 출력하고, 상기 소오스 클록에 따라 입력되는 영상 신호를 상기 샘플링 신호에 따라 래치(latch)한 후, 소오스 출력 인에이블 신호에 응답하여 데이터 라인들(DL)에 순차적으로 제공한다.

도 5는 도 4에 도시된 게이트 구동부를 설명하는 블록도이고, 도 6은 도 5에 도시된 게이트 구동부의 상세 블록도이다.

도 5 및 도 6을 참고하면, 본 발명의 일 실시예에 의한 게이트 구동부(240)는 쉬프트 레지스터부(242), 출력 제어부(244), 레벨 쉬프터부(246) 및 출력 버퍼부(248)를 포함한다.

상기 쉬프트 레지스터부(242)는 제1 펄스신호 즉, 수직 개시 신호(STV)에 응답하여 구동하고, 외부에서 인가되는 게이트 클록(CPV) 따라 인가되는 수직 개시 신호(STV)를 순차적으로 쉬프트한다. 이를 위해, 상기 쉬프트 레지스터부(242)는 복수의 스테이지들(ST)로 구성된다.

동작시, 제1 스테이지(ST1)에는 외부로부터 수직 개시 신호(STV)가 인가되고, 제2 내지 제2m 스테이지(ST2 내지 ST2m)에는 이전 단계의 스테이지의 출력 신호가 입력된다. 또한, 스테이지들(ST)에는 외부로부터 게이트 클록(CPV)이 공통으로 입력되고, 이러한 스테이지들 각각은 수직 개시 신호(STV)를 저장한 후, 게이트 클록(CPV)에 따라 다음 스테이지(ST)들에 순차적으로 출력함으로써, 순차적으로 제2 펄스신호 즉, 원시 스캔 신호(OSS)를 출력한다.

상기 출력 제어부(244)는 메인 제어부(244a)와 서브 제어부(244b)를 포함한다.

상기 메인 제어부(244a)는 쉬프트 레지스터부(242)에서 출력되는 원시 스캔 신호(OSS)와 외부에서 제공되는 제1 제어신호(OE)에 응답하여 메인 펄스신호(MPULSE)를 생성 및 출력한다. 여기서, 제1 제어신호(OE)는 게이트 출력 인에이블 신호(gate output enable; OE) 신호를 의미한다.

동작시, 상기 쉬프트 레지스터부(242)에서 출력되는 원시 스캔 신호(OSSE)가 제공되고, 상기 원시 스캔 신호(OSS)가 제공되는 중 게이트 출력 인에이블 신호(OE)가 인가된 경우 원시 스캔 신호(OSS)를 메인 펄스신호(MPULSE)로 출력한다. 즉, 원시 스캔 신호(OSS)와 출력 인에이블 신호(OE)가 모두 "하이"의 논리값으로 입력되는 경우 일례로, 상기 쉬프트 레지스터부(242)는 도 4에 도시된 메인 픽셀(222a)의 TFT를 구동하는 제1 메인 펄스신호(MPULSE1)를 생성 및 출력한다.

상기 서브 제어부(244b)는 상기 스캔 신호(OSS) 및 게이트 출력 인에이블 신호(OE) 및 외부에서 제공되는 제2 제어신호(OC)에 응답하여 원시 서브 펄스신호(OSPULSE)의 출력시간 및 펄스 폭을 제어하여 서브 펄스신호(SPULSE)를 생성 및 출력한다. 여기서, 제2 제어신호(OC)는 게이트 출력 제어(Gate Output Control; OC) 신호이다.

동작시, 원시 스캔 신호(OSS)와 게이트 출력 인에이블 신호(OE) 및 게이트 출력 제어 신호(OC)가 모두 "하이"의 논리값으로 입력되는 경우 일례로, 도 4에 도시된 서브 픽셀(222b)의 TFT를 구동하는 제1 서브 펄스신호(SPULSE1)를 출력한다.

상기 레벨 쉬프터부(246)는 상기 메인 제어부(244a)와 서브 제어부(244b)에서 출력되는 메인 펄스신호(MPLUSE)와 서브 펄스신호(SPULSE)를 시스템 동작 전압 레벨로 각각 레벨 쉬프팅한다. 즉, 상기 메인 펄스신호(MPULSE)와 서브 펄스신호(SPULSE)는 상기 레벨 쉬프터부(246)에 의해 메인 픽셀과 서브 픽셀에 포함된 TFT를 각각 활성화시키는 전압 레벨로 형성된다.

상기 출력 버퍼부(248)는 상기 레벨 쉬프터부(246)에서 출력되는 상기 메인 및 서브 펄스신호(MPULSE, SPULSE)를 도 4에 도시된 메인 및 서브 게이트 라인들(MGL, SGL)에 각각 순차적으로 제공한다.

도 7은 본 발명의 일 실시예에 의한 출력 제어부를 도시한 회로도이고, 도 8은 본 발명의 일 실시예에 의한 게이트 구동부의 동작 상태를 설명하기 위한 파형도이다.

도 5 내지 도 8을 참고하면, 본 발명의 일 실시예에 의한 출력 제어부(244)는 메인 제어부(244a) 및 서브 제어부(244b)를 포함한다.

상기 메인 제어부(244a)는 상기 쉬프트 레지스터부(242)에서 순차적으로 쉬프팅되어 출력되는 원시 스캔 신호(OSS) 및 게이트 출력 인에이블 신호(OE)를 동시에 입력받는 경우에만 상기 원시 스캔 신호(OSS)를 메인 펄스신호(MPULSE)를 변환하여 출력하는 복수 개의 2-입력 논리곱 게이트로 형성한다. 상기 2-입력 논리곱 게이트는 상기 액정표시패널(200)에 형성되는 메인 게이트 라인(MGL)과 동일한 수로 형성한다.

상기 서브 제어부(244b)는 상기 쉬프트 레지스터부(242)에서 순차적으로 쉬프팅되어 출력되는 원시 스캔 신호(OSS), 게이트 출력 인에이블 신호(OE) 및 게이트 출력 제어 신호(OC)를 동시에 입력받는 경우에만 상기 원시 스캔 신호(OSS)의 출력시간과 펄스 폭을 제어하여 서브 펄스신호(SPULSE)를 생성 및 출력하는 복수의 3-입력 논리곱 게이트들로 형성한다. 여기서, 상기 게이트 출력 제어 신호(OC)는 입력신호의 반전된 값이 상기 3-입력 논리곱 게이트로 제공된다. 상기 3-입력 논리곱 게이트는 상기 액정표시패널(200)에 형성되는 서브 게이트 라인(SGL)과 동일한 수로 형성한다.

예를 들어, 제1 서브 제어부에서 출력되는 제1 서브 펄스신호(SPULSE1)와 제1 메인 제어부에서 출력되는 제1 메인 펄스신호(MPULSE1)에 의해 제1 서브 및 제2 메인 픽셀이 각각 구동되어 소정의 영상을 표시한다.

동작시, 상기 쉬프트 레지스터부(242)는 수직 개시 신호(STV)에 응답하여 구동하고, 인가되는 게이트 클럭(CPV)에 따라, 상기 수직 개시 신호(STV)를 순차적으로 쉬프팅하여 원시 스캔 신호(OSS)를 순차적으로 출력한다. 이를 위해, 게이트 클럭(CPV)이 제공되는 중 게이트 출력 인에이블 신호(OE)는 "로우"에서 "하이"로 천이되어야 하고, 수직 개시 신호(STV)가 인가되기 전 또는 수직 개시 신호(STV)가 인가되는 시간 중에 게이트 출력 인에이블 신호(OE)가 제공되어야 한다.

즉, 게이트 출력 인에이블 신호(OE)는 수직 개시 신호(STV)가 인가 이전 또는 인가 중에 "하이"의 논리값을 갖는 신호가 제공되어야 한다.

수직 개시 신호(STV)와 게이트 출력 인에이블 신호(OE)에 의해 먼저 상기 메인 제어부(244a)가 활성화되어 원시 스캔 신호(OSS)와 동일한 펄스 폭을 갖는 메인 펄스신호(MPULSE)를 출력한다.

이 때, 게이트 출력 인에이블 신호(OE)는 "하이"의 논리값으로 천이된 상태이고, 게이트 클럭(CPV)이 "하이"에서 "로우"의 논리값으로 천이되는 1 클럭 주기(P1)동안에만 "하이"의 논리값을 갖는 제1 메인 펄스신호(MPULSE1)가 출력된다.

이후, 게이트 출력 인에이블 신호(OE)가 "하이"의 논리값으로 천이된 상태에서 반전 입력되는 게이트 출력 제어 신호(OE)가 "로우"의 논리값으로 제공되는 경우 상기 서브 제어부(244b)가 활성화되고, 상기 서브 제어부(244b)가 활성화되는 시간동안 제1 서브 펄스신호(SPULSE1)를 출력한다. 따라서, 제1 서브 펄스신호(SPULSE1)는 게이트 출력 제어 신호(OE)에 의해 원시 스캔 신호(OSS)의 출력시간 즉, 원시 스캔 신호(OSS)가 서브 제어부(244b)를 통해 출력되는 출력시점이 결정된다. 또한, 게이트 출력 제어 신호(OE)를 "하이"의 논리값으로 제공하는 경우 상기 서브 제어부(244b)가 오프(off)되어 원시 스캔 신호(OSS)의 펄스 폭이 제어되어 제1 서브 펄스신호(SPULSE1)의 펄스 폭이 결정된다.

따라서, 제1 서브 펄스신호(SPULSE)는 원시 스캔 신호(OSS)의 출력시간과 펄스 폭을 게이트 출력 제어 신호(OE)에 의해 제어함으로써 형성된다.

출력된 제1 메인 펄스신호(MPULSE1)와 제1 서브 펄스신호(SPULSE1)는 상기 레벨 쉬프터부(246)에 형성된 각각의 상기 레벨 쉬프터(246a)와 상기 출력 버퍼부(248)에 형성된 각각의 출력 버퍼(248a)를 통해 제1 메인 및 제1 서브 게이트 라인(MGL1, SGL1)에 연결된 TFT를 활성화시키는 동작 전압 레벨로 승압되어 각각의 제1 메인 및 제2 서브 게이트 라인(MGL1, SGL1)에 출력한다.

이후, 제2 메인 및 제2 서브 펄스신호(MPULSE2, SPULSE2) 내지 제m 메인 및 제m 서브 펄스신호(MPULSEm, SPULSEm)가 동일한 방법으로 순차적으로 출력된다.

도 9는 게이트 라인들에 제공되는 펄스신호들과 액정 캐패시터의 전하량과의 관계를 도시한 비교예이고, 도 10은 게이트 라인들 및 데이터 라인들에 제공되는 펄스신호들과 액정 캐패시터의 전하량과의 관계를 도시한 비교예이며, 도 11은 본 발명의 일 실시예에 의한 게이트 라인들 및 데이터 라인들에 제공되는 펄스신호들과 액정 캐패시터의 전하량과의 관계를 도시한 도면이다.

도 9를 참고하면, 일반적으로 이중-TFT를 사용하는 액정표시패널에서는 서브 및 메인 게이트 라인들(SGL, MGL)에 순차적으로 동일한 펄스 폭을 갖는 서브 펄스신호와 메인 펄스신호가 출력된다. 이 경우, 1 프레임의 영상을 표시하기 위해 120Hz의 동작 주파수를 필요로 하며, 이는 하나의 화소 영역에 하나의 TFT를 구성하는 액정표시패널에 비해 1 프레임의 영상을 표시하는데 1/2의 동작 속도를 갖게 됨을 의미한다.

또한, 하나의 액정 캐패시터의 전하 충전 시간이 충분히 확보되지 않기 때문에 액정표시패널 전체의 표시 불량 발생하게 된다.

상기한 바와 같은 액정 캐패시터의 전하 충전 시간과, 동작 속도를 향상시키기 위해 도 10에 도시된 바와 같이 서브 및 메인 게이트 라인(SGL 내지 MGL)에 순차적으로 서브 펄스신호와 메인 펄스신호를 제공하는 방법이 있다.

도 10에 도시된 방법을 설명하면, 하나의 화소 영역에 포함되는 서브 게이트 라인(SGL)과 메인 게이트 라인(MGL)에 동시에 게이트 하이 전압(VGH) 레벨의 서브 및 메인 펄스신호들을 인가한다. 또한, 상기 메인 펄스신호의 펄스 폭을 서브 펄스신호의 펄스 폭보다 크게 형성하고, 메인 및 펄스신호를 동시에 인가한다. 도면의 간략화를 위하여 제1 데이터 라인(DL1)과 제1 서브 및 제1 메인 게이트 라인(SGL1, MGL1)만을 도시하여 설명하기로 한다.

데이터 라인(DL)들을 통해 인가되는 영상 신호는 RC 지연(delay)등의 영향에 의해 소정 시간 지연되어 인가된다. 따라서, 도 10에 도시된 방법으로 메인 및 서브 펄스신호를 인가하는 경우에는 예를 들어, 제1 메인 픽셀에 포함된 액정 캐패시터(LC2)는 제1 메인 게이트 라인(MGL1)에 인가되는 제1 메인 펄스(MPULSE1)에 의해 충분한 충전시간을 확보할 수 있다. 또한, 제1 메인 픽셀은 제1 메인 펄스신호(MPULSE1)에 의해 제1 메인 픽셀에 포함된 스위칭 트랜지스터(ST2)가 활성화된 시간 동안 제1 데이터 라인(DL1)을 통해 지연되어 인가되는 영상 신호가 안정화되어 전송되는 전송 시간을 충분히 확보할 수 있기 때문에 전면의 시인성은 향상시킬 수 있다.

반면, 제1 서브 픽셀은 제1 서브 펄스신호(SPULSE1)에 의해 제1 서브 픽셀에 포함된 스위칭 트랜지스터(ST2)가 활성화된 시간 동안 제1 데이터 라인(DL1)을 통해 지연되어 인가되는 영상 신호가 안정화되어 전송되는 전송 시간을 충분히 확보하기 미흡하여, 변화된 시야각에서의 시인성의 향상시키기에 곤란한 문제점이 있다.

도 11은 도면의 간략화를 위하여 제1 데이터 라인(DL1)과 제1 서브 및 제1 메인 게이트 라인(SGL1, MGL1)만을 도시한다.

도 11을 설명하면, 본 발명에서는 예를 들어, 제1 메인 게이트 라인(MGL1)에 제1 메인 펄스신호(MPULSE1)가 출력되어 도 4에 도시된 제1 메인 픽셀(222a)이 활성화된 후 제1 서브 게이트 라인(SGL1)에 제1 서브 펄스신호(SPULSE1)가 출력되어 제1 서브 픽셀(222b)을 활성화한다. 또한, 제1 서브 펄스신호(SPULSE1)는 제1 메인 펄스신호(MPULSE1)가 출력된 후 출력 종료 전의 시간 동안 제공된다.

따라서, 1 프레임의 영상을 표시하기 위해 60Hz의 동작 주파수를 필요로 하며, 이는 하나의 화소 영역에 하나의 TFT를 구성하는 액정표시패널과 동일한 수준의 동작 속도로 구동이 가능함을 의미한다.

또한, 제1 메인 픽셀(222a)과 연결된 제1 메인 게이트 라인(MGL1)에 제1 메인 펄스신호(MPULSE1)를 제공하여 제1 메인 픽셀(222a)에 영상 신호를 제공한 후, 소정 시간이 경과한 후 제1 서브 픽셀(222b)과 연결된 제1 서브 게이트 라인(SGL1)에 제1 서브 펄스신호(SPULSE1)를 제공하여 제1 서브 픽셀(222b)에 영상 신호를 제공한다.

따라서, 상기한 바와 같이 하나의 데이터 라인(DL)을 통해 지연되어 인가되는 영상 신호가 서브 픽셀에 전송되는 경우, 서브 픽셀이 안정화된 영상 신호의 전송 시간을 받도록 충분한 시간을 확보하여 서브 픽셀에 영상 신호를 제공하기 때문에 도 10에 도시된 방법에 비해 변화된 시야각에서의 시인성을 충분히 향상시킬 수 있다.

또한, 도 10에 도시된 방법의 경우에는 하나의 데이터 라인(DL)을 통해 메인 픽셀과 서브 픽셀에 서로 다른 영상 신호를 제공하기 곤란하나, 본 발명에서는 메인 픽셀과 서브 픽셀에 서로 다른 영상 신호를 제공하여 영상을 표시하는 것도 가능하게 된다.

정리하면, 상기 도 1 내지 도 3을 통해 설명한 일반적인 액정표시장치와 도 4 내지 도 10을 통해 설명한 액정표시장치의 비교 시, 일반적인 액정표시장치는 하나의 화소 영역에 하나의 TFT를 사용하는 액정표시장치와 비교 시 시인성의 향상이

가능하나, 하나의 프레임을 표시하는데 있어 두 배의 시간이 소요된다. 그러나 본 발명에 의한 액정표시장치는 하나의 프레임을 표시하는데 있어 하나의 화소 영역에 하나의 TFT를 사용하는 액정표시장치와 동등한 수준의 표시 속도를 구현할 수 있다.

또한, 본 발명에 의한 액정표시장치는 상기 일반적인 액정표시장치에 비해 액정 캐패시터(LC)의 충전 시간을 충분히 확보함으로써, 전면 시인성을 증가시킬 수 있다.

또한, 본 발명에 의한 액정표시장치는 상기 일반적인 액정표시장치에 비해 게이트 구동부가 차지하는 면적을 감소시킴으로써, 소형 액정표시장치를 구현할 수 있다.

도 12는 본 발명의 일 실시예에 의한 게이트 구동 방법을 도시한 흐름도이다.

도 12를 참고하면, 본 발명의 일 실시예에 의한 게이트 구동 방법은 인가되는 클록에 따라 외부에서 제공되는 제1 펄스신호를 순차적으로 쉬프트하여 제2 펄스신호를 출력한다(단계 S110). 출력된 제2 펄스신호와 외부에서 제공되는 제1 제어신호에 응답하여 메인 펄스신호를 출력한다(단계 S120).

또한, 제2 펄스신호 및 제1 제어신호와 외부에서 제공되는 제2 제어신호에 응답하여 제2 펄스신호의 출력시간과 펄스 폭이 제어된 서브 펄스신호를 출력한다(단계 S130).

이후, 메인 및 서브 펄스신호를 시스템 동작 전압 레벨로 순차적으로 승압하고(단계 S140), 승압된 메인 펄스신호와 서브 펄스신호를 복수 개의 출력 라인들을 통해 순차적으로 출력한다(단계 S150).

단계 S110에서는 외부에서 인가되는 제1 펄스신호 즉, 수직 개시 신호(STV)에 의해 쉬프트 레지스터부(242)가 구동되고, 인가되는 게이트 클록(CPV)에 따라 수직 개시 신호(STV)를 순차적으로 쉬프트한다. 또한, 쉬프트 레지스터부(242)의 각각의 스테이지(ST)들은 수직 개시 신호(STV)를 저장한 후, 게이트 클록(CPV)에 따라 다음 스테이지(ST)들에 순차적으로 출력함으로써, 제2 펄스신호 즉, 원시 스캔 신호(OSS)를 출력한다.

단계 S120에서는 출력 제어부(244)에 포함된 메인 제어부(244a)가 원시 스캔 신호(OSS)와 외부에서 제공되는 제1 제어신호(OE)를 응답하여 메인 펄스신호(MPULSE)를 출력한다. 여기서, 제1 제어신호(OE)는 게이트 출력 인에이블 신호(gate output enable; OE) 신호를 의미한다.

일례로, 원시 스캔 신호(OSS)와 게이트 출력 인에이블 신호(OE)가 "하이"의 논리값으로 입력되는 경우 게이트 클록(CPV)의 1 클록 주기(P1) 동안 메인 펄스신호(MPULSE)가 "하이"의 논리값을 갖도록 출력한다.

단계 S130에서는 출력 제어부(244)에 포함된 서브 제어부(244b)가 원시 스캔 신호(OSS), 게이트 출력 인에이블 신호(OE) 및 제2 제어신호(OC)에 응답하여 서브 펄스신호(SPULSE)를 출력한다. 여기서, 제2 제어신호(OC)는 게이트 출력 제어 신호를 의미한다.

일례로, 원시 스캔 신호(OSS)와 게이트 출력 인에이블 신호(OE)가 "하이"의 논리값으로 입력되고, 게이트 출력 제어 신호(OC)가 "로우"의 논리값으로 입력되는 경우 게이트 출력 제어 신호(OC)의 반전된 논리값과 원시 스캔 신호(OSS) 및 게이트 출력 인에이블 신호(OE)에 응답하여 게이트 출력 제어 신호(OC)가 입력되는 시간동안 서브 펄스신호(SPULSE)를 출력한다.

즉, 서브 펄스신호(SPULSE)는 게이트 출력 제어 신호(OC)가 "로우"의 논리값으로 제공되는 시간 동안에만 출력된다. 따라서, 서브 펄스신호(SPULSE)는 원시 스캔 신호(OSS)가 게이트 출력 제어 신호(OC)의 출력 시점과 출력시간이 따라 출력되는 시간과 펄스 폭이 제어된 신호로 정의된다.

단계 S140에서는 레벨 쉬프터부(246)에 포함된 각각의 레벨 쉬프터에 의해 제1 메인 및 제1 서브 펄스신호로부터 제m 메인 및 제m 서브 펄스신호를 각각 순차적으로 시스템 동작 전압 레벨로 승압한다.

즉, 액정표시패널의 각각의 메인 및 서브 게이트 라인들(MGL, SGL)에 연결된 TFT를 순차적으로 활성화시키기 위해 순차적으로 메인 및 서브 게이트 라인들(MGL, SGL)에 출력되는 각각의 메인 및 서브 펄스신호들(MPULSE, SPULSE)을 TFT의 턴-온(turn-on) 전압 레벨로 승압한다.

단계 S150에서는 레벨 쉬프터부(246)에서 승압된 메인 및 펄스신호를 출력 버퍼부(248)에 포함된 각각의 출력 버퍼들(248b)과 연결된 복수 개의 메인 및 서브 게이트 라인들(MGL, SGL)을 통하여 순차적으로 출력한다.

도 13은 본 발명의 일 실시예에 의한 액정표시장치를 도시한 블록도이다.

도 13을 참고하면, 본 발명의 일 실시예에 의한 액정표시장치(300)는 액정표시패널부(310), 게이트 구동부(320), 타이밍 컨트롤러부(330) 및 패널 전압 발생부(340)를 포함한다.

상기 액정표시패널부(310)는 다수의 화소가 매트릭스 형태로 구비되고, 상기 다수의 화소 각각은 제1 방향으로 연장된 메인 및 서브 게이트 라인(MGL, SGL) 및 상기 제1 방향과 직교하는 제2 방향으로 연장되어 상기 게이트 라인들(MGL, SGL)과 절연되어 교차하는 데이터 라인들(DL1 내지 DLn)을 구비한다.

또한, 상기 각 화소에는 하나의 데이터 라인에 두 개의 박막 트랜지스터(Thin Film Transistor; 이하, TFT)가 연결된다. 각각의 화소에는 유전체로 액정을 사용하고, 인가되는 전압에 대응하여 상기 액정의 광 투과 특성을 변경하여 통과하는 광량을 제어하는 액정 캐피시터 및 액정 양단에 축적되는 전하의 포집 능력을 증가시키기 위한 저장 캐피시터를 포함한다.

상기 게이트 구동부(320)는 쉬프트 레지스터부, 출력 제어부, 레벨 쉬프터부 및 출력 버퍼부를 포함한다. 상기 게이트 구동부(320)는 도 4 내지 도 8에 도시된 게이트 구동부(140)와 동일하고, 이에 관한 설명은 상술한 바 그 중복되는 설명은 생략하기로 한다.

상기 타이밍 컨트롤러부(330)는 영상을 표시하기 위한 기본적인 타이밍 신호들, 예를 들어, 클럭(CLK), 수평 동기 신호(Hsync), 수직 동기 신호(Vsync), R, G, B 데이터 신호(RGB data), 데이터 인에이블 신호(DE)등을 입력받는다. 또한, 게이트 구동부(320)의 구동에 필요한 수직 개시 신호(STV), 게이트 클럭(CPV), 게이트 출력 인에이블 신호(OE) 및 게이트 출력 제어 신호(OC)등을 출력한다. 또한, 소오스 구동부(350)의 구동을 제어하는 제어신호들(CS)과 영상을 표시하기 위한 R', G', B'의 데이터 신호(R', G', B' data)를 출력한다.

상기 패널전압 발생부(340)는 전원전압(VDD)을 입력받고, 게이트 온 전압(VGon) 및 게이트 오프 전압(VGoff)을 출력하여, 게이트 구동부(320)로 제공한다.

또한, 본 발명의 일 실시예에 의한 액정표시장치(300)는 액정표시패널부(310)에 아날로그 타입의 영상 신호를 제공하기 위하여 소오스 구동부(350) 및 계조 전압 발생부(360)를 더 포함한다.

상기 소오스 구동부(350)는 타이밍 컨트롤러부(330)로부터 제공되는 디지털 타입의 R', G', B' 데이터 신호들을 아날로그 타입의 데이터 신호로 변환하여 액정표시패널부(310)로 제공한다.

상기 계조 전압 발생부(360)는 상기 액정의 광 투과도를 제어하기 위한 계조 전압들을 소오스 구동부(350)로 제공한다.

### 발명의 효과

상기와 같은 본 발명에 따르면, 하나의 화소 영역에 두 개의 TFT를 사용하여 영상을 표시하는 경우 하나의 화소 영역에 하나의 TFT를 사용하는 경우와 동일한 수준의 구동 속도 및 표시 속도를 구현할 수 있다.

또한, 하나의 화소 영역을 표시하기 위한 두 개의 TFT에 하나의 데이터 라인을 통해 영상 신호를 전송함에 있어, 영상 신호가 제공되는 동안 두 개의 TFT 모두 턴-온 시간을 충분히 확보함으로써, 표시 품질을 향상시킬 수 있다.

또한, 이중-TFT를 사용하는 액정표시패널에 있어서, 이를 구동하기 위한 게이트 및 데이터 구동부의 크기를 감소할 수 있어, 표시장치의 크기를 감소시킬 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

### (57) 청구의 범위

### 청구항 1.

단위 화소 영역의 메인 스위칭 소자 및 서브 스위칭 소자 각각에 연결된 메인 게이트 라인 및 서브 게이트 라인을 액티브시키는 게이트 구동방법에서,

인가되는 클록에 따라 제1 펄스신호를 순차적으로 쉬프트하여 제2 펄스신호를 출력하는 단계;

제1 제어신호를 근거로 상기 제2 펄스신호를 변환시켜 메인 펄스신호를 상기 메인 게이트 라인에 출력하는 단계; 및

상기 제1 제어신호와 제2 제어신호를 근거로 상기 제2 펄스신호를 변환시켜 출력시간과 펄스 폭이 제어된 서브 펄스신호를 상기 서브 게이트 라인에 출력하는 단계를 포함하는 것을 특징으로 하는 게이트 구동방법.

### 청구항 2.

제1항에 있어서, 상기 메인 펄스신호와 서브 펄스신호를 승압하는 단계를 더 포함하는 것을 특징으로 하는 게이트 구동방법.

### 청구항 3.

제2항에 있어서, 상기 승압된 메인 펄스신호 및 서브 펄스신호를 복수의 출력 라인들을 통해 순차적으로 출력하는 단계를 더 포함하는 것을 특징으로 하는 게이트 구동방법.

### 청구항 4.

제1항에 있어서, 상기 서브 펄스신호의 출력시간과 펄스 폭은 상기 제2 제어신호에 의해 제어되는 것을 특징으로 하는 게이트 구동방법.

### 청구항 5.

제4항에 있어서, 상기 서브 펄스신호의 출력시간과 펄스 폭은 상기 제2 제어신호의 반전 입력에 의해 형성되는 것을 특징으로 하는 게이트 구동방법.

### 청구항 6.

제5항에 있어서, 상기 서브 펄스신호의 출력시간은 상기 메인 펄스신호를 출력 후 일정 시간이 경과된 후에 출력하는 것을 특징으로 하는 게이트 구동방법.

### 청구항 7.

제5항에 있어서, 상기 서브 펄스신호의 펄스 폭은 상기 메인 펄스신호의 펄스 폭보다 작은 값을 갖도록 형성한 것을 특징으로 하는 게이트 구동방법.

### 청구항 8.

제1항에 있어서, 상기 서브 펄스신호는

상기 메인 펄스신호가 출력된 후 출력되고,

상기 메인 펄스신호의 출력 종료 이전에 출력이 종료되는 것을 특징으로 하는 게이트 구동방법.

### 청구항 9.

제1항에 있어서, 상기 메인 펄스신호는 상기 클록의 1 클록 주기에 해당하는 펄스 폭을 갖는 것을 특징으로 하는 게이트 구동방법.

### 청구항 10.

단위 화소 영역의 메인 스위칭 소자 및 서브 스위칭 소자 각각에 연결된 메인 게이트 라인 및 서브 게이트 라인을 액티브시키는 게이트 구동장치에서,

인가되는 클록에 따라 제1 펄스신호를 순차적으로 쉬프트하여 제2 펄스신호를 출력하는 쉬프트 레지스터부; 및

제1 제어신호를 근거로 상기 제2 펄스신호를 변환시켜 메인 펄스신호를 상기 메인 게이트 라인에 출력하고, 상기 제1 제어신호와 제2 제어신호를 근거로 상기 제2 펄스신호를 변환시켜 출력시간과 펄스 폭이 제어된 서브 펄스신호를 상기 서브 게이트 라인에 출력하는 출력 제어부를 포함하는 것을 특징으로 하는 게이트 구동장치.

### 청구항 11.

제10항에 있어서, 상기 출력 제어부는,

상기 제2 펄스신호를 제어하여 상기 메인 펄스신호로 생성하는 메인 제어부; 및

상기 제2 펄스신호의 출력시간과 펄스 폭을 제어하여 상기 서브 펄스신호를 생성하는 서브 제어부를 포함한 것을 특징으로 하는 게이트 구동장치.

### 청구항 12.

제11항에 있어서, 상기 메인 제어부는 상기 제2 펄스신호와 상기 제1 제어신호를 입력받는 2-입력 논리곱 게이트를 포함하는 것을 특징으로 하는 게이트 구동장치.

### 청구항 13.

제12항에 있어서, 상기 제1 제어신호는 상기 메인 제어부의 출력을 제어하는 출력 인에이블 신호인 것을 특징으로 하는 게이트 구동장치.

### 청구항 14.

제11항에 있어서, 상기 서브 제어부는 상기 제2 펄스신호, 상기 제1 제어신호 및 상기 제2 제어신호를 입력받는 3-입력 논리곱 게이트를 포함하는 것을 특징으로 하는 게이트 구동장치.

### 청구항 15.

제14항에 있어서, 상기 3-입력 논리곱 게이트에는 상기 제2 제어신호가 반전 입력되는 것을 특징으로 하는 게이트 구동장치.

### 청구항 16.

제14항에 있어서, 상기 제1 제어신호는 상기 서브 제어부의 출력을 제어하는 출력 인에이블 신호인 것을 특징으로 하는 게이트 구동장치.

### 청구항 17.

제14항에 있어서, 상기 제2 제어신호는 상기 제2 펄스신호의 출력시간 및 펄스 폭을 제어하는 출력 제어 신호인 것을 특징으로 하는 게이트 구동장치.

### 청구항 18.

제10항에 있어서, 상기 제1 펄스신호는 상기 쉬프트 레지스터부의 구동을 제어하는 수직 개시 신호인 것을 특징으로 하는 게이트 구동장치.

### 청구항 19.

제10항에 있어서, 상기 메인 펄스신호, 메인 펄스신호 및 서브 펄스신호를 각각 승압하는 레벨 쉬프터부를 더 포함하는 것을 특징으로 하는 게이트 구동장치.

### 청구항 20.

제10항에 있어서, 상기 승압된 메인 펄스신호 및 서브 펄스신호를 복수의 출력 라인들을 통해 순차적으로 출력하는 출력 버퍼부를 더 포함한 것을 특징으로 하는 게이트 구동장치.

### 청구항 21.

단위 화소 영역에 메인 픽셀과 서브 픽셀을 구비하는 표시패널부;

상기 메인 픽셀을 구동하는 메인 펄스신호를 출력하고, 상기 메인 펄스신호가 출력되는 시간 중 일정 시간동안 상기 서브 픽셀을 구동하는 서브 펄스신호를 출력하는 게이트 구동부; 및

상기 게이트 구동부의 구동을 제어하는 복수의 제어신호와 클럭을 제공하는 타이밍 컨트롤러부를 포함하는 것을 특징으로 하는 표시장치.

### 청구항 22.

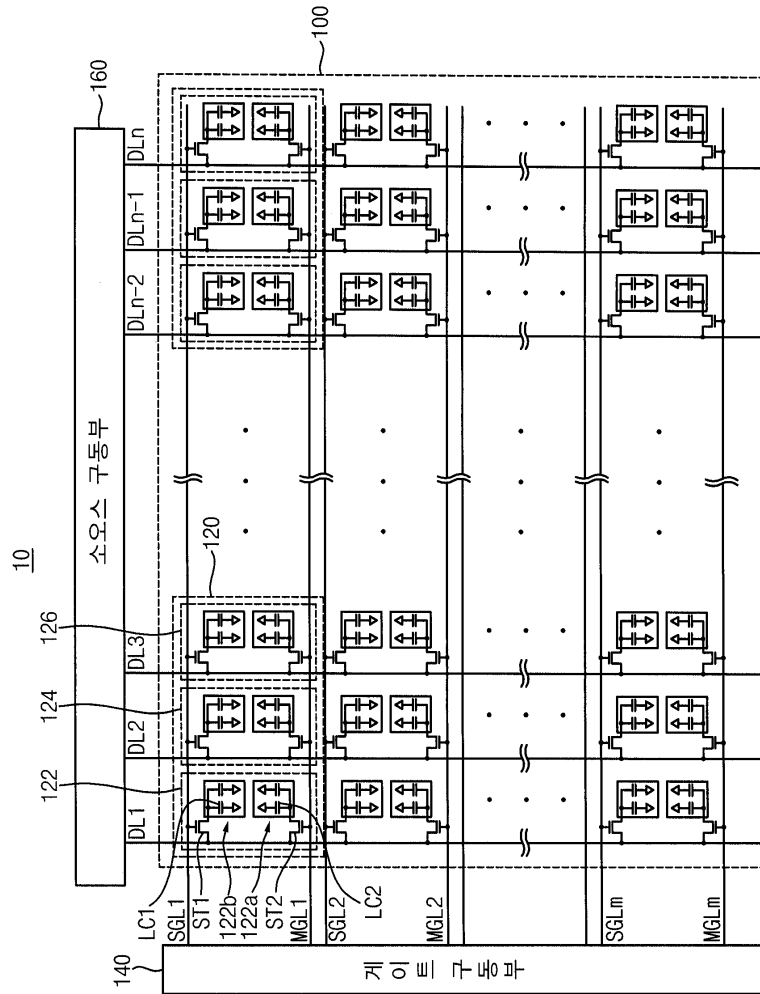
제21항에 있어서, 상기 게이트 구동부는

인가되는 클럭에 따라 제1 펄스신호를 순차적으로 쉬프트하여 제2 펄스신호를 출력하는 쉬프트 레지스터부; 및

제1 제어신호를 근거로 상기 제2 펄스신호를 변환시켜 메인 펄스신호를 출력하고, 상기 제1 제어신호와 제2 제어신호를 근거로 상기 제2 펄스신호를 변환시켜 출력시간과 펄스 폭이 제어된 서브 펄스신호를 출력하는 출력 제어부를 포함하는 것을 특징으로 하는 표시장치.

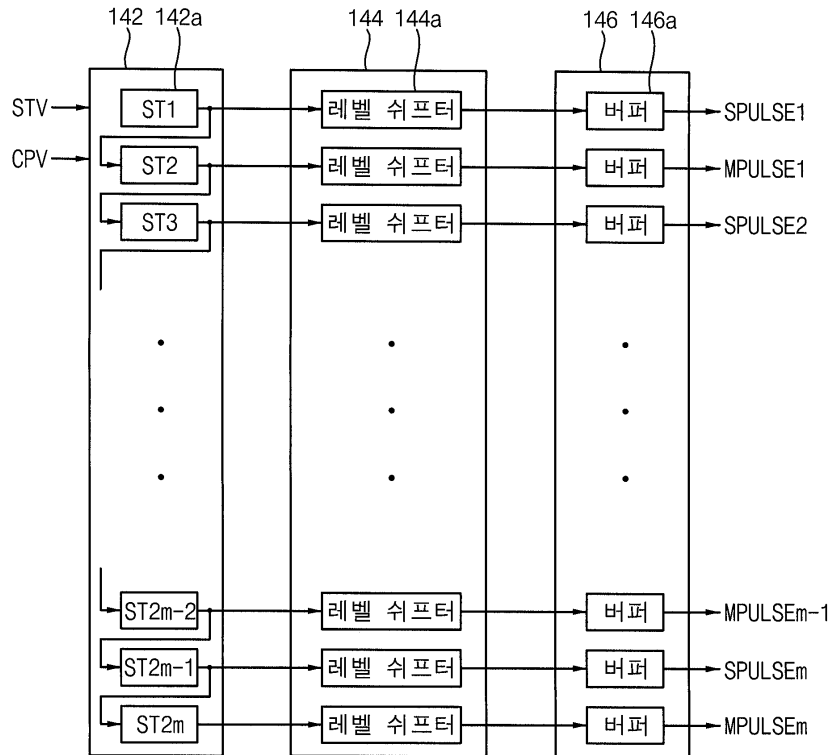
도면

도면1

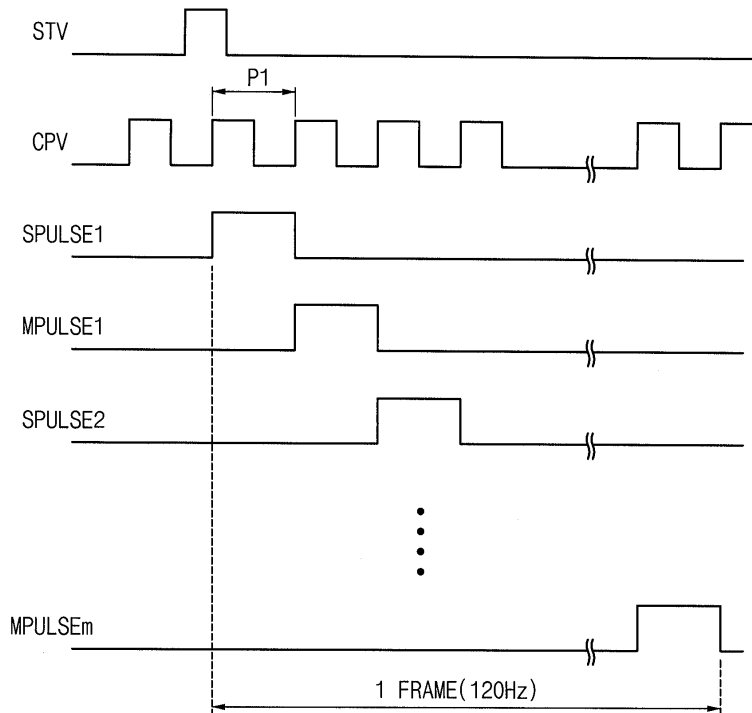


도면2

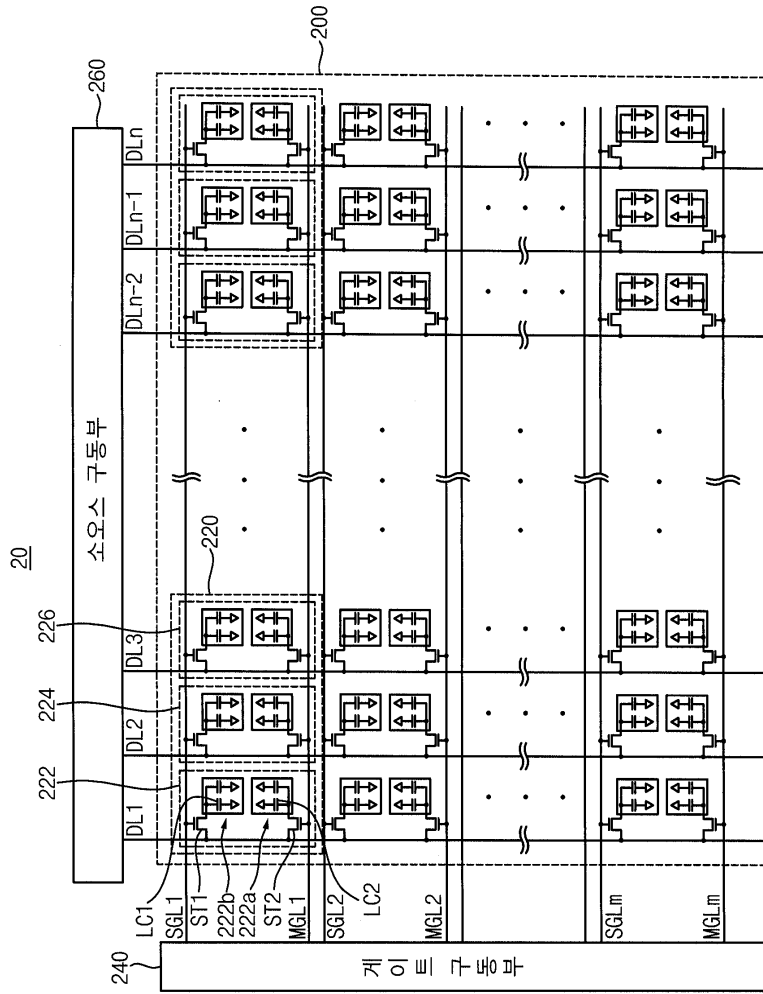
140



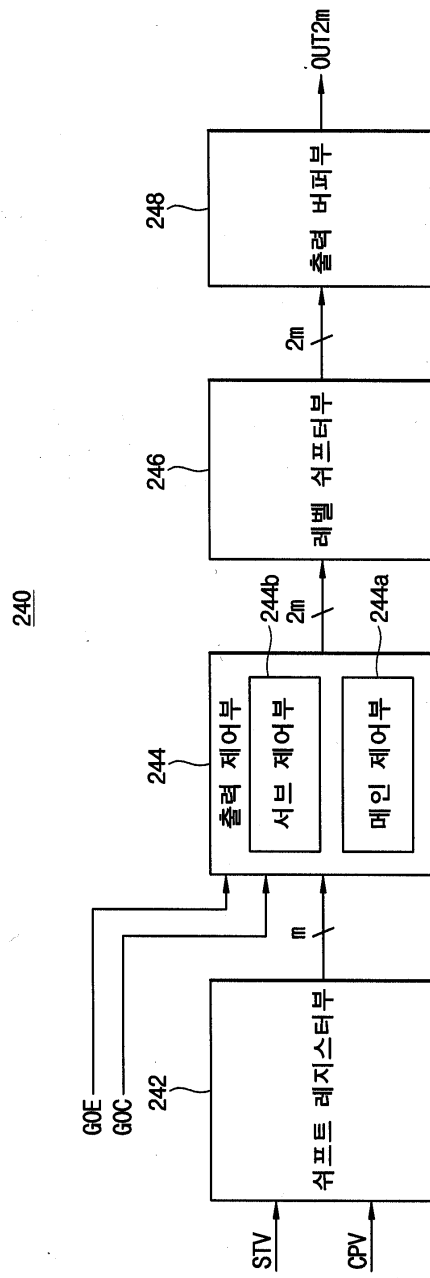
도면3



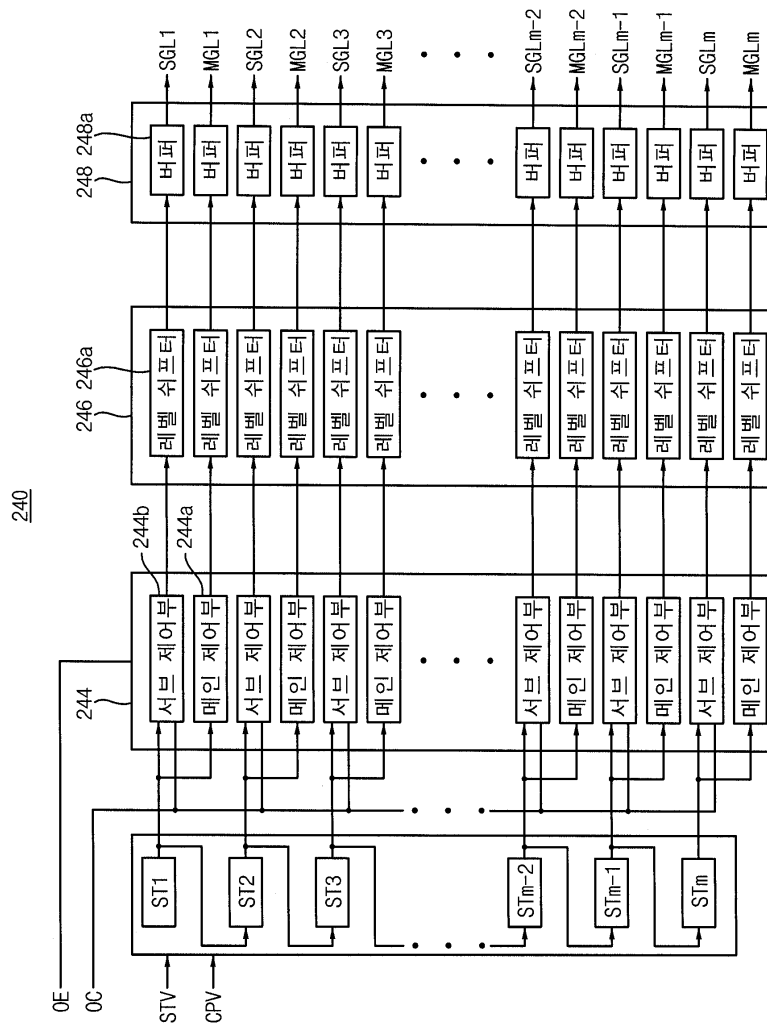
도면4



도면5

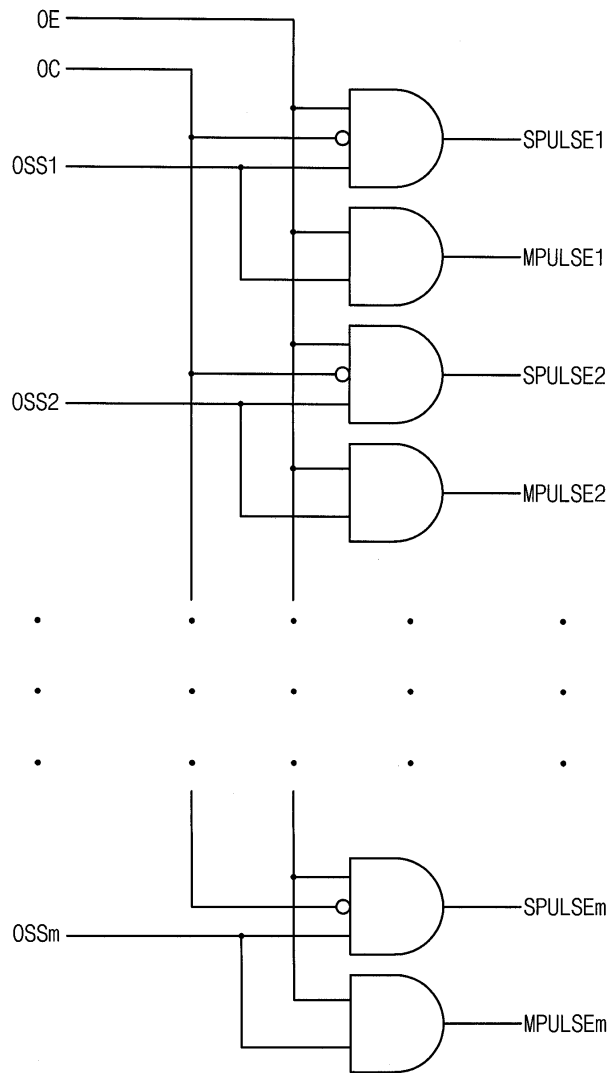


도면6

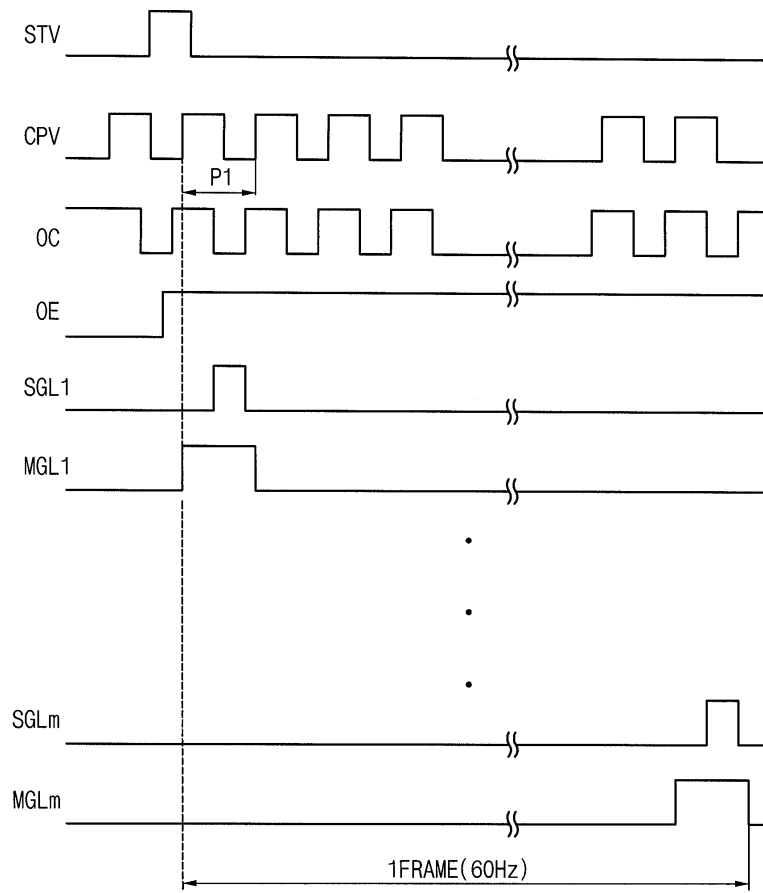


도면7

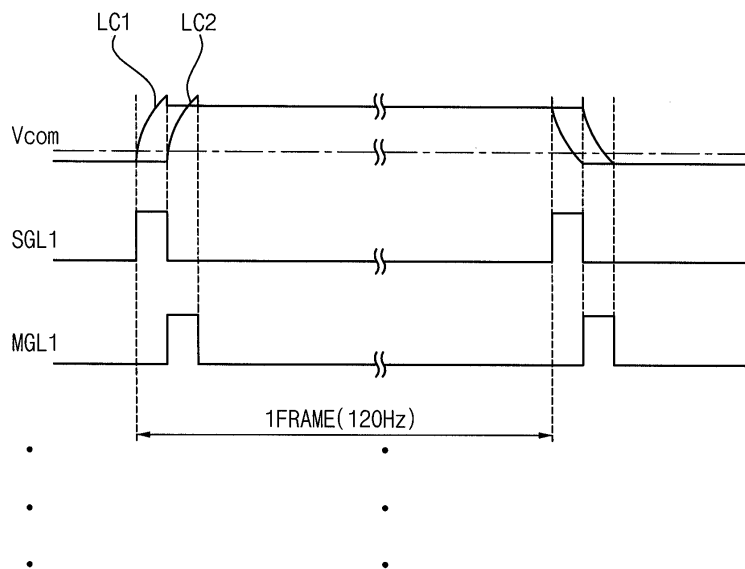
244



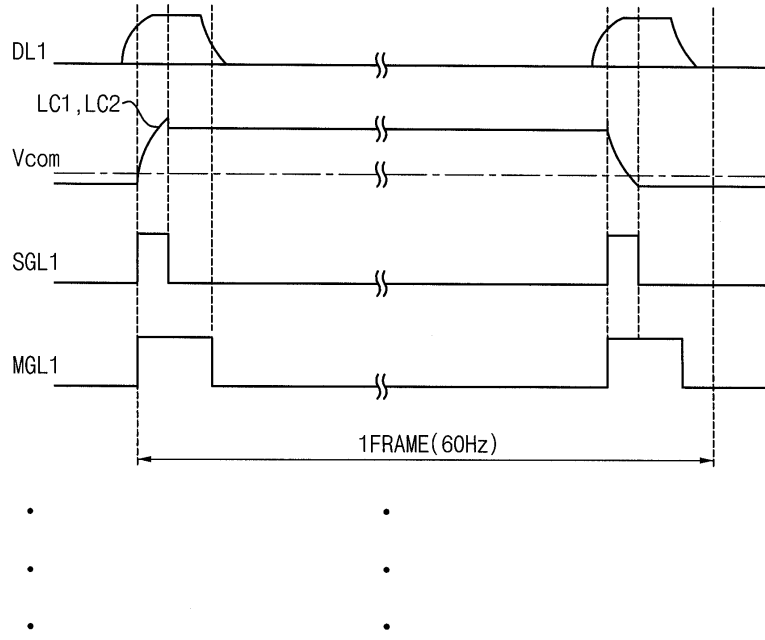
도면8



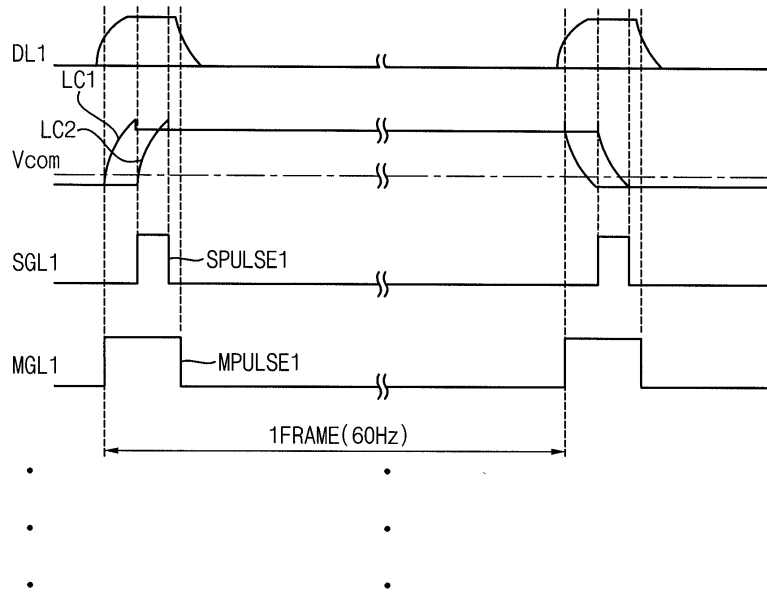
도면9



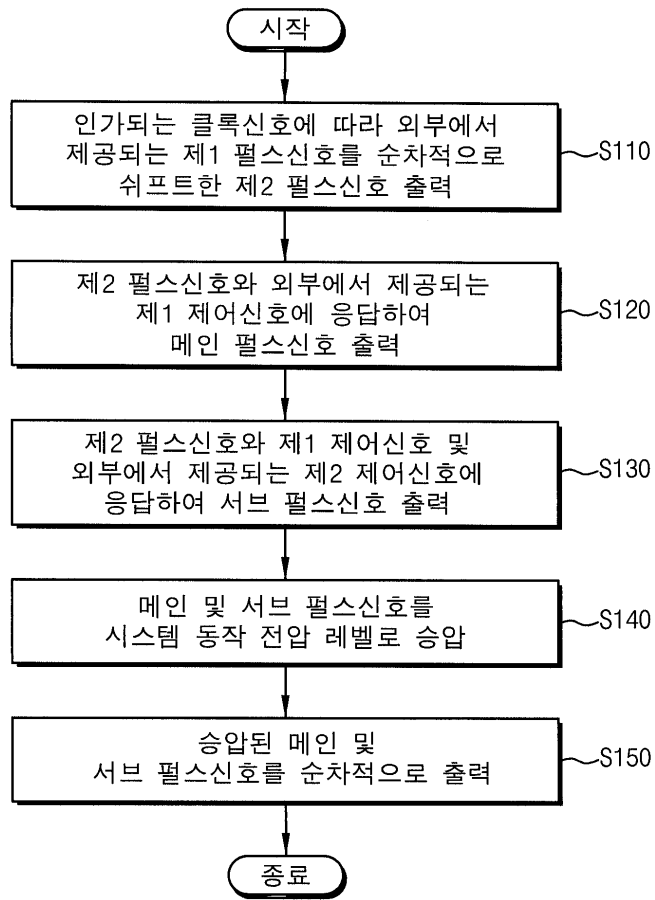
도면10



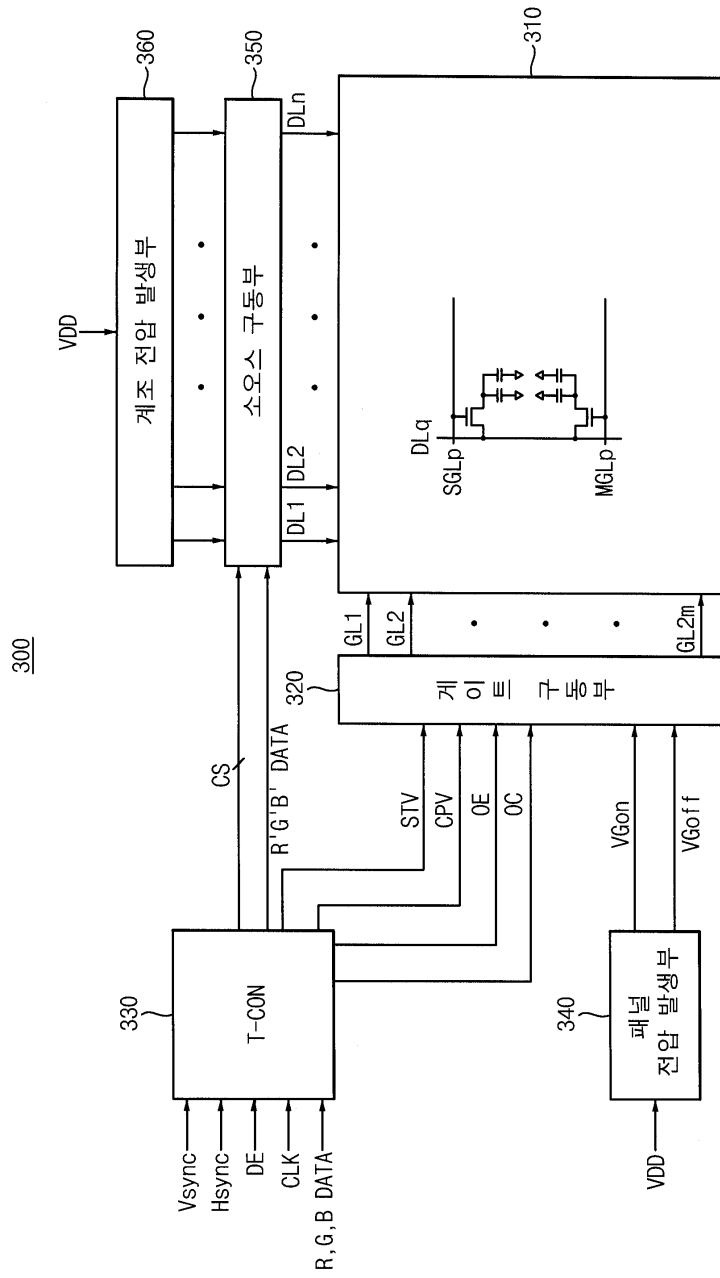
도면11



도면12



도면13



专利名称(译)	栅极驱动方法和装置以及具有它们的显示装置		
公开(公告)号	<a href="#">KR1020060090419A</a>	公开(公告)日	2006-08-11
申请号	KR1020050010928	申请日	2005-02-05
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	GO SEONG HYUN		
发明人	GO,SEONG HYUN		
IPC分类号	G09G3/36		
CPC分类号	G09G3/2074 G09G3/3659 G09G3/3677		
代理人(译)	PARK , YOUNG WOO		
其他公开文献	KR101082909B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

公开了一种栅极驱动方法，其装置和具有该栅极驱动方法的显示装置，其可以提高驱动速度和面积负担。用于激活连接到单位像素区域中的主开关元件和子开关元件中的每一个的主栅极线和子栅极线的栅极驱动方法包括根据施加的时钟顺序地移位第一脉冲信号并输出第二脉冲信号基于第一控制信号转换第二脉冲信号并将主脉冲信号输出到主栅极线，并基于第一控制信号和第二控制信号转换第二脉冲信号，并且将宽度受控的子脉冲信号输出到子栅极线。可以提高包括在一个像素区域中的主像素和子像素的驱动速度，并且可以使液晶显示装置小型化。 五

